

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-19158

(P2015-19158A)

(43) 公開日 平成27年1月29日(2015.1.29)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03F 3/343 (2006.01)</b>	H03F 3/343 A	5B125
<b>G11C 16/06 (2006.01)</b>	G11C 17/00 636	5J500
<b>H03F 3/45 (2006.01)</b>	H03F 3/45 A	

審査請求 未請求 請求項の数 6 O L (全 18 頁)

(21) 出願番号	特願2013-143835 (P2013-143835)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成25年7月9日(2013.7.9)	(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100109830 弁理士 福原 淑弘
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100103034 弁理士 野河 信久
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100153051 弁理士 河野 直樹

最終頁に続く

(54) 【発明の名称】 半導体回路

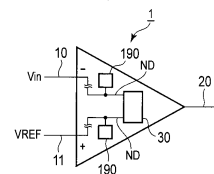
(57) 【要約】

【課題】半導体回路の動作特性を向上する。

【解決手段】本実施形態の半導体回路は、第1の入力信号  $V_{in}$  が入力される第1の入力部10と、第2の入力信号  $V_{REF}$  が入力される第2の入力部11と、入力部10, 11に接続され、入力信号  $V_{in}$ ,  $V_{REF}$  に基づいて、出力信号  $V_{out}$  を生成する出力生成回路30と、出力信号  $V_{out}$  を出力するための出力部20と、入力部10, 11と出力生成回路30との接続ノードに接続される電流源190と、を含む。

【選択図】 図1

図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の入力信号が入力される第 1 の入力部と、  
 前記第 1 の入力部と差動回路を形成し、第 2 の入力信号が入力される第 2 の入力部と、  
 前記第 1 及び第 2 の入力部にそれぞれ接続された複数のカレントミラー回路から形成され、  
 前記第 1 及び第 2 の入力信号に基づいて、出力信号を生成する出力生成回路と、  
 前記出力信号を出力するための出力部と、  
 前記第 1 の入力部と前記カレントミラー回路との接続ノード、及び、前記第 2 の入力部  
 と前記カレントミラー回路との接続ノードに、それぞれ接続される複数の電流源と、  
 を具備し、  
 前記第 1 の入力部に前記第 1 の入力信号が入力される前に、  
 前記電流源によって、前記接続ノードが、充電又は放電される、  
 ことを特徴とする半導体回路。

10

## 【請求項 2】

第 1 の入力信号が入力される第 1 の入力部と、  
 第 2 の入力信号が入力される第 2 の入力部と、  
 前記第 1 及び第 2 の入力部に接続され、前記第 1 及び第 2 の入力信号に基づいて、出力  
 信号を生成する出力生成回路と、  
 前記出力信号を出力するための出力部と、  
 前記第 1 の入力部と前記出力生成回路との接続ノード、及び、前記第 2 の入力部と前記  
 出力生成回路との接続ノードに、それぞれ接続される複数の電流源と、  
 を具備することを特徴とする半導体回路。

20

## 【請求項 3】

前記第 1 の入力部に前記第 1 の入力信号が入力される前に、  
 前記電流源によって、前記接続ノードが、充電又は放電される、  
 ことを特徴とする請求項 2 に記載の半導体回路。

## 【請求項 4】

前記第 1 及び第 2 の入力部は、差動回路を形成し、  
 前記出力生成回路は、複数のカレントミラー回路から形成される、  
 ことを特徴とする請求項 1 又は 2 に記載の半導体回路。

30

## 【請求項 5】

前記第 1 の入力部は、前記第 1 の入力信号が入力されるゲートを有する第 1 の導電型の  
 第 1 のトランジスタと、前記第 1 の入力信号が入力されるゲートを有する第 2 の導電型の  
 第 2 のトランジスタとを含み、  
 前記第 2 の入力部は、前記第 2 の入力信号が入力されるゲートを有する前記第 1 の導電型  
 の第 3 のトランジスタと、前記第 2 の入力信号が入力されるゲートを有する前記第 2 の導  
 電型の第 3 のトランジスタとを含み、  
 前記第 1 のトランジスタと前記第 3 のトランジスタとが第 1 の差動回路を形成し、  
 前記第 2 のトランジスタと前記第 4 のトランジスタとが第 2 の差動回路を形成し、  
 前記第 1 のトランジスタの電流経路は、前記第 2 の導電型のトランジスタから形成され  
 る第 1 のカレントミラー回路に接続され、  
 前記第 2 のトランジスタの電流経路は、前記第 1 の導電型のトランジスタから形成され  
 る第 2 のカレントミラー回路に接続され、  
 前記第 3 のトランジスタの電流経路は、前記第 2 の導電型のトランジスタから形成され  
 る第 3 のカレントミラー回路に接続され、  
 前記第 4 のトランジスタの電流経路は、前記第 1 の導電型のトランジスタから形成され  
 る第 4 のカレントミラー回路に接続され、  
 前記第 2 のカレントミラー回路の出力端子は、前記第 3 のカレントミラー回路の入力端  
 子に接続され、  
 前記第 4 のカレントミラー回路の出力端子は、前記第 1 のカレントミラー回路の入力端

40

50

子に接続され、

前記第 1 のカレントミラー回路の出力端子は、前記第 1 の導電型のトランジスタから形成される第 5 のカレントミラー回路の入力端子に接続され、

前記出力部は、前記第 3 のカレントミラー回路の出力端子と前記第 5 のカレントミラー回路の出力端子との接続ノードに、接続される、

ことを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の半導体回路。

【請求項 6】

前記第 1 のカレントミラー回路と前記第 1 のトランジスタとの接続ノードは、前記複数の電流源のうち第 1 の電流源によって、放電され、

前記第 2 のカレントミラー回路と前記第 2 のトランジスタとの接続ノードは、前記複数の電流源のうち第 2 の電流源によって、充電され、

前記第 3 のカレントミラー回路と前記第 3 のトランジスタとの接続ノードは、前記複数の電流源のうち第 1 の電流源によって、放電され、

前記第 4 のカレントミラー回路と前記第 4 のトランジスタとの接続ノードは、前記複数の電流源のうち第 2 の電流源によって、充電される、

ことを特徴とする請求項 5 に記載の半導体回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体回路に関する。

【背景技術】

【0002】

近年、半導体回路は、コンピュータ、ストレージデバイス、車載用の制御チップなど、様々な電子機器に用いられている。

【0003】

例えば、チップサイズの縮小、動作特性の向上、消費電力の低減などが、半導体回路には求められている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2010 - 26764 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

半導体回路の動作速度を向上する技術を提案する。

【課題を解決するための手段】

【0006】

本実施形態の半導体回路は、第 1 の入力信号が入力される第 1 の入力部と、第 2 の入力信号が入力される第 2 の入力部と、前記第 1 及び第 2 の入力部に接続され、前記第 1 及び第 2 の入力信号に基づいて、出力信号を生成する出力生成回路と、前記出力信号を出力するための出力部と、前記第 1 の入力部と前記出力生成回路との接続ノード、及び、前記第 2 の入力部と前記出力生成回路との接続ノードに、それぞれ接続される複数の電流源と、を含む。

【図面の簡単な説明】

【0007】

【図 1】本実施形態の半導体回路を模式的に示す図。

【図 2】本実施形態の半導体回路の構成例を示す等価回路図。

【図 3】本実施形態の半導体回路の動作例を示すフローチャート。

【図 4】本実施形態の半導体回路の適用例を示すブロック図。

【発明を実施するための形態】

10

20

30

40

50

【0008】

[実施形態]

以下、図1乃至図4を参照しながら、本実施形態について詳細に説明する。以下の説明において、同一の機能及び構成を有する要素については、同一符号を付し、重複する説明は必要に応じて行う。

【0009】

(1) 構成例

図1及び図2を参照して、実施形態のアンプ回路の構成について説明する。

【0010】

図1は、実施形態のアンプ回路の構成例を示す模式図である。図2は、実施形態のアンプ回路の回路構成を示す等価回路図である。

10

【0011】

図1に示されるように、本実施形態のアンプ回路1は、入力信号Vinが入力される第1の入力部10と、参照信号VREFが入力される第2の入力部11と、を含んでいる。本実施形態のアンプ回路1は、入力信号Vinと参照信号VREFとから出力信号Voutを生成するための出力生成回路30を含む。本実施形態のアンプ回路1は、出力生成回路30によって生成された出力信号Voutを出力する出力部20を、含んでいる。

【0012】

本実施形態のアンプ回路1において、入力部10, 11と出力生成回路30とを接続する内部端子(ノード)NDに、電流源190が接続されている。アンプ回路1が待機状態から動作状態へ遷移するとき、アンプ回路1の内部端子が、電流源190によって充電又は放電状態にされる。

20

【0013】

尚、アンプ回路1の待機状態は、電源が投入される前(又は電源が投入された直後)の状態、駆動電圧V1がアンプ回路に印加される前の状態、又は、入力信号Vinが入力される前の状態などのように、アンプ回路1が入力信号Vinから出力信号Voutを生成する前の動作状態のことである。

【0014】

図2に示されるように、アンプ回路1の一例として、第1及び第2の入力部10, 11は、Nチャネル型電界効果トランジスタ100A, 101AとPチャネル型電界効果トランジスタ100B, 101Bとを、それぞれ含む。以下では、Nチャネル型電界効果トランジスタのことを、N型トランジスタと表記し、Pチャネル型電界効果トランジスタのことを、P型トランジスタと表記する。電界効果トランジスタは、例えば、MOSトランジスタである。

30

【0015】

アンプ回路10において、N型及びP型トランジスタ100A, 100Bのゲートが、アンプ回路1の第1の入力部10として、用いられる。入力信号Vinが、N型及びP型トランジスタ100A, 100Bのゲートに、供給される。

【0016】

アンプ回路1において、N型及びP型トランジスタ101A, 101Bのゲートが、アンプ回路1の第2の入力部11として、用いられる。参照信号VREFが、N型及びP型トランジスタ101A, 101Bのゲートに供給される。

40

【0017】

第1の入力部10のN型トランジスタ100Aの電流経路の一端は、P型トランジスタ121Aの電流経路を経由して、電源電圧V1が印加されるノード(以下では、電源線とよぶ)に接続されている。第2の入力部11のN型トランジスタ101Aの電流経路の一端は、P型トランジスタ123Aの電流経路を経由して、電源線に接続されている。P型トランジスタ121A, 123Aは、入力部10, 11のN型トランジスタ100A, 101Aに対して、負荷(負荷トランジスタ)として機能する。

【0018】

50

各入力部 10, 11 の N 型トランジスタ 100A, 101A の電流経路の他端は、電流源 190A の入力端子に接続されている。電流源 190A の出力端子は、グランド電圧が印加されるノード（以下では、グランド線とよぶ）に接続されている。

【0019】

第 1 の入力部 10 の P 型トランジスタ 100B の電流経路の一端は、N 型トランジスタ 124A の電流経路を経由して、グランド線に接続されている。第 2 の入力部 11 の P 型トランジスタ 101B の電流経路の一端は、N 型トランジスタ 122A の電流経路を経由して、グランド線に接続されている。N 型トランジスタ 122A, 124A は、入力部 10, 11 の P 型トランジスタ 100B, 101B に対して、負荷（負荷トランジスタ）として機能する。

10

【0020】

各入力部 10, 11 の P 型トランジスタ 100B, 101B の電流経路の他端は、電流源 190B の出力端子に接続されている。電流源 190A の入力端子は、電源線に接続され、電圧 V1 が電流源 190A に印加される。

【0021】

N 型トランジスタ 100A と N 型トランジスタ 101A とが、差動入力部（差動回路）を形成し、P 型トランジスタ 100B と P 型トランジスタ 101B とが、差動入力部（差動回路）を形成している。このように、アンプ回路 1 は、差動入力部を含み、差動アンプ回路として駆動する。

20

【0022】

例えば、参照信号 VREF の電位は、入力信号 Vin として入力される“H”レベルの電位と“L”レベルの電位との中間の値に設定されている。

【0023】

アンプ回路の駆動電圧 V1 が、3.3V である場合、例えば、“H”レベルの入力信号 Vin に対応する電位が、3.3V 程度であり、参照信号 VREF の電位は、1.65V 程度の大きさを有している。“L”レベルの入力信号 Vin に対応する電位は、例えば、0V 程度である。尚、入力信号 Vin の電位及び参照信号 VREF の電位は、アンプ回路 1 及びアンプ回路を含む半導体回路の仕様に依じて、適宜変更される。例えば、駆動電圧 V1 は、1.8V 程度でもよい。

【0024】

本実施形態のアンプ回路 1 は、カレントミラー型の差動アンプ回路である。

30

【0025】

本実施形態のアンプ回路 1 の出力生成回路 30 は、複数のカレントミラー回路を含む。例えば、本実施形態において、出力生成回路 30 は、5 つのカレントミラー回路 300A, 300B, 300C, 300D, 300E から形成されている。

【0026】

カレントミラー回路 300A が、P 型トランジスタ 121A と P 型トランジスタ 121B とから形成されている。P 型トランジスタ 121A と P 型トランジスタ 121B とからカレントミラー回路 300A は、第 1 の入力部 10 の N 型トランジスタ 100A に接続されている。

40

【0027】

P 型トランジスタ 121A はダイオード接続され、P 型トランジスタ 121A のゲートは、P 型トランジスタ 121A の電流経路の一端に接続されている。P 型トランジスタ 121A のゲートは、P 型トランジスタ 121B のゲートに接続されている。2 つの P 型トランジスタ 121A, 121B の互いに接続されたゲートによって、カレントミラー回路 300A のノード（入力端子）ND1A が形成される。P 型トランジスタ 121A, 121B の電流経路の他端は、電源線 V1 に接続されている。

【0028】

第 1 の入力部 10 の N 型トランジスタ 100A の電流経路の一端が、P 型トランジスタ 121A の電流経路の一端に接続されるとともに、P 型トランジスタ 121A, 121B

50

の互いに接続されたゲート（ノードND1A）に接続されている。

【0029】

N型トランジスタ100Aの駆動状態に応じて、カレントミラー回路300Aの基準電流の大きさが変動する。その基準電流に応じて、カレントミラー回路300Aは、電流を出力する。

【0030】

N型トランジスタ122AとN型トランジスタ122Bとが、カレントミラー回路300Bを形成している。N型トランジスタ122AとN型トランジスタ122Bとからなるカレントミラー回路300Bは、第2の入力部11のP型トランジスタ101Bに接続されている。

10

【0031】

N型トランジスタ122Aの電流経路の一端は、P型トランジスタ101Bの一端に接続されている。N型トランジスタ122Aの他端は、接地されている。N型トランジスタ122Aはダイオード接続され、N型トランジスタ122Aの電流経路の一端は、N型トランジスタ122Aのゲートに接続されている。N型トランジスタ122Bの電流経路の他端は、グランド線に接続され、接地されている。

【0032】

N型トランジスタ122Aのゲートは、N型トランジスタ122Bのゲートに接続されている。2つのN型トランジスタ122A, 122Bの互いに接続されたゲートによって、カレントミラー回路300Bのノード（入力端子）ND2Bが形成される。

20

【0033】

第2の入力部11のP型トランジスタ101Bの電流経路の一端が、N型トランジスタ122Aの電流経路の一端に接続されるとともに、N型トランジスタ122A, 122Bの互いに接続されたゲート（ノードND2B）に接続されている。

【0034】

P型トランジスタ101Bの駆動状態に応じて、カレントミラー回路300Bの基準電流の大きさが変動する。カレントミラー回路300Bは、その基準電流に応じた電流を出力する。

【0035】

カレントミラー回路300Bの出力端子としてのN型トランジスタ122Bの電流経路の一端は、カレントミラー回路300Aのノード（入力端子）ND1A、すなわち、2つのP型トランジスタ121A, 121Bのゲートに接続されている。カレントミラー回路300Bの出力電流が、カレントミラー回路300Aの基準電流の一部として、入力部11のトランジスタ101Bからの電流とともに、カレントミラー回路300Aに供給される。

30

【0036】

カレントミラー回路300Cが、P型トランジスタ123A, 123Bによって形成される。P型トランジスタ123A, 123Bからなるカレントミラー回路300Cが、第2の入力部11のN型トランジスタ101Aに接続されている。

【0037】

P型トランジスタ123Aのゲートが、P型トランジスタ123Bのゲートに接続される。2つのP型トランジスタ123A, 123Bの互いに接続されたゲートによって、カレントミラー回路300CのノードND2Aが形成される。

40

【0038】

P型トランジスタ123Aはダイオード接続され、P型トランジスタ123Aの電流経路の一端は、P型トランジスタ123Aのゲートに接続されている。

【0039】

第2の入力部11のN型トランジスタ101Aの電流経路の一端が、P型トランジスタ123Aの電流経路の一端に接続されるとともに、P型トランジスタ123A, 123Bの互いに接続されたゲートに、接続されている。P型トランジスタ123A, 123Bの

50

他端は、電源線に接続されている。

【0040】

N型トランジスタ101Aの駆動状態に応じて、カレントミラー回路300Cの基準電流の大きさが決まる。カレントミラー回路300Cは、その基準電流に応じた電流を出力する。

【0041】

N型トランジスタ124AとN型トランジスタ124Bとによって、カレントミラー回路300Dが形成されている。第1の入力部11のP型トランジスタ100Bが、N型トランジスタ124AとN型トランジスタ124Bとから形成されるカレントミラー回路300Dが接続されている。

10

【0042】

N型トランジスタ124Aはダイオード接続され、N型トランジスタ124Aの電流経路の一端は、N型トランジスタ124Aのゲートに接続されている。N型トランジスタ124A及びN型トランジスタ124Bの電流経路の他端は、グランド線に接続され、接地されている。

【0043】

N型トランジスタ124Aのゲートは、N型トランジスタ124Bのゲートに接続されている。2つのN型トランジスタ124A, 124Bの互いに接続されたゲートによって、カレントミラー回路300BのノードND2Bが形成される。

【0044】

P型トランジスタ100Bの電流経路の一端が、N型トランジスタ124の電流経路の一端に接続されるとともに、ノードND1Bに接続されている。

20

【0045】

P型トランジスタ100Bの駆動状態に応じて、カレントミラー回路300Dの基準電流の大きさが決まる。カレントミラー回路300Dは、その基準電流に応じた電流を出力する。

【0046】

カレントミラー回路300Dの出力端子、より具体的には、N型トランジスタ124Bの電流経路の一端は、カレントミラー回路300Cのノード(入力端子)ND2A、すなわち、2つのP型トランジスタ123A, 123Bのゲートに接続されている。カレントミラー回路300Dの出力電流が、カレントミラー回路300Cの基準電流の一部として、入力部10のトランジスタ100Bからの電流とともに、カレントミラー回路300Cに供給される。

30

【0047】

N型トランジスタ125AとN型トランジスタ125Bとによって、カレントミラー回路300Eが形成される。

【0048】

N型トランジスタ125Aは、ダイオード接続されている。N型トランジスタ125Aの電流経路の一端は、N型トランジスタ125Aのゲートに接続されている。N型トランジスタ125Aの電流経路の他端は、接地されている。

40

【0049】

N型トランジスタ125Aのゲートは、N型トランジスタ125Bのゲートに接続されている。N型トランジスタ125Bの電流経路の他端は、接地されている。

【0050】

N型トランジスタ125Aの電流経路の一端は、P型トランジスタ121Bの電流経路の一端に接続されている。カレントミラー回路300Aの出力電流が、カレントミラー回路300Eの基準電流として、カレントミラー回路300Eに、供給される。

【0051】

カレントミラー回路300Eの出力端子が、カレントミラー回路300Cの出力端子に接続されている。N型トランジスタ125Bの電流経路の一端は、P型トランジスタ12

50

3 B の電流経路の一端に接続されている。

【0052】

2つのカレントミラー回路300C, 300Eの互いに接続された出力端子が、アンプ回路の出力部20となる。

【0053】

差動入力部10, 11に入力される信号Vin, VREFに対する入力部10, 11の差動に基づいたカレントミラー回路300C, 300Eからの電流によって、N型トランジスタ125BとP型トランジスタ123Bがプッシュプル動作し、アンプ回路1の出力信号Voutが生成される。

【0054】

このように、本実施形態のアンプ回路1が含む差動入力部と多段に接続された複数のカレントミラー回路とによって、入力信号Vinが差動増幅され、増幅された信が出力信号号Voutとして、出力される。

【0055】

以下では、アンプ回路1の出力生成回路30を形成するカレントミラー回路300A, 300B, 300C, 300D, 300Eを区別しない場合には、カレントミラー回路300と表記する。

【0056】

本実施形態のアンプ回路1において、入力部10, 11と出力生成回路(カレントミラー回路)300A, 300B, 300C, 300Dとを接続する内部端子(接続ノード)において、電流源190A, 190B, 190C, 190Dが接続されている。

【0057】

電流源190Aが、第1の入力部10のN型トランジスタ100Aとカレントミラー回路300Aとの接続ノードに、接続されている。

【0058】

電流源190Aは、スイッチ素子としてのN型トランジスタ191Aの電流経路を経由して、ノードND1Aに接続されている。電流源190Aの入力端子が、N型トランジスタ191Aの電流経路を経由して、ノードND1Aに接続されている。電流源190Aの出力端子は、グランド線に接続されている。

【0059】

N型トランジスタ191Aのオン/オフによって、電流源190AとノードND1Aとの導通状態が制御される。N型トランジスタ191Aのオン/オフは、N型トランジスタ191Aのゲートに供給される制御信号CT1によって、制御される。

【0060】

電流源190Bは、N型トランジスタ191Bの電流経路を経由して、第2の入力部11のN型トランジスタ101Aとカレントミラー回路300Cとの接続ノードND2Aに接続されている。電流源190Bの入力端子が、N型トランジスタ191Bの電流経路を経由して、ノードND2Aに接続されている。電流源190Aの出力端子は、グランド線に接続されている。

【0061】

N型トランジスタ191Bのオン/オフによって、電流源190BとノードND2Aとの導通状態が制御される。N型トランジスタ191Bのオン/オフは、N型トランジスタ191Bのゲートに供給される制御信号CT1によって、制御される。

【0062】

電流源190A, 190Bが、オン状態のN型トランジスタ191A, 191Bを介して、ノードND1A, ND2Aと導通状態になることによって、ノードND1A, ND2Aは、放電される。

【0063】

電流源190Cは、P型トランジスタ196Aの電流経路を経由して、第1の入力部10のP型トランジスタ100Bとカレントミラー回路300Dとの接続ノードND1Bに

10

20

30

40

50

接続されている。電流源 190C の出力端子が、P 型トランジスタ 196A の電流経路を経由して、ノード ND1B に接続されている。電流源 190C の入力端子は、電源線に接続されている。

【0064】

P 型トランジスタ 196A のオン/オフによって、電流源 190C とノード ND1B との導通状態が制御される。P 型トランジスタ 196A のオン/オフは、N 型トランジスタ 196A のゲートに供給される制御信号 CT2 によって、制御される。

【0065】

電流源 190D は、P 型トランジスタ 196B の電流経路を経由して、第 2 の入力部 11 の P 型トランジスタ 101B とカレントミラー回路 300B との接続ノード ND2B に接続されている。電流源 190D の出力端子が、P 型トランジスタ 196B の電流経路を経由して、ノード ND2B に接続されている。電流源 190D の入力端子は、電源線に接続されている。

10

【0066】

P 型トランジスタ 196B のオン/オフによって、電流源 190D とノード ND2B との導通状態が制御される。P 型トランジスタ 196A のオン/オフは、N 型トランジスタ 196A のゲートに供給される制御信号 CT2 によって、制御される。

【0067】

電流源 190C, 190D が、オン状態の P 型トランジスタ 196A, 196B を介して、ノード ND1B, ND2B と導通状態になることによって、ノード ND1B, ND2B は、充電される。

20

【0068】

各電流源 190A, 190B, 190C, 190D は、所定の電流値の電流を出力する。

【0069】

例えば、本実施形態のアンプ回路 1 が入力信号  $V_{in}$  を取り込む前に、入力部 10, 11 とカレントミラー回路 300A, 300B, 300C, 300D とのノードが、ノードに接続されている素子の特性（例えば、トランジスタの導電型）に応じて、放電又は充電状態にされる。

【0070】

このように、待機状態から駆動状態に遷移される時に、電流源 190A, 190B, 190C, 190D によって、N 型トランジスタから形成されるカレントミラー回路のノードは、あらかじめ放電状態にされ、P 型トランジスタから形成されるカレントミラー回路のノードは、あらかじめ充電状態にされる。

30

【0071】

以下では、ノード ND1A, ND2A, ND1B, ND2B を放電又は充電状態にするための電流源 190A, 190B, 190C, 190D を区別しない場合には、電流源 190 を表記する。

【0072】

尚、ノード ND1A, ND2A の放電を制御するための各トランジスタ 191A, 191B は、共通の制御信号 CT1 に制御されてもよいし、互いに独立な制御信号によって、駆動されてもよい。また、ノード ND1B, ND2B の充電を制御するトランジスタ 196A, 196B は、共通の制御信号 CT2 に制御されてもよいし、互いに独立な制御信号によって、駆動されてもよい。

40

【0073】

本実施形態のアンプ回路 1 は、入力部 10, 11 とカレントミラー回路（出力生成回路）300A, 300B, 300C, 300D との接続部に、電流源 190 が接続されている。これによって、アンプ回路 1 が待機状態から駆動状態になるときに、電流源 190 によって、アンプ回路 1 の内部端子、例えば、入力部 10, 11 とカレントミラー回路 300A, 300B, 300C, 300D とのノードの電位が、制御される。

50

## 【 0 0 7 4 】

この結果として、本実施形態のアンブ回路 1 は、入力信号  $V_{in}$  を取り込む前（アンブ回路 1 の動作が開始される前）に、カレントミラー回路 3 0 0 A , 3 0 0 C , 3 0 0 D , 3 0 0 D のノードを、あらかじめ放電状態又は充電状態にでき、アンブ回路の動作の遷移時の遅延を抑制できる。

## 【 0 0 7 5 】

これによって、本実施形態のアンブ回路は、アンブ回路における入力信号  $V_{in}$  を取り込んでから出力信号  $V_{out}$  の生成が開始されるまでの時間を、短縮でき、アンブの動作を高速化できる。

## 【 0 0 7 6 】

したがって、本実施形態の半導体回路によれば、回路の動作特性を向上できる。

## 【 0 0 7 7 】

## ( 2 ) 動作例

本実施形態のアンブ回路の動作について、図 3 を用いて、説明する。ここでは、本実施形態のアンブ回路の動作を説明するために、図 2 も適宜用いる。

## 【 0 0 7 8 】

図 3 は、本実施形態のアンブ回路の動作を説明するためのフローチャートである。

## 【 0 0 7 9 】

図 3 に示されるように、例えば、本実施形態のアンブ回路 1 を含む半導体集積回路に対する電源電圧 / 駆動電圧の印加時や、スリープ状態からの復帰動作の開始時に、本実施形態のアンブ回路 1 が、待機状態から動作状態へ遷移する（ステップ S T 0 ）。これによって、本実施形態のアンブ回路 1 の動作が開始される。

## 【 0 0 8 0 】

アンブ回路 1 内において、入力部 1 0 , 1 1 と内部回路（出力生成回路）3 0 0 とを接続する内部端子（接続ノード）に接続された電流源 1 9 0 がオン状態にされる。これによって、電流源 1 9 0 とアンブ回路 1 の内部端子とが導通状態になり、入力部 1 0 , 1 1 と出力生成回路としてのカレントミラー回路 3 0 0 の接続ノードが、電流源 1 9 0 によって、放電又は充電される（ステップ S T 1 ）。

## 【 0 0 8 1 】

図 2 の実施形態のアンブ回路 1 に、電源電圧  $V_1$  が印加された状態で、入力信号  $V_{in}$  及び参照信号  $V_{REF}$  が入力される前において、“ H ” レベルの制御信号  $C T 1$  が、電流源 1 9 0 A , 1 9 0 B と内部ノード  $N D 1 A$  ,  $N D 2 A$  との接続を制御するための N 型トランジスタ 1 9 1 A , 1 9 1 B のゲートに、それぞれ入力される。N 型トランジスタ 1 9 1 A , 1 9 1 B がオンし、電流源 1 9 0 A , 1 9 0 B とノード  $N D 1 A$  ,  $N D 2 A$  とが、導通状態にされる。

## 【 0 0 8 2 】

これによって、電流源 1 9 0 A によって、入力信号  $V_{in}$  側のカレントミラー回路 3 0 0 A のノード  $N D 1 A$  は、放電状態にされる。また、電流源 1 9 0 B によって、参照信号  $V_{REF}$  側のカレントミラー回路 3 0 0 C のノード  $N D 2 A$  は、放電状態にされる。

## 【 0 0 8 3 】

制御信号  $C T 1$  の入力と実質的に同時に、“ L ” レベルの制御信号  $C T 2$  が、電流源 1 9 0 C , 1 9 0 D とノード  $N D 1 B$  ,  $N D 2 B$  とを接続を制御するための P 型トランジスタ 1 9 6 A , 1 9 6 B のゲートに、それぞれ入力される。P 型トランジスタ 1 9 6 A , 1 9 6 B がオンし、電流源 1 9 0 C , 1 9 0 D とノード  $N D 1 B$  ,  $N D 2 B$  とが、導通状態にされる。

## 【 0 0 8 4 】

これによって、電流源 1 9 0 C からノードに供給される電流によって、入力信号  $V_{in}$  側のカレントミラー回路 3 0 0 D のノード  $N D 1 B$  は、充電状態にされる。電流源 1 9 0 D からの電流によって、参照信号  $V_{REF}$  側のカレントミラー回路 3 0 0 B のノード  $N D 2 B$  は、充電にされる。

10

20

30

40

50

## 【 0 0 8 5 】

このように、本実施形態のアンプ回路が、待機状態から入力信号  $V_{in}$  が入力される前までの期間において、入力部 10, 11 とカレントミラー回路 300A, 300B, 300C, 300D との接続ノード ND1A, ND2A, ND1B, ND2B がある電位に遷移するように、ノード ND1A, ND2A, ND1B, ND2B のそれぞれが、電流源 190 によって放電又は充電される。

## 【 0 0 8 6 】

そして、入力電圧  $V_{in}$  及び参照信号  $V_{REF}$  が、入力される。本実施形態のアンプ回路 1 は、入力信号  $V_{in}$  を取得し、入力信号  $V_{in}$  及び参照信号  $V_{REF}$  の差動増幅により出力信号  $V_{out}$  を生成する (ステップ ST2)。

10

## 【 0 0 8 7 】

入力信号  $V_{in}$  が “H” レベルである場合、以下のように、本実施形態のアンプ回路 1 は、駆動する。

## 【 0 0 8 8 】

“H” レベルの入力信号  $V_{in}$  の電位 (例えば、3.3V) は、参照信号  $V_{REF}$  の電位 (例えば、1.65V) より高い。

## 【 0 0 8 9 】

それゆえ、“H” レベルの入力信号  $V_{in}$  が入力される N 型トランジスタ 100A の出力電流が増加し、参照信号  $V_{REF}$  が入力される N 型トランジスタ 101A の出力電流が減少する。また、“H” レベルの入力信号  $V_{in}$  が入力される P 型トランジスタ 100B の出力電流は、参照信号  $V_{REF}$  が入力される P 型トランジスタ 101A の出力電流より小さくなる。

20

## 【 0 0 9 0 】

このように、入力部 10, 11 の N 型及び P 型トランジスタ 100A, 101A, 100B, 101B は、差動状態で駆動する。

## 【 0 0 9 1 】

入力部 10, 11 のトランジスタ 100A, 100B, 101A, 101B のそれぞれからの電流が、各トランジスタ 100A, 100B, 101A, 101B が接続されたカレントミラー回路 300A, 300D, 300C, 300B に、カレントミラー回路の基準電流として、供給される。

30

## 【 0 0 9 2 】

入力信号  $V_{in}$  の電圧値が参照信号  $V_{REF}$  の電圧値より大きい場合、カレントミラー回路 300C に供給される電流より大きい電流が、N 型トランジスタ 100A によって、カレントミラー回路 300A に、供給される。また、カレントミラー回路 300D に供給される電流より大きい電流が、カレントミラー回路 300B に、P 型トランジスタ 101B によって、供給される。

また、カレントミラー回路 300A のノード 1A には、N 型トランジスタ 100A からの電流に加えて、カレントミラー回路 300B の出力電流が、基準電流として供給される。カレントミラー回路 300C のノード ND2A には、N 型トランジスタ 101A からの電流に加えて、カレントミラー回路 300D の出力電流が、基準電流として供給される。

40

## 【 0 0 9 3 】

これによって、各カレントミラー回路 300A, 300B, 300C, 300D のノード ND1A, ND2B, ND2A, ND1B の電位が、入力部 10, 11 のトランジスタ 100A, 101B, 101A, 100B の電流に起因して、変動する。各カレントミラー回路 300 は、供給された基準電流の大きさに応じて、電流を出力する。

## 【 0 0 9 4 】

本実施形態において、アンプ回路 1 が待機状態から駆動状態になる前 (入力信号  $V_{in}$  のサンプリングが開始される前) に、カレントミラー回路 300A, 300C のノード ND1A, ND2A は、放電され、カレントミラー回路 300B, 300D のノード ND2B, ND1B は充電されている。それゆえ、入力部 10, 11 のトランジスタ 100A,

50

100B, 101A, 101Bの電流によってノードND1A, ND1B, ND2A, ND2Bの電位が遷移する期間が、短縮される。

【0095】

カレントミラー回路300Aは、差動入力部10を形成しているN型トランジスタ100Aの電流の大きさとカレントミラー回路300Bの出力電流の大きさに応じて、出力電流を出力する。カレントミラー回路300Aからの電流は、カレントミラー回路300Eに出力される。カレントミラー回路300Aからの電流は、P型トランジスタ121B電流経路の一端からカレントミラー回路300Eのダイオード接続されたN型トランジスタ125Aの電流経路の一端及びゲートに、供給される。

【0096】

カレントミラー回路300Eは、カレントミラー回路300Aからの電流を基準電流として、電流を出力する。

【0097】

カレントミラー回路300Cは、差動入力部11を形成しているP型トランジスタ101Aの電流の大きさとカレントミラー回路300Dの出力電流の大きさに応じた電流を、出力する。

【0098】

カレントミラー回路300Cの出力電流及びカレントミラー回路300Eの出力電流によって、出力部20の電位が変化する。

【0099】

ここで、入力信号Vinの電圧値が参照信号VREFの電圧値より大きい場合、第1の入力部10のN型トランジスタ100Aを流れる電流が、第2の入力部11のN型トランジスタ101Aを流れる電流より大きい。すなわち、カレントミラー回路300CのP型トランジスタ123Bから出力される電流は、カレントミラー回路300EのN型トランジスタ125Bから出力される電流より小さい。

【0100】

この結果として、P型トランジスタ123BとN型トランジスタ125Bとのプッシュプル動作により、出力部20が接続されたノードの電位は、駆動電圧V1からグランド電圧に低下する。

したがって、“L”レベルの出力信号Voutが、アンプ回路1内のカレントミラー回路からなる出力生成回路30からアンプ回路1の外部へ出力される。

【0101】

入力信号Vinが“L”レベルである場合、以下のように、本実施形態のアンプ回路1は、駆動する。

“L”レベルの入力信号Vinの電位(例えば、0V)は、参照信号VREFの電位(例えば、1.65Vより低い)。

【0102】

それゆえ、“L”レベルの入力信号Vinが入力されるN型トランジスタ100Aの電流が減少し、参照信号VREFが入力されるN型トランジスタ101Aの電流が増大する。

【0103】

また、“L”レベルの入力信号Vinが入力されるP型トランジスタ100Bの電流は、参照信号VREFが入力されるP型トランジスタ101Bの電流より大きくなる。

【0104】

この場合、入力信号Vinが“H”レベルである場合と反対に、カレントミラー回路300Cの出力電流が、カレントミラー回路300Eの出力電流より大きくなるので、出力部20が接続されたノードの電位は、駆動電圧V1になる。

したがって、“H”レベルの出力信号Voutが、アンプ回路1内のカレントミラー回路からなる出力生成回路30からアンプ回路1の外部へ出力される。

【0105】

10

20

30

40

50

このように、本実施形態のカレントミラー回路型のアンプ回路 1 において、入力信号  $V_{in}$  と参照信号  $V_{REF}$  との差動増幅によって、出力信号  $V_{out}$  が生成される。

【0106】

生成された出力信号  $V_{out}$  が、アンプ回路 1 の出力部 20 からアンプ回路 1 の外部へ出力される (ステップ ST3)。

【0107】

以上のように、本実施形態のアンプ回路 1 が駆動される。

【0108】

図 3 に示されるように、アンプ回路 1 が待機状態から動作状態に遷移する時に、入力部 10, 11 とカレントミラー回路 300 (出力生成回路 30) との接続ノードに接続された電流源 190 によって、それらの接続ノードが、入力信号が入力される前 (アンプ回路が出力信号を生成する前) に充電又は放電される。

【0109】

これによって、アンプ回路 1 が待機状態から駆動状態になるときに於ける、アンプ回路 1 の入力部 10, 11 とカレントミラー回路 300 とのノードが所定の電位に達するまでの時間 (出力信号  $V_{out}$  の生成が開始されるまでの時間) を短縮でき、アンプ回路 1 の動作を高速化できる。

【0110】

したがって、本実施形態の半導体回路の動作によれば、半導体回路の動作特性を向上できる。

【0111】

(3) 適用例

図 4 を用いて、本実施形態のアンプ回路の適用例について、説明する。

【0112】

例えば、本実施形態のアンプ回路は、半導体メモリに用いられる。

図 4 は、本実施形態のアンプ回路を含む半導体メモリの構成の主要部を示すブロック図である。本実施形態の半導体メモリ 7 は、例えば、NAND 型フラッシュメモリである。

【0113】

フラッシュメモリ 7 のチップの外部には、コントローラ 8 及びホスト 9 が設けられている。コントローラ 8 は、ホスト 8 からのデータの読み出し要求又はデータの書き込み要求に基づいて、フラッシュメモリ 7 に制御信号 (コマンド) を送信し、メモリセルに対するデータの書き込み又はデータの読み出しをフラッシュメモリ 7 に指示する。コントローラ 8 及びホスト 9 は、フラッシュメモリ 7 からの制御信号 (ステータス) を受信し、フラッシュメモリ 7 の動作状況を把握する。

【0114】

また、コントローラ 8 及びホスト 9 は、コマンドとともに書き込むべきデータ及びデータを書き込む ROW 及び COLUMN を示すアドレスをフラッシュメモリ 7 に送信する。コントローラ 8 及びホスト 9 は、コマンドに応じてフラッシュメモリ 7 から読み出されたデータを受信する。また、コントローラ 8 及びホスト 9 は、読み出されたデータに対応するアドレスを受信する。

【0115】

フラッシュメモリ 7 とコントローラ 8 とによって、メモリカードや SSD (Solid State Drive) などのストレージデバイス (メモリシステム) 200 が、形成される。

【0116】

フラッシュメモリ 7 において、メモリセルアレイ 70 は、複数のメモリセルを含んでいる。メモリセルアレイ 1 に対して、制御単位としての複数のブロックが設定されている。ブロックは、例えば、消去の最小単位を示している。

【0117】

1 つのブロックは、ROW 方向に並んだ複数のメモリセルユニット MU から構成される。

【0118】

10

20

30

40

50

1つのメモリセルユニットMUは、複数のメモリセルMCから形成されるメモリセルストリングと、メモリセルストリングの一端及び他端に接続されたセレクトトランジスタSTとを含んでいる。メモリセルストリングにおいて、メモリセルMCの電流経路が、カラム方向に沿って直列接続されている。

【0119】

メモリセルユニットMUの一端に、ソース線SLが接続される。メモリセルユニットMUの他端に、ビット線BLが接続されている。

【0120】

メモリセルMCは、電荷蓄積層（例えば、浮遊ゲート電極、又は、電子に対するトラップ準位を含む絶縁膜、又はこれらの積層膜）を有するゲート構造の電界効果トランジスタである。カラム方向に隣接する2つのメモリセルMCはソース/ドレインが接続されている。これによって、メモリセルMCの電流経路が直列接続され、メモリセルストリングが形成される。

10

【0121】

ワード線WLはロウ方向に延在し、各ワード線WLはロウ方向に沿って配列された複数のメモリセルMCのゲートに共通に接続される。

【0122】

セレクトゲート線SGLはロウ方向に延び、ロウ方向に沿って配列されたセレクトトランジスタSTのゲートに共通に接続される。

【0123】

20

各メモリセルMCは、トランジスタのしきい値電圧の大きさ（しきい値電圧の分布）とデータとが対応づけられることによって、外部からの1bit又は2bit以上のデータを記憶する。データは、同一のワード線WLに接続されたメモリセルMCに対して、一括して書き込まれる、又は、読み出される。データの書き込み/読み出しにおけるメモリセルレイ1のロウの制御単位は、ページとよばれる。

【0124】

ロウ制御回路71は、メモリセルレイ70のロウを制御する。ロウ制御回路71は、メモリセルレイ70内に設けられたワード線WL及びセレクトゲート線SGLに接続されている。ロウ制御回路71は、アドレスバッファ74から転送されたロウアドレスに基づいて、ブロック及びページ（ワード線WL）を選択し、ワード線WL及びセレクトゲート線SGLの動作（電位）を制御する。例えば、ロウ制御回路71は、ソース線SLの電位を制御する。

30

【0125】

カラム制御回路72は、メモリセルレイ70のカラムを制御する。カラム制御回路72は、アドレスバッファ74から転送されたカラムアドレスに基づいて、メモリセルレイ70のカラムに対して設定された制御単位を選択し、ビット線BLの動作（電位）を制御する。カラム制御回路72は、センスアンプ回路720、データラッチ回路721及びカラムデコーダ722などを含んでいる。

【0126】

センスアンプ回路720は、ビット線BLの充電及び放電を制御する、及び、ビット線BLの電位変動を増幅及び検知する。

40

【0127】

データラッチ回路721は、外部からのデータ、及び、メモリセルレイ10からのデータを、一時的に保持する。

【0128】

カラムデコーダ722は、アドレスバッファ74からのカラムアドレスをデコードし、選択されたビット線（選択ビット線とよぶ）BL又はメモリセルレイ10のカラムに割り付けられた複数の制御単位をアクティブにする。

【0129】

電圧生成回路73は、データの書き込み（プログラム）時、データの読み出し時及び消

50

去時に、各ワード線WLに印加される書き込み電圧、読み出し電圧、中間電位及び非選択電位を生成する。電圧生成回路73は、例えば、セレクトゲート線SGLに印加される電位を生成する。電圧生成回路73によって生成された電位は、ロウ制御回路71に転送され、選択/非選択ワード線WL、セレクトゲート線SGLにそれぞれ印加される。電圧生成回路73は、カラム制御回路72に印加される電位、或いは、ソース線SLに印加される電位及びウェル領域に印加される電位を生成する。

#### 【0130】

データ入出力バッファ75は、データの入出力のインターフェイスとなる。データ入出力バッファ75は、入出力制御回路(I/O制御回路)78を介して入力された外部装置(例えば、コントローラ8又はホスト9)からのデータを、一時的に保持する。データ入出力バッファ75は、メモリセルアレイ70から出力されたデータを一時的に保持し、所定のタイミングで、保持しているデータを、I/O制御回路78を介してフラッシュメモリ7の外部へ出力する。

10

#### 【0131】

アドレスバッファ74は、I/O制御回路78を介して入力されたアドレス信号を、一時的に保持する。外部からのアドレス信号は、例えば、物理アドレスであり、物理ロウアドレス及び物理カラムアドレスを含んでいる。

#### 【0132】

内部制御回路76は、フラッシュメモリ7全体の動作を管理する。内部制御回路76は、I/O制御回路78を経由して供給された制御信号(コマンド)を受信する。内部制御回路76は、フラッシュメモリ7内部の動作状況を示す制御信号(ステータス)を、外部装置8,9に送信する。制御信号としてのコマンド又はステータスは、コマンド/ステータスバッファ79を介して、内部制御回路76とI/O制御回路78との間で、入出力される。

20

#### 【0133】

論理制御回路77は、CLE(Command Latch Enable)及びALE(Address Latch enable)等の、外部(ホスト装置又はコントローラ)からの制御信号(例えば、イネーブル信号)を受信し、その信号を、内部制御回路76に転送する。論理制御回路180は、受信した信号(コマンドやデータ)を、I/O制御回路20に出力する。

#### 【0134】

I/O制御回路78は、フラッシュメモリ7とコントローラ8/ホスト9との間において、データの入出力、コマンドの受信、ステータスの送信などの動作タイミングを制御する。I/O制御回路78は、例えば、インターフェイス処理を実行するための制御ユニット(インターフェイス処理ユニット)を含んでいる。

30

#### 【0135】

I/O制御回路78は、例えば、I/O端子及びI/O信号線を介して、コントローラ8に接続される。I/O制御回路78は、各バッファ74,75,79を介して、又は、直接、フラッシュメモリ7内部の各回路71,72,76に接続される。

#### 【0136】

実施形態のアンブ回路1は、例えば、I/O制御回路78内に設けられる。例えば、フラッシュメモリ7に用いられたアンブ回路1は、外部(例えば、コントローラ8)からの信号を入力信号Vinとして差動増幅し、その信号を出力信号Voutとして、フラッシュメモリ7内部の回路へ出力する。尚、本実施形態のアンブ回路1は、フラッシュメモリ7から外部装置へ信号を出力するためのアンブ回路に用いられてもよい。実施形態のアンブ回路1は、カラム制御回路72や電圧生成回路73など、フラッシュメモリ7内のI/O制御回路78以外の回路に用いられてもよい。

40

#### 【0137】

以上のように、本実施形態のアンブ回路1は、半導体メモリ、例えば、NAND型フラッシュメモリに適用できる。

#### 【0138】

50

尚、本実施形態のアンブ回路1は、NAND型フラッシュメモリ以外のフラッシュメモリ（例えば、NOR型又はAND型フラッシュメモリ）、DRAM、SRAM、MRAM、PCRAM及びReRAMにも適用できる。本実施形態のアンブ回路1を含むメモリは、3次元構造のメモリセルアレイを有していてもよい。例えば、3次元構造のメモリセルアレイ内において、メモリセルは、電荷蓄積層を含む縦型トランジスタである。本実施形態のアンブ回路1を含む半導体メモリは、クロスポイント型のメモリセルアレイを有していてもよい。本実施形態のアンブ回路1は、ロジック回路及びアナログ回路からなる半導体集積回路、イメージセンサ、システムLSIなどに、適用できる。

【0139】

以上のように、本実施形態のアンブ回路1を含む半導体集積回路は、データ及び信号の入出力を高速化できる。

10

【0140】

[その他]

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

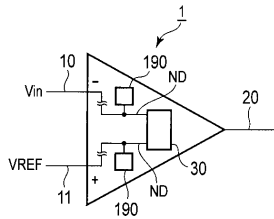
【符号の説明】

【0141】

1：アンブ回路、10，11：入力部、30：出力生成回路、300A，300B，300C，300D，300E：カレントミラー回路、190，190A，190B，190C，190D，190E：電流源。

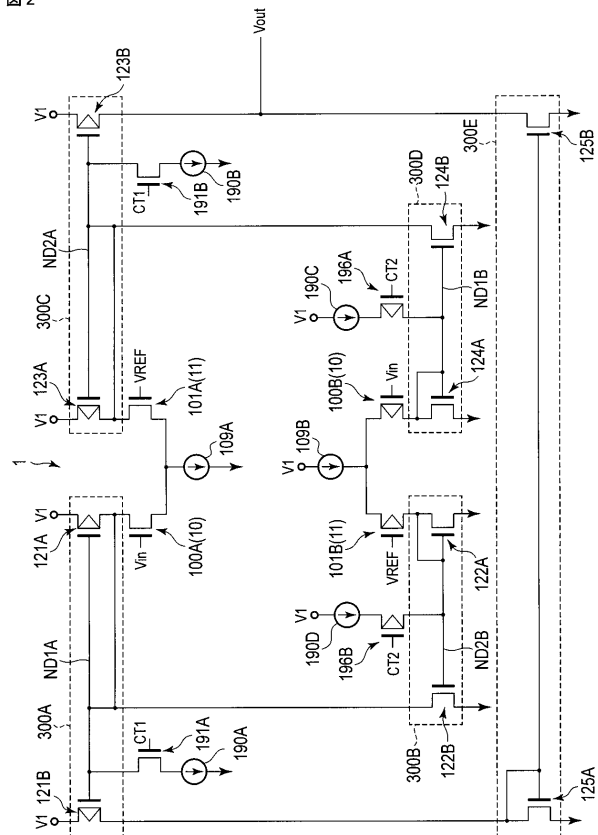
【図1】

図1



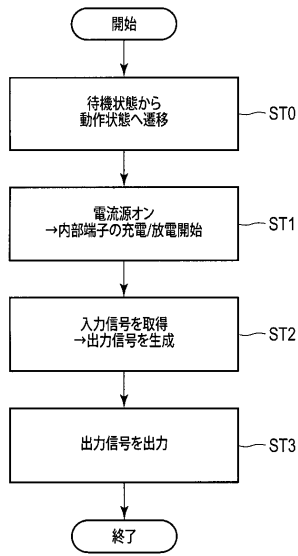
【図2】

図2



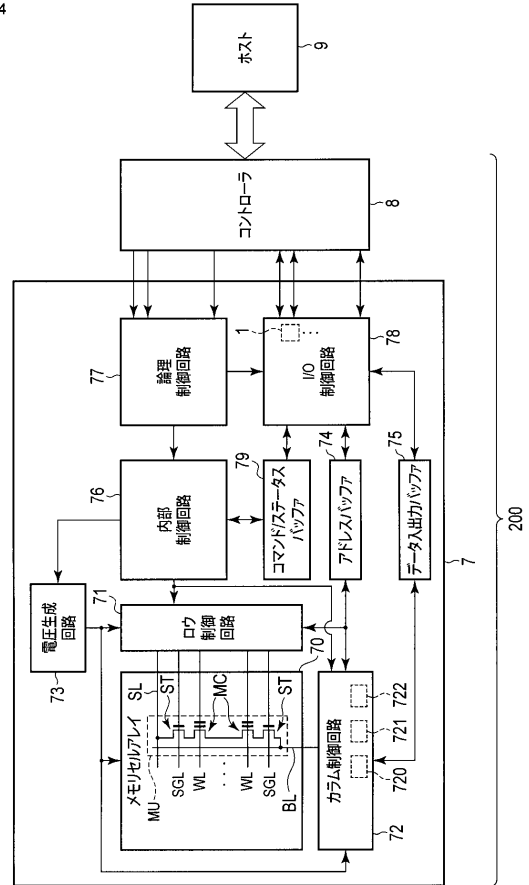
【 図 3 】

図 3



【 図 4 】

図 4



## フロントページの続き

- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100158805  
弁理士 井関 守三
- (74)代理人 100172580  
弁理士 赤穂 隆雄
- (74)代理人 100179062  
弁理士 井上 正
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (72)発明者 河野 雅俊  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 増田 正美  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 伊東 幹彦  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小柳 勝  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- Fターム(参考) 5B125 BA02 CA01 EA05 EF01 EF02 EF03 FA01  
5J500 AA01 AA12 AA42 AC65 AC85 AF10 AH08 AH10 AK05 AK09  
AK12 DN01 DN12 DN23 DP03