

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>7</sup>  
H01L 27/108

(45) 공고일자 2002년06월01일  
(11) 등록번호 10 - 0338959  
(24) 등록일자 2002년05월20일

(21) 출원번호 10 - 2000 - 0051219  
(22) 출원일자 2000년08월31일

(65) 공개번호 특2002 - 0017713  
(43) 공개일자 2002년03월07일

(73) 특허권자 주식회사 하이닉스반도체  
박종섭  
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 박상희  
충청북도청주시흥덕구비하동396번지효성아파트301동1509호

(74) 대리인 박장원

심사관 : 조지은

(54) 반도체 소자의 커패시터 하부전극 제조방법

## 요약

본 발명은 반도체 소자 제조 방법에 관한 것으로, 특히 커패시터의 하부전극 제조방법에 관한 것이다. 본 발명은 커패시터 하부전극의 기초가 되는 아몰퍼스 실리콘층 패턴 사이에 질화막 패턴을 커패시터간의 브릿지 배리어로서 형성함으로써 신뢰성이 높은 커패시터의 하부전극을 제조하는 방법을 제공한다. 본 발명에 따른 커패시터의 하부전극을 제조하는 방법은, 반도체 기판 위에 평탄층을 형성하는 공정과, 상기 평탄층에 콘택홀을 형성하는 공정과, 상기 콘택홀내에 반도체 기판과 전기적으로 접속되도록 도전성 플러그를 형성하는 공정과, 상기 평탄층 및 상기 도전성 플러그의 상면에 제1 질화막을 형성하는공정과, 상기 제1질화막의 상면에 제1산화막을 형성하는 공정과, 상기 제1산화막을 부분적으로 식각하여 상기 도전성 플러그 주변에 트렌치를 형성하는 공정과, 상기 트렌치 내부에 제2 질화막을 형성하는 공정과, 상기 제1산화막을 식각 제거하는 공정과, 상기 제2질화막 및 제1 질화막의 상면에 제2산화막을 형성하는 공정과, 상기 제2산화막 및 제1 질화막을 식각하여 상기 도전성 플러그의 상면을 노출시키는 공정과, 상기 도전성 플러그의 상면 및 상기 제2산화막의 측벽에 아몰퍼스 실리콘층 패턴을 형성하는 공정과, 상기 제2 산화막을 선택적으로 식각 제거하는 공정과, 상기 아몰퍼스 실리콘층 패턴의 표면적을 증대시키는 공정과, 상기 제2질화막을 식각 제거하는 공정을 포함한다.

대표도  
도 2m

명세서

## 도면의 간단한 설명

도1a 내지 도1f는 종래의 커패시터 하부전극의 제조공정을 설명하기 위한 공정 단면도들이다.

도2a 내지 도2m은 본 발명에 따른 커패시터 하부전극의 제조공정을 설명하기 위한 공정 단면도들이다.

**\*\* 도면의 주요부분에 대한 부호의 설명 \*\***

100 : 반도체 기판 101 : 개별 소자

102 : 평탄층 103 : 컨택 플러그

104 : 질화막 105 : 실리콘산화막

110 : 개구부 111 : 아몰퍼스 실리콘층

112 : 에스오지 113 : HSG(hemispherical silicon grain)

200 : 반도체 기판 201 : 개별소자

203 : 도전성 플러그 204 : 제1 질화막

205 : 제1산화막, TEOS막 206 : 포토레지스트막

207 : 개구부 208 : 트렌치

209 : 제2 질화막 210 : HLD막

211 : 아몰퍼스 실리콘층 211a : 아몰퍼스 실리콘층의 최상면

212 : 포토레지스트막 213 : SEA(surface enhanced area)

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 커패시터의 하부전극 제조방법에 관한 것이다.

디램(DRAM; dynamic random access memory)의 메모리 셀은 전계 효과 트랜지스터와 커패시터의 두 주요 부분으로 구성된다. 메모리 소자의 집적도를 증가시키기 위해 커패시터의 크기를 축소할 경우 커패시턴스가 줄게 되며 커패시턴스의 감소는 다음과 같은 문제점들을 낳는다.

첫째, 소프트 오류가 발생한다. 즉 디램은 커패시터 내에 축적된 전하량에 의해 '0'과 '1'의 정보를 판별하는데, 알파 입자에 의해 추가로 생성된 전자-정공 쌍들이 커패시터내의 전하량에 영향을 주어, 메모리 소자에 저장된 정보의 교란이 일어나게 되며 이를 소프트 오류라 한다.

둘째 디램의 경우 각 셀의 커패시터에 축적된 전하를 주기적으로 충전해주는 리프레시 동작이 필요한데, 커패시턴스가 감소함에 따라 리프레시 시간이 짧아진다. 리프레시 동작 동안 소자의 다른 연산 동작이 중단되므로 리프레시 시간이 짧아짐으로 인하여 반도체 소자의 동작속도가 떨어지게 되는 단점이 있다.

따라서 커패시터가 반도체 기판내에서 차지하는 면적을 감소시키면서 충분한 정전용량(capacitance)을 갖는 커패시터는 제조하기 위해 여러 가지 방법이 연구되고 있으며, 그 연구 방향은 크게 커패시터의 구조에 대한 연구와 재료에 대한 연구로 나눌 수 있다.

커패시터의 구조에 대해서는 유전막의 박막화, 커패시터의 전극의 유효 표면적의 증대 등이 주로 연구되고 있으며, 재료에 대해서는 종래의 실리콘 산화막을 대신할 수 있는 대체 유전막 개발에 연구가 집중되고 있다.

그러나 유전막의 박막화는 누설 전류 특성 때문에 그 한계가 있고, 종래 이용되고 있던 유전막 재료인 리콘산화막을 유전율이 높은 재료로 대체하려는 시도는 기존의 공정을 바꾸어야 하기 때문에 어려운 점이 있다. 따라서 커패시터 전극의 유효 표면적의 증대를 통해 커패시터의 정전 용량을 충분히 유지하려는 방향으로 연구가 가장 활발히 진행되고 있다.

그러한 노력의 일환으로 개발된 종래의 커패시터의 제조방법을 첨부된 도면을 참조하여 설명하면 다음과 같다. 즉 커패시터의 하부전극을 컵의 형상으로 입체화하여 제조하고, 그 표면에 반구형 실리콘 알갱이(HSG; hemispherical silicon grain)를 형성하여 하부전극의 표면적을 극대화 하고자 했다.

먼저 도1a에 도시한 바와 같이, 반도체 기판(100)의 상면에 다수의 개별 소자들(101)을 형성한 다음, 상기 개별소자들(101)의 상면에 절연성 재료로 된 평탄층(102)을 형성한다. 다음으로, 상기 평탄층(102)에 콘택홀을 형성한 다음 상기 콘택홀에 도전성 물질을 채워 반도체 기판(100)과 전기적으로 접속되도록 콘택 플러그(103)를 형성한다. 다음으로, 상기 평탄층(102) 및 상기 콘택 플러그(103)의 상면에 질화막(104)을 형성한다. 다음으로 상기 질화막(104)의 상면에 티오에스 (TEOS; tetra - ortho - ethyl - silicate)를 기초로하여 플라즈마 화학기상증착법으로 증착한 실리콘산화막(105)을 형성한다.

다음으로 도1b에 도시된 바와 같이 상기 질화막(104) 및 상기 실리콘산화막(105)을 부분적으로 식각하여 상기 콘택 플러그(103)의 상면이 완전히 노출되도록 상기 실리콘산화막(105) 및 질화막(104)에 개구부(110)를 형성한다.

다음으로 도1c에 도시된 바와 같이 상기 도1b의 구조 전면에 아몰퍼스 실리콘층(111)을 화학기상증착법으로 증착한다.

다음으로, 도1d에 도시한 바와 같이, 상기 아몰퍼스 실리콘층(111)의 상면 및 상기 개구부(110)내에 에스오지막(SOG; spin on glass)(112)을 형성한 다음 에치백 공정을 수행하여, 상기 개구부(110)내에만 상기 에스오지막(112)이 남도록 한다.

다음으로 도1e에 도시한 바와 같이 실리콘산화막(105) 상면의 상기 아몰퍼스 실리콘층(111)이 제거되도록 화학기계 연마 공정을 실시한다.

다음으로 도1f에 도시한 바와 같이, 상기 실리콘산화막(105) 및 상기 에스오지막(112)을 산화막 에칭액으로 습식식각법으로 제거하여 컵 모양의 상기 아몰퍼스 실리콘 패턴(111)만을 남긴다. 상기 실리콘 패턴(111)의 표면에 실리콘 입자층(HSG; hemispherical silicon grain layer)(113)을 형성함으로써 커패시터의 하부전극의 형성을 완료한다.

그러나 상기와 같은 종래의 커패시터 제조방법은 다음과 같은 문제점이 있었다.

즉 HSG 형성공정시, 아몰퍼스 실리콘 패턴의 표면에만 HSG를 형성하는 것이 바람직하다. 그러나, HSG 제조 공정시 일반적으로 공정 수행시 실리콘산화막에도 HSG가 형성된다. 따라서 산화막에 형성된 HSG들에 의해 이웃하는 커패시터 하부전극들이 전기적으로 쇼팅되는 문제점이 있었다. 또한 인접한 커패시터의 하부전극간의 거리가 가까운 경우 하부전극 측벽의 HSG들이 붙는 브릿지 현상이 발생하여, 반도체 소자가 정상적으로 동작하지 못하게 되는 문제가 있었다.

### 발명이 이루고자 하는 기술적 과제

본발명은 상기와 같은 문제점에 비추어 안출된 것으로, 커패시터 하부전극간의 브리지를 방지하여 신뢰성이 높고 커패시턴스를 증가시킬 수 있는 커패시터의 하부전극을 제조하는 방법을 제공하는데 그 목적이 있다.

상기와 같은 본 발명의 목적을 달성하기 위하여, 반도체 기판 위에 평탄층을 형성하는 공정과, 상기 평탄층에 콘택홀을 형성하는 공정과, 상기 콘택홀내에 반도체 기판과 전기적으로 접속되도록 도전성 플러그를 형성하는 공정과, 상기 평탄층 및 상기 도전성 플러그의 상면에 제1 질화막을 형성하는 공정과, 상기 제1질화막의 상면에 제1산화막을 형성하는 공정과, 상기 제1산화막을 부분적으로 식각하여 상기 도전성 플러그 주변에 트렌치를 형성하는 공정과, 상기 트렌치 내부에 제2 질화막을 형성하는 공정과, 상기 제1산화막을 식각 제거하는 공정과, 상기 제2질화막 및 제1 질화막의 상면에 제2산화막을 형성하는 공정과, 상기 제2산화막 및 제1 질화막을 식각하여 상기 도전성 플러그의 상면을 노출시키는 공정과, 상기 도전성 플러그의 상면 및 상기 제2산화막의 측벽에 아몰퍼스 실리콘층 패턴을 형성하는 공정과, 상기 제2산화막을 선택적으로 식각 제거하는 공정과, 상기 아몰퍼스 실리콘층 패턴의 표면에 실리콘 알갱이를 형성하여 커패시터 하부전극의 표면적을 증대시키는 공정과, 상기 제2질화막을 식각 제거하는 공정을 포함하여 순차수행하는 반도체 소자의 커패시터의 하부전극 제조방법을 제공한다.

또한 상기와 같은 본 발명의 목적을 달성하기 위하여, 상기 트렌치내에 상기 제2질화막을 형성하는 공정은, 상기 트렌치 내부 및 상기 제1산화막 상면에 제2질화막을 형성하는 공정과, 상기 제1산화막 상면의 상기 제2 질화막을 제거하는 공정을 포함하여 수행하는 것을 특징으로 하는 반도체 소자의 커패시터의 하부전극 제조방법을 제공한다.

또한 상기와 같은 본 발명의 목적을 달성하기 위하여, 상기 제2질화막을 제거하는 공정은, 에치백 공정이거나 화학기계연마 공정인 것을 특징으로 하는 반도체 소자의 커패시터의 하부전극 제조방법을 제공한다.

또한 상기와 같은 본 발명의 목적을 달성하기 위하여, 상기 제1산화막은 TEOS를 이용하여 화학기상증착법으로 형성한 실리콘 산화막인 것을 특징으로 하는 반도체 소자의 커패시터의 하부전극 제조방법을 제공한다.

또한 상기와 같은 본 발명의 목적을 달성하기 위하여, 상기 제2산화막은 고온저압 화학기상증착법으로 증착한 실리콘산화막인 것을 특징으로 하는 반도체 소자의 커패시터의 하부전극 제조방법을 제공한다.

또한 상기와 같은 본 발명의 목적을 달성하기 위하여, 상기 도전성 플러그를 노출시키는 공정은, 상기 제2산화막 및 제1 질화막을 마스크를 이용하지 않고 순차적으로 이방성 에칭하는 공정인 것을 특징으로 하는 반도체 소자의 커패시터의 하부전극 제조방법을 제공한다.

또한 상기와 같은 본 발명의 목적을 달성하기 위하여, 본 발명은, 상기 아몰퍼스 실리콘층 패턴을 형성하는 공정은, 상기 도전성 플러그의 상면 및 상기 제2산화막의 상면 및 측벽 및 상기 제2 질화막의 상면에 아몰퍼스 실리콘층을 증착하는 공정과, 상기 아몰퍼스 실리콘층의 최상면이 보이지 않도록 포토레지스트층을 상기 아몰퍼스 실리콘층 위에 두껍게 형성하는 공정과, 상기 아몰퍼스 실리콘층의 최상면이 노출되도록 상기 포토레지스트층을 에치백하는 공정과, 상기 제2 질화막 상면의 아몰퍼스 실리콘층을 제거하는 공정을 순차 실시하는 것을 특징으로 하는 반도체 소자의 커패시터의 하부전극 제조방법을 제공한다.

또한 상기와 같은 본 발명의 목적을 달성하기 위하여 본 발명은, 상기 제2 질화막 상면의 아몰퍼스 실리콘층을 제거하는 공정은 에치백 공정인 것을 특징으로 하는 반도체 소자의 커패시터의 하부전극 제조방법을 제공한다.

또한 상기와 같은 본 발명의 목적을 달성하기 위하여 본 발명은, 상기 제2 질화막 상면의 아몰퍼스 실리콘층을 제거하는 공정은 화학기계연마 공정인 것을 특징으로 하는 반도체 소자의 커패시터의 하부전극 제조방법을 제공한다.

또한 상기와 같은 본 발명의 목적을 달성하기 위하여 본 발명은, 상기 제2 질화막을 제거하는 공정은 인산( $H_3PO_4$ ) 용액을 이용한 습식 식각법인 것을 특징으로 하는 반도체 소자의 커패시터의 하부전극 제조방법을 제공한다.

## 발명의 구성 및 작용

본발명의 일실시예에 따른 커패시터의 하부전극 제조방법을 첨부된 도면을 참조하여 설명하면 다음과 같다.

먼저 도2a에 도시한 바와 같이, 반도체 기판(200)의 상면에 다수의 개별 소자들(201)을 형성한 다음, 상기 개별소자들(201)의 상면에 절연성 물질로 된 평탄층(202)을 형성한다. 다음으로, 상기 평탄층을 부분적으로 식각하여 콘택홀을 형성한 다음, 상기 콘택홀에 도전성 물질을 채워 반도체 기판(200)과의 전기적인 접속을 갖는 도전성 플러그(203)를 형성한다.

다음으로, 상기 도전성 플러그(203) 및 상기 평탄층(202)의 상면에 제1질화막(204)을 형성하고, 상기 제1 질화막(204) 상면에 제1산화막(205)을 형성한다. 상기 제1 질화막은 실리콘질화막이며 제1 산화막은 티타늄옥사이드(TEOS; tetra ethyl orthosilicate)를 이용하여 화학기상증착법으로 증착한 실리콘산화막이다. 상기과 같이 TEOS를 이용하여 형성한 실리콘산화막을 이하 TEOS막이라 한다. 다음으로, 상기 TEOS막(205)의 상면에 포토레지스트막(206)을 형성한 다음, 노광 및 현상하여 상기 도전성 플러그(203)를 사이에 두고 그 주변에 트렌치형 개구부(207)를 형성한다.

다음으로 도2b에 도시된 바와 같이 상기 개구부(207)를 통해 상기 TEOS막(205)을 식각하여 상기 TEOS막(205)에 트렌치(208)를 형성한 후 상기 포토레지스트막(206)을 제거한다.

다음으로 도2c에 도시된 바와 같이 상기 트렌치(208) 내부 및 상기 TEOS막(205)의 상면에 저압 화학기상증착법을 이용하여 제2질화막(209)을 형성한다.

다음으로 도2d에 도시된 바와 같이 화학기계연마 공정 또는 에치백 공정을 실시하여 상기 TEOS막(205) 상면의 상기 제2 질화막(209)을 제거하여 상기 TEOS막(205)의 상면이 노출되도록 한다.

다음으로, 도2e에 도시된 바와 같이 상기 TEOS막(205)를 산화막 식각액을 이용하여 습식 식각법으로 선택적으로 제거하여 제2질화막(209) 패턴만을 남긴다. 상기 제2질화막(209)은 이후에 형성될 커패시터의 하부전극들 사이에 위치하여 커패시터 하부전극 표면적을 증대시키기 위한 SEA(surface enhanced area) 공정을 실시할 때, 이웃하는 커패시터 하부전극들간의 브릿지를 저지하는 저지막의 역할을 한다.

다음으로 도2f에 도시한 바와 같이 상기 제2질화막(209) 및 상기 제1 질화막(204)의 표면에 제2산화막(210)을 형성한다. 상기 제2 산화막(210)은 고온저압화학기상증착법(HLD; high temperature low pressure chemical vapor deposition)으로 실리콘산화막이며 이하 HLD막이라 한다.

다음으로 도2g에 도시한 바와 같이 도전성 플러그(203)의 상면의 상기 제1질화막(204)이 식각되어 상기 도전성 플러그(203)의 상면이 노출될 수 있을 정도의 에칭 시간을 설정하여 이방성 에칭을 실시한다. 이방성 에칭 공정에 의해 상기 도전성 플러그(203) 상면의 HLD막(209) 및 제1 질화막(204)이 식각 제거되어 도전성 플러그(203)의 상면이 노출된다.

다음으로 도2h에 도시한 바와 같이 도2g의 구조 전면에 즉, 상기 도전성 플러그(203)의 상면 및 상기 HLD막(210)의 표면에 아몰퍼스 실리콘층(211)을 증착한다. 다음으로, 아몰퍼스 실리콘층(211)의 위에 상기 아몰퍼스 실리콘층(211)의 가장 높은 면(211a)까지 모두 덮일 정도로 충분한 두께로 포토레지스트막(212)을 형성한다.

다음으로, 도2i에 도시한 바와 같이 상기 포토레지스트막(212)을 마스크 없이 전면 이방성 에칭을 실시하여 상기 아몰퍼스 실리콘층(211)의 최상면(211a)을 노출시킨다.

다음으로, 도2j에 도시한 바와 같이 상기 아몰퍼스 실리콘층(211)을 에치백하거나 또는 화학기계연마 공정을 실시하여 상기 제2질화막(209) 상면의 아몰퍼스 실리콘층(211)을 제거하여, 아몰퍼스 실리콘층(211)을 컵 형상으로 패터닝함과 동시에 이웃하는 컵 형상의 아몰퍼스 실리콘층(211) 패턴들을 서로 물리적으로 분리시킨다. 상기 컵 모양의 아몰퍼스 실리콘층 패턴(211)은 후속 공정을 거쳐 커패시터의 하부전극이 된다.

다음으로 도2k에 도시한 바와 같이, 남아있는 상기 포토레지스트막(212)을 제거한다. 다음으로 HLD막(210)을 습식 식각법으로 선택적으로 식각제거한다.

다음으로 도2l에 도시한 바와 같이 상기 아몰퍼스 실리콘층 패턴(211)의 표면의 표면적을 증가시키는 공정(SEA 공정)을 실시한다. 즉, 상기 2k의 아몰퍼스 실리콘층패턴을 진공 열처리 챔버(vacuum anneal chamber)에 넣고, 500 ~ 600°C의 온도  $10^{-7} \sim 10^{-8}$  torr 정도의 압력하에서  $\text{Si}_2\text{H}_6$  또는  $\text{SiH}_4$  기체를 분해시켜 상기 아몰퍼스 실리콘층 패턴(211) 표면에 실리콘 입자를 증착시킴으로써 핵형성 자리(nucleation site)를 만든다. 다음으로 상기 반도체 기판을 열처리 함으로써 아몰퍼스 실리콘층(211)의 표면에 반구형의 실리콘 입자층(HSG; hemispherical silicon grain layer)(213)을 형성한다.

다음으로 도2m에 도시된 바와 같이 상기 제2질화막(209)을 인산용액( $\text{H}_3\text{PO}_4$ )을 이용하여 선택적으로 제거함으로써 커패시터의 하부전극의 제조를 완료한다.

### 발명의 효과

본 발명은 커패시터의 하부전극의 표면적을 최대화함으로써 높은 정전용량을 갖는 커패시터를 제조할 수 있는 효과가 있다. 또한 커패시터의 하부전극의 표면적을 증대시키는 공정(SEA 공정시) 이웃하는 커패시터 하부전극들 사이에 질화막 패턴을 형성하여 커패시터 하부전극들 간의 브릿지를 저지함으로써 반도체 소자의 제조 신뢰성을 향상시키는 효과가 있다. 종래의 SOG 산화막 대신 HLD 산화막을 이용함으로써 파티클의 제어가 용이하여 반도체 소자의 제조신뢰성을 향상시키는 효과가 있다.

### (57) 청구의 범위

#### 청구항 1.

반도체 기판 위에 평탄층을 형성하는 공정과,

상기 평탄층에 콘택홀을 형성하는 공정과,

상기 콘택홀내에 반도체 기판과 전기적으로 접속되도록 도전성 플러그를 형성하는 공정과,

상기 평탄층 및 상기 도전성 플러그의 상면에 제1 질화막을 형성하는공정과,

상기 제1질화막의 상면에 제1산화막을 형성하는 공정과,

상기 제1산화막을 부분적으로 식각하여 상기 도전성 플러그 주변에 트렌치를 형성하는 공정과,

상기 트렌치 내부에 제2 질화막을 형성하는 공정과,

상기 제1산화막을 식각 제거하는 공정과,

상기 제2질화막 및 제1 질화막의 상면에 제2산화막을 형성하는 공정과,

상기 제2산화막 및 제1 질화막을 식각하여 상기 도전성 플러그의 상면을 노출시키는 공정과,

상기 도전성 플러그의 상면 및 상기 제2산화막의 측벽에 아몰퍼스 실리콘층 패턴을 형성하는 공정과,

상기 제2 산화막을 선택적으로 식각 제거하는 공정과,

상기 아몰퍼스 실리콘층 패턴의 표면적을 증대시키는 공정과,

상기 제2질화막을 식각 제거하는 공정을 포함하여 순차수행하는 반도체 소자의 커패시터 하부전극 제조방법.

## 청구항 2.

제1항에 있어서,

상기 트렌치내에 상기 제2질화막을 형성하는 공정은,

상기 트렌치 내부 및 상기 제1산화막 상면에 제2질화막을 형성하는 공정과,

상기 제1산화막 상면의 상기 제2 질화막을 제거하는 공정을 포함하여 수행하는 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법.

## 청구항 3.

제2항에 있어서,

상기 제2질화막을 제거하는 공정은, 에치백 공정인 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법.

## 청구항 4.

제2항에 있어서,

상기 제2질화막을 제거하는 공정은 화학기계연마 공정인 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법.

## 청구항 5.

제1항에 있어서,

상기 제1산화막은 TEOS를 이용하여 화학기상증착법으로 형성한 실리콘 산화막인 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법

## 청구항 6.

제1항에 있어서,

상기 제2산화막은 고온저압 화학기상증착법으로 증착한 실리콘산화막인 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법.

## 청구항 7.

제1항에 있어서,

상기 도전성 플러그를 노출시키는 공정은, 상기 제2산화막 및 제1 질화막을 마스크를 이용하지 않고 순차적으로 이방성 에칭하는 공정인 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법

## 청구항 8.

제1항에 있어서 상기 아몰퍼스 실리콘층 패턴을 형성하는 공정은,

상기 도전성 플러그의 상면 및 상기 제2산화막의 상면 및 측벽 및 상기 제2 질화막의 상면에 아몰퍼스 실리콘층을 증착하는 공정과,

상기 아몰퍼스 실리콘층의 최상면이 보이지 않도록 포토레지스트층을 상기 아몰퍼스 실리콘층 위에 두껍게 형성하는 공정과,

상기 아몰퍼스 실리콘층의 최상면이 노출되도록 상기 포토레지스트층을 에치백하는 공정과,

상기 제2 질화막 상면의 아몰퍼스 실리콘층을 제거하는 공정을 순차 실시하는 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법.

청구항 9.

제8항에 있어서, 상기 제2 질화막 상면의 아몰퍼스 실리콘층을 제거하는 공정은 에치백 공정인 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법.

청구항 10.

제8항에 있어서 상기 제2 질화막 상면의 아몰퍼스 실리콘층을 제거하는 공정은 화학기계연마 공정인 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법.

청구항 11.

제1항에 있어서, 아몰퍼스 실리콘층 패턴의 표면적을 증대시키는 공정은 상기 아몰퍼스 실리콘층 패턴의 표면에 반구형 실리콘 입자층을 형성하는 공정인 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법.

청구항 12.

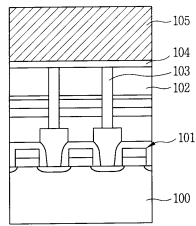
제11항에 있어서, 상기 반구형 실리콘 입자층을 형성하는 공정은, 상기 아몰퍼스 실리콘층 패턴을 진공 열처리 챔버(vacuum anneal chamber)에 넣고, 500 ~ 600°C의 온도  $10^{-7} \sim 10^{-8}$  torr 정도의 압력하에서  $\text{Si}_2\text{H}_6$  또는  $\text{SiH}_4$  기체를 분해시켜 상기 아몰퍼스 실리콘층 패턴 표면에 실리콘 입자를 증착하는 공정과,

상기 아몰퍼스 실리콘층 패턴을 열처리 하여 상기 아몰퍼스 실리콘층 패턴 표면에 는 상기 실리콘 입자를 중심으로 하여 반구형의 실리콘 입자층(HSG; hemispherical silicon grain layer)를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법.

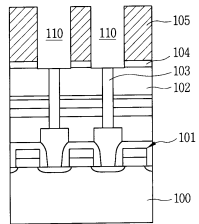
청구항 13.

제1항에 있어서, 상기 제2 질화막을 제거하는 공정은 인산( $\text{H}_3\text{PO}_4$ ) 용액을 이용한 습식 식각법인 것을 특징으로 하는 반도체 소자의 커패시터 하부전극 제조방법.

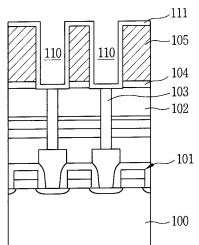
도면 1a



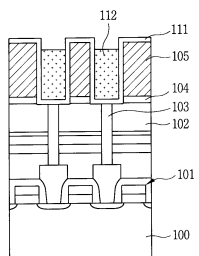
도면 1b



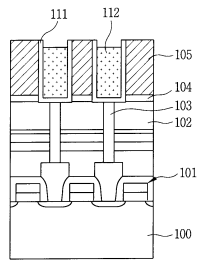
도면 1c



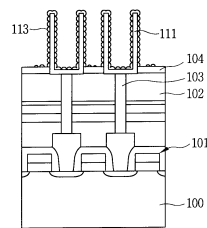
도면 1d



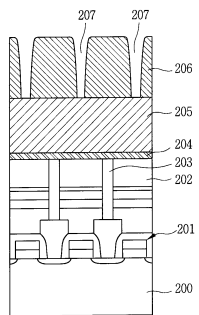
도면 1e



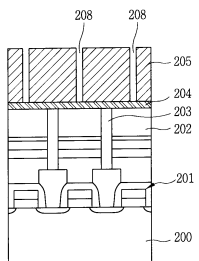
도면 1f



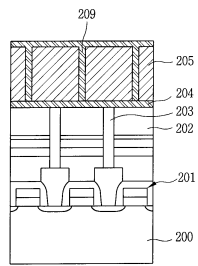
도면 2a



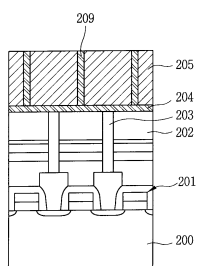
도면 2b



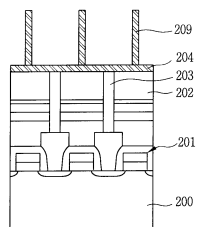
도면 2c



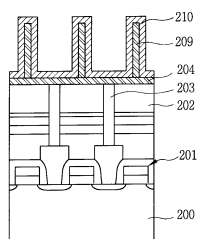
도면 2d



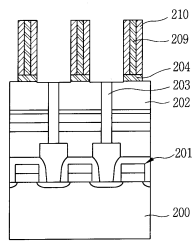
도면 2e



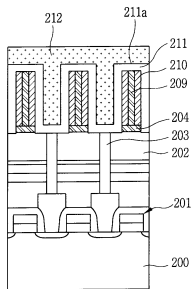
도면 2f



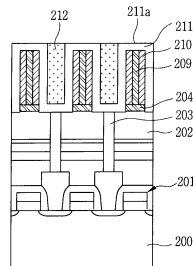
도면 2g



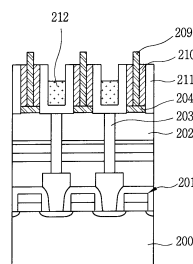
도면 2h



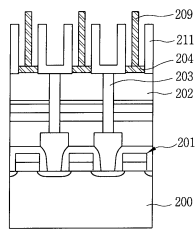
도면 2i



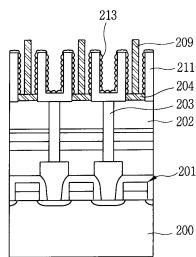
도면 2j



도면 2k



도면 2l



도면 2m

