



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0121685
(43) 공개일자 2012년11월06일

(51) 국제특허분류(Int. Cl.)
G11C 8/00 (2006.01) G11C 7/22 (2006.01)
G11C 11/407 (2006.01)
(21) 출원번호 10-2011-0039635
(22) 출원일자 2011년04월27일
심사청구일자 2011년04월27일

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
구영준
서울특별시 중랑구 신내로7나길 24, 건영2차 212
동 2503호 (상봉동)
(74) 대리인
특허법인 신성

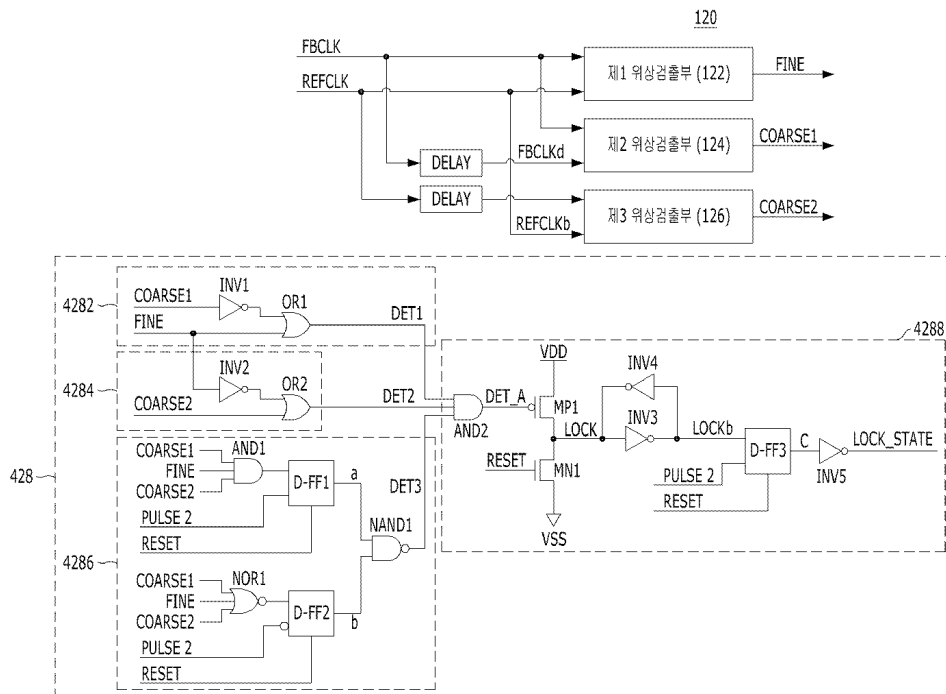
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 반도체 장치 및 반도체 장치의 지연조정루프회로

(57) 요약

두 클록간의 위상을 동기화시키기 위한 회로에 관한 것으로서, 제1 클록의 위상을 기준으로 제2 클록의 위상을 검출하기 위한 제1 위상검출부와, 제1 클록의 위상을 기준으로 제2 클록을 설정된 지연량만큼 지연시킨 클록의 위상을 검출하기 위한 제2 위상검출부와, 제1 클록을 설정된 지연량만큼 지연시킨 클록의 위상을 기준으로 제2 클록의 위상을 검출하기 위한 제3 위상검출부와, 제1 내지 제3 위상검출부에서 출력되는 신호에 응답하여 제1 및 제2 클록의 위상차이에 대응하는 위상차이 검출신호의 논리레벨을 결정하되, 제1 또는 제2 클록의 위상이 급격하게 변동 - 설정된 지연량의 두 배 이상에 대응하는 위상 변동이 발생하는 것을 의미함 - 하는 것을 검출하여 위상차이 검출신호의 논리레벨 결정에 반영하는 위상차이 검출신호 생성부를 구비하는 반도체 장치를 제공한다.

대표도



특허청구의 범위

청구항 1

제1 클록의 위상을 기준으로 제2 클록의 위상을 검출하기 위한 제1 위상검출부;

상기 제1 클록의 위상을 기준으로 상기 제2 클록을 설정된 지연량만큼 지연시킨 클록의 위상을 검출하기 위한 제2 위상검출부;

상기 제1 클록을 상기 설정된 지연량만큼 지연시킨 클록의 위상을 기준으로 상기 제2 클록의 위상을 검출하기 위한 제3 위상검출부;

상기 제1 내지 제3 위상검출부에서 출력되는 신호에 응답하여 상기 제1 및 제2 클록의 위상차이에 대응하는 위상차이 검출신호의 논리레벨을 결정하되, 상기 제1 또는 제2 클록의 위상이 급격하게 변동하는 것을 검출하여 상기 위상차이 검출신호의 논리레벨 결정에 반영하는 위상차이 검출신호 생성부

를 구비하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 제1 또는 제2 클록의 위상이 급격하게 변동할 때는,

상기 제1 또는 제2 클록의 위상이 상기 설정된 지연량의 두 배 이상에 대응하는 위상만큼 변동할 때인 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서,

상기 제1 및 제2 클록의 위상을 동기화시키기 위해 상기 제1 위상검출부의 출력신호에 응답하여 상기 제1 또는 제2 클록의 위상을 변동시키되, 상기 위상차이 검출신호에 응답하여 상기 제1 및 제2 클록의 동기화 여부가 결정되는 클록 위상 변동부를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 4

제3항에 있어서,

상기 위상차이 검출신호 생성부는,

상기 제1 및 제2 위상검출부에서 출력되는 신호에 응답하여 상기 제1 클록보다 상기 제2 클록의 위상이 더 늦은 방향으로 상기 설정된 지연량에 대응하는 위상차이 내에 속하는지를 검출하는 제1 위상차이 검출부;

상기 제1 및 제3 위상검출부에서 출력되는 신호에 응답하여 상기 제1 클록보다 상기 제2 클록의 위상이 더 빠른 방향으로 상기 설정된 지연량에 대응하는 위상차이 내에 속하는지를 검출하는 제2 위상차이 검출부;

상기 제1 내지 제3 위상검출부에서 출력되는 신호에 응답하여 상기 제1 또는 제2 클록의 위상 변동이 상기 설정된 지연량의 두 배 이상에 대응하는 위상차이 만큼 발생하였는지를 검출하는 제3 위상차이 검출부; 및

상기 제1 내지 제3 위상차이 검출부의 출력신호에 응답하여 그 논리레벨이 결정되는 상기 위상차이 검출신호를 출력하는 위상차이 검출신호 출력부를 구비하는 반도체 장치.

청구항 5

제4항에 있어서,

상기 제3 위상차이 검출부는,

초기화동작 이후 모두 비활성화 상태인 상기 제1 내지 제3 위상검출부에서 출력되는 신호의 논리레벨이 모두 활성화된 상태로 변동되는 경우, 상기 제1 또는 제2 클록의 위상 변동이 상기 설정된 지연량의 두 배 이상에 대응하는 만큼이 발생한 것으로 판단하는 것을 특징으로 하는 반도체 장치.

청구항 6

제4항에 있어서,

상기 검출신호 출력부는,

상기 제1 내지 제3 위상차이 검출부의 동작 중 어느 한 검출부의 동작조건이라도 만족시키는 경우 상기 위상차이 검출신호를 활성화시키는 것을 특징으로 하는 반도체 장치.

청구항 7

제6항에 있어서,

상기 클록위상 변동부는,

상기 위상차이 검출신호가 활성화되는 경우 상기 제1 및 제2 클록의 위상이 동기화된 것으로 판단하여 그 동작을 종료하는 것을 특징으로 하는 반도체 장치.

청구항 8

소스 클록과 피드백 클록의 위상을 비교하고, 비교결과에 대응하여 위상비교신호와 위상차이 검출신호를 생성하는 위상비교부;

상기 위상차이 검출신호에 응답하여 그 지연량의 변동폭이 조절되고, 상기 위상비교신호에 응답하여 그 지연량의 변동방향이 조절되는 가변지연라인을 통해 상기 소스 클록을 지연시켜 지연고정클록으로서 출력하는 클록지연부;

상기 소스 클록의 입력지연경로 및 상기 지연고정클록의 출력지연경로를 모델링한 지연량만큼 상기 지연고정클록을 지연시켜 상기 피드백 클록으로서 출력하기 위한 지연복제모델부를 구비하며,

상기 위상비교부는,

상기 소스 클록의 위상을 기준으로 상기 피드백 클록의 위상을 검출하고, 검출결과에 대응하여 상기 위상비교신호를 생성하는 제1 위상검출부;

상기 소스 클록의 위상을 기준으로 상기 피드백 클록을 설정된 지연량만큼 지연시킨 클록의 위상을 검출하기 위한 제2 위상검출부;

상기 소스 클록을 상기 설정된 지연량만큼 지연시킨 클록의 위상을 기준으로 상기 피드백 클록의 위상을 검출하기 위한 제3 위상검출부;

상기 제1 내지 제3 위상검출부에서 출력되는 신호에 응답하여 상기 소스 및 피드백 클록의 위상차이에 대응하는 상기 위상차이 검출신호의 논리레벨을 결정하되, 상기 피드백 클록의 위상이 급격하게 변동하는 것을 검출하여 상기 위상차이 검출신호의 논리레벨 결정에 반영하는 위상차이 검출신호 생성부

를 구비하는 반도체 장치의 지연고정루프회로.

청구항 9

제8항에 있어서,

상기 제1 또는 제2 클록의 위상이 급격하게 변동하는 때는,

상기 제1 또는 제2 클록의 위상이 상기 설정된 지연량의 두 배 이상에 대응하는 위상만큼 변동할 때인 것을 특징으로 하는 반도체 장치.

청구항 10

제8항에 있어서,

상기 위상차이 검출신호 생성부는,

상기 제1 및 제2 위상검출부에서 출력되는 신호에 응답하여 상기 소스 클록보다 상기 피드백 클록의 위상이 더 늦은 방향으로 상기 설정된 지연량에 대응하는 위상차이 내에 속하는지를 검출하는 제1 위상차이 검출부;

상기 제1 및 제3 위상검출부에서 출력되는 신호에 응답하여 상기 소스 클록보다 상기 피드백 클록의 위상이 더 빠른 방향으로 상기 설정된 지연량에 대응하는 위상차이 내에 속하는지를 검출하는 제2 위상차이 검출부;

상기 제1 내지 제3 위상검출부에서 출력되는 신호에 응답하여 상기 피드백 클록의 위상 변동이 상기 설정된 지연량의 두 배 이상에 대응하는 만큼 발생하였는지를 검출하는 제3 위상차이 검출부; 및

상기 제1 내지 제3 위상차이 검출부의 출력신호에 응답하여 그 논리레벨이 결정되는 상기 위상차이 검출신호를 출력하는 위상차이 검출신호 출력부를 구비하는 반도체 장치의 지연고정루프회로.

청구항 11

제10항에 있어서,

상기 제3 위상차이 검출부는,

초기화동작 이후 비활성화 상태인 상기 제1 내지 제3 위상검출부에서 출력되는 신호의 논리레벨이 모두 활성화된 상태로 변동되는 경우, 상기 피드백 클록의 위상 변동이 상기 설정된 지연량의 두 배 이상에 대응하는 만큼 이 발생한 것으로 판단하는 것을 특징으로 하는 반도체 장치의 지연고정루프회로.

청구항 12

제10항에 있어서,

상기 검출신호 출력부는,

상기 제1 내지 제3 위상차이 검출부의 동작 중 어느 한 검출부의 동작조건이라도 만족시키는 경우 상기 위상차이 검출신호를 활성화시키는 것을 특징으로 하는 반도체 장치의 지연고정루프회로.

청구항 13

제12항에 있어서,

상기 클록지연부는,

상기 위상차이 검출신호의 비활성화구간에서 제1 변동폭으로 상기 가변지연라인의 지연량을 변동시키고,

상기 위상차이 검출신호의 활성화구간에서 제2 변동폭 - 상기 제1 변동폭보다 작음 - 으로 상기 가변지연라인의 지연량을 변동시키는 것을 특징으로 하는 반도체 장치의 지연고정루프회로.

청구항 14

제12항에 있어서,

상기 클럭지연부는,

상기 위상차이 검출신호의 비활성화구간에서 유닛지연단위로 상기 가변지연라인의 지연량을 변동시키고,

상기 위상차이 검출신호의 활성화구간에서 상기 유닛지연단위보다 작은 지연단위로 상기 가변지연라인의 지연량을 변동시키는 것을 특징으로 하는 반도체 장치의 지연고정루프회로.

명세서

기술분야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로서, 구체적으로 두 클럭간의 위상을 동기화시키기 위한 회로에 관한 것이며, 이러한 회로가 적용된 반도체 장치의 지연고정루프회로에 관한 것이다.

배경기술

[0002] DDR SDRAM(Double Data Rate Synchronous DRAM)과 같은 동기식 반도체 메모리 장치는 메모리 컨트롤러(CTRL)와 같은 외부 장치로부터 입력되는 외부클럭에 동기된 내부클럭을 이용하여 외부 장치들과 데이터의 전송을 수행한다.

[0003] 이는 메모리와 메모리 컨트롤러간에 안정적으로 데이터를 전송하기 위해서는 메모리 컨트롤러에서 인가되는 메모리로 외부클럭과 메모리에서 출력되는 데이터간의 시간적 동기가 매우 중요하기 때문이다.

[0004] 이때, 메모리에서 출력되는 데이터는 내부클럭에 동기되어 출력되는데, 내부클럭은 처음에 메모리로 인가될 때에는 외부클럭과 동기된 상태로 인가되지만, 메모리 내의 각 구성요소들을 거치면서 지연되어 메모리 외부로 출력될 때에는 외부클럭과 동기되지 않은 상태로 출력된다.

[0005] 따라서, 메모리에서 출력되는 데이터의 안정적인 전송을 위해서는 데이터를 전송하는 메모리 내의 각 구성요소들을 거치면서 지연된 내부클럭이 메모리 컨트롤러에서 인가되는 외부클럭의 에지(Edge), 혹은 중심(center)에 정확하게 위치시키기 위해 데이터가 버스에 실리는 시간을 내부클럭에 역보상하여 내부클럭과 외부클럭이 동기되도록 해야한다.

[0006] 이러한 역할을 수행하는 클럭 동기회로로는 위상고정루프(PLL: Phase Locked Loop)회로와 지연고정루프(DLL)회로가 있다.

[0007] 이 중 외부클럭의 주파수와 내부클럭의 주파수가 서로 다른 경우에는 주파수 채배기능을 사용하여야 함으로 주로 위상고정루프(PLL)를 사용한다. 하지만, 외부클럭의 주파수와 내부클럭의 주파수가 동일한 경우에는 위상고정루프(PLL)에 비해 잡음에 큰 영향을 받지 않고 상대적으로 작은 면적에서 구현 가능한 지연고정루프(DLL)회로를 주로 사용한다.

[0008] 즉, 반도체 메모리 소자의 경우는 사용되는 주파수가 동일하므로 클럭 동기회로로서 주로 지연고정루프(DLL)회로를 사용한다.

[0009] 도 1은 일반적인 반도체 장치의 지연 고정 루프 회로(DLL)를 도시한 블록 다이어그램이다.

[0010] 도 1을 참조하면, 일반적인 반도체 장치의 지연 고정 루프 회로(DLL)는, 소오스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상을 비교하고, 비교결과에 대응하여 위상비교신호(FINE)와 위상차이 검출신호(LOCK_STATE)를 생성하기 위한 위상비교부(120)와, 위상차이 검출신호(LOCK_STATE)에 응답하여 그 지연량의 변동폭이 조절되고, 위상비교신호(FINE)에 응답하여 그 지연량의 변동방향이 조절되는 가변지연라인(VARIABLE DELAY LINE)을 통해 소스 클럭(REFCLK)을 지연시켜 지연고정클럭(DLLCLK)으로서 출력하는 클럭지연부(100)와, 소스 클럭(REFCLK)의 입력지연경로 및 지연고정클럭(DLLCLK)의 출력지연경로를 모델링한 지연량(tREP)만큼 지연고정클럭(DLLCLK)을 지연시켜 피드백 클럭(FBCLK)으로서 출력하기 위한 지연복제모델부(140)를 구비한다.

- [0011] 여기서, 클럭지연부(100)는, 지연제어신호(DLY_CONT)에 대응하는 지연량만큼 소스 클럭(REFCLK)을 지연시켜 지연고정클럭(DLLCLK)으로서 출력하기 위한 가변지연라인(VARIABLE DELAY LINE), 및 위상비교신호(FINE)와 위상차이 검출신호(LOCK_STATE)에 응답하여 지연제어신호(DLY_CONT)를 생성하기 위한 지연라인 컨트롤러(CONTROLLER)를 구비한다.
- [0012] 도 2는 도 1에 도시된 일반적인 반도체 장치의 지연 고정 루프 회로(DLL)의 구성요소 중 종래기술에 따른 위상 비교부의 상세한 구성을 도시한 회로도이다.
- [0013] 도 2를 참조하면, 종래기술에 따른 위상비교부(120)는, 소스 클럭(REFCLK)의 위상을 기준으로 피드백 클럭(FBCLK)의 위상을 검출하기 위한 제1 위상검출부(122)와, 소스 클럭(REFCLK)의 위상을 기준으로 피드백 클럭(FBCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(REFCLKd)의 위상을 검출하기 위한 제2 위상검출부(124)와, 소스 클럭(REFCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(REFCLKd)의 위상을 기준으로 피드백 클럭(FBCLK)의 위상을 검출하기 위한 제3 위상검출부(126), 및 제1 내지 제3 위상검출부(122, 124, 126)에서 출력되는 신호(FINE, COARSE1, COARSE2)에 응답하여 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이에 대응하는 위상차이 검출신호(LOCK_STATE)의 논리레벨을 결정하는 위상차이 검출신호 생성부(128)를 구비한다.
- [0014] 여기서, 위상차이 검출신호 생성부(128)는, 제1 위상검출부(122)에서 출력되는 신호(FINE) 및 제2 위상검출부(124)에서 출력되는 신호(COARSE1)에 응답하여 소스 클럭(REFCLK)보다 피드백 클럭(FBCLK)의 위상이 더 늦은 방향으로 설정된 지연량(DELAY)에 대응하는 위상차이 내에 속하는지를 검출하는 제1 위상차이 검출부(1282)와, 제1 위상검출부(122)에서 출력되는 신호(FINE) 및 제3 위상검출부(126)에서 출력되는 신호(COARSE2)에 응답하여 소스 클럭(REFCLK)보다 피드백 클럭(FBCLK)의 위상이 설정된 지연량(DELAY)에 대응하는 위상차이 내에 속하는지를 검출하는 제2 위상차이 검출부(1284), 및 제1 위상차이 검출부(1282)의 출력신호(DET1)와 제2 위상차이 검출부(1284)의 출력신호(DET2)에 응답하여 그 논리레벨이 결정되는 위상차이 검출신호(LOCK_STATE)를 출력하는 위상차이 검출신호 출력부(1288)를 구비한다.
- [0015] 도 3은 도 2에 도시된 종래기술에 따른 위상비교부의 동작 및 그 문제점을 설명하기 위해 도시한 타이밍 다이어그램이다.
- [0016] 도 3을 참조하면, 종래기술에 따른 위상비교부(120)는, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 큰 위상차이를 갖는 경우(A)와, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B), 및 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B)에서 지터(jitter)가 발생하여 다시 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 큰 위상차이를 갖는 상태로 변동하게 되는 경우(C)의 타이밍 다이어그램을 도시하고 있다.
- [0017] 구체적으로, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 큰 위상차이를 갖는 경우(A)를 살펴보면, 소스 클럭(REFCLK)의 위상을 기준으로 피드백 클럭(FBCLK)의 위상을 검출하기 위해 피드백 클럭(FBCLK)의 상승 에지(rising edge)에서 소스 클럭(REFCLK)의 논리레벨을 살펴보면 로직'로우'(Low)로 비활성화된 상태가 되어 제1 위상검출부(122)의 출력신호(FINE)가 로직'로우'(Low)가 되는 것을 알 수 있다. 또한, 소스 클럭(REFCLK)의 위상을 기준으로 피드백 클럭(FBCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(REFCLKd)의 위상을 검출하기 위해 피드백 클럭(FBCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(REFCLKd)의 상승 에지에서 소스 클럭(REFCLK)의 논리레벨을 살펴보면 로직'로우'(Low)로 비활성화된 상태가 되어 제2 위상검출부(124)의 출력신호(COARSE1)도 로직'로우'(Low)가 되는 것을 알 수 있다. 또한, 소스 클럭(REFCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(REFCLKd)의 위상을 기준으로 피드백 클럭(FBCLK)의 위상을 검출하기 위해 피드백 클럭(FBCLK)의 상승 에지에서 소스 클럭(REFCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(REFCLKd)의 논리레벨을 살펴보면 로직'로우'(Low)로 비활성화된 상태가 되어 제3 위상검출부(126)의 출력신호(COARSE2)도 로직'로우'(Low)가 되는 것을 알 수 있다.
- [0018] 이렇게, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 큰 위상차이를 갖는 경우(A)에서 제1 내지 제3 위상검출부(122, 124, 126)의 출력신호(FINE, COARSE1, COARSE2)가 모두 로직'로우'(Low)가 되므로 위상차이 검출신호(LOCK_STATE)도 로직'로우'(Low)로 비활성된 상태

를 유지하게 된다. 따라서, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상을 동기화시키기 위해 피드백 클럭(FBCLK)의 위상을 변동시키는 간격이 상대적으로 큰 상태가 되고, 그에 따라 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B)로 한 번에 이동할 수 있게 된다. 이때, 피드백 클럭(FBCLK)의 위상을 변동시키는 간격이 상대적으로 큰 상태라는 것은 일반적인 지연고정루프회로(DLL)에서 코스(coarse) 동작 모드로 피드백 클럭(FBCLK)의 위상을 변동시키는 것을 의미하며, 일반적으로는 한 번의 업데이트 주기마다 두 개의 유닛 딜레이에 해당하는 지연량씩 피드백 클럭(FBCLK)의 위상을 변동시키게 된다.

[0019] 그리고, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B)를 구체적으로 살펴보면, 소스 클럭(REFCLK)의 위상을 기준으로 피드백 클럭(FBCLK)의 위상을 검출하기 위해 피드백 클럭(FBCLK)의 상승 에지(rising edge)에서 소스 클럭(REFCLK)의 논리 레벨을 살펴보면 로직 '로우'(Low)로 비활성화된 상태가 되어 제1 위상검출부(122)의 출력신호(FINE)가 로직 '로우'(Low)가 되는 것을 알 수 있다. 하지만, 소스 클럭(REFCLK)의 위상을 기준으로 피드백 클럭(FBCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(FBCLKd)의 위상을 검출하기 위해 피드백 클럭(FBCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(FBCLKd)의 상승 에지에서 소스 클럭(REFCLK)의 논리 레벨을 살펴보면 로직 '하이'(High)로 활성화된 상태가 되어 제2 위상검출부(124)의 출력신호(COARSE1)가 로직 '하이'(High)가 되는 것을 알 수 있다. 그리고, 소스 클럭(REFCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(REFCLKd)의 위상을 기준으로 피드백 클럭(FBCLK)의 위상을 검출하기 위해 피드백 클럭(FBCLK)의 상승 에지에서 소스 클럭(REFCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(REFCLKd)의 논리레벨을 살펴보면 로직 '로우'(Low)로 비활성화된 상태가 되어 제3 위상검출부(126)의 출력신호(COARSE2)도 로직 '로우'(Low)가 되는 것을 알 수 있다.

[0020] 이렇게, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B)에서 제1 및 제3 위상검출부(122, 126)의 출력신호(FINE, COARSE2)는 로직 '로우'(Low)가 되고 제2 위상검출부(124)의 출력신호(COARSE1)는 로직 '하이'(High)가 되므로 위상차이 검출신호(LOCK_STATE)도 로직 '로우'(Low)로 비활성된 상태에서 로직 '하이'(High)로 변동하게 된다. 따라서, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상을 동기화시키기 위해 피드백 클럭(FBCLK)의 위상을 변동시키는 간격이 상대적으로 작은 상태가 되어야 한다. 이때, 피드백 클럭(FBCLK)의 위상을 변동시키는 간격이 상대적으로 작은 상태라는 것은 일반적인 지연고정루프회로(DLL)에서 파인(fine) 동작 모드로 피드백 클럭(FBCLK)의 위상을 변동시키는 것을 의미하며, 일반적으로는 한 번의 업데이트 주기마다 한 개의 유닛 딜레이보다 작은 지연량씩 피드백 클럭(FBCLK)의 위상을 변동시키게 된다.

[0021] 참고로, 피드백 클럭(FBCLK)의 위상이 변동하는 시점에 해당하는 업데이트 주기는 도면에 직접적으로 도시되진 않았지만 일반적으로 제1 위상검출부(122)의 출력결과(FINE)가 결정된 직후 토글링 하는 업데이트 펄스의 토글링에 대응하는 시점이 된다.

[0022] 전술한 바와 같이 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 큰 경우에서 두 개의 유닛 딜레이에 대응하는 지연량씩 피드백 클럭(FBCLK)의 위상을 변동시키고, 설정된 지연량(DELAY)에 대응하는 위상차이보다 작은 경우에서 유닛 딜레이보다 작은 지연량씩 피드백 클럭(FBCLK)의 위상을 변동시키기 때문에, 설정된 지연량(DELAY)의 크기는 유닛 딜레이보다 약간 큰 지연량에 대응하는 크기로 설정되어야 한다. 이때, 설정된 지연량(DELAY)의 크기가 너무 큰 값으로 설정되게 되면, 너무 빠른 업데이트 타이밍에 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 작은 상태로 진입하게 되고, 그만큼 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 작은 상태의 동작이 길어지게 되는 문제점이 있다. 따라서, 설정된 지연량(DELAY)의 크기를 유닛 딜레이보다 약간 큰 지연량을 갖는 상태로 설정할 수 밖에 없는 한계가 있다.

[0023] 한편, 제1 내지 제3 위상검출부(122, 124, 126)의 출력결과(FINE, COARSE1, COARSE2)에 대응하여 위상차이 검출신호(LOCK_STATE)의 논리레벨을 변동하는 시점은 동작 펄스(PULSE_2)가 토글링하는 시점이 되는 것을 알 수 있다. 즉, 제1 내지 제3 위상검출부(122, 124, 126)의 출력결과(FINE, COARSE1, COARSE2)가 결정된 이후 실제로 위상차이 검출신호(LOCK_STATE)의 논리레벨을 변동시키는 시점이 동작 펄스(PULSE_2)의 토글링을 기준으로 결정되는 것을 알 수 있다. 이때, 도면에 직접적으로 도시되진 않았지만 동작 펄스(PULSE_2)의 토글링 시점은 제1 위상검출부(122)의 출력결과(FINE)가 발생된 직후에 해당하는 업데이트 펄스의 토글링 시점보다 늦은 시점인 것이 일반적이다.

[0024] 따라서, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다

더 작은 위상차이를 갖는 경우(B)의 결과(FINE, COARSE1, COARSE2)를 통해 실제로 위상차이 검출신호(LOCK_STATE)의 논리레벨을 변동시키기 전에 업데이트 펄스의 토글링 시점에서 제1 위상검출부(122)의 출력결과(FINE)에 응답하여 피드백 클럭(FBCLK)의 위상을 변동시키게 된다.

[0025] 그런데, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(Delay)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B)에서 지터(jitter)가 발생하여 다시 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(Delay)에 대응하는 위상차이보다 더 큰 위상차이를 갖는 상태로 변동하게 되는 경우(C)의 타이밍 다이어그램을 참조하면 알 수 있듯이, 업데이트 펄스의 토글링 시점에서 피드백 클럭(FBCLK)의 위상을 변동시킬 때 소스 클럭(REFCLK) 또는 피드백 클럭(FBCLK)에 지터(jitter)가 발생하여 설정된 지연량(Delay)에 해당하는 지연량의 두 배보다 큰 지연량에 대응하는 만큼 소스 클럭(REFCLK) 또는 피드백 클럭(FBCLK)의 위상이 흔들리게 되는 현상이 발생하게 될 경우 제1 내지 제3 위상검출부(122, 124, 126)의 출력결과(FINE, COARSE1, COARSE2)가 갑작스럽게 모두 로직'하이'(High)로 변동하는 현상이 발생하게 되고, 따라서, 위상차이 검출신호(LOCK_STATE)가 로직'로우'(Low)에서 로직'하이'(High)로 변동하지 못하고 계속 로직'로우'(Low)의 상태를 유지하는 문제점이 발생한다.

[0026] 이와 같은 문제점으로 인해 피드백 클럭(FBCLK)의 위상 변동 간격이 계속 큰 상태를 유지하게 되는 상황이 벌어지게 되고, 즉, 지연고정루프회로(DLL)가 계속 코스(coarse) 모드 동작을 수행하게 되는 상황이 벌어지게 되고, 피드백 클럭(FBCLK)의 위상을 계속적으로 더 지연시키는 방식으로만 동작하게 되어, 최악의 경우에는 지연라인(VARIABLE DELAY LINE)의 지연량이 한계치에 도달하고 지연고정동작에 실패(fail)하는 문제로 발전할 수 있다.

발명의 내용

해결하려는 과제

[0027] 본 발명은 전술한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 두 클럭간의 위상을 동기화시키기 위한 회로에 있어서, 어느 하나의 클럭에 지터(jitter)가 발생하더라도 이를 감지하고, 감지결과를 두 클럭간의 위상 동기화 동작에 적용하여 안정적으로 두 클럭의 위상을 동기화시킬 수 있는 반도체 장치를 제공하는데 그 목적이 있다.

[0028] 또한, 전술한 안정적으로 두 클럭의 위상을 동기화시킬 수 있는 회로를 적용한 반도체 장치의 지연고정루프를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0029] 상기의 해결하고자 하는 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 제1 클럭의 위상을 기준으로 제2 클럭의 위상을 검출하기 위한 제1 위상검출부; 상기 제1 클럭의 위상을 기준으로 상기 제2 클럭을 설정된 지연량만큼 지연시킨 클럭의 위상을 검출하기 위한 제2 위상검출부; 상기 제1 클럭을 상기 설정된 지연량만큼 지연시킨 클럭의 위상을 기준으로 상기 제2 클럭의 위상을 검출하기 위한 제3 위상검출부; 상기 제1 내지 제3 위상검출부에서 출력되는 신호에 응답하여 상기 제1 및 제2 클럭의 위상차이에 대응하는 위상차이 검출신호의 논리레벨을 결정하되, 상기 제1 또는 제2 클럭의 위상이 급격하게 변동 - 상기 설정된 지연량의 두 배 이상에 대응하는 위상 변동이 발생하는 것을 의미함 - 하는 것을 검출하여 상기 위상차이 검출신호의 논리레벨 결정에 반영하는 위상차이 검출신호 생성부를 구비하는 반도체 장치를 제공한다.

[0030] 상기의 해결하고자 하는 과제를 달성하기 위한 본 발명의 다른 측면에 따르면, 소스 클럭과 피드백 클럭의 위상을 비교하고, 비교결과에 대응하여 위상비교신호와 위상차이 검출신호를 생성하는 위상비교부; 상기 위상차이 검출신호에 응답하여 그 지연량의 변동폭이 조절되고, 상기 위상비교신호에 응답하여 그 지연량의 변동방향이 조절되는 지연라인을 통해 상기 소스 클럭을 지연시켜 지연고정클럭으로서 출력하는 클럭지연부; 상기 소스 클럭의 입력지연경로 및 상기 지연고정클럭의 출력지연경로를 모델링한 지연량만큼 상기 지연고정클럭을 지연시켜 상기 피드백 클럭으로서 출력하기 위한 지연복제모델부를 구비하며, 상기 위상비교부는, 상기 소스 클럭의 위상을 기준으로 상기 피드백 클럭의 위상을 검출하고, 검출결과에 대응하여 상기 위상비교신호를 생성하는 제1 위상검출부; 상기 소스 클럭의 위상을 기준으로 상기 피드백 클럭을 설정된 지연량만큼 지연시킨 클럭의 위상을 검출하기 위한 제2 위상검출부; 상기 소스 클럭을 상기 설정된 지연량만큼 지연시킨 클럭의 위상을 기준으로 상

기 피드백 클록의 위상을 검출하기 위한 제3 위상검출부; 상기 제1 내지 제3 위상검출부에서 출력되는 신호에 응답하여 상기 소스 및 피드백 클록의 위상차이에 대응하는 상기 위상차이 검출신호의 논리레벨을 결정하되, 상기 피드백 클록의 위상이 급격하게 변동 - 상기 설정된 지연량의 두 배 이상에 대응하는 위상 변동이 발생하는 것을 의미함 - 하는 것을 검출하여 상기 위상차이 검출신호의 논리레벨 결정에 반영하는 위상차이 검출신호 생성부를 구비하는 반도체 장치의 지연고정루프회로를 제공한다.

발명의 효과

[0031] 진술한 본 발명은 반도체 장치의 지연고정루프회로(DLL)에서 지연고정 동작을 수행하는 도중에 소스 클록(REFCLK) 또는 피드백 클록(FBCLK)에 지터(jitter)가 발생하더라도 이를 감지하여 정상적으로 지연고정동작이 수행되도록 하는 효과가 있다.

[0032] 또한, 임의의 두 클록을 입력받아 그 위상을 설정된 범위 이내에서 동기화시키는 동작을 수행하기 위한 반도체 장치에서 그 동작 중에 입력되는 두 클록에 지터(jitter)가 발생하더라도 이를 감지하여 안정적으로 두 클록간의 위상을 동기화시키는 효과가 있다.

도면의 간단한 설명

- [0033] 도 1은 일반적인 반도체 장치의 지연 고정 루프 회로(DLL)를 도시한 블록 다이어그램.
- 도 2는 도 1에 도시된 일반적인 반도체 장치의 지연 고정 루프 회로(DLL)의 구성요소 중 종래기술에 따른 위상 비교부의 상세한 구성을 도시한 회로도.
- 도 3은 도 2에 도시된 종래기술에 따른 위상비교부의 동작 및 그 문제점을 설명하기 위해 도시한 타이밍 다이어그램.
- 도 4는 일반적인 반도체 장치의 지연 고정 루프 회로(DLL)의 구성요소 중 본 발명의 실시예에 따른 위상비교부의 상세한 구성을 도시한 회로도.
- 도 5는 도 4에 도시된 본 발명의 실시예에 따른 위상비교부의 동작을 설명하기 위해 도시한 타이밍 다이어그램.
- 도 6은 본 발명의 실시예에 따라 두 클록의 위상을 동기화시키기 위한 회로의 구성을 도시한 회로도.

발명을 실시하기 위한 구체적인 내용

[0034] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구성될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

[0035] 도 4는 일반적인 반도체 장치의 지연 고정 루프 회로(DLL)의 구성요소 중 본 발명의 실시예에 따른 위상비교부의 상세한 구성을 도시한 회로도이다.

[0036] 먼저, 도 4에 직접적으로 도시되진 않았지만 일반적인 반도체 장치의 지연고정 루프 회로(DLL)의 구성은 도 1의 구성을 참조하여 설명할 수 있다.

[0037] 즉, 소스 클록(REFCLK)과 피드백 클록(FBCLK)의 위상을 비교하고, 비교결과에 대응하여 위상비교신호(FINE)와 위상차이 검출신호(LOCK_STATE)를 생성하기 위한 위상비교부(120)와, 위상차이 검출신호(LOCK_STATE)에 응답하여 그 지연량의 변동폭이 조절되고, 위상비교신호(FINE)에 응답하여 그 지연량의 변동방향이 조절되는 가변지연 라인(VARIABLE DELAY LINE)을 통해 소스 클록(REFCLK)을 지연시켜 지연고정클록(DLLCLK)으로서 출력하는 클록지연부(100)와, 소스 클록(REFCLK)의 입력지연경로 및 지연고정클록(DLLCLK)의 출력지연경로를 모델링한 지연량(tREP)만큼 지연고정클록(DLLCLK)을 지연시켜 피드백 클록(FBCLK)으로서 출력하기 위한 지연복제모델부(140)를 구비하게 된다.

[0038] 도 4를 참조하면, 본 발명의 실시예에 따른 위상비교부(120)는, 소스 클록(REFCLK)의 위상을 기준으로 피드백

클럭(FBCLK)의 위상을 검출하기 위한 제1 위상검출부(122)와, 소스 클럭(REFCLK)의 위상을 기준으로 피드백 클럭(FBCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(FBCLKd)의 위상을 검출하기 위한 제2 위상검출부(124)와, 소스 클럭(REFCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(REFCLKd)의 위상을 기준으로 피드백 클럭(FBCLK)의 위상을 검출하기 위한 제3 위상검출부(126), 및 제1 내지 제3 위상검출부(122, 124, 126)에서 출력되는 신호(FINE, COARSE1, COARSE2)에 응답하여 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이에 대응하는 위상차이 검출신호(LOCK_STATE)의 논리레벨을 결정하되, 피드백 클럭(FBCLK)의 위상이 급격하게 변동 - 설정된 지연량(DELAY)의 두 배 이상에 대응하는 위상 변동이 발생하는 것을 의미함 - 하는 것을 검출하여 위상차이 검출신호(LOCK_STATE)의 논리레벨 결정에 반영하는 위상차이 검출신호 생성부(428)를 구비한다.

[0039] 여기서, 위상차이 검출신호 생성부(428)는, 제1 위상검출부(122)에서 출력되는 신호(FINE) 및 제2 위상검출부(124)에서 출력되는 신호(COARSE1)에 응답하여 소스 클럭(REFCLK)보다 피드백 클럭(FBCLK)의 위상이 더 늦은 방향으로 설정된 지연량(DELAY)에 대응하는 위상차이 내에 속하는지를 검출하는 제1 위상차이 검출부(4282)와, 제1 위상검출부(122)에서 출력되는 신호(FINE) 및 제3 위상검출부(126)에서 출력되는 신호(COARSE2)에 응답하여 소스 클럭(REFCLK)보다 피드백 클럭(FBCLK)의 위상이 설정된 지연량(DELAY)에 대응하는 위상차이 내에 속하는지를 검출하는 제2 위상차이 검출부(4284)와, 제1 내지 제3 위상검출부(122, 124, 126)에서 출력되는 신호(FINE, COARSE1, COARSE2)에 응답하여 피드백 클럭(FBCLK)의 위상 변동이 설정된 지연량(DELAY)의 두 배 이상에 대응하는 만큼 발생하였는지를 검출하는 제3 위상차이 검출부(4286), 및 제1 위상차이 검출부(4282)의 출력신호(DET1)와 제2 위상차이 검출부(4284)의 출력신호(DET2) 및 제3 위상차이 검출부(4286)의 출력신호(DET3)에 응답하여 그 논리레벨이 결정되는 위상차이 검출신호(LOCK_STATE)를 출력하는 위상차이 검출신호 출력부(4288)를 구비한다.

[0040] 또한, 제1 위상차이 검출부(4282)는, 제2 위상검출부(124)의 출력신호(COARSE1)를 입력받아 그 위상을 반전시켜 출력하는 제1 인버터(INV1)와, 제1 위상검출부(122)의 출력신호(FINE)과 제1 인버터(INV1)의 출력신호를 입력받아 논리합 연산을 수행하여 제1 위상차이 검출부(4282)의 출력신호(DET1)로서 출력하는 제1 오아게이트(OR1)를 구비한다.

[0041] 그리고, 제2 위상차이 검출부(4284)는, 제1 위상검출부(122)의 출력신호(FINE)를 입력받아 그 위상을 반전시켜 출력하는 제2 인버터(INV2)와, 제2 인버터(INV2)의 출력신호와 제3 위상검출부(126)의 출력신호(COARSE2)를 입력받아 논리합 연산을 수행하여 제2 위상차이 검출부(4284)의 출력신호(DET2)로서 출력하는 제2 오아게이트(OR2)를 구비한다.

[0042] 또한, 제3 위상차이 검출부(4286)는, 제1 내지 제3 위상검출부(122, 124, 126)의 출력신호(FINE, COARSE1, COARSE2)를 입력받아 논리곱 연산을 수행하는 제1 앤드게이트(AND1)와, 동작펄스(PULSE2)의 토글링에 응답하여 제1 앤드게이트(AND1)의 출력신호를 제1 플립플롭 출력신호(a)로서 출력하거나 리셋신호(RESET)에 응답하여 제1 플립플롭 출력신호(a)를 초기화시키는 제1 디-플립플롭(D-FF1)와, 제1 내지 제3 위상검출부(122, 124, 126)의 출력신호(FINE, COARSE1, COARSE2)를 입력받아 부정논리합 연산을 수행하기 위한 제1 노아게이트(NOR1)와, 동작펄스(PULSE2)의 토글링에 응답하여 제1 노아게이트(NOR1)의 출력신호를 제2 플립플롭 출력신호(b)로서 출력하거나 리셋신호(RESET)에 응답하여 제2 플립플롭 출력신호(b)를 초기화시키는 제2 디-플립플롭(D-FF2)와, 제1 플립플롭 출력신호(a)와 제2 플립플롭 출력신호(b)를 입력받아 부정논리곱 연산을 수행하여 제3 위상차이 검출부(4286)의 출력신호(DET3)로서 출력하는 제1 낸드게이트(NAND1)를 구비한다.

[0043] 그리고, 위상차이 검출신호 출력부(4288)는, 제1 내지 제3 위상차이 검출부(4282, 4284, 4286)의 출력신호(DET1, DET2, DET3)를 입력받아 논리곱 연산을 수행하는 제2 앤드게이트(AND2)와, 게이트로 인가되는 제2 앤드게이트(AND2)의 출력신호(DET_A)에 응답하여 출력노드(LOCK)를 외부전원전압(VDD)으로 구동하는 제1 PMOS 트랜지스터(MP1)와, 게이트로 인가되는 리셋신호(RESET)에 응답하여 출력노드(LOCK)를 외부접지전압(VSS)으로 구동하는 제1 NMOS 트랜지스터(MN1)와, 출력노드(LOCK)의 위상을 반전하여 출력(LOCKb)하되 그 값을 래치하는 제3 및 제4 인버터(INV3, INV4)와, 동작펄스(PULSE2)의 토글링에 응답하여 제3 인버터(INV3)의 출력(LOCKb)을 제3 플립플롭 출력신호(c)로서 출력하거나 리셋신호(RESET)에 응답하여 제3 플립플롭 출력신호(c)를 초기화시키는 제3 디-플립플롭(D-FF3)와, 제3 디-플립플롭(D-FF3)의 출력신호(c)를 입력받아 그 위상을 반전하여 위상차이 검출신호(LOCK_STATE)로서 출력하는 제5 인버터(INV5)를 구비한다.

[0044] 그리고, 제3 위상차이 검출부(4286)는, 초기화동작 이후 로직'로우'(Low)로 비활성화 상태인 제1 내지 제3 위상검출부(122, 124, 126)에서 출력되는 신호(FINE, COARSE1, COARSE2)의 논리레벨이 모두 로직'하이'(High)의 활성화된 상태로 변동되는 경우 피드백 클럭(FBCLK)의 위상 변동이 설정된 지연량(DELAY)의 두 배 이상에 대응하

는 만큼이 발생한 것으로 판단하게 된다.

[0045] 참고로, 제3 위상차이 검출부(4286)는, 초기화동작 이후 로직'하이'(High)의 활성화 상태인 제1 내지 제3 위상 검출부(122, 124, 126)에서 출력되는 신호(FINE, COARSE1, COARSE2)의 논리레벨이 모두 로직'로우'(Low)의 비 활성화된 상태로 변동되는 경우에 피드백 클럭(FBCLK)의 위상 변동이 설정된 지연량(DELAY)의 두 배 이상에 대응하는 만큼이 발생한 것으로 인정하지 않는데 그 이유는, 제1 내지 제3 위상검출부(122, 124, 126)는 모두 상승 에지(rising edge)를 기준으로 위상검출 동작이 수행되기 때문이다. 만약, 제1 내지 제3 위상검출부(122, 124, 126)이 모두 하강 에지(falling edge)를 기준으로 위상검출 동작이 수행되는 경우에는 위상 변동 판단 기준이 반대로 바뀌게 될 것이다.

[0046] 그리고, 검출신호 출력부(4288)는, 제1 내지 제3 위상차이 검출부(122, 124, 126)의 동작 중 어느 한 검출부의 동작조건이라도 만족시키는 경우 위상차이 검출신호(LOCK_STATE)를 활성화시키게 된다. 즉, 제1 내지 제3 위상차이 검출부(122, 124, 126)의 출력신호(DET1, DET2, DET3) 중 어느 하나의 신호라도 로직'로우'(Low)로 변동하게 되어 그 동작조건이 만족되는 경우 위상차이 검출신호(LOCK_STATE)를 로직'로우'(Low)의 비활성화상태에서 로직'하이'(High)의 활성화 상태로 천이시킨다.

[0047] 그리고, 클럭지연부(100)는, 위상차이 검출신호(LOCK_STATE)가 로직'로우'(Low)로 비활성화되는 구간에서 제1 변동폭으로 지연라인(VARIABLE DELAY LINE)의 지연량을 변동시키고, 위상차이 검출신호(LOCK_STATE)가 로직'하이'(High) 활성화되는 구간에서 제1 변동폭보다 작은 제2 변동폭으로 지연라인(VARIABLE DELAY LINE)의 지연량을 변동시키게 된다. 즉, 클럭지연부(100)는, 위상차이 검출신호(LOCK_STATE)가 로직'로우'(Low)로 비활성화되는 구간에서 코스(coarse) 모드로 동작하게 되어 두 개의 유닛 딜레이에 해당하는 지연량씩 지연라인(VARIABLE DELAY LINE)의 지연량을 변동시키고, 위상차이 검출신호(LOCK_STATE)가 로직'하이'(High)로 활성화되는 구간에서 파인(fine) 모드로 동작하게 되어 유닛 딜레이보다 작은 지연량씩 지연라인의 지연량을 변동시키게 된다.

[0048] 도 5는 도 4에 도시된 본 발명의 실시예에 따른 위상비교부의 동작을 설명하기 위해 도시한 타이밍 다이어그램이다.

[0049] 도 5를 참조하면, 본 발명의 실시예에 따른 위상비교부(120)는, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 큰 위상차이를 갖는 경우(A)와, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B), 및 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B)에서 지터(jitter)가 발생하여 다시 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 큰 위상차이를 갖는 상태로 변동하게 되는 경우(C)의 타이밍 다이어그램을 도시하고 있다.

[0050] 구체적으로, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 큰 위상차이를 갖는 경우(A)를 살펴보면, 소스 클럭(REFCLK)의 위상을 기준으로 피드백 클럭(FBCLK)의 위상을 검출하기 위해 피드백 클럭(FBCLK)의 상승 에지(rising edge)에서 소스 클럭(REFCLK)의 논리레벨을 살펴보면 로직'로우'(Low)로 비활성화된 상태가 되어 제1 위상검출부(122)의 출력신호(FINE)가 로직'로우'(Low)가 되는 것을 알 수 있다. 또한, 소스 클럭(REFCLK)의 위상을 기준으로 피드백 클럭(FBCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(FBCLKd)의 위상을 검출하기 위해 피드백 클럭(FBCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(FBCLKd)의 상승 에지에서 소스 클럭(REFCLK)의 논리레벨을 살펴보면 로직'로우'(Low)로 비활성화된 상태가 되어 제2 위상검출부(124)의 출력신호(COARSE1)도 로직'로우'(Low)가 되는 것을 알 수 있다. 또한, 소스 클럭(REFCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(REFCLKd)의 위상을 기준으로 피드백 클럭(FBCLK)의 위상을 검출하기 위해 피드백 클럭(FBCLK)의 상승 에지에서 소스 클럭(REFCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(REFCLKd)의 논리레벨을 살펴보면 로직'로우'(Low)로 비활성화된 상태가 되어 제3 위상검출부(126)의 출력신호(COARSE2)도 로직'로우'(Low)가 되는 것을 알 수 있다.

[0051] 이렇게, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 큰 위상차이를 갖는 경우(A)에서 제1 내지 제3 위상검출부(122, 124, 126)의 출력신호(FINE, COARSE1, COARSE2)가 모두 로직'로우'(Low)가 되므로 위상차이 검출신호(LOCK_STATE)도 로직'로우'(Low)로 비활성된 상태를 유지하게 된다. 따라서, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상을 동기화시키기 위해 피드백 클럭(FBCLK)의 위상을 변동시키는 간격이 상대적으로 큰 상태가 되고, 그에 따라 소스 클럭(REFCLK)과 피드백 클럭

(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B)로 한번에 이동할 수 있게 된다. 이때, 피드백 클록(FBCLK)의 위상을 변동시키는 간격이 상대적으로 큰 상태라는 것은 일반적인 지연고정루프회로(DLL)에서 코스(coarse) 동작 모드로 피드백 클록(FBCLK)의 위상을 변동시키는 것을 의미하며, 일반적으로는 한 번의 업데이트 주기마다 두 개의 유닛 딜레이에 해당하는 지연량씩 피드백 클록(FBCLK)의 위상을 변동시키게 된다.

[0052] 그리고, 소스 클록(REFCLK)과 피드백 클록(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B)를 구체적으로 살펴보면, 소스 클록(REFCLK)의 위상을 기준으로 피드백 클록(FBCLK)의 위상을 검출하기 위해 피드백 클록(FBCLK)의 상승 에지(rising edge)에서 소스 클록(REFCLK)의 논리 레벨을 살펴보면 로직'로우'(Low)로 비활성화된 상태가 되어 제1 위상검출부(122)의 출력신호(FINE)가 로직'로우'(Low)가 되는 것을 알 수 있다. 하지만, 소스 클록(REFCLK)의 위상을 기준으로 피드백 클록(FBCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클록(FBCLKd)의 위상을 검출하기 위해 피드백 클록(FBCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클록(FBCLKd)의 상승 에지에서 소스 클록(REFCLK)의 논리 레벨을 살펴보면 로직'하이'(High)로 활성화된 상태가 되어 제2 위상검출부(124)의 출력신호(COARSE1)가 로직'하이'(High)가 되는 것을 알 수 있다. 그리고, 소스 클록(REFCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클록(REFCLKd)의 위상을 기준으로 피드백 클록(FBCLK)의 위상을 검출하기 위해 피드백 클록(FBCLK)의 상승 에지에서 소스 클록(REFCLK)을 설정된 지연량(DELAY)만큼 지연시킨 클록(REFCLKd)의 논리레벨을 살펴보면 로직'로우'(Low)로 비활성화된 상태가 되어 제3 위상검출부(126)의 출력신호(COARSE2)도 로직'로우'(Low)가 되는 것을 알 수 있다.

[0053] 이렇게, 소스 클록(REFCLK)과 피드백 클록(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B)에서 제1 및 제3 위상검출부(122, 126)의 출력신호(FINE, COARSE2)는 로직'로우'(Low)가 되고 제2 위상검출부(124)의 출력신호(COARSE1)는 로직'하이'(High)가 되므로 위상차이 검출신호(LOCK_STATE)도 로직'로우'(Low)로 비활성된 상태에서 로직'하이'(High)로 변동하게 된다. 따라서, 소스 클록(REFCLK)과 피드백 클록(FBCLK)의 위상을 동기화시키기 위해 피드백 클록(FBCLK)의 위상을 변동시키는 간격이 상대적으로 작은 상태가 되어야 한다. 이때, 피드백 클록(FBCLK)의 위상을 변동시키는 간격이 상대적으로 작은 상태라는 것은 일반적인 지연고정루프회로(DLL)에서 파인(fine) 동작 모드로 피드백 클록(FBCLK)의 위상을 변동시키는 것을 의미하며, 일반적으로는 한 번의 업데이트 주기마다 한 개의 유닛 딜레이보다 작은 지연량씩 피드백 클록(FBCLK)의 위상을 변동시키게 된다.

[0054] 참고로, 피드백 클록(FBCLK)의 위상이 변동하는 시점에 해당하는 업데이트 주기는 도면에 직접적으로 도시되진 않았지만 일반적으로 제1 위상검출부(122)의 출력결과(FINE)가 결정된 직후 토글링 하는 업데이트 펄스의 토글링에 대응하는 시점이 된다.

[0055] 진술한 바와 같이 소스 클록(REFCLK)과 피드백 클록(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 큰 경우에서 두 개의 유닛 딜레이에 대응하는 지연량씩 피드백 클록(FBCLK)의 위상을 변동시키고, 설정된 지연량(DELAY)에 대응하는 위상차이보다 작은 경우에서 유닛 딜레이보다 작은 지연량씩 피드백 클록(FBCLK)의 위상을 변동시키기 때문에, 설정된 지연량(DELAY)의 크기는 유닛 딜레이보다 약간 큰 지연량에 대응하는 크기로 설정되어야 한다. 이때, 설정된 지연량(DELAY)의 크기가 너무 큰 값으로 설정되게 되면, 너무 빠른 업데이트 타이밍에 소스 클록(REFCLK)과 피드백 클록(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 작은 상태로 진입하게 되고, 그만큼 소스 클록(REFCLK)과 피드백 클록(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 작은 상태의 동작이 길어지게 되는 문제점이 있다. 따라서, 설정된 지연량(DELAY)의 크기를 유닛 딜레이보다 약간 큰 지연량을 갖는 상태로 설정할 수 밖에 없는 한계가 있다.

[0056] 한편, 제1 내지 제3 위상검출부(122, 124, 126)의 출력결과(FINE, COARSE1, COARSE2)에 대응하여 위상차이 검출신호(LOCK_STATE)의 논리레벨을 변동하는 시점은 동작 펄스(PULSE_2)가 토글링하는 시점이 되는 것을 알 수 있다. 즉, 제1 내지 제3 위상검출부(122, 124, 126)의 출력결과(FINE, COARSE1, COARSE2)가 결정된 이후 실제로 위상차이 검출신호(LOCK_STATE)의 논리레벨을 변동시키는 시점이 동작 펄스(PULSE_2)의 토글링을 기준으로 결정되는 것을 알 수 있다. 이때, 도면에 직접적으로 도시되진 않았지만 동작 펄스(PULSE_2)의 토글링 시점은 제1 위상검출부(122)의 출력결과(FINE)가 발생된 직후에 해당하는 업데이트 펄스의 토글링 시점보다 늦은 시점인 것이 일반적이다.

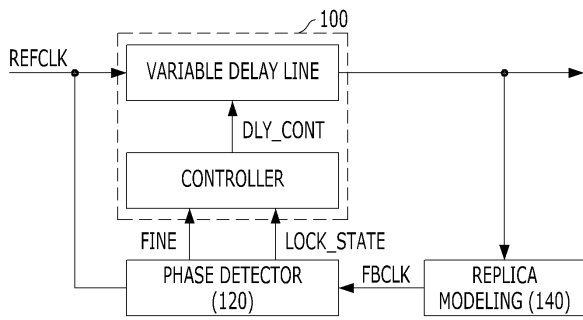
[0057] 따라서, 소스 클록(REFCLK)과 피드백 클록(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B)의 결과(FINE, COARSE1, COARSE2)를 통해 실제로 위상차이 검출신호(LOCK_STATE)의 논리레벨을 변동시키기 전에 업데이트 펄스의 토글링 시점에서 제1 위상검출부(122)의 출력결과

(FINE)에 응답하여 피드백 클럭(FBCLK)의 위상을 변동시키게 된다.

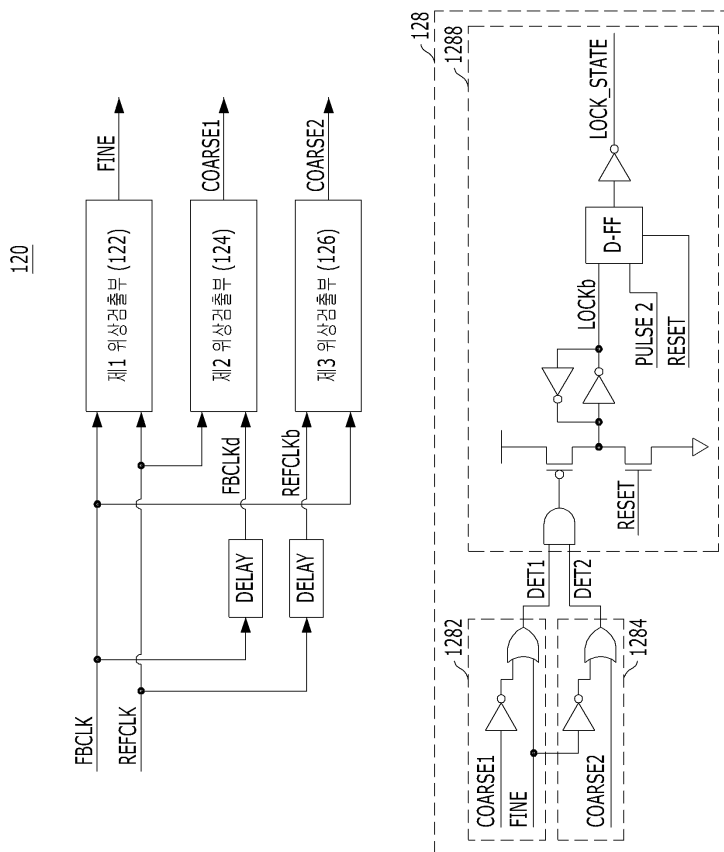
- [0058] 이때, 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 작은 위상차이를 갖는 경우(B)에서 지터(jitter)가 발생하여 다시 소스 클럭(REFCLK)과 피드백 클럭(FBCLK)의 위상차이가 설정된 지연량(DELAY)에 대응하는 위상차이보다 더 큰 위상차이를 갖는 상태로 변동하게 되는 경우(C)의 타이밍 다이어그램을 참조하면 알 수 있듯이, 업데이트 펄스의 토글링 시점에서 피드백 클럭(FBCLK)의 위상을 변동시킬 때 소스 클럭(REFCLK) 또는 피드백 클럭(FBCLK)에 지터(jitter)가 발생하여 설정된 지연량(DELAY)에 해당하는 지연량보다 큰 지연량에 대응하는 만큼 소스 클럭(REFCLK) 또는 피드백 클럭(FBCLK)의 위상이 흔들리게 되는 현상이 발생하게 될 경우 제1 내지 제3 위상검출부(122, 124, 126)의 출력결과(FINE, COARSE1, COARSE2)가 갑작스럽게 모두 로직 '하이'(High)로 변동하는 현상이 발생하게 된다.
- [0059] 즉, 제1 내지 제3 위상검출부(122, 124, 126)의 출력결과(FINE, COARSE1, COARSE2)가 이전에 모두 로직 '로우'(Low)로 비활성화된 상태에서 갑자기 모두 로직 '하이'(High)로 활성화된 상태가 되는 현상이 발생하는 것을 알 수 있다.
- [0060] 본 발명의 실시예에 따른 제3 위상차이 검출부(4286)에서는 상기와 같은 현상이 발생하는 것을 감지하고, 그에 응답하여 위상차이 검출신호(LOCK_STATE)를 강제로 로직 '로우'(Low)에서 로직 '하이'(High)로 변동시키게 된다.
- [0061] 즉, 본 발명의 실시예에 따른 제3 위상차이 검출부(4286)는 일반적인 위상차이 검출동작이 발생하는 과정에서는 아무런 동작도 수행하지 않는 것과 같은 상태가 되어 위상차이 검출신호(LOCK_STATE)의 논리레벨을 결정하는 동작에 아무런 영향도 끼치지 않게 되지만, 지터(jitter)가 발생하여 일반적인 위상차이 검출동작이 이뤄지지 않는 경우에는 이를 감지하여 위상차이 검출신호(LOCK_STATE)의 논리레벨을 결정하는 동작에 영향을 끼치게 된다.
- [0062] 이와 같이, 본 발명의 실시예에 따른 위상비교부(120)를 포함하는 반도체 장치의 지연고정루프회로(DLL)은, 지연고정 동작을 수행하는 도중에 소스 클럭(REFCLK) 또는 피드백 클럭(FBCLK)에 지터(jitter)가 발생하더라도 이를 감지하여 정상적으로 지연고정동작이 수행되도록 하는 것이 가능하다.
- [0063] 전술한 본 발명의 실시예에 따른 위상비교부(120)는 일반적으로 반도체 장치의 지연고정루프회로(DLL)에 포함되는 구성요소이다. 따라서, 반도체 장치의 지연고정루프회로(DLL)에서 지연고정 동작과정에만 적용될 수 있다.
- [0064] 하지만, 본 발명의 핵심 기술은 반도체 장치의 지연고정루프회로(DLL)가 아닌 경우에도 두 클럭의 위상을 동기화시키기 위한 회로라면 다음과 같이 얼마든지 적용되는 것이 가능하다.
- [0065] 도 6은 본 발명의 실시예에 따라 두 클럭의 위상을 동기화시키기 위한 회로의 구성을 도시한 회로도이다.
- [0066] 도 6을 참조하면, 제1 클럭(1ST_CLK)의 위상을 기준으로 제2 클럭(2ND_CLK)의 위상을 검출하기 위한 제1 위상검출부(600)와, 제1 클럭(1ST_CLK)의 위상을 기준으로 제2 클럭(2ND_CLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(2ND_CLKd)의 위상을 검출하기 위한 제2 위상검출부(620)와, 제1 클럭(1ST_CLK)을 설정된 지연량(DELAY)만큼 지연시킨 클럭(1ST_CLKd)의 위상을 기준으로 제2 클럭(2ND_CLK)의 위상을 검출하기 위한 제3 위상검출부(640)와, 제1 내지 제3 위상검출부(600, 620, 640)에서 출력되는 신호(PHASE_DET1, PHASE_DET2, PHASE_DET3)에 응답하여 제1 클럭(1ST_CLK) 및 제2 클럭(2ND_CLK)의 위상차이에 대응하는 위상차이 검출신호(PHASE_SYNC_DET)의 논리레벨을 결정하되, 제1 클럭(1ST_CLK) 또는 제2 클럭(2ND_CLK)의 위상이 급격하게 변동 - 설정된 지연량(DELAY)의 두 배 이상에 대응하는 위상 변동이 발생하는 것을 의미함 - 하는 것을 검출하여 위상차이 검출신호(PHASE_SYNC_DET)의 논리레벨 결정에 반영하는 위상차이 검출신호 생성부(660)를 구비한다. 또한, 제1 클럭(1ST_CLK) 및 제2 클럭(2ND_CLK)의 위상을 동기화시키기 위해 제1 위상검출부(600)의 출력신호(PHASE_DET1)에 응답하여 제1 클럭(1ST_CLK) 또는 제2 클럭(2ND_CLK)의 위상을 변동시키되, 위상차이 검출신호(PHASE_SYNC_DET)에 응답하여 제1 클럭(1ST_CLK) 및 제2 클럭(2ND_CLK)의 동기화 여부가 결정되는 클럭 위상 변동부(680)를 더 구비한다.
- [0067] 여기서, 위상차이 검출신호 생성부(660)는, 제1 위상검출부(600) 및 제2 위상검출부(620)에서 출력되는 신호(PHASE_DET1, PHASE_DET2)에 응답하여 제1 클럭(1ST_CLK)보다 제2 클럭(2ND_CLK)의 위상이 더 늦은 방향으로 설정된 지연량(DELAY)에 대응하는 위상차이 내에 속하는지를 검출하는 제1 위상차이 검출부(662)와, 제1 및 제3 위상검출부(600, 640)에서 출력되는 신호(PHASE_DET1, PHASE_DET3)에 응답하여 제1 클럭(1ST_CLK)보다 제2 클럭(2ND_CLK)의 위상이 더 빠른 방향으로 설정된 지연량(DELAY)에 대응하는 위상차이 내에 속하는지를 검출하는 제2 위상차이 검출부(664)와, 제1 내지 제3 위상검출부(600, 620, 640)에서 출력되는 신호(PHASE_DET1,

도면

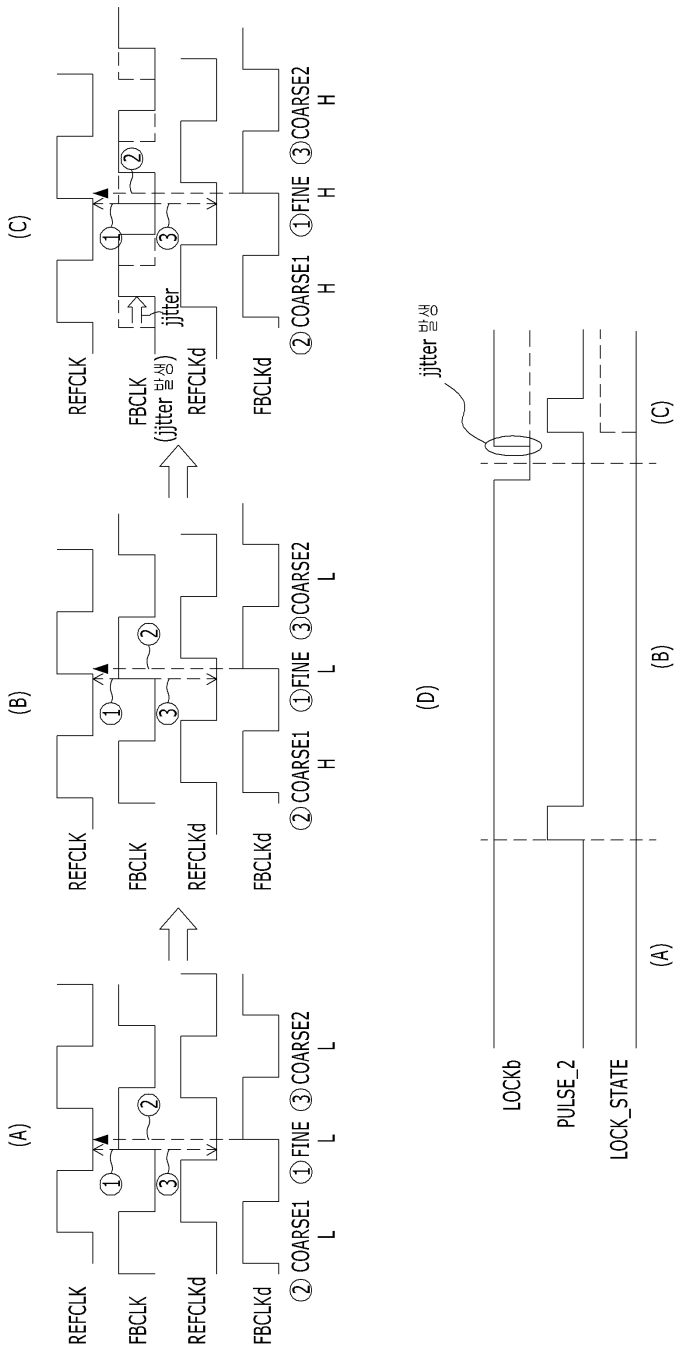
도면1



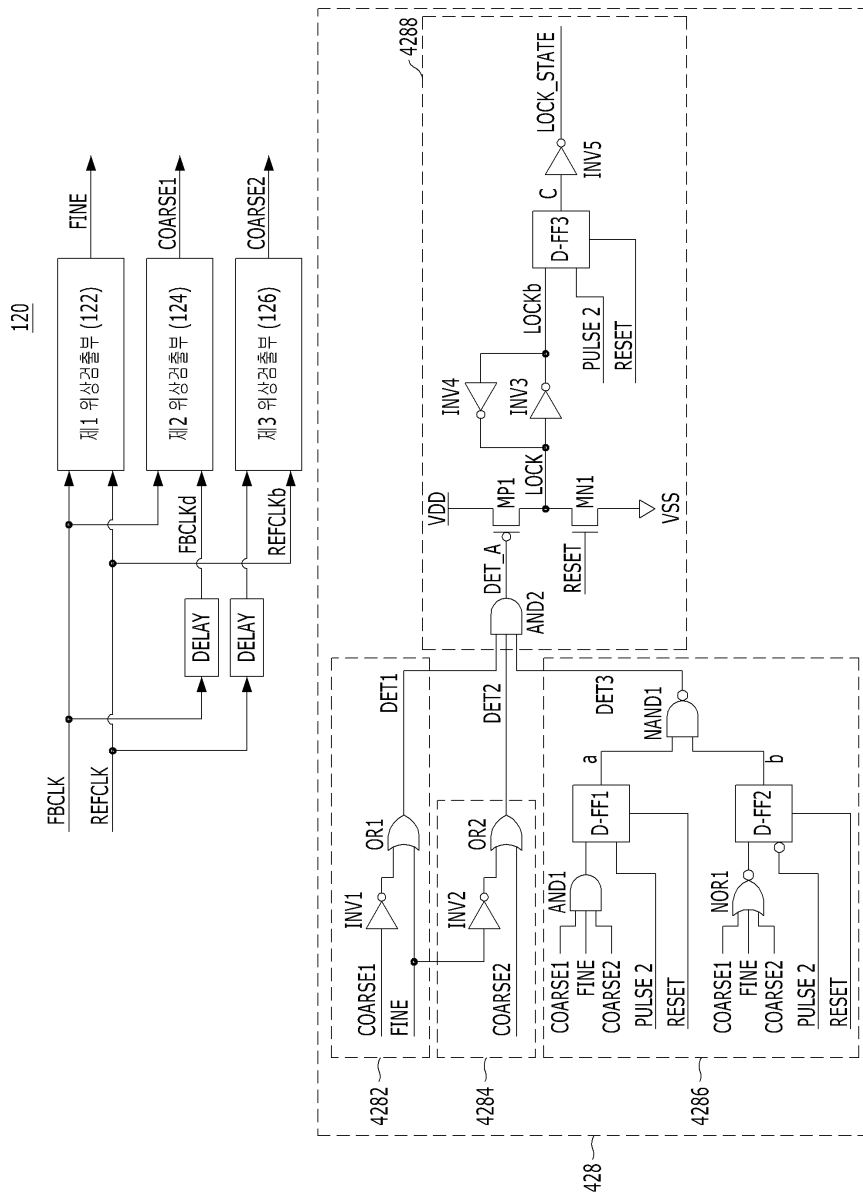
도면2



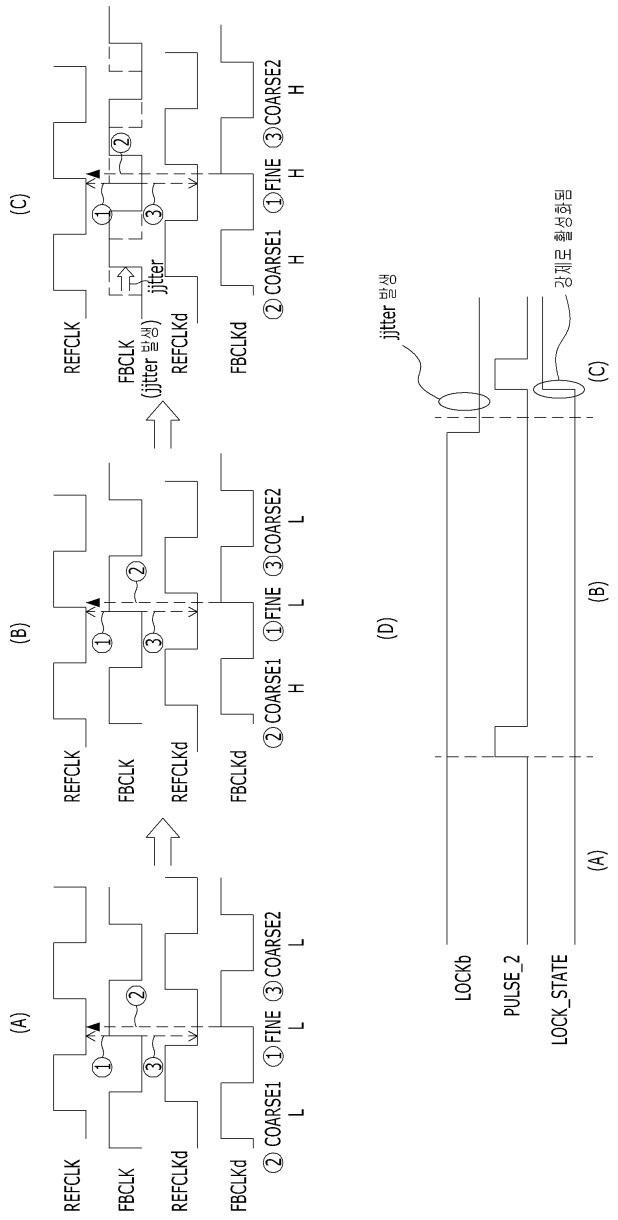
도면3



도면4



도면5



도면6

