

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月9日(09.01.2020)



(10) 国際公開番号

WO 2020/008593 A1

(51) 国際特許分類:
H03G 11/00 (2006.01)

(21) 国際出願番号: PCT/JP2018/025514

(22) 国際出願日: 2018年7月5日(05.07.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 川中 啓敬 (KAWANAKA, Takanori); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

三井 優輔(MITSUI, Yusuke); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

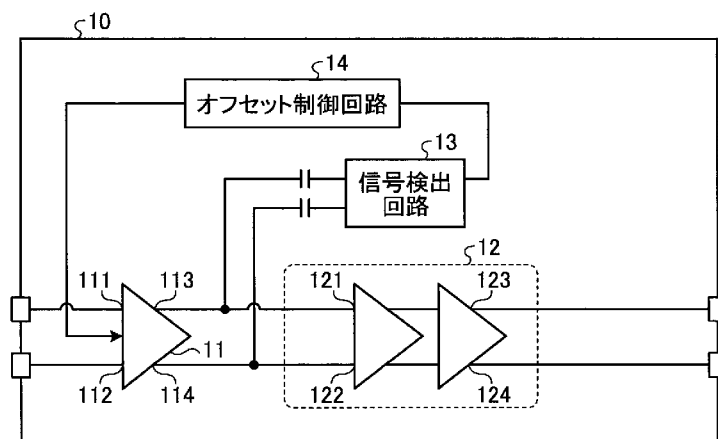
(74) 代理人: 高村 順(TAKAMURA, Jun); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング 特許業務法人酒井国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: LIMITING AMPLIFIER CIRCUIT

(54) 発明の名称: リミッティング増幅回路

[図1]



13 Signal detection circuit
14 Offset control circuit

(57) Abstract: A limiting amplifier circuit (10) according to the present invention is characterized by comprising: a first differential amplifier circuit (11) in which the difference between direct current voltage components of an inputted first differential signal can be adjusted as a voltage offset, and said first differential amplifier circuit (11) amplifies the first differential signal and outputs the signal as a second differential signal; a second differential amplifier circuit (12) which amplifies the second amplifier circuit at by an amplification factor corresponding to the difference between direct current

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

voltage components of the second differential signal; a signal detection circuit (13) which detects the amplitude of the second differential signal, determines whether the amplitude is greater than a threshold value, and outputs a determination result; and an offset control circuit (14) which uses the determination result to control the voltage offset.

(57) 要約：本発明に係るリミッティング増幅回路（10）は、入力される第1の差動信号の直流電圧成分の差を電圧オフセットとして調整可能であり、第1の差動信号を増幅して第2の差動信号として出力する第1の差動増幅回路（11）と、第2の差動信号の直流電圧成分の差に応じた増幅率で第2の差動信号を増幅する第2の差動増幅回路（12）と、第2の差動信号の振幅を検知し、振幅が閾値より大きいかな否かを判定し判定結果を出力する信号検出回路（13）と、判定結果を用いて前記電圧オフセットを制御するオフセット制御回路（14）と、を備えることを特徴とする。

明 細 書

発明の名称： リミッティング増幅回路

技術分野

[0001] 本発明は、リミッティング増幅回路に関する。

背景技術

[0002] 近年、一本の光ファイバを複数の利用者と共有できる P O N (Passive Optical Network) システムと呼ばれる一対多数のアクセス系光通信システムが広く用いられている。P O N システムは、局側装置である 1 台の O L T (Optical Line Terminal: 光加入者線終端装置) と、複数の加入者側端末装置である O N U (Optical Network Unit: 光ネットワーク装置) と、O L T と O N U とを接続する受動素子である光スターカプラと、O L T、O N U、および光スターカプラを接続する光ファイバとで構成される。

[0003] P O N システムの収容数を増加させるために、O L T と O N U との間の最大接続距離の長延化、または O N U の分岐数の増加が要求されている。このため、O L T と O N U との間の距離は一定とならず、O L T は信号強度差の大きいパケット信号を受信しなければならない。一般的に、光ファイバを介して伝送された光信号は、フォトディテクタと呼ばれる光電気変換素子で光信号から電流信号に変換される。変換された電流信号は、トランスインピーダンスアンプと呼ばれる高利得を持つプリアンプで増幅される。プリアンプの出力振幅は、入力光パワーに依存する。プリアンプの出力信号は、リミッティング増幅回路と呼ばれる回路を用いることで一定の電圧振幅に制限される。入力光パワーに依存しない一定の電圧振幅の信号の生成は、リミッティング増幅回路の後段のクロックデータリカバリ回路での安定した信号識別のためには必要不可欠な処理である。一方で、無信号区間において、プリアンプから出力される雑音は、リミッティング増幅回路により高利得で増幅されてクロックデータリカバリ回路に入力されることになる。このため、クロックデータリカバリ回路は、増幅された雑音により誤検知を起こすことがある

。

[0004] 特許文献1に開示されているリミッティング増幅回路は、増幅された雑音によるクロックデータリカバリ回路における誤検知を回避するために、無信号区間においてリミッティング増幅回路の出力電圧を一定値に固定するスケルチ回路を備えている。

先行技術文献

特許文献

[0005] 特許文献1：特許第4956639号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献1に記載のリミッティング増幅回路は、スケルチ回路を主増幅段の後段に追加するため消費電力が増加するという問題があった。

[0007] 本発明は、上記に鑑みてなされたものであって、消費電力の増加を抑制しつつ、スケルチ機能を備えるリミッティング増幅回路を得ることを目的とする。

課題を解決するための手段

[0008] 上述した課題を解決し、目的を達成するために、本発明に係るリミッティング増幅回路は、入力される第1の差動信号の直流電圧成分の差を電圧オフセットとして調整可能であり、第1の差動信号を増幅して第2の差動信号として出力する第1の差動増幅回路と、第2の差動信号の直流電圧成分の差に応じた増幅率で第2の差動信号を増幅する第2の差動増幅回路と、第2の差動信号の振幅を検知し、振幅が閾値より大きいかな否かを判定し判定結果を出力する信号検出回路と、判定結果を用いて電圧オフセットを制御するオフセット制御回路と、を備えることを特徴とする。

発明の効果

[0009] 本発明にかかるリミッティング増幅回路は、消費電力の増加を抑制しつつ

、スケルチ機能を備えることができるという効果を奏する。

図面の簡単な説明

[0010] [図1]本発明の実施の形態1にかかるリミッティング増幅回路の構成を示す図

[図2]本発明の実施の形態1にかかるリミッティング増幅回路が備える制御回路の一例を示す図

[図3]本発明の実施の形態1にかかるリミッティング増幅回路において判定結果が第1の値である場合の第1の差動増幅回路の入出力特性を示す図

[図4]本発明の実施の形態1にかかるリミッティング増幅回路において判定結果が第1の値である場合の第2の差動増幅回路の入出力特性を示す図

[図5]本発明の実施の形態1にかかるリミッティング増幅回路において判定結果が第2の値である場合の第1の差動増幅回路の入出力特性を示す図

[図6]本発明の実施の形態1にかかるリミッティング増幅回路において判定結果が第2の値である場合の第2の差動増幅回路の入出力特性を示す図

[図7]本発明の実施の形態2にかかるリミッティング増幅回路の構成を示す図

[図8]本発明の実施の形態3にかかるリミッティング増幅回路の構成を示す図

発明を実施するための形態

[0011] 以下に、本発明の実施の形態にかかるリミッティング増幅回路を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

[0012] 実施の形態1.

図1は、本発明の実施の形態1にかかるリミッティング増幅回路の構成を示す図である。リミッティング増幅回路10は、第1の差動増幅回路11と、第2の差動増幅回路12と、信号検出回路13と、オフセット制御回路14とを備える。

[0013] 第1の差動増幅回路11は、信号入力端子111と、信号入力端子112と、信号出力端子113と、信号出力端子114とを備える。信号入力端子111には入力信号 V_{in1} が入力される。信号入力端子112には入力信号 V_{in2} が入力される。入力信号 V_{in1} および入力信号 V_{in2} は、第

1の差動信号とも呼ばれる。信号出力端子113は入力信号 V_{in1} を増幅して出力信号 V_{out1} を出力する。信号出力端子114は、入力信号 V_{in2} を増幅して出力信号 V_{out2} を出力する。出力信号 V_{out1} および出力信号 V_{out2} は、第2の差動信号とも呼ばれる。また、第1の差動増幅回路11は、第1の差動信号の直流電圧成分の差を電圧オフセットとして調整する。第2の差動増幅回路12は、信号入力端子121と、信号入力端子122と、信号出力端子123と、信号出力端子124とを備える。信号入力端子121には入力信号 V_{in3} が入力される。信号入力端子122には入力信号 V_{in4} が入力される。信号出力端子123は出力信号 V_{out3} を出力する。信号出力端子124は、出力信号 V_{out4} を出力する。また、第2の差動増幅回路12は、第2の差動信号の直流電圧成分の差に応じた増幅率で第2の差動信号を増幅する。信号検出回路13は、第2の差動信号の振幅を検知し、振幅が閾値より大きいかな否かを判定し、閾値より大きい第2の差動信号の振幅を検知した時には信号を検出したと判定し、判定結果をオフセット制御回路14に出力する。また、信号検出回路13は、閾値以下の第2の差動信号の振幅を検知した時には信号は未検出であると判定し、判定結果をオフセット制御回路14に出力する。オフセット制御回路14は、信号検出回路13の判定結果を基に第1の差動増幅回路11の電圧オフセットを制御する。また、オフセット制御回路14は、静的な消費電力が微小なデジタル回路として設計される。このため、オフセット制御回路14は、一般的なスケルチ回路よりも消費電力が微小である。

[0014] 実施の形態にかかる信号検出回路13およびオフセット制御回路14は、各処理を行う電子回路である処理回路により実現される。

[0015] 本処理回路は、専用のハードウェアであっても、メモリ及びメモリに格納されるプログラムを実行するCPU (Central Processing Unit、中央演算装置) を備える制御回路であってもよい。ここでメモリとは、例えば、RAM (Random Access Memory)、ROM (Read Only Memory)、フラッシュメモリなどの、不揮発性または揮発性の半導体メモリ、磁気ディスク、光

ディスクなどが該当する。本処理回路がCPUを備える制御回路である場合、この制御回路は例えば、図2に示す構成の制御回路200となる。

[0016] 図2に示すように、制御回路200は、CPUであるプロセッサ200aと、メモリ200bとを備える。図2に示す制御回路200により実現される場合、プロセッサ200aがメモリ200bに記憶された、各処理に対応するプログラムを読みだして実行することにより実現される。また、メモリ200bは、プロセッサ200aが実施する各処理における一時メモリとしても使用される。

[0017] リミッティング増幅回路10の動作について説明する。リミッティング増幅回路10に入力された第1の差動信号は、第1の差動増幅回路11により増幅される。信号検出回路13は、第1の差動増幅回路11により増幅された信号の振幅を抽出し、信号の振幅を閾値と比較する。比較した結果、信号の振幅が閾値よりも大きい場合、信号検出回路13は信号を検出したと判定し、判定結果として第1の値を出力する。また、信号検出回路13は比較した結果、信号の振幅が閾値以下である場合、信号を検出していないと判定し、判定結果として第2の値を出力する。信号検出回路13は判定結果をオフセット制御回路14に伝える。オフセット制御回路14は、信号検出回路13の判定結果を受け第1の差動増幅回路11の第2の差動信号間の電圧オフセットを制御する。第1の差動増幅回路11の出力は、小信号振幅から大信号振幅までを一定の振幅で出力するために、第2の差動増幅回路12で増幅される。次に、信号検出回路13の判定結果が、第1の値である場合と第2の値である場合とで分けてリミッティング増幅回路10の動作を詳細に説明する。

[0018] 信号検出回路13の判定結果が第1の値である場合の動作について説明する。図3は、本発明の実施の形態1にかかるリミッティング増幅回路10において判定結果が第1の値である場合の第1の差動増幅回路11の入出力特性を示す図である。図3に示される横軸は、入力信号 V_{in1} から入力信号 V_{in2} を減算した値を示す入力端子電圧差を表す。図3に示される縦軸は

、出力信号 V_{out1} または出力信号 V_{out2} の電圧を表す。図3では、実線の曲線は、入力端子電圧差と出力信号 V_{out1} との特性を示し、破線の曲線は入力端子電圧差と出力信号 V_{out2} との特性を示す。信号検出回路13の判定結果が第1の値である場合、第1の差動増幅回路11は、オフセット制御回路14により図3に示すように、入力信号 V_{in2} と入力信号 V_{in1} との差が0である状態で動作する。図4は、本発明の実施の形態1にかかるリミッティング増幅回路10において判定結果が第1の値である場合の第2の差動増幅回路12の入出力特性を示す図である。第2の差動増幅回路12は、第1の差動増幅回路11と同様に入力信号 V_{in3} と入力信号 V_{in4} との差が0である状態で動作する。ここで、入力電圧に対する出力電圧の変化量、つまり増倍率はリミッティング増幅回路10としての動作に対して十分大きいものとする。

[0019] 信号検出回路13の判定結果が第2の値である場合の動作について説明する。図5は、本発明の実施の形態1にかかるリミッティング増幅回路10において判定結果が第2の値である場合の第1の差動増幅回路11の入出力特性を示す図である。図5に示される横軸、縦軸、実線、および破線が表す内容は、図3と同様である。第1の差動増幅回路11は、オフセット制御回路14により、入力信号 V_{in1} と入力信号 V_{in2} との間に直流電圧差がある状態で動作するよう調整される。

[0020] 図6は、本発明の実施の形態1にかかるリミッティング増幅回路10において判定結果が第2の値である場合の第2の差動増幅回路12の入出力特性を示す図である。第1の差動増幅回路11で生じさせた出力端子間の直流電圧差により、第2の差動増幅回路12は、2つの入力端子間に直流電圧差がある状態で動作する。

[0021] 第1の差動増幅回路11は、図3および図5のいずれの状態、つまり判定結果が第1の値である場合、および判定結果が第2の値である場合のいずれにおいても増幅率の差はほとんどない。これは、信号の検出状態によらず信号検出回路13までの増幅率を一定とすることで安定した信号を検出するた

めである。第2の差動増幅回路12は、判定結果が第2の値である時、小振幅の入力に対する増幅率がほとんど0とみなせる範囲で動作させる。このため、判定結果が第2の値である時、つまり入力振幅が雑音程度に小さい時の第2の差動増幅回路12の出力は、一定の直流レベルへ固定されているとみなせる。また、第2の差動増幅回路12の判定結果が第2の値である時の増幅率を第1の増幅率とし、第2の差動増幅回路12の判定結果が第2の値である時の増幅率を第2の増幅率とすると、第2の差動増幅回路12は、判定結果が第1の値である時には第1の増幅率よりも大きい第2の増幅率にすると言える。つまり、判定結果が第2の値である時の第2の差動増幅回路の増幅率は、判定結果が第1の値である時の第2の差動増幅回路12の増幅率より小さいと言える。

[0022] 以上説明したように、第1の差動増幅回路11の電圧オフセットを調節するという方法により、リミッティング増幅回路10にスケルチ回路を設けることなくスケルチ機能が実現できる。また、リミッティング増幅回路10は、オフセット制御回路14を備える必要があるが、オフセット制御回路14は静的な消費電力が微小なデジタル回路として設計できるため、消費電力の増加の抑制という本来の目的を損なうことはない。なお、本実施の形態では、第1の差動増幅回路11の入力端子間、つまり第1の差動信号間の直流電圧差を調整した場合について記述したが、第1の差動増幅回路11の出力端子間、つまり第2の差動信号間の直流電圧差を調整しても良い。また、リミッティング増幅回路10は、外部レートセレクト信号に応じたフィルタの透過帯域を変更可能な増幅器としても良い。フィルタの透過帯域を変更可能な増幅器とした場合、帯域を変更可能とするための信号検出の閾値の切り替え等の各回路調整も構成として含む。ここでフィルタとはハイパスフィルタおよびローパスフィルタを含み、フィルタはリミッティング増幅回路10に備えられる。

[0023] 実施の形態2.

図7は、本発明の実施の形態2にかかるリミッティング増幅回路の構成を

示す図である。なお、実施の形態１と同一の機能を有する構成要素は、実施の形態１と同一の符号を付して重複する説明を省略する。リミッティング増幅回路１０ａは、リミッティング増幅回路１０と比べて、信号検出回路１３の代わりに信号検出回路１３ａを備える点が異なる。信号検出回路１３ａの切替動作を高速で行うために、リミッティング増幅回路１０ａの外部からリセット信号を信号検出回路１３ａが受信する。信号検出回路１３ａは、リセット信号に応じて、判定結果をリセットし、リセット信号による解除後ただちに信号を検出する動作に移行する。ここで、リセットとは強制的に判定結果を第１の値にすること、または強制的に判定結果を第２の値にすることという。

[0024] 以上説明したように、本実施の形態では、リミッティング増幅回路１０ａは、消費電力の増加を抑制しつつスケルチ機能を備えることができる。また、リミッティング増幅回路１０ａは、リセット信号を用いることで切替動作を高速で行うことができる。

[0025] 実施の形態３．

図８は、本発明の実施の形態３にかかるリミッティング増幅回路の構成を示す図である。なお、実施の形態１と同一の機能を有する構成要素は、実施の形態１と同一の符号を付して重複する説明を省略する。リミッティング増幅回路１０ｂは、信号検出回路１３の代わりに信号検出回路１３ｂを備える。また、リミッティング増幅回路１０ｂは、第３の差動増幅回路１５を備える。第３の差動増幅回路１５は、信号検出回路１３ｂが安定的に信号を検出できるように、第１の差動信号間の電圧差を電圧オフセットとして調整する。つまり、第１の差動信号を検出するための第３の差動増幅回路１５を主信号増幅段とは別に備える。なお、図８では、図７と同様に信号検出回路１３ｂにリセット信号が入力される構成を図示しているが、信号検出回路１３ｂがリセット信号を受信しなくても良い。

[0026] 以上説明したように、本実施の形態では、リミッティング増幅回路１０ｂは、消費電力の増加を抑制しつつスケルチ機能を備えることができる。また

、リミッティング増幅回路 10 b は、第 3 の差動増幅回路 15 を備えることで信号検出回路 13 b が安定的に信号を検出することができる。

[0027] 以上の実施の形態に示した構成は、本発明の内容の一例を示すものであり、別の公知の技術と組み合わせることも可能であるし、本発明の要旨を逸脱しない範囲で、構成の一部を省略、変更することも可能である。

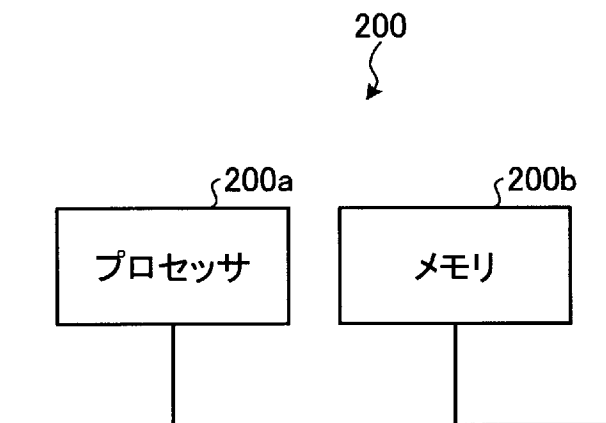
符号の説明

[0028] 10, 10 a, 10 b リミッティング増幅回路、11 第 1 の差動増幅回路、12 第 2 の差動増幅回路、13, 13 a, 13 b 信号検出回路、14 オフセット制御回路、15 第 3 の差動増幅回路、111, 112, 121, 122 信号入力端子、113, 114, 123, 124 信号出力端子、200 制御回路、200 a プロセッサ、200 b メモリ、 V_{in1} , V_{in2} , V_{in3} , V_{in4} 入力信号、 V_{out1} , V_{out2} , V_{out3} , V_{out4} 出力信号。

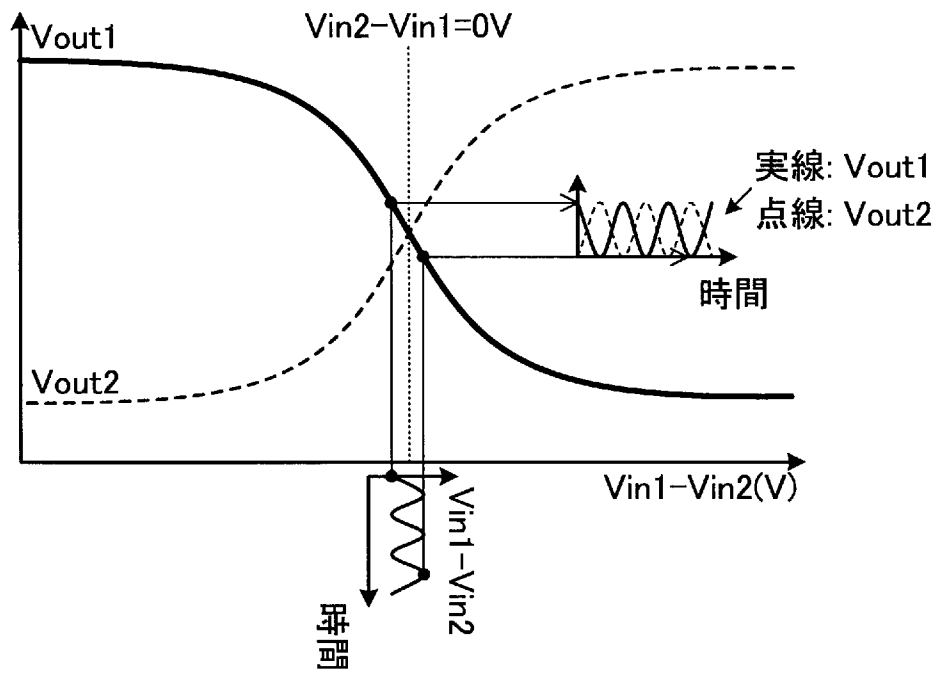
請求の範囲

- [請求項1] 入力される第1の差動信号の直流電圧成分の差を電圧オフセットとして調整可能であり、前記第1の差動信号を増幅して第2の差動信号として出力する第1の差動増幅回路と、
- 前記第2の差動信号の直流電圧成分の差に応じた増幅率で前記第2の差動信号を増幅する第2の差動増幅回路と、
- 前記第2の差動信号の振幅を検知し、前記振幅が閾値より大きいかな否かを判定し判定結果を出力する信号検出回路と、
- 前記判定結果を用いて前記電圧オフセットを制御するオフセット制御回路と、
- を備えることを特徴とするリミッティング増幅回路。
- [請求項2] 前記信号検出回路は、
- 前記振幅が前記閾値よりも大きい場合、前記判定結果として信号を検出したことを示す第1の値を出力し、前記振幅が前記閾値以下である場合、前記判定結果として信号を検出していないことを示す第2の値を出力することを特徴とする請求項1に記載のリミッティング増幅回路。
- [請求項3] 前記判定結果が前記第2の値である時の前記第2の差動増幅回路の増幅率は、前記判定結果が前記第1の値である時の前記第2の差動増幅回路の増幅率より小さいことを特徴とする請求項2に記載のリミッティング増幅回路。
- [請求項4] 前記信号検出回路は、
- 前記判定結果をリセットする信号を受信すると前記判定結果をリセットすることを特徴とする請求項1から3のいずれか1つに記載のリミッティング増幅回路。
- [請求項5] 前記振幅を検知する第3の差動増幅回路を前記信号検出回路の前段に備えることを特徴とする請求項1から4のいずれか1つに記載のリミッティング増幅回路。

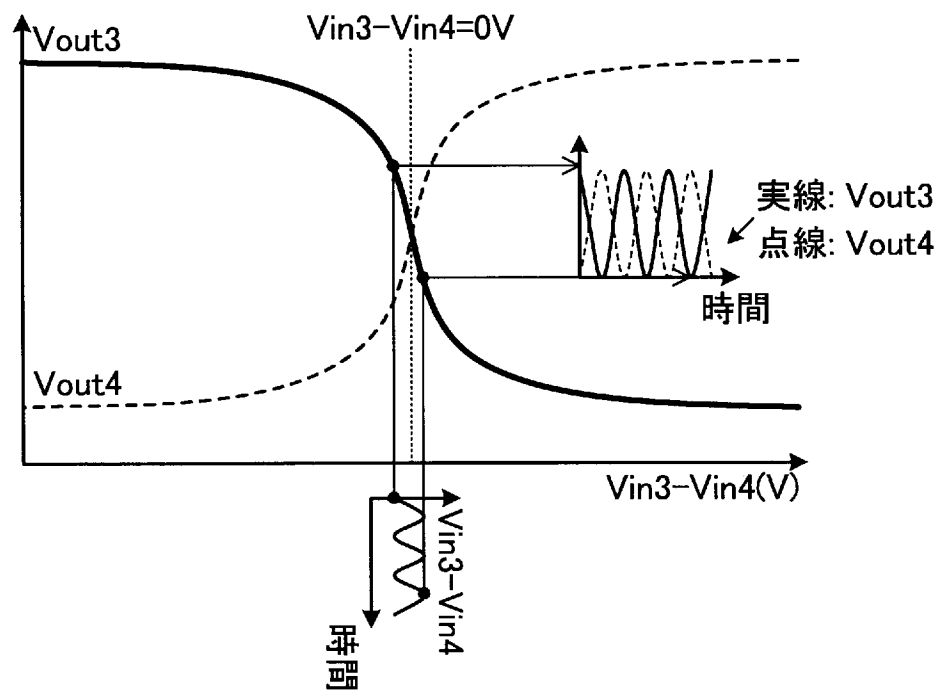
[請求項6] 外部レートセレクト信号に応じてフィルタの透過帯域を切り替え可能であることを特徴とする請求項1から5のいずれか1つに記載のリミッティング増幅回路。



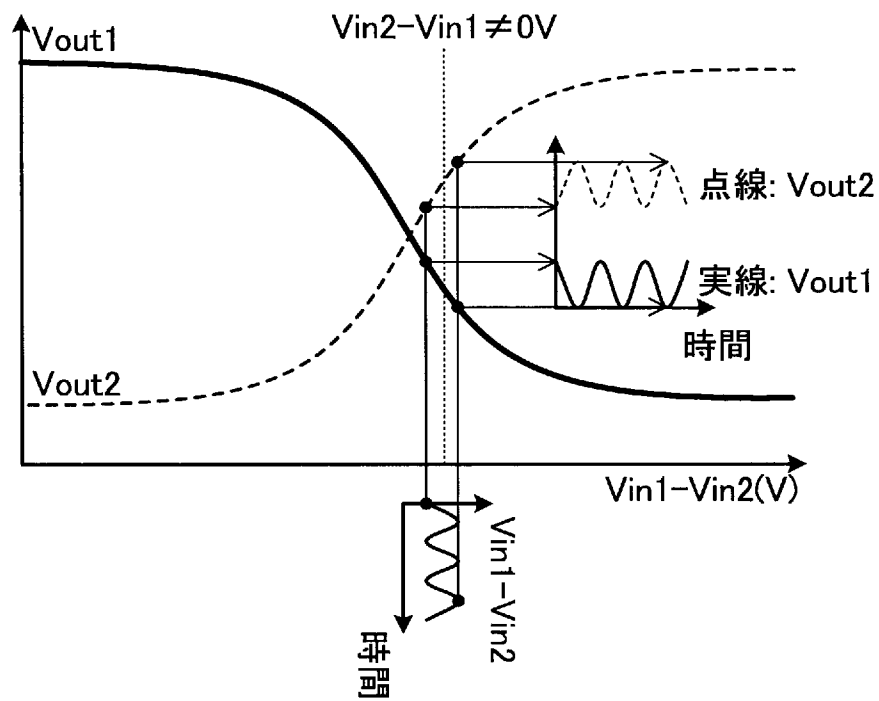
[図3]



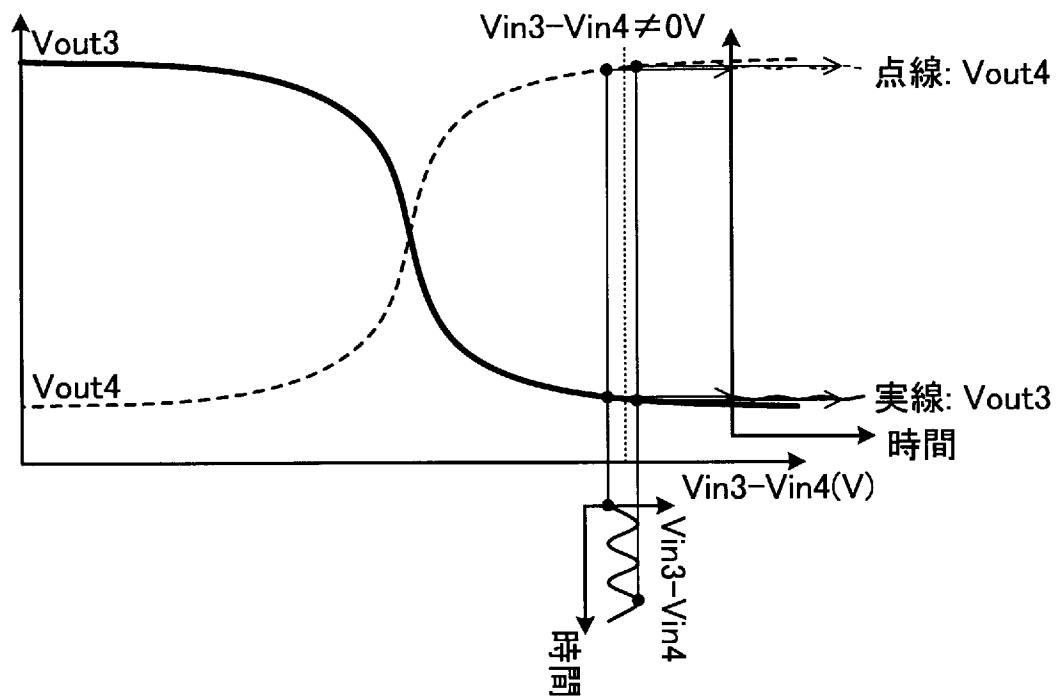
[図4]



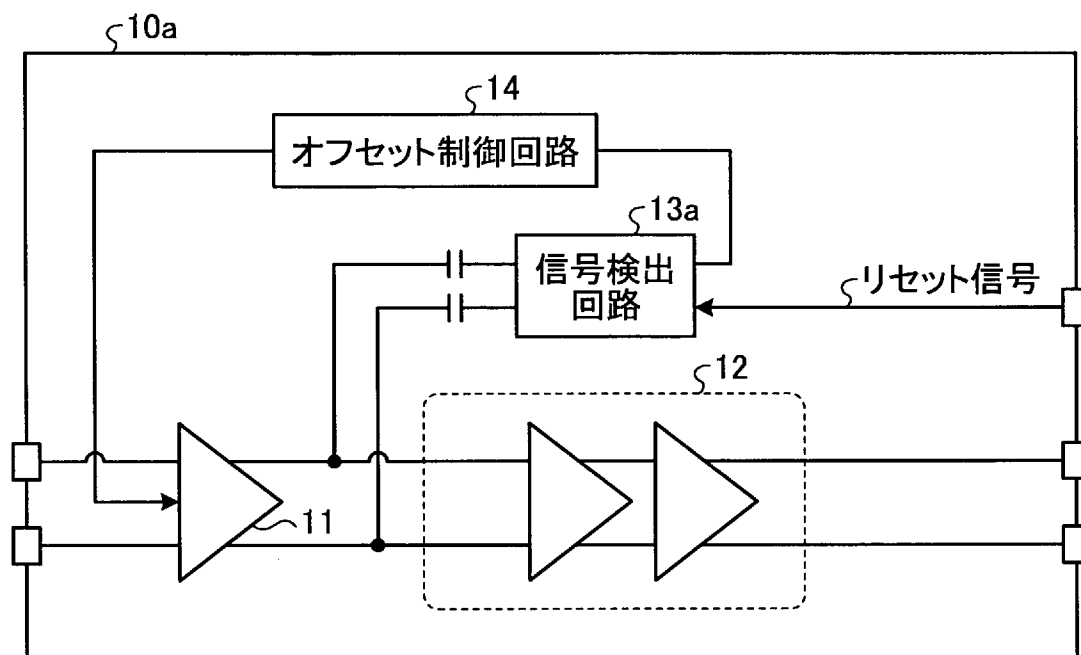
[図5]



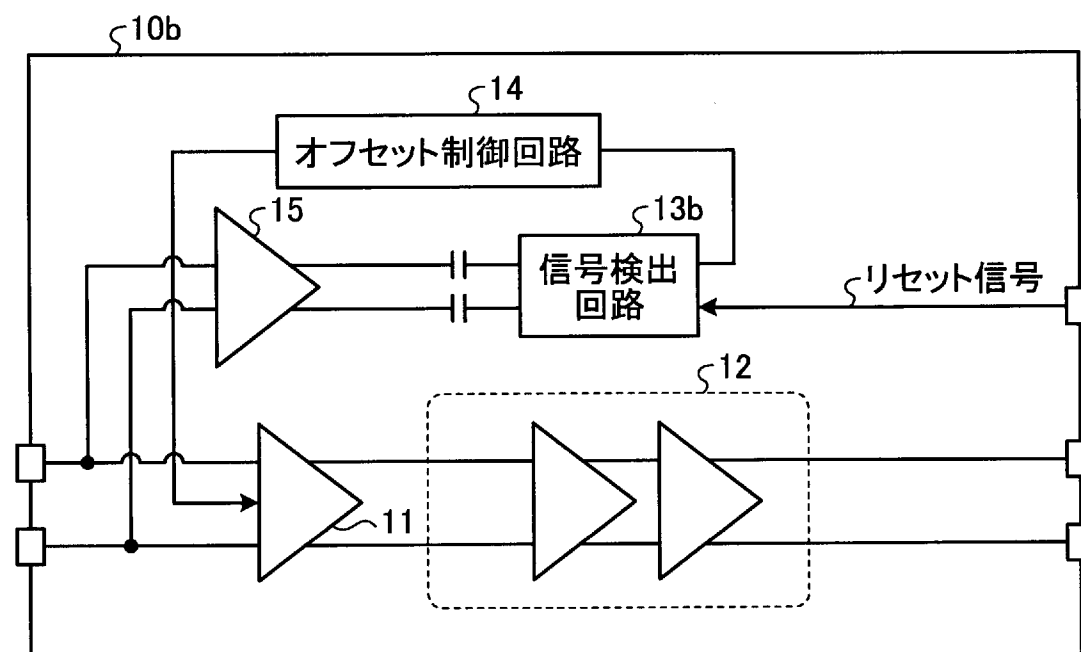
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025514

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03G11/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03G11/00, H03G3/10, H03G3/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-109721 A (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 02 June 2011, paragraphs [0015]-[0019], [0021], fig. 2, 3, 5 (Family: none)	1-6
A	JP 2008-219295 A (FUJITSU LIMITED) 18 September 2008, paragraphs [0030]-[0036], fig. 5 (Family: none)	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

31.07.2018

Date of mailing of the international search report

14.08.2018

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025514

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-53835 A (MITSUBISHI ELECTRIC CORPORATION) 20 March 2014, paragraphs [0025]-[0036], fig. 1 (Family: none)	1-6
A	JP 2001-223546 A (MITSUBISHI ELECTRIC CORPORATION) 17 August 2001, paragraphs [0002]-[0038], fig. 1, 6 & US 6313704 B1, column 1, line 33 to column 8, line 19, fig. 1, 6	1-6
A	US 2006/0097784 A1 (TEXAS INSTRUMENTS INCORPORATED) 11 May 2006, paragraph [0021], fig. 2 (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03G11/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03G11/00, H03G3/10, H03G3/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-109721 A（日本電信電話株式会社） 2011.06.02, 段落[0015]-[0019], [0021], 図 2-3, 5 (ファミリーなし)	1-6
A	JP 2008-219295 A（富士通株式会社） 2008.09.18, 段落[0030]-[0036], 図 5 (ファミリーなし)	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

31.07.2018

国際調査報告の発送日

14.08.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 正明

5W

1208

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-53835 A (三菱電機株式会社) 2014.03.20, 段落[0025]-[0036], 図1 (ファミリーなし)	1-6
A	JP 2001-223546 A (三菱電機株式会社) 2001.08.17, 段落[0002]-[0038], 図1, 6 & US 6313704 B1, 第1欄33行-第8欄19行, Fig. 1, 6	1-6
A	US 2006/0097784 A1 (TEXAS INSTRUMENTS INCORPORATED) 2006.05.11, 段落[0021], 図2 (ファミリーなし)	1-6