

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4594633号
(P4594633)

(45) 発行日 平成22年12月8日(2010.12.8)

(24) 登録日 平成22年9月24日(2010.9.24)

(51) Int.Cl.		F I		
HO 1 L 21/822	(2006.01)	HO 1 L	27/04	H
HO 1 L 27/04	(2006.01)	HO 3 K	17/08	C
HO 3 K 17/08	(2006.01)			

請求項の数 3 (全 9 頁)

(21) 出願番号	特願2004-57436 (P2004-57436)	(73) 特許権者	000191238
(22) 出願日	平成16年3月2日(2004.3.2)		新日本無線株式会社
(65) 公開番号	特開2005-251846 (P2005-251846A)		東京都中央区日本橋横山町3番10号
(43) 公開日	平成17年9月15日(2005.9.15)	(74) 代理人	100098372
審査請求日	平成18年9月29日(2006.9.29)		弁理士 緒方 保人
		(72) 発明者	江田 雄志
			埼玉県上福岡市福岡二丁目1番1号 新日本無線株式会社 川越製作所内
		(72) 発明者	馬場 雄介
			埼玉県上福岡市福岡二丁目1番1号 新日本無線株式会社 川越製作所内
		審査官	須原 宏光

最終頁に続く

(54) 【発明の名称】 温度ヒステリシス機能付き熱遮断回路

(57) 【特許請求の範囲】

【請求項1】

熱遮断及びその解除のための電圧を出力する出力トランジスタ、及びこの出力トランジスタに接続された第1抵抗を有する熱遮断出力部と、

電流発生用の第2抵抗を有し、上記熱遮断出力部に電流を流す電流源とを備え、

上記第1抵抗と上記第2抵抗の比により熱遮断温度を設定する熱遮断回路において、

上記熱遮断出力部の出力電圧を増幅する増幅部と、

並列接続された第3抵抗及びMOSトランジスタスイッチを上記第2抵抗に対し直列に接続したヒステリシス部と、を設け、

上記ヒステリシス部のMOSトランジスタスイッチのゲートに上記増幅部の出力を接続し、この増幅部の出力により上記MOSトランジスタスイッチを開閉することにより、熱遮断とその解除の検出温度にヒステリシスを持たせたことを特徴とする温度ヒステリシス機能付き熱遮断回路。

【請求項2】

熱遮断及びその解除のための電圧を出力する出力トランジスタ、及びこの出力トランジスタに接続された第1抵抗を有する熱遮断出力部と、

電流発生用の第2抵抗を有し、上記熱遮断出力部に電流を流す電流源とを備え、

上記第1抵抗と上記第2抵抗の比により熱遮断温度を設定する熱遮断回路において、

上記熱遮断出力部の出力電圧を増幅する増幅部と、

直列接続された第4抵抗及びMOSトランジスタスイッチを上記第1抵抗に対し並列に

10

20

接続したヒステリシス部と、を設け、

上記ヒステリシス部のMOSトランジスタスイッチのゲートに上記増幅部の出力を接続し、この増幅部の出力により上記MOSトランジスタスイッチを開閉することにより、熱遮断とその解除の検出温度にヒステリシスを持たせたことを特徴とする温度ヒステリシス機能付き熱遮断回路。

【請求項3】

上記熱遮断出力部の出力トランジスタは、2つのMOSトランジスタのゲート同士を接続し、かつ一方のMOSトランジスタをダイオード接続してなることを特徴とする請求項1又は2記載の温度ヒステリシス機能付き熱遮断回路。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、各種電子回路の動作の安全を確保するため、所定温度以上となったときに回路動作を強制的に中断させるための熱遮断回路に関し、特に熱遮断動作の安定を図るための構成に関する。

【背景技術】

【0002】

図4には、従来の熱遮断回路として、CMOS集積回路に組み込むことができ、かつ精度の高い熱遮断温度を設定できるものの構成（例えば特開平10-270647号公報）が示されている。この熱遮断回路は、大別すると、熱遮断出力部1と、カレントミラー部2及び電流発生部3を有する電流源4とから構成され、上記熱遮断出力部1は、NMOSトランジスタM1、M2、PNPバイポーラトランジスタQ1、Q2及び第1抵抗（値）R1からなり、上記カレントミラー部2は、PMOSトランジスタM3、M4、M5、M6からなり、上記電流発生部3は、NMOSトランジスタM7、M8、PNPバイポーラトランジスタQ3及び第2抵抗（値）R2からなる。

20

【0003】

このような熱遮断回路において、上記のNMOSトランジスタM1とM2のそれぞれのサイズを同じとし、上記のPMOSトランジスタM3～M6のそれぞれのサイズを同じとし、NMOSトランジスタM7とM8のサイズを同じとした場合の動作を説明する。対象回路の温度が、次の数式1の所定の温度以下となると、上記NMOSトランジスタM1のゲートソース間電圧を V_{gs1} とし、他方のトランジスタM2のゲートソース間電圧を V_{gs2} とすると、 $V_{gs1} < V_{gs2}$ となり、トランジスタM1は非導通状態であるため出力電圧 V_o は所定の高電圧を出力し、熱遮断解除（回路動作通常）状態であることを示す。

30

【0004】

[数1]

$$T_1 = (R1 / R2) \times (q \times V_{be}) / (K \times \ln N)$$

但し、 q は単位電荷、 V_{be} はPNPバイポーラトランジスタQ3のベースエミッタ間電圧、 K はボルツマン定数、 \ln は自然対数記号、 N はPNPバイポーラトランジスタQ2のエミッタ面積を1とした場合のPNPバイポーラトランジスタQ1のエミッタ面積の倍率（Q1の面積/Q2の面積）である（以下の数式でも同様となる）。

40

【0005】

回路温度の上昇に伴い、上記の V_{gs1} と V_{gs2} の差が小さくなり、数式1で示す温度 T_1 まで上昇すると、 $V_{gs1} = V_{gs2}$ となる。このとき、NMOSトランジスタM1が導通して出力電圧 V_o は所定の低電圧を出力し、熱遮断（回路動作中断）状態であることを示す。そして、図5の回路は、上記数式1から分かるように、抵抗R1とR2の比とPNPバイポーラトランジスタQ1のPNPバイポーラトランジスタQ2に対するエミッタ面積比 N を適宜に選択することにより、所望の熱遮断温度を設定することができる。また、これらの熱遮断温度を決めるパラメータは、集積回路製造プロセスにより高精度に製造できるので、正確な熱遮断温度を設定することが可能となる。

50

【特許文献1】特開平10-270647号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記従来¹⁰の熱遮断回路では、回路温度が上昇した場合の熱遮断温度とこの熱遮断温度から下降した場合の熱遮断解除温度が上記数式1で表される温度 T_1 に等しくなっているため、回路温度が T_1 まで上昇して熱遮断状態に切り替わった後、その温度が下降し始めると、直に温度 T_1 まで下がり熱遮断解除状態に切り替わる。一方、熱遮断解除状態に切り替わった後、回路温度が上昇し始めると直に温度 T_1 まで上がって熱遮断状態に切り替わる。このような熱遮断と熱遮断解除が短い周期で繰り返されると、動作が不安定となって対象となる回路が確実に遮断されない場合があり、この場合には、半動作状態の維持の結果、電力出力回路で負荷を破壊してしまう可能性がある。

【0007】

本発明は上記問題点に鑑みてなされたものであり、その目的は、CMOS集積回路を利用した高精度の回路において、熱遮断温度と熱遮断解除温度とに差、即ちヒステリシスを持たせることにより、安定した動作を確保することができる温度ヒステリシス機能付き熱遮断回路を提供することにある。

【課題を解決するための手段】

【0008】

上記目的を達成するために、請求項1の発明に係る温度ヒステリシス機能付き熱遮断回路は、熱遮断及びその解除のための電圧を出力する出力トランジスタ、及びこの出力トランジスタに接続された第1抵抗を有する熱遮断出力部と、電流発生用の第2抵抗を有し、上記熱遮断出力部に電流を流す電流源とを備え、上記第1抵抗と上記第2抵抗の比により熱遮断温度を設定する熱遮断回路において、上記熱遮断出力部の出力電圧を増幅する増幅部と、並列接続された第3抵抗及びMOSトランジスタスイッチを上記第2抵抗に対し直列に接続したヒステリシス部と、を設け、上記ヒステリシス部のMOSトランジスタスイッチのゲートに上記増幅部の出力を接続し、この増幅部の出力により上記MOSトランジスタスイッチを閉閉することにより、熱遮断とその解除の検出温度にヒステリシスを持たせたことを特徴とする。

請求項2に係る発明は、熱遮断及びその解除のための電圧を出力する出力トランジスタ、及びこの出力トランジスタに接続された第1抵抗を有する熱遮断出力部と、電流発生用の第2抵抗を有し、上記熱遮断出力部に電流を流す電流源とを備え、上記第1抵抗と上記第2抵抗の比により熱遮断温度を設定する熱遮断回路において、上記熱遮断出力部の出力電圧を増幅する増幅部と、直列接続された第4抵抗及びMOSトランジスタスイッチを上記第1抵抗に対し並列に接続したヒステリシス部と、を設け、上記ヒステリシス部のMOSトランジスタスイッチのゲートに上記増幅部の出力を接続し、この増幅部の出力により上記MOSトランジスタスイッチを閉閉することにより、熱遮断とその解除の検出温度にヒステリシスを持たせたことを特徴とする。

請求項3に係る発明は、上記熱遮断出力部の出力トランジスタは、2つのMOSトランジスタのゲート同士を接続し、かつ一方のMOSトランジスタをダイオード接続してなることを特徴とする。

【0009】

上記の構成によれば、ヒステリシス部によって、電流源（電流発生部）では第2抵抗 R_2 のみの場合とこの第2抵抗 R_2 に第3抵抗 R_3 を直列接続した場合とが切り替えられ、これによって上記数式1の熱遮断温度 T_1 に対し、次の数式2の熱遮断解除温度 T_2 が設定される。

【0010】

[数2]

$$T_2 = \{ R_1 / (R_2 + R_3) \} \times (q \times V_{be}) / (K \times \ln N)$$

【0011】

10

20

30

40

50

この数式 2 から分かるように、熱遮断解除温度 T_2 は、上記数式 1 で求められる熱遮断温度 T_1 よりも低くなり ($T_1 > T_2$)、ヒステリシスを持った異なる温度で熱遮断 (回路動作中断) と熱遮断解除 (回路動作復帰) の動作が良好に行われることになる。即ち、温度検出部からは、所定の温度 T_1 を検出したとき所定の低電圧が熱遮断信号として出力され、熱遮断状態に移行後、 T_1 よりも低い温度 T_2 に達したとき所定の高電圧が熱遮断解除信号として出力される。

【0012】

また、請求項 2 の場合は、ヒステリシス部によって、熱遮断出力部では第 1 抵抗 R_1 のみの場合とこの第 1 抵抗 R_1 に第 4 抵抗 R_4 を並列接続した場合とが切り替えられ、これによって上記数式 1 の熱遮断温度 T_1 に対し、次の数式 3 の熱遮断解除温度 T_3 が設定される。

【0013】

[数 3]

$$T_3 = [\{ R_1 \times R_4 / (R_1 + R_4) \} / R_2] \times (q \times V_{be}) / (K \times \ln N)$$

【0014】

この場合も、上記数式 3 から分かるように、熱遮断解除温度 T_3 は上記数式 1 で求められる熱遮断温度 T_1 よりも低くなり ($T_1 > T_3$)、ヒステリシスを持った異なる温度で熱遮断と熱遮断解除の動作が良好に行われる。

【発明の効果】

【0015】

本発明によれば、熱遮断温度と熱遮断解除温度とに差のあるヒステリシス特性が設定されるので、熱遮断とその解除の安定した動作を確保することができ、また CMOS 集積回路で構成することができる精度の高い熱遮断回路を得ることが可能となる。

【発明を実施するための最良の形態】

【0016】

図 1 には、本発明の実施例に係る熱遮断回路の概略構成が示されており、図示されるように、回路の温度が検出温度になったとき、熱遮断及びその解除のための所定の電圧を出力する温度検出部 14、この温度検出部 14 の出力電圧を増幅する増幅部 15 (25)、及びこの増幅部 15 (25) の出力に基づき、上記温度検出部 14 内の抵抗値を変更して検出温度 (T_1 , T_2 , T_3) を切り替えるヒステリシス部 16 (26) が設けられる。このヒステリシス部 16 (26) としては、実施例 1 のように、温度検出部 14 内の電流発生部の第 2 抵抗に関する抵抗値を切り替える構成、実施例 2 のように、温度検出部 14 内の熱遮断出力部の第 1 抵抗に関する抵抗値を切り替える構成を採用することができる。

【実施例 1】

【0017】

図 2 には、実施例 1 に係る熱遮断回路の構成が示されており、この実施例 1 の基本的な構成は、図 4 の回路と同様となる。即ち、温度検出部 14 は、熱遮断出力部 1 と、カレントミラー部 2 及び電流発生部 3 を有する電流源 4 とから構成され、上記熱遮断出力部 1 は、NMOS トランジスタ M_1 , M_2 、PNP バイポーラトランジスタ Q_1 , Q_2 及び第 1 抵抗 (値) R_1 からなり、上記カレントミラー部 2 は、PMOS トランジスタ $M_3 \sim M_6$ からなり、上記電流発生部 3 は、NMOS のトランジスタ M_7 , M_8 、PNP バイポーラトランジスタ Q_3 及び第 2 抵抗 (値) R_2 からなる。

【0018】

そして、上記熱遮断出力部 1 の出力電圧 V_o を入力するように増幅部 15 が接続され、この増幅部 15 は 2 段の反転増幅器 X_1 , X_2 から構成される。また、この増幅部 15 の出力 (V_{x2}) をゲートに入力する NMOS トランジスタスイッチ M_9 と第 3 抵抗 (値) R_3 を並列接続したヒステリシス部 16 が設けられ、このヒステリシス部 16 は、電流発生部 3 の電流発生用の第 2 抵抗 R_2 とグランド線の間 (M_8 と R_2 の間でもよい) に直列に接続される。これにより、ヒステリシス部 16 では、NMOS トランジスタスイッチ M

10

20

30

40

50

9 が第 2 抵抗 R 2 に対する第 3 抵抗 R 3 の直列接続の切替えを行うことになる。

【 0 0 1 9 】

実施例 1 は以上の構成からなり、上記温度検出部 1 4 の各トランジスタ M 1 ~ M 8 において、M 1 と M 2 のサイズを同一、M 3 ~ M 6 のサイズを同一、M 7 と M 8 のサイズを同一とした場合、回路温度が熱遮断のための検出温度 T_1 以下では V_{gs1} (トランジスタ M 1 のゲートソース間電圧) < V_{gs2} (トランジスタ M 2 のゲートソース間電圧) となつて、トランジスタ M 1 が非導通状態であるため出力電圧 V_o は所定の高電圧となり、この検出温度 T_1 を超えると、 $V_{gs1} = V_{gs2}$ となつて、トランジスタ M 1 が導通状態となるため出力電圧 V_o は所定の低電圧となる。

【 0 0 2 0 】

そして、この出力電圧 V_o は増幅部 1 5 で 2 段増幅され、増幅された電圧 V_{x2} がヒステリシス部 1 6 へ供給される。即ち、ヒステリシス部 1 6 のトランジスタ M 9 を NMOS トランジスタで構成する場合、論理的には増幅部 1 5 は不要であるが、温度 T_1 を超えてからの温度に対する電圧 V_o の変化の傾きは小さく、コンピュータシミュレーションの結果によると、 $-330\text{mV}/$ 程度の値である。そのため、例えば電源電圧 1.2V で回路を動作させた場合、温度 T_1 を超えてから電圧 V_o が負側の電源電圧とほぼ等しい値になるまでに、およそ $36 (1.2 / 0.33)$ の温度上昇を要する。そこで、熱遮断回路の出力を正側の電源電圧にほぼ等しい高電圧と負側の電源電圧にほぼ等しい低電圧との 2 値で出力するため、温度検出部 1 4 の出力を増幅部 1 5 で電圧増幅する。この増幅部 1 5 の反転増幅器 X 1, X 2 は、例えばソース接地増幅回路等で構成することができる。

【 0 0 2 1 】

次に、ヒステリシス部 1 6 では、増幅部 1 5 の出力電圧 V_{x2} が NMOS トランジスタスイッチ M 9 のゲートに入力されており、これによって NMOS トランジスタスイッチ M 9 を開閉制御している。即ち、熱遮断のための検出温度 T_1 以下では、上述のように出力電圧 V_o は所定の高電圧を出力し (M 1 : 非導通状態)、増幅部 1 5 の出力電圧 V_{x2} は、正側の電源電圧にほぼ等しい値となる。このとき、NMOS トランジスタスイッチ M 9 はオン状態であるため、第 3 抵抗 R 3 の両端は短絡されている。従つて、上記数式 1 の温度 $T_1 = (R1 / R2) \times (q \times V_{be}) / (K \times \ln N)$ を超えると、温度検出部 1 4 の出力 (電圧 V_o) には所定の低電圧が熱遮断信号 (M 1 : 導通状態) として出力される。これと同時に、増幅部 1 5 の出力は、負側の電源電圧にほぼ等しい値となり、NMOS トランジスタスイッチ M 9 はオフ状態になる。

【 0 0 2 2 】

そうすると、電流発生部 3 の電流発生用の第 2 抵抗 R 2 は、ヒステリシス部 1 6 の第 3 抵抗 R 3 と直列接続された状態となり、熱遮断解除の検出温度が、上記 T_1 よりも低い上記数式 2 の温度 $T_2 = \{ R1 / (R2 + R3) \} \times (q \times V_{be}) / (K \times \ln N)$ に変わる。そして、熱遮断状態に移行後、回路温度が低下して検出温度 T_2 になつて、 $V_{gs1} < V_{gs2}$ となると、トランジスタ M 1 が導通状態から非導通状態へ変わり、温度検出部 1 4 の出力 (電圧 V_o) には所定の高電圧が熱遮断解除信号として出力される。

【 0 0 2 3 】

以上のようにして、実施例 1 の熱遮断回路では、温度ヒステリシス特性が付加されることになり、このヒステリシスにおける熱遮断温度 T_1 と熱遮断解除温度 T_2 の差 $T_1 - T_2$ は、次の数式 4 のようになる。

【 0 0 2 4 】

[数 4]

$$T_1 - T_2 = (R1 \times R3) / \{ R1 / (R2 + R3) \} \times (q \times V_{be}) / (K \times \ln N)$$

【 実施例 2 】

【 0 0 2 5 】

図 3 には、実施例 2 に係る熱遮断回路の構成が示されており、この実施例 2 は熱遮断出力部の第 1 抵抗に関する抵抗値を切り替えるもので、その基本的な構成は実施例 1 の回路

10

20

30

40

50

と同様となる。図3に示されるように、実施例2では、上記熱遮断出力部1の出力電圧 V_o を入力するように増幅部25が接続され、この増幅部25は反転増幅器X1から構成される。また、この増幅部25の出力(V_{x1})をゲートに入力するNMOSトランジスタスイッチM10と第4抵抗R4を直列接続したヒステリシス部26が設けられ、このヒステリシス部26は、熱遮断出力部1の熱遮断温度設定用の第1抵抗R1と並列に接続される。これにより、ヒステリシス部26では、NMOSトランジスタスイッチM10が第1抵抗R1に対する第4抵抗R4の並列接続の切替えを行うことになる。

【0026】

実施例2は以上の構成からなり、上記増幅部25では温度検出部1の出力電圧 V_o が増幅され、正側の電源電圧にほぼ等しい高電圧と負側の電源電圧にほぼ等しい低電圧の2値が電圧 V_{x1} としてヒステリシス部26へ供給される。このヒステリシス部26では、上記出力電圧 V_{x1} がNMOSトランジスタスイッチM10のゲートに入力されており、これによってNMOSトランジスタスイッチM10が開閉制御される。即ち、熱遮断のための検出温度 T_1 以下では、出力電圧 V_o は所定の高電圧を出力し(M1:非導通状態)、増幅部25の出力電圧 V_{x1} は、反転増幅器X1のみで構成されるので、負側の電源電圧にほぼ等しい値となる。このとき、NMOSトランジスタスイッチM10はオフ状態であるため、ヒステリシス部26の両端は開放される。従って、上記温度 T_1 を超えると、温度検出部14の出力(電圧 V_o)には所定の低電圧が熱遮断信号(M1:導通状態)として出力される。これと同時に、増幅部25の出力は、正側の電源電圧にほぼ等しい値となり、NMOSトランジスタスイッチM10はオン状態になる。

【0027】

そうすると、熱遮断出力部1の第1抵抗R1は、ヒステリシス部26の第4抵抗R4と並列接続された状態となり、熱遮断解除の検出温度が、上記 T_1 よりも低い上記数式3の温度 $T_3 = [\{ R1 \times R4 / (R1 + R4) \} / R2] \times (q \times V_{be}) / (K \times \ln N)$ に変わる。そして、熱遮断状態に移行後、回路温度が低下し、検出温度 T_3 となって、 $V_{gs1} < V_{gs2}$ となると、NMOSトランジスタM1が導通状態から非導通状態へ変わり、温度検出部14の出力(電圧 V_o)には所定の高電圧が熱遮断解除信号として出力される。

【0028】

以上のようにして、実施例2の熱遮断回路でも、温度ヒステリシス特性が付加されることになり、このヒステリシスにおける熱遮断温度 T_1 と熱遮断解除温度 T_3 の幅 $T_1 - T_3$ は、次の数式5のようになる。

【0029】

[数5]

$$T_1 - T_3 = (R1)^2 / \{ R2 \times (R1 + R4) \} \times (q \times V_{be}) / (K \times \ln N)$$

【0030】

なお、本発明は上記実施例1及び2の構成に限定されず、上記熱遮断回路1にて第1抵抗R1とは異なる構成の熱遮断温度設定用抵抗を用いる場合や、電流発生部3にて第2抵抗R2とは異なる構成の電流発生用抵抗を用いる場合でも、これらの抵抗値をヒステリシス部で切り替えることにより、熱遮断とその解除のための検出温度にヒステリシスを持たせることが可能である。

【図面の簡単な説明】

【0031】

【図1】本発明の実施例に係る温度ヒステリシス機能付き熱遮断回路の概略構成を示すブロック図である。

【図2】実施例1の熱遮断回路の構成を示す回路図である。

【図3】実施例2の熱遮断回路の構成を示す回路図である。

【図4】従来の熱遮断回路の構成を示す回路図である。

【符号の説明】

10

20

30

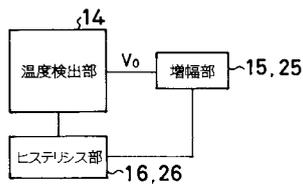
40

50

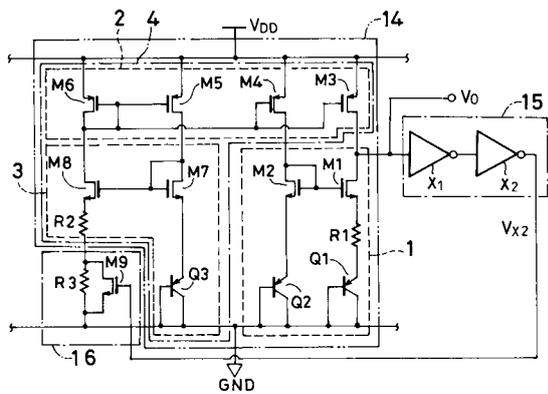
【 0 0 3 2 】

- 1 ... 熱遮断出力部、
- 2 ... カレントミラー部、
- 3 ... 電流発生部、
- 4 ... 電流源、
- 14 ... 温度検出部、
- 15, 25 ... 増幅部、
- 16, 26 ... ヒステリシス部、
- M1, M2, M7, M8 ... NMOSトランジスタ、
- M3 ~ M6 ... PMOSトランジスタ、
- M9, M10 ... NMOSトランジスタスイッチ、
- Q1 ~ Q3 ... PNPバイポーラトランジスタ、
- R1 ~ R4 ... 第1 ~ 第4抵抗。

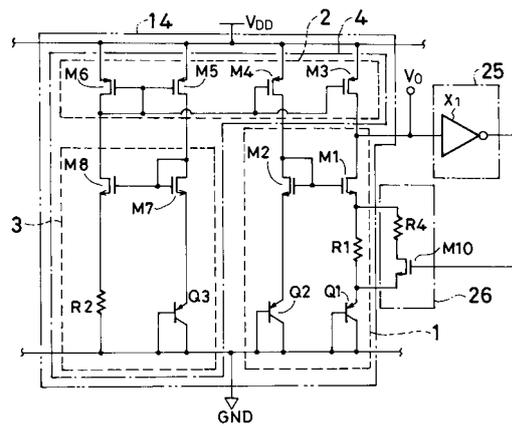
【 図 1 】



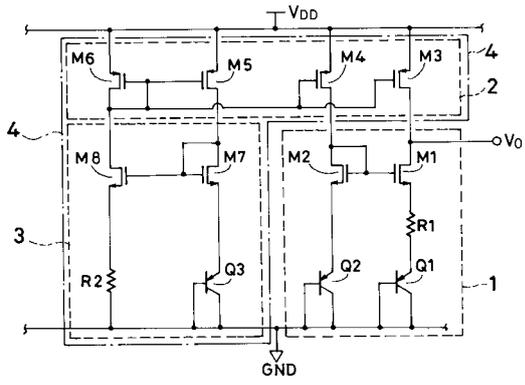
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(56)参考文献 特開2002-108465(JP,A)
特開平10-270647(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	27/04
H01L	21/822
H03K	17/08
G05F	1/56