(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H01L 27/11
G11C 11/407

(45) 공고일자 2000년02월01일
(11) 등록번호 10-0242453
(24) 등록일자 1999년11월10일

(21) 출원번호 10-1997-0021846
(22) 출원일자 1997년05월30일
(65) 공개번호 특1998-0063323
(43) 공개일자 1998년10월07일

(30) 우선권주장 96-334273 1996년12월13일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤 아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자 시노자키 나오하루
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고, 후지쓰 가부시키가이샤나이
(74) 대리인 조태연

심사관 : 임동우

(54) 반도체 장치

요약

본 발명은 반도체 장치에 있어서 동작 모드를 설정하는 모드 레지스터에 미정의(未定義) 입력이 행해진 경우에도, 장치가 통상 동작을 행할 수 있도록 구성하는 것을 목적으로 한다.

N 개의 동작 모드 중의 하나를 입력 신호에 의해 선택하여 선택된 동작 모드로 동작하는 반도체 장치는 입력 신호가 N 개의 동작 모드 중의 하나를 나타낼 경우에 하나를 선택하며, 입력 신호가 N 개의 동작 모드 이외를 나타내는 미정의 입력 신호인 경우에 N 개의 동작 모드 중의 소정의 하나를 선택하는 선택 회로와, 선택 회로가 선택한 동작 모드에 따라서 동작하는 내부 회로를 포함하는 것을 특징으로 한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 의한 SDRAM의 대기(latency) 디코더의 회로 구성도.

도 2는 도 1의 대기 디코더를 이용한 경우의 반도체 칩내의 대기 디코더의 신호의 배선을 모식적으로 도시하는 도면.

도 3은 디코드 신호(CL2 내지 CL4)를 기초로 하여 디코드 신호(CL1)를 생성하는 회로의 일예를 도시하는 도면.

도 4는 본 발명의 제 2 실시예에 의한 SDRAM의 모드 레지스터 및 그 주변의 구성을 도시하는 도면.

도 5는 도 4의 래치 제어 회로의 회로 구성도.

도 6은 본 발명의 제 2 실시예의 모드 레지스터를 적용한 SDRAM의 구성예를 도시하는 도면.

도 7 (a) 내지 (d)는 종래의 SDRAM에 있어서의 모드 레지스터로의 데이타 설정을 설명하기 위한 도면.

도 8은 종래의 대기 디코더의 회로 구성도.

도 9는 도 8의 대기 디코더를 이용한 경우의 반도체칩내의 대기 디코더 신호의 배선을 모식적으로 도시하는 도면.

도면의주요부분에대한부호의설명

10, 200 : 대기 디코더30, 220 : 칩

31, 32, 33, 221, 222, 223, 224 : 장거리 배선

40 : 래치 제어 회로101 : 클록 신호 입력 단자

102 : 명령 신호 입력 단자103 : 어드레스 신호 입력 단자

104 : 데이타 신호 입출력 단자105 : 내부 클록 발생부

106 : 명령 입력 버퍼107 : 어드레스 입력 버퍼

108 : 데이타 출력 버퍼109 : 데이타 입력 버퍼

110 : 모드 레지스터 제어부111 : 모드 레지스터

112 : 명령 디코드부113 : 어드레스 디코드부

114,115 : 파이프 라인116 : 기록 제어부

117, 206 : 기록 증폭기118, 200 : 감지 증폭기

119 : 단락 회로120, 205 : 독출 증폭기

121 : 메모리 셀 어레이230 : 래치

240 : 버스트 길이 디코더250 : 버스트 타입 디코더

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 특히, 외부 입력에 의해 동작 모드를 설정할 수 있는 반도체 장치에 관한 것이다.

대부분의 반도체 장치는 그 동작 모드를 설정하는 기능이 설치되어 있다. 그와 같은 반도체 장치에 있어서, 동작 모드를 설정하기 위한 파라미터는 특정한 레지스터(이하 모드 레지스터라고 칭한다)에 격납되는 것이 일반적이다.

예컨대, 종래의 SDRAM에 있어서는, SDRAM의 동작 모드를 규정하는 파라미터로서, CAS 대기, 버스트 길이, 버스트 타입 등을 외부로부터 설정할 수 있다. 이들의 파라미터를 설정하는 경우, SDRAM의 명령 입력으로부터 모드 설정 동작을 지시하고, 어드레스 입력으로부터 파라미터를 입력하여 SDRAM 내의 모드 레지스터에 파라미터를 기록한다.

도 7은 종래의 16M SDRAM에 있어서의 모드 레지스터 세트를 설명하기 위한 도면이다. 도 7 (a)는 SDRAM에 공급되는 클록 신호, 도 7 (b)는 명령 입력, 도 7 (c)는 어드레스 입력을 도시한다. 도 7 (b) 및 (c)에 도시된 바와 같이, 명령 입력에 모드 레지스터 세트 명령(MRS)을 입력하고, 어드레스 입력에 모드 레지스터에서 설정하는 데이타를 입력한다. 데이타 입력 후, 명령 입력에 엑티베이트 명령 (ACT)을 입력하여 신규 설정된 모드를 유효하게 한다.

도 7 (d)는 모드 레지스터에 설정되는 데이타와 어드레스 입력의 관계를 도시한다. 도 7 (d)에 도시한 바와 같이, 어드레스 입력(A0에서 A2)의 3 비트는 버스트 길이를 설정하고, 어드레스 입력(A3)은 버스트 타입을 설정하며, 어드레스 입력(A4)에서 A6의 3비트는 CAS 대기를 설정한다. 또 A7 내지 A11의 비트는 현시점에서는 이용되지 않는다.

예컨대, CAS 대기란 데이타 독출 명령 입력에 대하여, 데이타 독출 동작의 개시가 어느 정도 늦는지를 설정하는 파라미터이다. 이 CAS 대기를 설정하기 위해서는 상술한 바와 같이 어드레스 입력(A4)에서 A6의 3 비트를 이용한다. 따라서, 8 개의 다른 설정이 가능하지만, 현재 정의되고 있는 설정은 3 개 혹은 4 개이며, 3 개의 비트(A4 내지 A6)의 비트 패턴 중에는 사용되지 않는 패턴이 존재한다.

도 8은 종래의 대기 디코더의 회로 구성을 나타낸다. 이 대기 디코더는 모드 레지스터내에 포함되는 것이고, 어드레스 입력 비트를 유지하는 모드 레지스터내의 래치로부터 대응하는 3 비트를 수취하여 디코드하는 것이다.

도 8의 대기 디코더(200)는 인버터(201 내지 203), NAND 회로(204 내지 207), 인버터(208 내지 211)를 포함한다. 인버터(201 내지 203)는 어드레스 입력 비트(A4 내지 A6)를 래치가 유지한 데이타(MRA4 내지 MRA6)를 수취한다. NAND 회로(204 내지 207)는 데이타(MRA4 내지 MRA6)의 각 비트에 관하여, 그대로의 비트 또는 반전된 비트 중 어느 하나를 수취한다. 인버터(208 내지 211)는 각각 NAND 회로(204 내지 207)의 출력을 수취하여 반전시킨다.

인버터(208 내지 211)의 출력은 각각 디코드 신호(CL1 내지 CL4)이고, 그 횡으로 표시되는 어드레스 입력 비트(A4 내지 A6)의 각 비트 패턴에 대응한다. 즉, 예컨대, 인버터(208)의 디코드 신호(CL1)는 A4 내지 A6가 「100」일 때에 HIGH(선택)로 되는 신호이다. 도 8의 예에 있어서는 대기 디코더(200)의 출력은 디코드 신호(CL1 내지 CL4)의 4 개이고, 어드레스 입력(A4 내지 A6)이 도면에 도시되는 비트 패턴 이외의 조합일 때는 모든 디코드 신호(CL1 내지 CL4)는 LOW(비선택)로 된다.

이와 같이 미정의 비트 패턴을 입력한 경우에 모든 출력이 비선택으로 되는 것은 대기 디코더(200)에 한정된 동작이 아니고, 모드 레지스터에 포함되는 버스트 길이 디코더나 버스트 타입 디코더 등의 다른 디코더에 있어서도 동일하다.

발명이 이루고자 하는 기술적 과제

CAS 대기, 버스트 길이, 버스트 타입 등을 모드 레지스터에 설정하는 경우, 상술한 바와 같이 현상에서는 사용하지 않는 비트 패턴을 입력하면, 디코더 출력, 즉, 모드 레지스터로부터의 출력이 모두 비선택으로 된다. 종래의 SDRAM 등의 반도체 장치에 있어서는, 이와 같이 미정의 설정을 행한 경우에는 카탈로그에 기재되어 있지 않은 예기할 수 없는 동작을 칩이 행할 가능성이 있다. 그 결과, 예컨대, 메모리에 있어서는 메모리 셀의 데이타를 파괴해 버리는 등의 위험성이 있었다.

본 발명은 반도체 장치에 있어서 동작 모드를 설정하는 모드 레지스터에 미정의 입력이 행해진 경우에도 장치가 통상 동작을 행할 수 있도록 구성하는 것을 목적으로 한다.

발명의 구성 및 작용

청구항 1의 발명에 있어서는, N 개의 동작 모드 중의 하나를 입력 신호에 의해 선택하고, 선택된 동작 모드로 동작하는 반도체 장치는 상기 입력 신호가 상기 N 개의 동작 모드 중의 하나를 나타해는 경우에 상기 하나를 선택하고, 상기 입력 신호가 상기 N 개의 동작 모드 이외를 나타내는 미정의 입력 신호인 경우에 상기 N 개의 동작 모드 중의 소정의 하나를 선택하는 선택 회로와, 상기 선택 회로가 선택한 동작 모드에 따라서 동작하는 내부 회로를 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 미정의 입력이 행해진 경우에는 정의되어 있는 N 개의 동작 모드 중 소정의 하나를 선택하기 때문에, 미정의 데이타의 설정에 의해서 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

청구항 2의 발명에 있어서는, 제 1 항 기재의 반도체 장치에 있어서, 상기 선택 회로는 상기 입력 신호를 디코드하여 상기 N 개의 동작 모드 중의 N-1 개의 동작 모드로부터 하나를 선택하는 제 1 회로와, 상기 제 1 회로의 출력의 논리 연산에 기초하여 상기 N-1 개의 동작 모드의 어느 것도 선택되지 않을 때에, 상기 N 개의 동작 모드 중의 나머지 1 개의 동작 모드를 선택하는 제 2 회로를 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, N-1 개의 동작 모드를 선택하는 제 1 회로를 설치하고, 제 1 회로가 N-1 개의 동작 모드의 어느 것도 선택하지 않을 때에는 나머지 동작 모드를 선택하도록 구성된다. 따라서, 미정의 입력이 행해진 경우에는 이 나머지 동작 모드가 선택되어, 미정의 데이타의 설정에 의해서 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

청구항 3의 발명에 있어서는, 제 1 항 기재의 반도체 장치에 있어서, 상기 선택 회로는 상기 제 1 회로와 상기 제 2 회로와의 사이를 접속하는 N-1 개의 배선을 또한 포함하고, 상기 제 2 회로를 상기 내부 회로의 근처 또는 내부에 배치하는 것을 특징으로 한다.

상기 발명에 있어서는, 제 1 회로의 출력에 기초하여 나머지 동작 모드를 선택하는 제 2 회로를 내부 회로의 근처 또는 내부에 배치함으로써, 선택된 동작 모드를 제 1 회로에서 내부 회로에 송신하는 신호 배선을 N 개에서 N-1 개로 삭감할 수 있다.

청구항 4의 발명에 있어서는, 제 1 항 기재의 반도체 장치에 있어서, 상기 선택 회로는 상기 미정의 입력 신호를 검출하는 제 3 회로와, 상기 제 3 회로의 출력에 따라서 상기 입력 신호가 상기 미정의 신호가 아닌 경우에 상기 입력 신호를 격납하고, 상기 입력 신호가 상기 미정의 신호인 경우에 이미 격납되어 있는 내용을 유지하는 제 4 회로와, 상기 제 4 회로의 내용을 디코드하여 상기 N 개의 동작 모드 중 하나를 선택하는 제 5 회로를 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 미정의 입력이 이루어진 경우에는 입력 신호를 격납하는 제 4 회로의 내용을 갱신하지 않고 이전의 값을 유지함으로써, 미정의 데이타의 설정에 의해 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

청구항 5의 발명에 있어서는, N 개의 동작 모드 중의 하나를 입력 신호에 의해 선택하여 선택된 동작 모드로 동작하는 반도체 기억 장치는 상기 입력 신호가 상기 N 개의 동작 모드 중의 하나를 나타내는 경우에 상기 하나를 선택하고, 상기 입력 신호가 상기 N 개의 동작 모드 이외를 나타내는 미정의 입력 신호인 경우에 상기 N 개의 동작 모드 중의 소정의 하나를 선택하는 모드 레지스터와, 데이타를 기억하는 코어 회로와, 상기 선택 회로가 선택한 동작 모드에 따라서 동작하는 상기 코어 회로에 관한 제어 회로를 포함하는 것을 특징으로 하다.

상기 발명에 있어서는, 미정의 입력이 행해진 경우에는 정의되어 있는 N 개의 동작 모드 중의 소정의 하나를 선택하기 때문에, 미정의 데이타의 설정에 의해 반도체 장치가 예기할 수 없는 동작을 하여 코어 회로의 데이타를 파괴해 버리는 등의 손해를 피할 수 있다.

청구항 6의 발명에 있어서는, 제 5 항 기재의 반도체 기억 장치에 있어서, 상기 모드 레지스터는 상기 입력 신호를 디코드하여 상기 N 개의 동작 모드 중의 N-1 개의 동작 모드로부터 하나를 선택하는 제 1 회로와, 상기 제 1 회로의 출력의 논리 연산에 기초하여 상기 N-1 개의 동작 모드의 어느 것도 선택되지 않을 때에, 상기 N 개의 동작 모드 중의 나머지 1 개의 동작 모드를 선택하는 제 2 회로를 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, N-1 개의 동작모 드를 선택하는 제 1 회로를 설치하고, 제 1 회로가 N-1 개의 동작 모드의 어느 것도 선택하지 않을 때에는 나머지 동작 모드를 선택하도록 구성된다. 따라서, 미정의 입력이 행해진 경우에는, 이 나머지 동작 모드가 선택되어 미정의 데이타의 설정에 의해 반도체 장치가 예기할 수 없는 동작을 하여 코어 회로의 데이타를 파괴해 버리는 등의 손해를 피할 수 있다.

청구항 7의 발명에 있어서는, 제 6 항 기재의 반도체 기억 장치에 있어서, 상기 모드 레지스터는 상기 제 1 회로와 상기 제 2 회로와의 사이를 접속하는 N-1 개의 배선을 또한 포함하고, 상기 제 2 회로를 상기 제어 회로의 근처 또는 내부에 배치하는 것을 특징으로 한다.

상기 발명에 있어서는, 제 1 회로의 출력에 기초하여 나머지 동작 모드를 선택하는 제 2 회로를 내부 회로의 근처 또는 내부에 배치함으로써, 선택된 동작 모드를 제 1 회로에서 내부 회로에 송신하는 신호 배선을 N 개에서 N-1 개로 삭감할 수 있다.

청구항 8의 발명에 있어서는, 제 5 항 기재의 반도체 기억 장치에 있어서, 상기 모드 레지스터는 상기 미정의 입력 신호를 검출하는 제 3 회로와, 상기 제 3 회로의 출력에 따라서, 상기 입력 신호가 상기 미정의 신호가 아닌 경우에 상기 입력 신호를 격납하고, 상기 입력 신호가 상기 미정의 신호인 경우에 미 격

납되어 있는 내용을 유지하는 레지스터와, 상기 레지스터의 내용을 디코드하여, 상기 N 개의 동작 모드 중 하나를 선택하는 제 4 회로를 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 미정의 입력이 이루어진 경우에는 입력 신호를 격납하는 제 4 회로의 내용을 갱신하지 않고 이전의 값을 유지함으로써, 미정의 데이타의 설정에 의해 반도체 장치가 예기할 수 없는 동작을 하여 코어 회로의 데이타를 파괴하는 등의 손해를 피할 수 있다.

청구항 9의 발명에 있어서는, 반도체 장치에 있어서 복수의 동작 모드 중 하나를 인력 신호에 의해 선택하는 방법은 상기 입력 신호가 상기 복수의 동작 모드 중 하나를 나타낼 경우에 상기 하나를 선택하고, 상기 입력 신호가 상기 복수의 동작 모드 이외를 나타내는 미정의 입력 신호인 경우에 상기 복수의 동작 모드 중 소정의 하나를 선택하는 단계를 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 미정의 입력이 행해진 경우에는 정의되어 있는 N 개의 동작 모드 중 소정의 하나를 선택하기 때문에, 미정의 데이타의 설정에 의해서 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

청구항 10의 발명에 있어서는, 반도체 장치에 있어서 N 개의 동작 모드 중 하나를 입력 신호에 의해 선택하는 방법은 상기 입력 신호를 디코드하여 상기 N 개의 동작 모드 중 N-1 개의 동작 모드로부터 하나를 선택하고, 상기 N-1 개의 동작 모드의 어느 것도 선택되지 않을 때에 상기 N 개의 동작 모드 중의 나머지 1 개의 동작 모드를 선택하는 단계를 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, N-1 개의 동작 모드 중 하나를 디코드하여 선택하고, N-1 개의 동작 모드의 어느 것도 선택되지 않을 때에는 나머지의 동작 모드를 선택한다. 따라서, 미정의 데이타의 설정에 의해서 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

청구항 11의 발명에 있어서는, 반도체 장치에 있어서 복수의 동작 모드 중 하나를 입력 신호에 의해 선택하는 방법은 상기 입력 신호가 상기 복수의 동작 모드 이외를 나타내는 미정의 입력 신호인지 아닌지를 검출하고, 상기 입력 신호가 상기 미정의 신호가 아닌 경우에 상기 입력 신호를 레지스터에 격납하며, 상기 입력 신호가 상기 미정의 신호인 경우에 레지스터에 이미 격납되어 있는 내용을 유지하고, 상기 레지스터의 내용을 디코드하여 상기 복수의 동작 모드 중 하나를 선택하는 단계를 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 미정의 입력이 이루어진 경우에는 입력 신호를 격납하는 레지스터의 내용을 갱신하지 않고 이전의 값을 유지함으로써, 미정의 데이타의 설정에 의해 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

이하, 본 발명의 실시예를 첨부한 도면을 참조하여 설명한다.

도 1은 본 발명의 제 1 실시예에 의한 SDRAM의 대기 디코더의 회로 구성도를 도시한다. 또 본 발명은 대기 디코더에 한정되는 것이 아니고, 반도체 장치의 동작 모드를 설정하는 모드 레지스터에 관하여, 설정 데이타를 디코드하는 디코더 일반에 적용할 수 있다.

도 1의 대기 디코더(10)는 인버터(11 내지 13), NAND 회로(14 내지 16), 인버터(17 내지 19) 및 NOR 회로(20)를 포함한다. 인버터(11 내지 13)는 어드레스 입력 비트(A4 내지 A6)를 모드 레지스터의 래치가 유지한 데이타(MRA4 내지 MRA6)를 수취한다. NAND 회로(14 내지 16)는 데이타(MRA4 내지 MRA6)의 각 비트에 관하여 그대로의 비트 또는 반전된 비트 중 어느 하나를 수취한다. 인버터(17 내지 19)는 각각 NAND 회로(14 내지 16)의 출력을 수취하여 반전시킨다.

NOR 회로(20)는 인버터(17 내지 19)의 출력을 수취하여 인버터(17 내지 19)의 출력이 모두 LOW(비선택)인 경우에만 HIGH(선택) 신호를 출력한다. NOR 회로(20)의 출력이 디코드 신호(CL1)이고, 인버터(17 내지 19)의 출력은 각각 디코드 신호(CL2 내지 CL4)이다. 각 디코드 신호(CL1 내지 CL4)가 HIGH(선택)로 되는 조건이 도 1의 각 출력의 횡으로 어드레스 입력 비트(A4 내지 A6)의 비트 패턴으로서 표시된다.

도 8의 종래의 대기 디코더(10)와 비교하여 도 1의 제 1 실시예의 대기 디코더(10)에 있어서는, 디코드 신호(CL1)가 선택되는 조건이 종래의 것과는 달리 디코드 신호(CL2 내지 CL3)가 선택되지 않을 때에 HIGH로 된다. 즉, 종래 동일하게 어드레스 입력 비트(A4 내지 A6)가 「100」인 경우에 선택되는 동시에, 미정의 입력이 이루어진 경우에도 디코드 신호(CL1)이 선택된다.

따라서 도 1과 같은 구성의 디코더를 이용하면, 미정의 설정이 이루어진 경우에도 그 설정을 기정의(旣定義) 출력 중의 하나에 할당함으로써, 반도체 장치의 오동작을 막을 수 있다.

도 2는 도 1의 대기 디코더(10)를 이용한 경우의 반도체 칩내의 대기 디코드 신호의 배선을 모식적으로 도시한다. 종래 기술예로서 도 9에 도 8의 대기 디코더(200)를 이용한 경우의 반도체 칩내의 대기 디코더 신호의 배선을 모식적으로 도시한다.

도 9에 도시되는 배선에서는 도 8의 대기 디코더(200)의 디코드 신호(CL1 내지 CL4)를 칩(220) 내부의 다른 유닛에 공급하도록, 장거리 배선(221 내지 224)을 통해 전송하는 구성으로 되어 있다. 그것에 대하여 도 2에 도시되는 배선에서는 도 1의 대기 디코더(10)의 디코드 신호(CL2 내지 CL4)만을 장거리 배선(31 내지 33)을 통해 칩(30) 내부로 전송하는 구성으로 되어 있다. 이것은 대기 디코더(10)에 있어서, 디코드 신호(CL1)는 디코드 신호(CL2 내지 CL4)가 비선택일 때에 선택이 되는 신호이기 때문에, 장거리 배선을 통해 각 유닛에 배송할 필요가 없기 때문이다.

대기 디코드 신호를 필요로 하는 각 유닛에 있어서는, 대기 디코더(10)로부터 보내어진 디코드 신호(CL2 내지 CL4)를 기초로 하여 디코드 신호(CL1)를 생성하면 좋다.

도 3은 디코드 신호(CL2 내지 CL4)를 기초로 하여 디코드 신호(CL1)를 생성하는 회로의 일예를 도시한다. 도 3의 NOR 회로(35)는 디코드 신호(CL2 내지 CL4)를 수취하고, 그들 전부가 LOW(비선택)인 경우에만 HIGH(선택) 신호를 출력한다. 즉, NOR 회로(35)의 출력은 디코드 신호(CL1)가 된다.

이러한 회로를 대기 디코드 신호를 필요로 하는 각 유닛에 설치함으로써, 디코드 신호(CL1)를 장거리 배선을 이용하여 전송할 필요가 없어진다. 장거리 배선 쪽이 도 3과 같은 단순한 회로보다도 칩내의 공간을 크게 취하기 때문에, 도 3의 회로를 각 유닛에 설치하여 장거리 배선을 1 개 감함으로써 칩내 공간의 효율적인 사용을 실현할 수 있다.

또, 도 3의 NOR 회로(35)는 도 1의 NOR 회로(20)를 모드 레지스터 내부에서 디코드 신호를 필요로 하는 각 유닛으로 이동시킨 것으로 생각할 수 있다. 즉, 도 2와 같은 배선을 이용한 경우에는 도 1의 NOR 회로(20)는 불필요해지기 때문에 삭제하고, 그 대신에 도 3의 NOR 회로(35)를 각 유닛에 설치하면 좋다.

도 4는 본 발명의 제 2 실시예에 의한 SDRAM의 모드 레지스터 및 그 주변을 도시한다. 도 4에 있어서, 102는 명령 신호 입력 단자, 103은 어드레스 신호 입력 단자, 110은 모드 레지스터 제어부이고, 111이 모드 레지스터이다. 모드 레지스터(111)는 래치 제어 회로(40), 래치(230), 버스트 길이 디코더(240), 도 8과 동일한 대기 디코더(200), 버스트 타입 디코더(250)를 포함한다. 도 4의 구성은 래치 제어 회로(40)가 설치되어 있는 것을 제외하면, 종래의 모드 레지스터 및 그 주변과 동일한 구성이다.

명령 신호 입력 단자(102)에 입력된 명령 신호(도 7 참조)는 모드 레지스터 제어부(110)에 공급된다. 어드레스 신호 입력 단자에 입력된 어드레스 신호(도 7 참조)는 모드 레지스터 제어부(110) 및 모드 레지스터(111)에 공급된다. 모드 레지스터 제어부(110)는 수취한 명령 신호가 모드 레지스터 설정을 지정할 때, 어드레스 신호의 타이밍에 따라서, 인에이블 신호(rgwz)를 출력한다. 종래의 구성에 있어서는, 모드 레지스터(111)가 수취한 인에이블 신호(rgwz)는 직접 래치(230)에 공급되어 래치(230)가 어드레스 신호를 래치한다.

제 2 실시예에 있어서는, 모드 레지스터(111)가 수취한 인에이블 신호(rgwz)는 우선 래치 제어 회로(40)에 공급된다. 래치 제어 회로(40)는 인에이블 신호(rgwz) 이외에 어드레스 신호를 수취하여 이 어드레스 신호의 내용에 따라서, 인에이블 신호(rgwz)를 래치(230)에 공유하는지 아닌지를 결정한다. 구체적으로는, 어드레스 신호가 미정의 설정에 대응하는 경우에는 인에이블 신호(rgwz)를 래치(230)에 공급하지 않는다.

도 5는 래치 제어 회로(40)의 회로 구성을 도시한다. 도 5의 래치 제어 회로(40)는 인버터(41 내지 43), NAND 회로(44 내지 47), 인버터(48 내지 51), NOR 회로(52), 인버터(53 및 54) 및 NOR 회로(55)를 포함한다. 인버터(41 내지 43)는 어드레스 신호의 비트(A4 내지 A6)를 수취한다. NAND 회로(44 내지 47)는 어드레스 입력 비트(A4 내지 A6)의 각 비트에 관하여 그대로의 비트 또는 반전된 비트 중 어느 하나를 수취한다. 인버터(48 내지 51)는 각각 NAND 회로(44 내지 47)의 출력을 수취하여 반전시킨다.

인버터(48 내지 51)의 출력은 디코드 신호(CLa 내지 CLd)이고, 이들이 선택되어 HIGH로 되는 조건이 어드레스 입력 비트(A4 내지 A6)의 비트 패턴으로서 도 5에 도시된다. 도 8에 도시되는 어드레스 입력 비트(A4 내지 A6)의 비트 패턴과 비교하면 명백하듯이, 도 5의 디코드 신호(CLa 내지 CLd)의 비트 패턴은 미정의 비트 패턴에 대응한다. 즉, 도 5의 인버터(48 내지 51)는 미정의 비트 패턴 입력이 이루어진 경우에 그 어느 하나의 출력이 HIGH로 된다.

NOR 회로(52)는 디코드 신호(CLa 내지 CLd)를 수취한다. DNOR 회로(52)는 디코드 신호(CLa 내지 CLd)의 어느 하나가 HIGH인 경우에 LOW 신호를 출력하고, 디코드 신호(CLa 내지 CLd)의 전부가 LOW인 경우에 HIGH 신호를 출력한다. 인버터(53)는 NOR 회로(52)의 출력을 반전시킨다. 인버터(53)의 출력은 제어 신호(stopz)로서 표시된다. 제어 신호(stopz)는 디코드 신호(CLa 내지 CLd) 중 어느 하나가 HIGH인 경우, 즉, 미정의 입력이 이루어진 경우에 HIGH로 되는 신호이다.

제어 신호(stopz)는 2 입력 NOR 회로(55)의 한 쪽의 입력에 공급된다. NOR 회로(55)의 또 한 쪽의 입력에는 인버터(54)로 반전된 인에이블 신호(rgwz)가 공급된다.

제어 신호(stopz)가 HIGH인 경우에는 NOR 회로(55)의 출력은 항상 LOW로 된다. 따라서, 인에이블 신호(rgwz)는 NOR 회로(55)에 의해서 블록된다. 제어 신호(stopz)가 LOW인 경우에는 NOR 회로(55)는 인에이블 신호(rgwz)의 반전에 대하여 인버터로서 동작한다. 따라서, 인에이블 신호(rgwz)의 반전이 또 반전되어, NOR 회로(55)는 원래의 인에이블 신호(rgwz)를 출력한다.

NOR 회로(55)의 출력은 래치 제어 신호(rgwsz)로서 래치(230)에 공급된다(도 4 참조). 이와 같이 래치 제어 회로(40)는 미정의 입력이 이루어진 경우에는 인에이블 신호(rgwz)를 블록하고, 기정의 입력이 이루어진 경우에는 인에이블 신호(rgwz)를 래치 제어 신호(rgwsz)로서 출력한다. 이 래치 제어 신호(rgwsz)를 수취하면, 래치(230)는 어드레스 입력(A0 내지 A06)을 래치한다.

따라서, 도 4 및 도 5에 도시되는 본 발명의 제 2 실시예에 의한 모드 레지스터(111)에 있어서는 CAS 대기에 대하여 미정의 입력이 행해진 경우에 그 입력을 설정하지 않기 때문에, 미정의 입력이 행해진 경우의 SDRAM의 오동작을 막을 수 있다.

또, 도 4 및 도 5의 구성에서는 버스트 길이에 대하여 미정의 입력이 행해진 경우에, 미정의 입력이 그대로 래치(230)에 의해서 유지되고, 또 버스트 길이 디코더(240)에 의해 디코드되어 출력된다(버스트 타입은 1비트이고, 미정의 설정은 없다). 따라서, 버스트 길이에 대해서도 동일한 오동작 회피 기능을 설치하고 싶으면, A0 내지 A2에 대해서도 미정의 입력을 검출하도록 도 5의 회로를 변경하면 좋다.

본 발명의 제 2 실시예는 미정의 입력이 이루어진 경우에 미정의 입력을 검출하여 모드 레지스터로의 기록을 금지하도록 구성되지만, 이 구성은 SDRAM의 모드 레지스터에 한정되는 일없이, 여러 가지 반도체 장치에 적용가능한 것은 분명하다.

도 6은 본 발명의 제 2 실시예의 모드 레지스터를 적용한 SDRAM의 구성예를 도시한다. 도 6의 SDRAM은 클록 신호 입력 단자(101), 명령 신호 입력 단자(102), 어드레스 신호 입력 단자(103), 데이타 신호 입출력 단자(104), 내부 클록 발생부(105), 명령 입력 버퍼(106), 어드레스 입력 버퍼(107), 데이타 출력 버퍼(108), 데이타 입력 버퍼(109), 모드 레지스터 제어부(110), 도 4에 도시되는 모드 레지스터(111), 명령 디코드부(112), 어드레스 디코드부(113), 파이프 라인(114 및 115), 기록 제어부(116), 기록 증폭기

(117), 감지 증폭기(118), 독출·기록 제어부(119), 독출 증폭기(120) 및 메모리 셀 어레이(121)를 포함한다.

도 6의 SDRAM에 있어서, 본 발명에 의한 모드 레지스터(111)를 이용하는 이외는 종래의 SDRAM과 동일한 구조이다.

도 6의 SDRAM의 동작을 간단히 설명한다. 클록 신호 입력 단자(101)에 공급된 클록 신호는 내부 클록 발생부(105)에 공급되고, 내부 회로를 제어하기 위한 다양한 내부 클록 신호가 생성된다. 내부 클록 발생부(105)로부터 공급되는 내부 클록 신호에 기초하여, 명령 입력 버퍼(106), 어드레스 입력 버퍼(107) 및 데이타 입력 버퍼(109)는 각각 명령 신호 입력 단자(102), 어드레스 신호 입력 단자(103), 데이타 신호 입출력 단자(104)에 입력된 명령 신호, 어드레스 신호 및 데이타 신호를 입력한다.

입력된 명령 신호는 명령 입력 버퍼(106)로부터 명령 디코드부(112)에 공급되어 디코드된다. 명령의 디코드 결과에 따라서 내부 회로가 제어된다. 명령으로서 모드 레지스터 세트 명령이 부여되었을 때에는, 모드 레지스터 제어부(110)가 모드 레지스터 세트 명령에 따라서 어드레스 입력 버퍼(107)로부터 공급된 어드레스 신호를 모드 레지스터(111)에 기록한다.

입력된 어드레스 신호는 어드레스 입력 버퍼(107)로부터 어드레스 디코드부(113)에 공급되어 디코드된다. 어드레스의 디코드 결과에 따라서, 메모리 셀 어레이(121)의 지정된 어드레스가 액세스된다.

입력된 데이타 신호는 데이타 입력 버퍼(109)로부터, 기록 증폭기(117)와 감지 증폭기(118)를 통해 메모리 셀 어레이(121)의 지정된 어드레스에 격납된다. 반대로, 메모리 셀 어레이(121)의 지정된 어드레스로부터 독출된 데이타는 감지 증폭기(118), 독출 증폭기(120), 파이프 라인(114 및 115)을 통해 데이타 출력 버퍼(108)에 공급된다. 데이타 출력 버퍼(108)는 내부 클록 발생부(105)로부터의 내부 클록에 기초하여, 데이타를 데이타 입출력 단자(104)에 출력한다.

기록 제어부(116)는 명령 디코드부(112)의 명령 디코드 결과에 따라서 제어 신호를 독출·기록 제어부(119)에 공급한다. 또한, 명령 디코드 결과에 기초하여 데이타 입력 버퍼(109)를 제어한다.

독출·기록 제어부(119)는 기록 신호(Write), 독출 신호(Read), 컬럼선 선택 신호(도시 생략) 등의 제어 신호를 생성한다. 예컨대, 컬럼선 선택 신호는 복수의 감지 증폭기를 포함하는 감지 증폭기(118)에 공급되고, 선택된 감지 증폭기에 대한 데이타 독출·데이타 기록을 소정 기간만 가능하게 한다. 기록 신호(Write)는 기록 증폭기(117)에 공급되어 데이타 입력 버퍼(109)로부터의 입력 데이타를 소정의 타이밍으로 글로벌 데이타 버스(GDB0 및 GDB1)에 공급한다. 독출 신호(Read)는 독출 증폭기(120)에 공급되어 글로벌 데이타 버스(GDB0 및 GDB1)상의 독출 데이타를 소정의 타이밍으로 파이프 라인(115)에 공급한다.

모드 레지스터(111)는 전술한 바와 같이, 버스트 길이, 버스트 타입, CAS 대기등의 설정치를 격납한다. 예컨대, CAS 대기에 관해서 설명하면, 모드 레지스터(111)는 설정된 CAS 대기를 나타내는 CAS 대기 판별 신호(디코드 신호)(CL1 내지 CL4)를 출력한다(CAS 대기 설정이 4 이상 가능할 때에는, 또, CL5···를 출력한다). 이들의 CAS 대기 판별 신호(CL1 내지 CL4)는 독출·기록 제어부(119)에 공급된다. 이 CAS 대기 판별 신호(CL1 내지 CL4)에 기초하여 독출·기록 제어부(119)는 데이타 독출의 타이밍을 제어한다.

모드 레지스터(111)에 미정의 CAS 대기를 잘못 설정하여도, 도 4 및 도 5를 참조하여 설명된 바와 같이, 미정의 입력은 모드 레지스터내에 설정되는 일이 없다. 따라서, 도 6의 SDRAM에 있어서, CAS 대기에 미정의 입력을 부여할 때에도, SDRAM의 오동작을 피할 수 있다. 물론, CAS 대기 이외에 버스트 길이 등의 파라미터에 대해서도, 오동작 회피를 위해서 미정의 입력 금지 기능을 설치하여도 좋은 것은 명백하다.

또, 도 6의 SDRAM에 있어서, 모드 레지스터(111)로서 도 4의 구성의 것을 이용하는 것은 아니고, 종래의 모드 레지스터에 도 1의 대기 디코더를 이용한 구성으로 하여도 좋다. 이 경우, CAS 대기에 대하여 미정의 입력이 이루어지면, 예컨대, CAS 대기 판별 신호(CL1)가 선택된다. 따라서, SDRAM의 오동작을 피할 수 있다. 또한 이 경우, CAS 대기 판별 신호(CL1 내지 CL4)를 위한 SDRAM내의 배선을 도 2와 같이 CAS 대기 판별 신호(CL2 내지 CL4)에만 대하여 설치하여 도 3의 NOR 회로를 독출·기록 제어부(119)등에 포함시키는 구성으로 하여도 좋다.

본 발명은 실시예에 기초하여 설명되었지만, 상술한 실시예에 한정되지 않으며, 특허 청구의 범위내에서 여러 가지 변형·수정이 가능하다.

발명의 효과

청구항 1의 발명에 있어서는, 미정의 입력이 행해진 경우에는 정의되어 있는 N 개의 동작 모드 중 소정의 하나를 선택하기 때문에, 미정의 데이타의 설정에 의해서 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

청구항 2의 발명에 있어서는, N-1 개의 동작 모드를 선택하는 제 1 회로를 설치하고, 제 1 회로가 N-1 개의 동작 모드 중 어느 것도 선택하지 않을 때에는 나머지 동작 모드를 선택하도록 구성된다. 따라서, 미정의 입력이 행해진 경우에는 이 나머지 동작 모드가 선택되어 미정의 데이타의 설정에 의해서 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

청구항 3의 발명에 있어서는, 제 1 회로의 출력에 기초하여 나머지 동작 모드를 선택하는 제 2 회로를 내부 회로의 근처 또는 내부에 배치함으로써, 선택된 동작 모드를 제 1 회로에서 내부 회로에 송신하는 신호 배선을 N 개에서 N-1 개로 삭감할 수 있다.

청구항 4의 발명에 있어서는, 미정의 입력이 이루어진 경우에는 입력 신호를 격납하는 제 4 회로의 내용을 갱신하지 않고 이전의 값을 유지함으로써, 미정의 데이타의 설정에 의해 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

청구항 5의 발명에 있어서는, 미정의 입력이 행해진 경우에는 정의되어 있는 N 개의 동작 모드 중 소정의 하나를 선택하기 때문에, 미정의 데이타의 설정에 의해 반도체 장치가 예기할 수 없는 동작을 하여 코어

회로의 데이타를 파괴하여 버리는 등의 손해를 피할 수 있다.

청구항 6의 발명에 있어서는, N-1 개의 동작 모드를 선택하는 제 1 회로를 설치하고, 제 1 회로가 N-1 개의 동작 모드 중 어느 것도 선택하지 않을 때에는 나머지 동작 모드를 선택하도록 구성된다. 따라서, 미정의 입력이 행해진 경우에는 이 나머지 동작 모드가 선택되어 미정의 데이타의 설정에 의해 반도체 장치가 예기할 수 없는 동작을 하여 코어 회로의 데이타를 파괴해 버리는 등의 손해를 피할 수 있다.

청구항 7의 발명에 있어서는, 제 1 회로의 출력에 기초하여 나머지 동작 모드를 선택하는 제 2 회로를 내부 회로의 근처 또는 내부에 배치함으로써, 선택된 동작 모드를 제 1 회로에서 내부 회로에 송신하는 신호 배선을 N 개에서 N-1 개로 삭감할 수 있다.

청구항 8의 발명에 있어서는, 미정의 입력이 이루어진 경우에는 입력 신호를 격납하는 제 4 회로의 내용을 갱신하지 않고 이전의 값을 유지함으로써, 미정의 데이타의 설정에 의해 반도체 장치가 예기할 수 없는 동작을 하여 코어 회로의 데이타를 파괴해 버리는 등의 손해를 피할 수 있다.

청구항 9의 발명에 있어서는, 미정의 입력이 행해진 경우에는 정의되어 있는 N 개의 동작 모드 중 소정의 하나를 선택하기 때문에, 미정의 데이타의 설정에 의해서 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

청구항 10의 발명에 있어서는, N-1 개의 동작 모드 중 하나를 디코드하여 선택하고, N-1 개의 동작 모드의 어느 것도 선택되지 않을 때에는 나머지 동작 모드를 선택한다. 따라서, 미정의 데이타의 설정에 의해서 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

청구항 11의 발명에 있어서는, 미정의 입력이 이루어진 경우에는 입력 신호를 격납하는 레지스터의 내용을 갱신하지 않고 이전의 값을 유지함으로써, 미정의 데이타의 설정에 의해 반도체 장치가 예기할 수 없는 동작을 행하는 것을 피할 수 있다.

(57) 청구의 범위

청구항 1

N 개의 동작 모드 중 하나를 입력 신호에 의해 선택하고, 선택된 동작 모드로 동작하는 반도체 장치에 있어서,

상기 입력 신호가 상기 N 개의 동작 모드 중의 하나를 나타내는 경우에 상기 하나를 선택하고, 상기 입력 신호가 상기 N 개의 동작 모드 이외를 나타내는 미정의 입력 신호인 경우에 상기 N 개의 동작 모드 중 소정의 하나를 선택하는 선택 회로와,

상기 선택 회로가 선택한 동작 모드에 따라서 동작하는 내부 회로를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 2

제 1 항에 있어서, 상기 선택 회로는

상기 입력 신호를 디코드하여 상기 N 개의 동작 모드 중 N-1 개의 동작 모드로부터 하나를 선택하는 제 1 회로와,

상기 제 1 회로의 출력 논리 연산에 기초하여, 상기 N-1 개의 동작 모드의 어느 것도 선택되지 않을 때, 상기 N 개의 동작 모드 중 나머지 1 개의 동작 모드를 선택하는 제 2 회로를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 3

제 1 항에 있어서, 상기 선택 회로는 상기 제 1 회로와 상기 제 2 회로의 사이를 접속하는 N-1 개의 배선을 또한 포함하고, 상기 제 2 회로를 상기 내부 회로의 근처 또는 내부에 배치하는 것을 특징으로 하는 반도체 장치.

청구항 4

제 1 항에 있어서, 상기 선택 회로는

상기 미정의 입력 신호를 검출하는 제 3 회로와,

상기 제 3 회로의 출력에 따라서, 상기 입력 신호가 상기 미정의 신호가 아닌 경우에 상기 입력 신호를 격납하고, 상기 입력 신호가 상기 미정의 신호인 경우에 이미 격납되어 있는 내용을 유지하는 제 4 회로와,

상기 제 4 회로의 내용을 디코드하여 상기 N 개의 동작 모드 중 하나를 선택하는 제 5 회로를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 5

N 개의 동작 모드 중 하나를 입력 신호에 의해 선택하여 선택된 동작 모드로 동작하는 반도체 기억 장치에 있어서,

상기 입력 신호가 상기 N 개의 동작 모드 중의 하나를 나타내는 경우에 상기 하나를 선택하고, 상기 입력 신호가 상기 N 개의 동작 모드 이외를 나타내는 미정의 입력 신호인 경우에 상기 N 개의 동작 모드 중 소정의 하나를 선택하는 모드 레지스터와,

데이타를 기억하는 코어 회로와,

상기 선택 회로가 선택한 동작 모드에 따라서 동작하는 상기 코어 회로에 관한 제어 회로를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 6

제 5 항에 있어서, 상기 모드 레지스터는

상기 입력 신호를 디코드하여 상기 N 개의 동작 모드 중 N-1 개의 동작 모드로부터 하나를 선택하는 제 1 회로와,

상기 제 1 회로의 출력의 논리 연산에 기초하여 상기 N-1 개의 동작 모드의 어느 것도 선택되지 않을 때, 상기 N 개의 동작 모드 중 나머지 1 개의 동작 모드를 선택하는 제 2 회로를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 7

제 6 항에 있어서, 상기 모드 레지스터는 상기 제 1 회로와 상기 제 2 회로의 사이를 접속하는 N-1 개의 배선을 또한 포함하고, 상기 제 2 회로를 상기 제어 회로의 근처 또는 내부에 배치하는 것을 특징으로 하는 반도체 기억 장치.

청구항 8

제 5 항에 있어서, 상기 모드 레지스터는

상기 미정의 입력 신호를 검출하는 제 3 회로와,

상기 제 3 회로의 출력에 따라서 상기 입력 신호가 상기 미정의 신호가 아닌 경우에 상기 입력 신호를 격납하고, 상기 입력 신호가 상기 미정의 신호인 경우에 이미 격납되어 있는 내용을 유지하는 레지스터와,

상기 레지스터의 내용을 디코드하여 상기 N 개의 동작 모드 중 하나를 선택하는 제 4 회로를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 9

반도체 장치에서 복수의 동작 모드 중 하나를 입력 신호에 의해 선택하는 방법에 있어서,

상기 입력 신호가 상기 복수의 동작 모드 중 하나를 나타내는 경우에 상기 하나를 선택하는 단계와,

상기 입력 신호가 상기 복수의 동작 모드 이외를 나타내는 미정의 입력 신호인 경우에 상기 복수의 동작 모드 중 소정의 하나를 선택하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 10

반도체 장치에서 N 개의 동작 모드 중 하나를 입력 신호에 의해 선택하는 방법에 있어서,

상기 입력 신호를 디코드하여 상기 N 개의 동작 모드 중 N-1 개의 동작 모드로부터 하나를 선택하는 단계와,

상기 N-1 개의 동작 모드의 어느 것도 선택되지 않을 때, 상기 N 개의 동작 모드 중 나머지 1 개의 동작 모드를 선택하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 11

반도체 장치에서 복수의 동작 모드 중 하나를 입력 신호에 의해 선택하는 방법에 있어서,

상기 입력 신호가 상기 복수의 동작 모드 이외를 나타내는 미정의 입력 신호인지 아닌지를 검출하는 단계와,

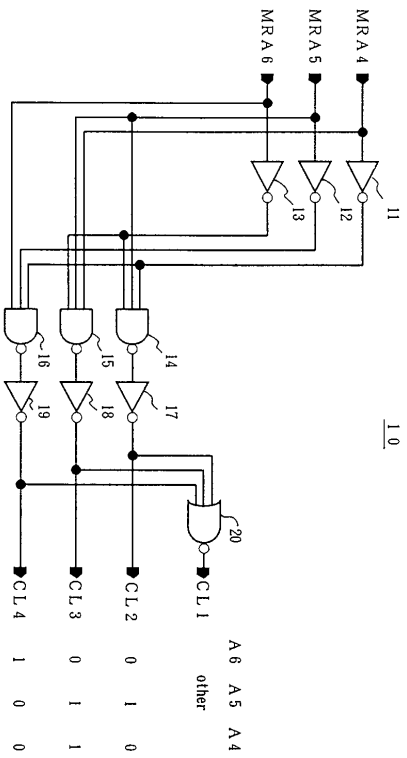
상기 입력 신호가 상기 미정의 신호가 아닌 경우에 상기 입력 신호를 레지스터에 격납하는 단계와,

상기 입력 신호가 상기 미정의 신호인 경우에 레지스터에 이미 격납되어 있는 내용을 유지하는 단계와,

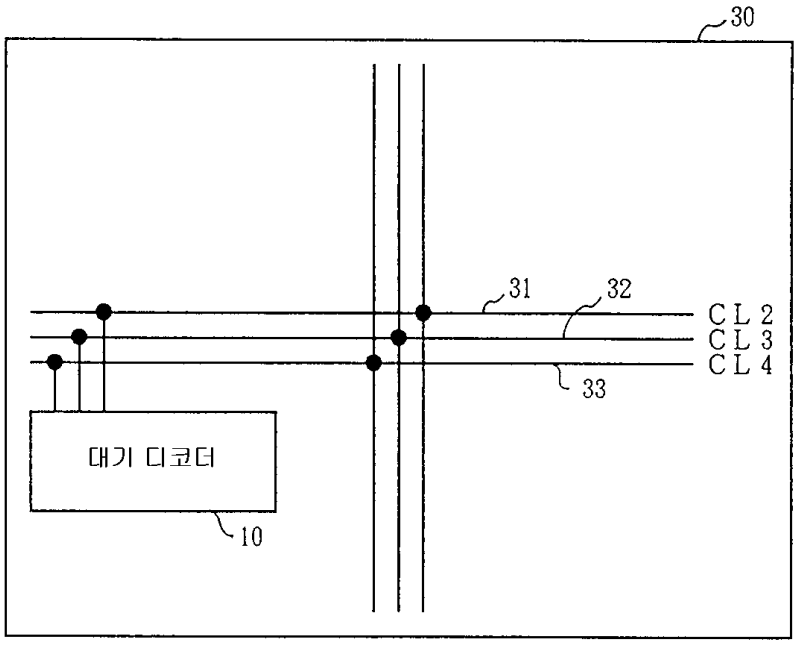
상기 레지스터의 내용을 디코드하여 상기 복수의 동작 모드 중 하나를 선택하는 단계를 포함하는 것을 특징으로 하는 방법.

도면

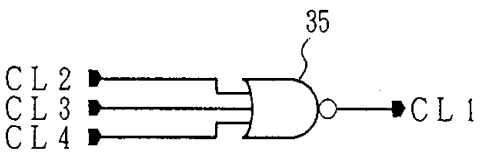
도면1


MRA6
MRA5
MRA4
11
12
13
14
15
16
17
18
19
20
10
CL1
CL2
CL3
CL4
A6 A5 A4
other
0 0 0
0 0 1
0 1 0
1 0 0

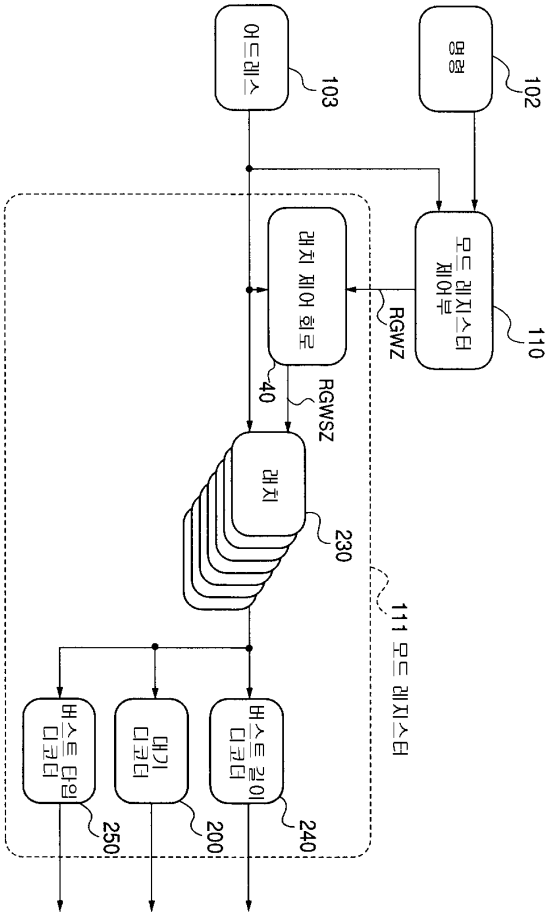
도면2


30
31
32
33
CL2
CL3
CL4
대기 디코더
10

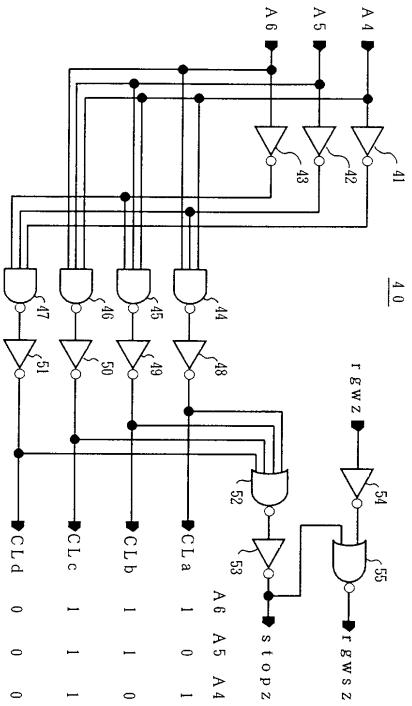
도면3


35
CL2
CL3
CL4
CL1

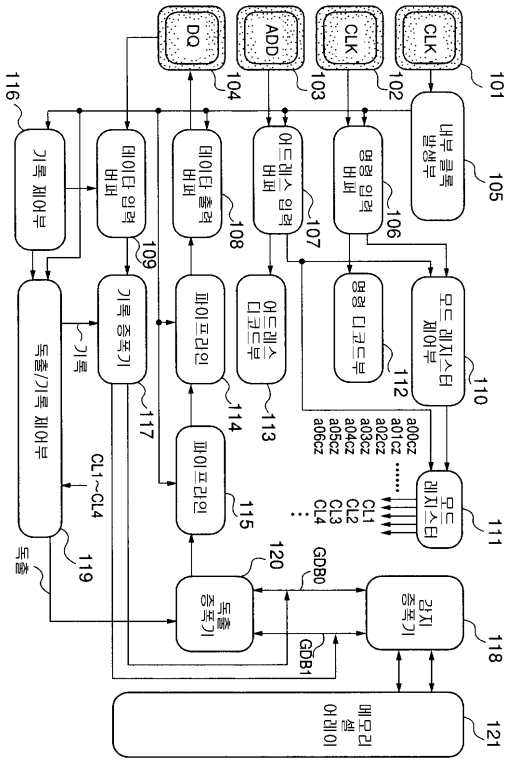
도면4


어드레스
103
명령
102
래치 제어 회로
모드 레지스터 제어부
110
RGWZ
40
RGWSZ
래치
230
111 모드 레지스터
버스트 타입 디코더
250
래치 디코더
200
버스트 길이 디코더
240

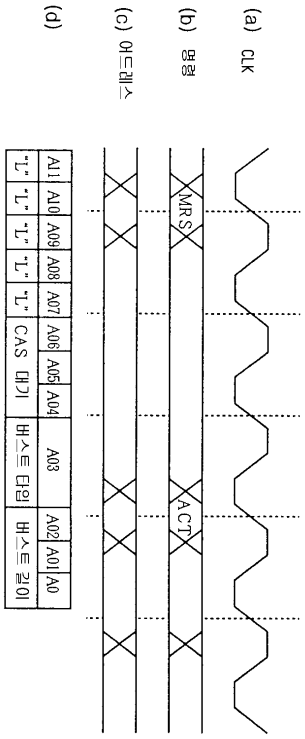
도면5


A6
A5
A4
41
42
43
40
44
45
46
47
48
49
50
51
52
53
54
55
rgwz
stopz
rgwsz
CLd
CLc
CLb
CLa
A6
A5
A4

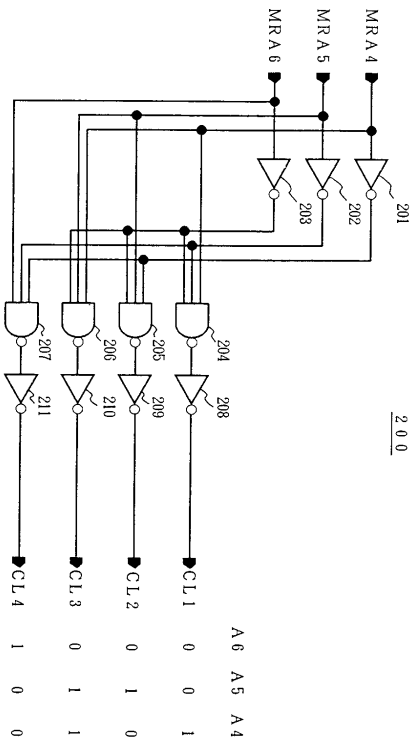
도면6


CLK
CLK
ADD
DQ
101
102
103
104
내부 클록 발생부
105
명령 입력 버퍼
106
어드레스 입력 버퍼
107
데이타 출력 버퍼
108
데이타 입력 버퍼
109
기록 제어부
116
모드 레지스터 제어부
110
명령 디코드부
112
모드 레지스터
111
a00cz
a01cz
a02cz
a03cz
a04cz
a05cz
a06cz
CL1
CL2
CL3
CL4
어드레스 디코드부
113
파이프라인
114
기록 증폭기
117
독출/기록 제어부
기록
CL1~CL4
독출
119
파이프라인
115
독출 증폭기
120
GDB0
GDB1
감지 증폭기
118
메모리 셀 어레이
121

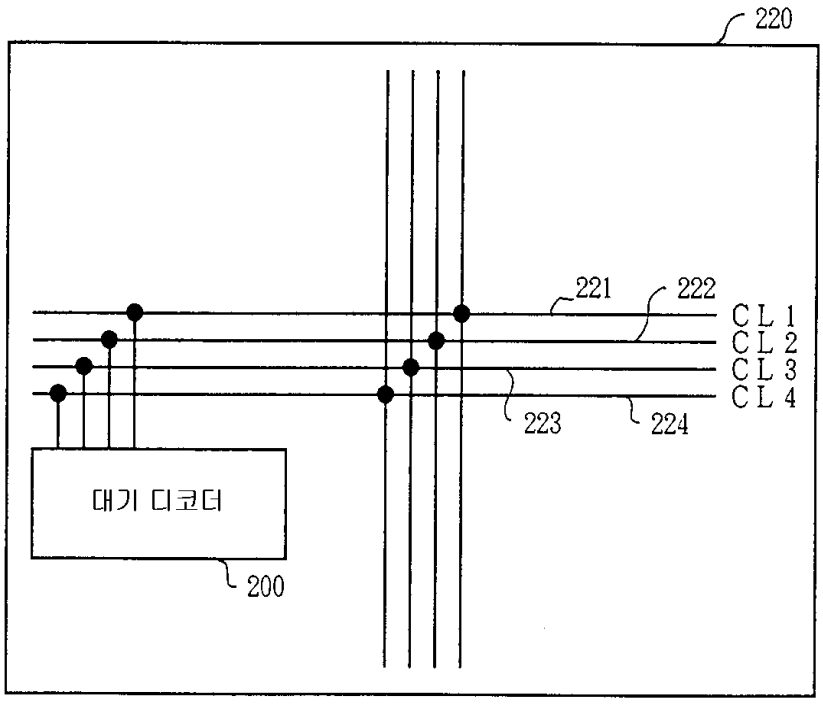
도면7


(a) CLK
(b) 명령
(c) 어드레스
(d)
MRS
ACT
A11 A10 A09 A08 A07 A06 A05 A04 A03 A02 A01 A0
"L" "L" "L" "L" "L" CAS 대기 버스트 타입 버스트 길이

도면8


MRA6
MRA5
MRA4
201
202
203
204
205
206
207
208
209
210
211
200
CL4
CL3
CL2
CL1
A6 A5 A4
1 0 0
0 1 1
0 1 0
0 0 1

도면9


220
221
222
223
224
CL1
CL2
CL3
CL4
대기 디코더
200