(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-204555
(P2008-204555A)
(43)公開日　平成20年9月4日(2008.9.4)

(51)Int.Cl.		F I			テーマコード（参考）
G11C 29/34	(2006.01)	G11C	29/00	671P	2G132
G11C 11/401	(2006.01)	G11C	11/34	371A	5L106
G01R 31/28	(2006.01)	G01R	31/28	B	5M024
		G01R	31/28	Y	
		G01R	31/28	V	

審査請求 未請求　請求項の数 14　ＯＬ　（全 18 頁）

(21)出願番号　特願2007-40111 (P2007-40111)
(22)出願日　平成19年2月21日 (2007.2.21)

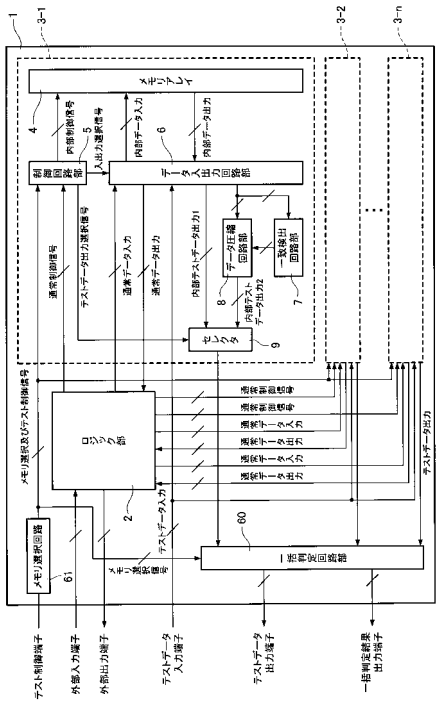
(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100068087
弁理士　森本　義弘
(74)代理人　100096437
弁理士　笹原　敏司
(74)代理人　100100000
弁理士　原田　洋平
(72)発明者　住本　善彦
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

Ｆターム(参考)　2G132 AA01　AA08　AK07　AK09　AL09
AL25

最終頁に続く

(54)【発明の名称】半導体装置及び半導体装置の検査方法

(57)【要約】
【課題】複数個の半導体記憶装置が搭載された半導体装置の検査時間短縮を目的とする。
【解決手段】複数の半導体記憶装置を搭載し、データビット幅を分割したビット長のテスト入力データを用いて検査を行う半導体装置およびその検査方法であって、メモリ選択信号を全ての半導体記憶装置あるいは任意の複数の半導体記憶装置に対してイネーブルにすることが可能な構成にし、１度の書き込み動作で、同時に複数の半導体記憶装置に書き込みを可能とするものである。さらに、同時に複数の半導体記憶装置からデータビット幅を分割したビット長のテスト出力データの読み出しを行い、それらのデータを比較して良否判定を行うことが可能な構成とするものである。これらの構成により、テストデータの読み書きに要する時間が短縮され、半導体装置の検査時間短縮が可能となる。
【選択図】図１



【特許請求の範囲】
【請求項１】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、
外部制御によりテストモード時にはテスト制御信号及びメモリ選択信号を出力するメモリ選択回路と、
前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、
通常動作時は前記ロジック部からの通常制御信号を選択しテストモード時にはメモリ選択信号及びテスト制御信号を選択し前記メモリアレイを制御する内部制御信号を出力し、動作モードにより入出力データを切り替える入出力選択信号及びテストデータ出力を切り替えるテストデータ出力選択信号を出力する制御回路部と、
前記内部動作制御信号を入力して通常動作時には通常データを任意のメモリセルに読み書きしテストモード時には任意のデータ幅からなるテストデータを外部から入力して同一ロウアドレスの前記メモリセルブロックの全ビットに対して一括して書き込みし書き込まれた前記テストデータを前記メモリセルブロックから順に読み出す制御を行うデータ入出力回路と
を有し、テストモード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込むことを特徴とする半導体装置。
【請求項２】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、
外部制御によりテストモード時にはテスト制御信号及びメモリ選択信号を出力するメモリ選択回路と、
前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、
通常動作時は前記ロジック部からの通常制御信号を選択しテストモード時にはメモリ選択信号及びテスト制御信号を選択し前記メモリアレイを制御する内部制御信号を出力し、動作モードにより入出力データを切り替える入出力選択信号及びテストデータ出力を切り替えるテストデータ出力選択信号を出力する制御回路部と、
前記内部動作制御信号を入力して通常動作時には通常データを任意のメモリセルに読み書きしテストモード時にはある特定のデータ幅からなるテストデータを外部から入力して前記メモリセルブロックに書き込み前記テストデータを前記メモリセルブロックの全ビットデータをある特定のデータ幅に分割して一括で読み出す制御を行うデータ入出力回路と、
前記データ入出力回路の制御により読み出した同一ロウアドレスの前記メモリセルブロックの全ビットデータを読み出しある特定のデータ幅毎に互いに比較して一致する場合には一致検出信号を出力する一致検出回路と、
前記一致検出信号が一致を示す場合には前記メモリセルブロックから読み出したある特定のデータ幅のテストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力するデータ圧縮回路と
を有し、全ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力し一致する場合には前記データ圧縮回路から出力されたデータを一致しない場合にはあらかじめ定めた所定のデータを外部に出力する一括判定回路を有し、テストモード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットデータを一括して読み出すと共に、読み出したデータの一致判定結果を出力することを特徴とする半導体装置。
【請求項３】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、
外部制御によりテストモード時にはテスト制御信号及びメモリ選択信号を出力するメモリ選択回路と、
前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、
通常動作時は前記ロジック部からの通常制御信号を選択しテストモード時にはメモリ選択信号及びテスト制御信号を選択し前記メモリアレイを制御する内部制御信号を出力し、

動作モードにより入出力データを切り替える入出力選択信号及びテストデータ出力を切り替えるテストデータ出力選択信号を出力する制御回路部と、
前記内部動作制御信号を入力して通常動作時には通常データを任意のメモリセルに読み書きしテストモード時にはある特定のデータ幅からなるテストデータを外部から入力して同一ロウアドレスの前記メモリセルブロックの全ビットに対して一括して書き込みし書き込まれた前記テストデータを前記メモリセルブロックから順に読み出す制御を行うデータ入出力回路と、
前記データ入出力回路の制御により読み出した同一ロウアドレスの前記メモリセルブロックの全ビットデータを読み出しある特定のデータ幅毎に互いに比較して一致する場合には一致検出信号を出力する一致検出回路と、
前記一致検出信号が一致を示す場合には前記メモリセルブロックから読み出したある特定のデータ幅のテストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力するデータ圧縮回路と
を有し、全ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力しおよび一致する場合には前記データ圧縮回路から出力されたデータを一致しない場合にはあらかじめ定めた所定のデータを外部に出力する一括判定回路を有し、テストモード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットデータを一括して読み書きすることを特徴とする半導体装置。
【請求項４】
前記制御回路にて、テストモード時に全ての半導体記憶装置の前記メモリセルブロックに対しての一括書き込みの要否を選択可能とすることを特徴とする請求項１記載の半導体装置。
【請求項５】
前記制御回路にて、テストモード時に全ての半導体記憶装置の前記メモリセルブロックからの一括読み出しの要否を選択可能とすることを特徴とする請求項２記載の半導体装置。
【請求項６】
前記制御回路にて、テストモード時に全ての半導体記憶装置の前記メモリセルブロックに対しての一括読み書きの要否を選択可能とすることを特徴とする請求項３記載の半導体装置。
【請求項７】
前記一括判定回路から出力される一致判定結果をテストデータ出力端子に割り付けて出力することを特徴とする請求項６記載の半導体装置。
【請求項８】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、
任意のデータ幅からなるテストデータを外部から入力して全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込む工程と、
書き込んだ前記テストデータを前記半導体記憶装置から読み出す工程と
を有することを特徴とする半導体装置の検査方法。
【請求項９】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、
テストデータを前記半導体記憶装置に書き込む工程と、
前記テストデータを全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックから任意のデータ幅に分割して一括で読み出す工程と、
読み出した前記半導体記憶装置毎に前記格納された各テストデータを互いに比較して一致する場合には一致検出信号を出力する工程と、
前記一致検出信号が一致を示す場合には前記半導体記憶装置から読み出した前記テストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力すると共に全

ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力する工程と
を有することを特徴とする半導体装置の検査方法。
【請求項１０】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、
任意のデータ幅からなるテストデータを外部から入力して全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込む工程と、
前記テストデータを全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックから任意のデータ幅に分割して一括で読み出す工程と、
読み出した前記半導体記憶装置毎に前記格納された各テストデータを互いに比較して一致する場合には一致検出信号を出力する工程と、
前記一致検出信号が一致を示す場合には前記半導体記憶装置から読み出した前記テストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力すると共に全ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力する工程と
を有することを特徴とする半導体装置の検査方法。
【請求項１１】
テストモード時に全ての前記半導体記憶装置に対しての一括書き込みの要否を選択可能とすることを特徴とする請求項８記載の半導体装置の検査方法。
【請求項１２】
テストモード時に全ての前記半導体記憶装置からの一括読み出しの要否を選択可能とすることを特徴とする請求項９記載の半導体装置の検査方法。
【請求項１３】
テストモード時に全ての前記半導体記憶装置に対しての一括読み書きの要否を選択可能とすることを特徴とする請求項１０記載の半導体装置の検査方法。
【請求項１４】
前記出力される一致判定結果をテストデータ出力端子に割り付けて出力することを特徴とする請求項１０記載の半導体装置の検査方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明はＤＲＡＭ（ダイナミックランダムアクセスメモリ）などのような大容量メモリとロジックとを同一のチップ内に混載してなる半導体装置、およびその検査方法に関する。
【背景技術】
【０００２】
半導体集積回路装置の高密度化や高集積化の要求から、複数の機能ブロックを単一のチップ内に集積した構成のシステムＬＳＩが進展してきており、ＤＲＡＭなどのような大容量メモリとロジックとを同一のチップ内に混載してなる混載ＬＳＩも多くなってきている。ＤＲＡＭ混載ＬＳＩなどにおいては、混載の特徴を活かし多ビットバス幅でのデータアクセスを可能にし、性能の向上を行っている。
【０００３】
しかしながら、混載ＬＳＩにおいてＤＲＡＭなどのメモリアレイを単体検査する場合、メモリアレイを構成するメモリブロックへ直接多ビットバス幅でのデータの入出力を行うための端子数が不足することが多いため、通常は、数ビットのデータ入出力端子を使って前記数ビットにメモリブロックを分割して順番に全領域のメモリ検査を行う。
【０００４】
また、混載ＬＳＩに複数のメモリアレイを搭載した場合、通常メモリアレイ毎に順番に検査を行う。

以下、図１０，図１１，図１２を用いて従来の半導体装置およびその検査方法について説明する。

【０００５】

図１０は従来の半導体記憶装置が搭載される半導体装置のブロック図を示している。

図１０において、１は本発明に係る半導体装置、２はロジック部、３－１及び３－２及び３－ｎはｎ個の半導体記憶装置を示す。ｎ個の半導体記憶装置３－１、３－２、３－ｎには、それぞれメモリアレイ４とそれを制御する制御回路部５及び、通常動作時にロジック部２とデータのやり取りを行い、テスト動作時に外部端子とデータのやり取りを行い、メモリアレイ４にデータを入出力するデータ入出力回路部６で構成されている。

【０００６】

次に、上記のように構成される半導体装置１において、半導体記憶装置の検査時における書き込み及び読み出しの動作シーケンスを図１１及び図１２を用いて説明する。

図１１は従来の半導体装置の検査時における書き込み時の動作シーケンスを示す図を示している。

【０００７】

図１１において、ｎ個の半導体記憶装置からなる半導体装置において、書き込み時は１つの半導体記憶装置が備える複数（ｍ個）のメモリセルブロックに対し、あるデータビット幅（図１１では例として４ビット）で一括して書き込み動作を行い、例えば、全ての半導体記憶装置におけるそれぞれのメモリセルブロック毎の書き込みには、ライト１→ライト２→ライトｎというようにｎ回の書き込み動作が必要になっていた。

【０００８】

また、図１２は従来の半導体装置の検査時における読み出し時の動作シーケンスを示す図を示している。

図１２において、ｎ個の半導体記憶装置からなる半導体装置において、読み出し時は１つの半導体記憶装置に対し、同時に複数のメモリセルブロックのデータを読み出し、一致検出回路７でメモリセル毎に読み出したデータを比較し、その結果をデータ圧縮回路８で判定し、データを圧縮して読み出す。この動作をｎ個の半導体記憶装置でそれぞれ行い、セレクタ７０で切り替えて検査を行うため、例えば、全ての半導体記憶装置におけるそれぞれのメモリセルブロック毎の読み出しにはｎ回の読み出し動作が必要になる（例えば、特許文献１参照）。

【特許文献１】特開平５－１０１６９９号公報

【発明の開示】

【発明が解決しようとする課題】

【０００９】

上記ｎ個の半導体記憶装置が搭載された従来の半導体装置の検査時において、通常動作時に半導体装置内のロジック部とのデータのやり取りが行われるデータビット幅でのデータの入出力を行うための端子数が確保できないため、数ビットから十数ビット程度のデータバス幅での検査を行う必要があり、また、半導体記憶装置毎にｎ回の検査を行う必要がり検査工数が長大になるという問題点があった。

【００１０】

そこで本発明は、複数個の半導体記憶装置が搭載された半導体装置の検査時間短縮を目的とする。

【課題を解決するための手段】

【００１１】

この目的を達成するため本発明の請求項１に記載の半導体装置は、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、外部制御によりテストモード時にはテスト制御信号及びメモリ選択信号を出力するメモリ選択回路と、前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、通常動作時は前記ロジック部からの通常制御信号を選択しテストモード時にはメモリ選択信号及びテスト制御信号を選択し前記メモリアレイを制御する内部制御信号を出力し、動作モードによ

り入出力データを切り替える入出力選択信号及びテストデータ出力を切り替えるテストデータ出力選択信号を出力する制御回路部と、前記内部動作制御信号を入力して通常動作時には通常データを任意のメモリセルに読み書きしテストモード時には任意のデータ幅からなるテストデータを外部から入力して同一ロウアドレスの前記メモリセルブロックの全ビットに対して一括して書き込みし書き込まれた前記テストデータを前記メモリセルブロックから順に読み出す制御を行うデータ入出力回路とを有し、テストモード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込むことを特徴とする。

【００１２】

請求項２に記載の半導体装置は、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、外部制御によりテストモード時にはテスト制御信号及びメモリ選択信号を出力するメモリ選択回路と、前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、通常動作時は前記ロジック部からの通常制御信号を選択しテストモード時にはメモリ選択信号及びテスト制御信号を選択し前記メモリアレイを制御する内部制御信号を出力し、動作モードにより入出力データを切り替える入出力選択信号及びテストデータ出力を切り替えるテストデータ出力選択信号を出力する制御回路部と、前記内部動作制御信号を入力して通常動作時には通常データを任意のメモリセルに読み書きしテストモード時にはある特定のデータ幅からなるテストデータを外部から入力して前記メモリセルブロックに書き込み前記テストデータを前記メモリセルブロックの全ビットデータをある特定のデータ幅に分割して一括で読み出す制御を行うデータ入出力回路と、前記データ入出力回路の制御により読み出した同一ロウアドレスの前記メモリセルブロックの全ビットデータを読み出しある特定のデータ幅毎に互いに比較して一致する場合には一致検出信号を出力する一致検出回路と、前記一致検出信号が一致を示す場合には前記メモリセルブロックから読み出したある特定のデータ幅のテストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力するデータ圧縮回路とを有し、全ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力し一致する場合には前記データ圧縮回路から出力されたデータを一致しない場合にはあらかじめ定めた所定のデータを外部に出力する一括判定回路を有し、テストモード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットデータを一括して読み出すと共に、読み出したデータの一致判定結果を出力することを特徴とする。

【００１３】

請求項３に記載の半導体装置は、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、外部制御によりテストモード時にはテスト制御信号及びメモリ選択信号を出力するメモリ選択回路と、前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、通常動作時は前記ロジック部からの通常制御信号を選択しテストモード時にはメモリ選択信号及びテスト制御信号を選択し前記メモリアレイを制御する内部制御信号を出力し、動作モードにより入出力データを切り替える入出力選択信号及びテストデータ出力を切り替えるテストデータ出力選択信号を出力する制御回路部と、前記内部動作制御信号を入力して通常動作時には通常データを任意のメモリセルに読み書きしテストモード時にはある特定のデータ幅からなるテストデータを外部から入力して同一ロウアドレスの前記メモリセルブロックの全ビットに対して一括して書き込みし書き込まれた前記テストデータを前記メモリセルブロックから順に読み出す制御を行うデータ入出力回路と、前記データ入出力回路の制御により読み出した同一ロウアドレスの前記メモリセルブロックの全ビットデータを読み出しある特定のデータ幅毎に互いに比較して一致する場合には一致検出信号を出力する一致検出回路と、前記一致検出信号が一致を示す場合には前記メモリセルブロックから読み出したある特定のデータ幅のテストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力するデータ圧縮回路とを有し、全ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力しおよび一致する場合には前記データ圧縮回路から出力

されたデータを一致しない場合にはあらかじめ定めた所定のデータを外部に出力する一括判定回路を有し、テストモード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットデータを一括して読み書きすることを特徴とする。

【００１４】

請求項４に記載の半導体装置は、請求項１記載の半導体装置において、前記制御回路にて、テストモード時に全ての半導体記憶装置の前記メモリセルブロックに対しての一括書き込みの要否を選択可能とすることを特徴とする。

【００１５】

請求項５に記載の半導体装置は、請求項２記載の半導体装置において、前記制御回路にて、前記制御回路にて、テストモード時に全ての半導体記憶装置の前記メモリセルブロックからの一括読み出しの要否を選択可能とすることを特徴とする。

【００１６】

請求項６に記載の半導体装置は、請求項３記載の半導体装置において、前記制御回路にて、テストモード時に全ての半導体記憶装置の前記メモリセルブロックに対しての一括読み書きの要否を選択可能とすることを特徴とする。

【００１７】

請求項７に記載の半導体装置は、請求項６記載の半導体装置において、前記一括判定回路から出力される一致判定結果をテストデータ出力端子に割り付けて出力することを特徴とする。

【００１８】

請求項８に記載の半導体装置の検査方法は、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、任意のデータ幅からなるテストデータを外部から入力して全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込む工程と、書き込んだ前記テストデータを前記半導体記憶装置から読み出す工程とを有することを特徴とする。

【００１９】

請求項９に記載の半導体装置の検査方法は、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、テストデータを前記半導体記憶装置に書き込む工程と、前記テストデータを全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックから任意のデータ幅に分割して一括で読み出す工程と、読み出した前記半導体記憶装置毎に前記格納された各テストデータを互いに比較して一致する場合には一致検出信号を出力する工程と、前記一致検出信号が一致を示す場合には前記半導体記憶装置から読み出した前記テストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力すると共に全ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力する工程とを有することを特徴とする。

【００２０】

請求項１０に記載の半導体装置の検査方法は、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、任意のデータ幅からなるテストデータを外部から入力して全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込む工程と、前記テストデータを全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックから任意のデータ幅に分割して一括で読み出す工程と、読み出した前記半導体記憶装置毎に前記格納された各テストデータを互いに比較して一致する場合には一致検出信号を出力する工程と、

前記一致検出信号が一致を示す場合には前記半導体記憶装置から読み出した前記テストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力すると共に全ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力する工程とを有することを特徴とする。

【００２１】

請求項１１に記載の半導体装置の検査方法は、請求項８記載の半導体装置の検査方法に

おいて、テストモード時に全ての前記半導体記憶装置に対しての一括書き込みの要否を選択可能とすることを特徴とする。

【００２２】

請求項１２に記載の半導体装置の検査方法は、請求項９記載の半導体装置の検査方法において、テストモード時に全ての前記半導体記憶装置からの一括読み出しの要否を選択可能とすることを特徴とする。

【００２３】

請求項１３に記載の半導体装置の検査方法は、請求項１０記載の半導体装置の検査方法において、テストモード時に全ての前記半導体記憶装置に対しての一括読み書きの要否を選択可能とすることを特徴とする。

【００２４】

請求項１４に記載の半導体装置の検査方法は、請求項１０記載の半導体装置の検査方法において、前記出力される一致判定結果をテストデータ出力端子に割り付けて出力することを特徴とする。

【００２５】

以上により、半導体装置の検査時間短縮が可能となる。

【発明の効果】

【００２６】

以上のように、本発明は、複数の半導体記憶装置を搭載し、データビット幅を分割したビット長のテスト入力データを用いて検査を行う半導体装置およびその検査方法であって、メモリ選択信号を全ての半導体記憶装置あるいは任意の複数の半導体記憶装置に対してイネーブルにすることが可能な構成にし、１度の書き込み動作で、同時に複数の半導体記憶装置に書き込みを可能とするものである。さらに、同時に複数の半導体記憶装置からデータビット幅を分割したビット長のテスト出力データの読み出しを行い、それらのデータを比較して良否判定を行うことが可能な構成とするものである。これらの構成により、テストデータの読み書きに要する時間が短縮され、半導体装置の検査時間短縮が可能となる。

【発明を実施するための最良の形態】

【００２７】

以下、本発明の実施の形態を、図面を参照しながら説明する。

図１は本発明の実施の形態１に係る半導体装置の構成図、図２は本発明の半導体装置の検査時における書き込み時の動作シーケンスを示す図、図３は本発明の半導体装置の検査時における読み出し時の動作シーケンスを示す図、図４は本発明の制御回路部におけるリード／ライトイネーブル制御回路を示す図、図５は本発明のデータ入出力回路部の構成を示す図、図６は本発明の一致検出回路部の構成を示す図、図７は本発明のデータ圧縮回路部の構成を示す図、図８は本発明の一括判定回路部の構成を示す図であり、図１で示す一括判定回路部６０の回路図である。

【００２８】

図１で示すように、本発明の実施の形態１に係る半導体装置１は、ｎ個の半導体記憶装置３－１、３－２及び３－ｎと、ロジック部２、ｎ個の半導体記憶装置のメモリ選択信号及びテスト制御信号を生成するメモリ選択回路６１が同一のチップ内に混載して構成されており、半導体記憶装置３－１、３－２及び３－ｎは、外部のテスト制御端子からそれぞれのテスト制御信号及びメモリ選択信号を生成するメモリ選択回路６１とロジック部２からの通常制御信号を通常動作時と検査時で制御入力を切り替え、内部ロウアドレスストローブ信号や内部ライト動作制御信号、内部リードアドレス制御信号、及び内部ロウアドレス信号、内部カラムアドレス信号などの内部制御信号を生成し、テストモード時にはメモリ選択信号及びテスト制御信号を選択して内部制御信号を生成し、全てのメモリアレイ４に設けられたメモリセルブロックに対して書き込みあるいは読み出しもしくはその両方を許可する制御を行い、動作モードによりデータの入出力を切り替える入出力選択信号を出力し、テストデータの出力を切り替えるテストデータ出力選択信号を出力する制御回路部

５と、複数のメモリセルブロックからなるメモリアレイ４と、通常データ入出力とテストデータ入出力を切り替え、メモリアレイ４と内部データ入出力のやり取りを行うデータ入出力回路部６と、半導体記憶装置毎の複数のメモリセルブロック全てに対して、メモリセルブロック毎に内部テストデータ出力の比較を行う一致検出回路部７と、一致検出回路部７からの比較結果を受けて一致の場合はテストデータ出力を出力し、不一致の場合にはあらかじめ定められた任意のデータを出力するデータ圧縮回路部８と、テストモードにより非同時読み出しされたテストデータ出力とデータ圧縮回路部８から出力される同時読み出しされたテストデータ出力を切り替えるセレクタ９で構成されており、ｎ個の半導体記憶装置それぞれからのテストデータ出力を互いに比較する一括判定回路部６０で合否の一括判定を行い、テストデータと一括判定結果を出力する構成となっている。

【００２９】

以上のように構成された半導体装置１でのｎ個それぞれの半導体記憶装置における同時書き込み動作のシーケンスを模式化した図が図２である。図２において、テストデータ入力のデータバス幅は簡略化のため４ビットで示してあるが、他のビット幅アクセスの場合も容易に実現できることはもちろんである。複数のメモリセルブロックからなるメモリアレイ１、メモリアレイ２及びメモリアレイｎにおいて、同一ロウアドレスの全てのメモリセルブロックのライトイネーブル信号を同時にイネーブルにすることにより、テストデータ入力のデータバス幅で同時に複数のメモリセルへ書き込むことができ、１回のライト動作で書き込むメモリセルの数を増やし、メモリアレイ全体にデータを書き込むのに要するライト動作の回数を減らすことができ、検査時間を短縮し、検査コストを削減することができる。

【００３０】

また、半導体装置１でのｎ個それぞれの半導体記憶装置における同時読み出し動作のシーケンスを模式化した図が図３である。図３において、テストデータ入力のデータバス幅は簡略化のため４ビットで示してあるが、他のビット幅アクセスの場合も容易に実現できることはもちろんである。複数のメモリセルブロックからなるメモリアレイ１、メモリアレイ２、及びメモリアレイｎにおいて、テストデータ出力のデータバス幅で同時に複数のメモリアレイからのデータを読み出すことにより、１回のリード動作で読み出すメモリセルの数を増やし、メモリアレイ全体からデータを読み出すのに要するリード動作の回数を減らすことができ、検査時間を短縮し、検査コストを削減することができる。同時に複数のメモリアレイからデータを読み出す方法としては、あらかじめ、メモリアレイの読み出しビット単位毎に同一データが読み出されるようなデータを書き込んでおき、他の同一データとの比較を行うための一致検出回路部７にデータを出力する。一致検出回路部７により、同一ロウアドレスで選択されるメモリセルブロックの全データを４ビット毎のデータに分けて、例えば隣同士の４ビットづつでそれぞれ対応するビット同士でＥｘ－ＮＯＲで比較して一致／不一致の判定を行い、その結果をデータ圧縮回路部８へ出力する。データ圧縮回路部８では、一致検出回路７での判定結果をもとに、全て一致していた場合は、ある特定のメモリセルのデータを出力する。１つでも不一致の場合はデータ圧縮回路部８において任意のデータに置き換えて出力する。例えば、“１００１”というような固定データを出力するようにしておくことでメモリセルの欠陥を判別できる。これらｎ個の半導体記憶装置の出力データを一括判定回路部６０において、さらに比較判定を行い、全て一致していた場合は、任意のメモリセルのデータを出力する。１つでも不一致の場合は前記と同様に、例えば、“１００１”というような固定データを出力するようにしておくことでｎ個の半導体記憶装置の欠陥を同時に判別でき、かつどの半導体記憶装置に欠陥があるかというマクロ情報信号も同時に出力する。

【００３１】

図４において、通常ライト制御信号とテストライト制御信号をテスト切り替え信号により選択するセレクタ１０と、セレクタ１０の出力信号をクロックＣＬＫでラッチするラッチ１３と、通常カラムアドレス信号とテストカラムアドレス信号をテスト切り替え信号により選択するセレクタ１１と、セレクタ１１の出力信号をクロックＣＬＫでラッチするラ

ッチ１４と、通常リード制御信号とテストリード制御信号をテスト切り替え信号により選択するセレクタ１２と、セレクタ１２の出力信号をクロックＣＬＫでラッチするラッチ１５と、ラッチ１４からの出力である内部カラムアドレス信号をデコードするカラムデコーダ１６と、ラッチ１３からの出力である内部ライト制御信号とカラムデコーダ１６からの出力である内部カラムデコード信号と同時ライト動作で書き込みを行うテスト信号であるＭＬＴＷＴＴＥＳＴ信号及びメモリ選択信号ＰＣＳＷを受けてライトイネーブル信号ＷＥ（ｉ：０）を生成するライトイネーブル発生回路１７と、ラッチ１５からの出力である内部リード制御信号とカラムデコーダ１６からの出力である内部カラムデコード信号と同時リード動作で読み出しを行うテスト信号であるＣＭＰＴＥＳＴ信号及びメモリ選択信号ＰＣＳＲを受けてテストリードイネーブル信号ＰＯＥＡ（ｋ）～ＰＯＥＤ（ｋ）、ＰＯＥ（ｌ）、通常リードイネーブル信号ＯＥＡ～ＯＥＤを生成するリードイネーブル発生回路１８で構成され、同時書き込み、同時読み出しを別々に行えるような構成となっている。

【００３２】

また、半導体記憶装置３でのデータ入出力回路部６を示した図が図５である。

図５は通常データアクセスビット幅が２５６ビット、テストデータアクセスビット幅が８ビットの場合の基本単位構成を示しており、この基本構成を６４個配置することで２５６ビット幅を実現している。また、他のビット幅アクセスの場合も容易に実現できることはもちろんである。

【００３３】

図５において、書き込み時のデータ経路は、テストデータ入力ＰＤＩ＿０と通常データ入力ＤＩ（８ｋ＋ｌ）、ＤＩ（８ｋ＋ｌ＋１２８）、ＤＩ（８ｋ＋ｌ＋６４）、及びＤＩ（８ｋ＋ｌ＋１９２）（ビット番号：ｋ＝０～７、ｌ＝０～７）を、通常動作時には“１”、テスト動作時には“０”となるモード切り替え信号ＭＮＯＲＭＡＬにより選択するセレクタ３１～３４と、その出力信号をＣＬＫでラッチするラッチ３５～３８と、そのラッチ３５～３８の出力信号を内部データ入力ＤＩＮ（８ｋ＋ｌ）、ＤＩＮ（８ｋ＋ｌ＋１２８）、ＤＩＮ（８ｋ＋ｌ＋６４）、及びＤＩＮ（８ｋ＋ｌ＋１９２）としてメモリアレイ４に出力する。尚、テストデータ入力ＰＤＩ（ｌ）はそれぞれ図５の基本単位構成８個に接続される。同時書き込みモードにおいては、このＰＤＩ（ｌ）のテストデータ入力が接続されるそれぞれ８個の基本単位構成において同一データが入力され、このデータに相当する図４のライトイネーブル発生回路１７で生成されるライトイネーブル信号ＷＥ（ｉ：０）のうち８個のＷＥ信号が同時にイネーブルになることで同一データを複数のメモリセル（１ビット単位）に書き込む。

【００３４】

通常のテスト時の書き込み動作においては、図５の基本単位構成における内部データ入力は同じであるが、図４で生成されるライトイネーブル信号ＷＥ（ｉ：０）のうち、１個のみがイネーブルとなり、複数のメモリセル（１ビット単位）に同一データが書き込まれることはない。

【００３５】

また、図５において、通常動作時の読み出し時のデータ経路は、メモリコア部４からの内部データ出力ＮＤＯＵＴ（８ｋ＋ｌ）、ＮＤＯＵＴ（８ｋ＋ｌ＋１２８）、ＮＤＯＵＴ（８ｋ＋ｌ＋６４）、及びＮＤＯＵＴ（８ｋ＋ｌ＋１９２）を、図４のリードイネーブル発生回路１８で生成される通常リードイネーブル信号ＯＥＡ～ＯＥＤでトライステートインバータ４３～４６を制御し、通常データ出力ＤＯ（８ｋ＋ｌ）、ＤＯ（８ｋ＋ｌ＋１２８）、ＤＯ（８ｋ＋ｌ＋６４）、及びＤＯ（８ｋ＋ｌ＋１９２）に読み出しデータを出力し、ロジック部２にデータを引き渡す。これに対し、本発明のテスト動作時における同時読み出しの経路としては、前記内部データ出力ＮＤＯＵＴ（８ｋ＋ｌ）、ＮＤＯＵＴ（８ｋ＋ｌ＋１２８）、ＮＤＯＵＴ（８ｋ＋ｌ＋６４）、及びＮＤＯＵＴ（８ｋ＋ｌ＋１９２）を図４のリードイネーブル発生回路１８で生成されるＰＯＥＡ（ｋ）～ＰＯＥＤ（ｋ）で通常動作時とは別のトライステートインバータ３９～４２を制御し、通常動作時にテストデータ経路のデータを固定するためのＮＡＮＤ４７を介し、同時読み出しテスト（ＣＭ

ＰＴＥＳＴ）時のみにテストデータが伝播するように配置されたＮＡＮＤ４９を通って一致検出回路部７へのデータＣＭＰＩＮ＿Ａにデータを引き渡す。また、テスト時において、非同時読み出しのテストモード時においては、ＮＡＮＤ４７を介して伝播してきたテストデータを、図４のリードイネーブル発生回路１８で生成されるＰＯＥ（ｌ）で制御されるトライステートインバータ４８により、通常テスト動作のデータ出力経路であるＰＤＯ（ｌ）へデータの引き渡しを行う。

【００３６】

また、半導体記憶装置３での一致検出回路部７を示した図が図６である。

図６において、同一ロウアドレスで選択されるメモリブロックにおいて同時読み出しされた８ビットづつのデータＣＭＰＩＮ＿Ａ＿０～７及びＣＭＰＩＮ＿Ｂ＿０～７の１６ビットのデータを各ビット毎にＥＸＮＯＲ２０～２７で論理演算し、各ビット毎の結果をＮＡＮＤ２８、２９及びＮＯＲ３０でＡＮＤ論理をとることにより、各ビット全てが一致している場合は、ＣＭＰ＿０として“１”を１ビットでも不一致の場合は“０”を出力する回路である。

【００３７】

また、半導体記憶装置３でのデータ圧縮回路部８を示した図が図７である。

複数の一致検出回路部７の判定結果ＣＭＰ＿０、ＣＭＰ＿１、ＣＭＰ＿２、ＣＭＰ＿ｘ、及び同時読み出しのテストモード信号ＣＭＰＴＥＳＴでＮＡＮＤ５０、ＩＮＶ５１で論理演算を行う。

【００３８】

この結果と、あるメモリセルブロック出力の８ビットＣＭＰＩＮ＿Ａ＿０～７で、ＯＲ５２、５３のＯＲ論理及びＡＮＤ５４のＡＮＤ論理をとり、全データが一致の場合は、テストのリード時に“１”となる出力コントロールフラグＰＯＥＣＦによりトライステート制御されてＣＭＰＩＮ＿Ａ＿０～７のデータがそのままトライステート５６からＰＤＯＤＲＡＭ０～７へ出力される。

【００３９】

ここで、あるひとつのデータで不一致となった場合、ＯＲ５２、５３及びＡＮＤ５４でデータが例えば、“１０００００００１”に固定され、ＣＭＰＩＮ＿Ａ＿０～７のデータは出力されない。データが固定されることにより、不具合時の出力である“１０００００００１”が検出されるかどうかを判定して、検査におけるＰＡＳＳ／ＮＧ判定が行える。

【００４０】

また、半導体装置１での一括判定回路部６０を示した図が図８である。

ｎ個の半導体記憶装置からのテストデータ出力ＰＤＯＯＵＴ０＿０～７、ＰＤＯＯＵＴ１＿０～７、ＰＤＯＯＵＴｎ＿０～７及びメモリ選択回路６１で生成されるリード時のメモリ選択信号ＰＣＳＲ０、ＰＣＳＲ１、ＰＣＳＲｎを入力としてテスト時選択されている半導体記憶装置は前記メモリ選択信号ＰＣＳＲｎが“１”となりこの選択されている半導体記憶装置においてテストデータ出力が固定データ“１０００００００１”であった場合のみ“１”を出力し、この情報をそれぞれの半導体記憶装置のマクロ情報信号として出力する。また、これらのマクロ情報信号をＯＲすることで全ての半導体記憶装置のテストデータ出力の内１つでも不一致があれば“１”を出力し全ての半導体記憶装置のテストデータ出力が一致であれば“０”を出力し、これを一括判定結果として出力する。さらに、全ての半導体記憶装置で一致した場合、どのような読み出しデータにおいて一致したかがわかるようにある１つの半導体記憶装置の８ビットデータをテストデータ出力に出力し、１つでも不一致があれば、一致判定結果をセレクト信号として前記ある１つの半導体記憶装置の８ビットデータとセレクトすることで固定データである“１０００００００１”をテストデータ出力に出力する。

【００４１】

尚、データ不一致時に出力する“１０００００００１”は一例であり、その他の固定データであっても構わない。

以上説明したように、検査時にｎ個全てのメモリ選択信号ＰＣＳＷをイネーブルにし、

図４のライトイネーブル発生回路１７で生成されるライトイネーブル信号ＷＥ（ｉ：０）を複数または全てのメモリアレイに対してイネーブルにすることにより同時に複数のメモリセルへの書き込みを可能とし、少数のテストデータ入力端子からのデータを同時に複数のメモリセルへ書き込むことにより、メモリコアへの書き込み時間を短縮することができる。また、検査時間短縮により検査コスト削減の効果も得ることができる。

【００４２】

また、検査時にｎ個全てのメモリ選択信号ＰＣＳＲをイネーブルにし、図４のリードイネーブル発生回路１８で生成されるリードイネーブル信号ＰＯＥＡ（ｋ）からＰＯＥＤ（ｋ）の変数ｋで表される同一リードイネーブル信号のうち、複数または全ての半導体記憶装置のリードイネーブル信号をイネーブルにすることにより同時に複数のメモリセルからの読み出しを可能とし、また、データ一致検出回路及びデータ圧縮回路で、テストデータ入力に用いた少数のテストデータ入力端子からのデータを同時に複数のメモリセルから読み出し、ｎ個の半導体記憶装置の出力データを一括判定回路６０において、さらに比較判定を行い、かつどの半導体記憶装置に欠陥があるかというマクロ情報信号も同時に出力することで読み出し時間を短縮することができる。また、検査時間短縮により検査コスト削減の効果も得ることができる。

【００４３】

上記同時書き込みと同時読み出しは独立しており、組み合わせることも可能であるため検査時の一連の書き込み／読み出し動作を同時書き込み／同時読み出しすることにより検査時間短縮及び検査コスト削減の効果は倍増する。

【００４４】

また、検査項目により同時書き込みと非同時書き込みを選択することも可能であり、さまざまな検査データパターンに対応できる半導体装置が実現できる。

また、検査項目により同時読み出しと非同時読み出しを選択することも可能であり、さまざまな検査データパターンに対応できる半導体装置が実現できる。

【００４５】

また、検査項目により同時書き込みと非同時書き込み及び同時読み出しと非同時読み出しを選択することも可能であり、さまざまな検査データパターンに対応できる半導体装置が実現できる。

【００４６】

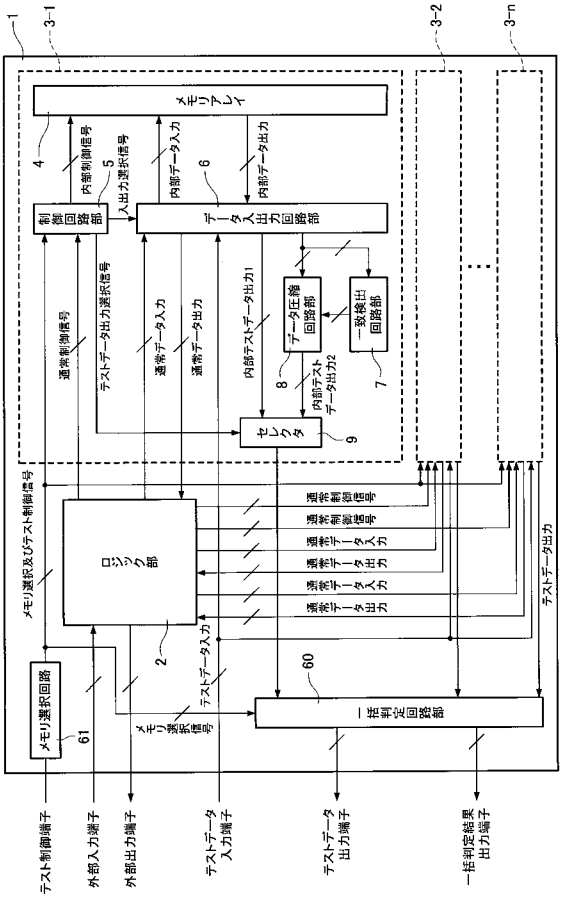
図９は本発明の実施の形態２に係る半導体装置の構成図である。

図９で示すように、本発明の実施の形態２に係る半導体装置７１は、ｎ個の半導体記憶装置３－１、３－２及び３－ｎと、ロジック部２、ｎ個の半導体記憶装置のメモリ選択信号及びテスト制御信号を生成するメモリ選択回路６１が同一のチップ内に混載して構成されており、半導体記憶装置３－１、３－２及び３－ｎは、外部のテスト制御端子からそれぞれのテスト制御信号及びメモリ選択信号を生成するメモリ選択回路６１とロジック部２からの通常制御信号を通常動作時と検査時で制御入力を切り替え、内部ロウアドレスストローブ信号や内部ライト動作制御信号、内部リードアドレス制御信号、及び内部ロウアドレス信号、内部カラムアドレス信号などの内部制御信号を生成する制御回路部５と、複数のメモリセルブロックからなるメモリアレイで構成されるメモリアレイ４と、通常データ入出力とテストデータ入出力を切り替え、メモリアレイ４と内部データ入出力のやり取りを行うデータ入出力回路部６と、内部テストデータ出力の比較を行う一致検出回路部７と、一致検出回路部７からの比較結果を受けテストデータ出力のデータ圧縮を行うデータ圧縮回路部８と、テストモードにより非同時読み出しされたテストデータ出力とデータ圧縮回路部８から出力される同時読み出しされたテストデータ出力を切り替えるセレクタ９で構成されており、ｎ個の半導体記憶装置からのテストデータ出力を一括判定回路部６０で合否の一括判定を行い、テストデータと一括判定結果を出力し、その後セレクタ６２でテストデータあるいは一括判定結果のいずれかをテストデータ出力端子へ出力する構成となっている。つまり、実施の形態１における半導体装置に対して、テストデータあるいは一括判定結果のいずれかを選択してテストデータ出力端子へ出力する構成となっている。

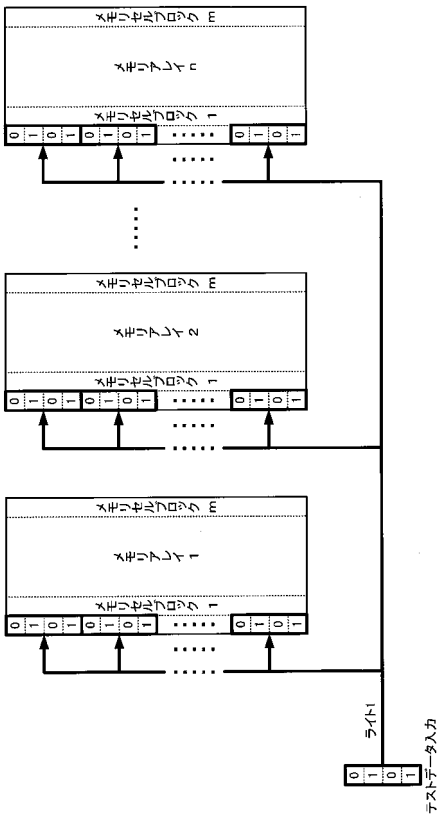
【００４７】
以上のように構成された本発明の実施の形態に係る半導体装置７１の複数の半導体記憶装置への検査時の同時書き込み動作は、本発明の実施の形態１に係る半導体装置１と同様であるが、同時読み出し動作において一括判定回路部６０で出力された複数の半導体記憶装置のテストデータ出力と複数の半導体記憶装置の比較結果である一括判定結果をセレクタ６２で選択し、どちらかをテストデータ出力端子へ出力することにより、本発明の実施の形態１に係る半導体装置１の効果である検査時間短縮による検査コスト削減だけでなく、検査時の端子数削減の効果が得られる。
【００４８】
また、半導体装置７１を構成するセレクタ６２以外の回路の内部構造は半導体装置１を構成する回路の内部構造と同じであり、同様の動作を行う。
【産業上の利用可能性】
【００４９】
本発明は、半導体装置の検査時間を短縮でき、本発明はＤＲＡＭ（ダイナミックランダムアクセスメモリ）などのような大容量メモリとロジックとを同一のチップ内に混載してなる半導体装置および半導体装置の検査方法等に有用である。
【図面の簡単な説明】
【００５０】
【図１】本発明の実施の形態１に係る半導体装置の構成図
【図２】本発明の半導体装置の検査時における書き込み時の動作シーケンスを示す図
【図３】本発明の半導体装置の検査時における読み出し時の動作シーケンスを示す図
【図４】本発明の制御回路部におけるリード／ライトイネーブル制御回路を示す図
【図５】本発明のデータ入出力回路部の構成を示す図
【図６】本発明の一致検出回路部の構成を示す図
【図７】本発明のデータ圧縮回路部の構成を示す図
【図８】本発明の一括判定回路部の構成を示す図
【図９】本発明の実施の形態２に係る半導体装置の構成図
【図１０】従来の半導体記憶装置が搭載される半導体装置のブロック図
【図１１】従来の半導体装置の検査時における書き込み時の動作シーケンスを示す図
【図１２】従来の半導体装置の検査時における読み出し時の動作シーケンスを示す図
【符号の説明】
【００５１】
１，７１　半導体装置
２　ロジック部
３－１，３－２，３－ｎ　半導体記憶装置
４　メモリアレイ
５　制御回路部
６　データ入出力回路部
７　一致検出回路部
８　データ圧縮回路部
９　セレクタ
１０，１１，１２　セレクタ
１３，１４，１５　ラッチ
１６　カラムデコーダ
１７　ライトイネーブル発生回路
１８　リードイネーブル発生回路
２０，２１，２２，２３，２４，２５，２６，２７　ＥＸＮＯＲ
２８，２９，４７，４９，５０　ＮＡＮＤ
３０　ＮＯＲ
３１，３２，３３，３４　セレクタ

３５，３６，３７，３８　　ラッチ
３９，４０，４１，４２，４３，４４，４５，４６，４８　　トライステートインバータ
５１　　ＩＮＶ
５２，５３　　ＯＲ
５４　　ＡＮＤ
５６　　トライステート
６０　　一括判定回路部
６１　　メモリ選択回路
６２　　セレクタ
７０　　セレクタ

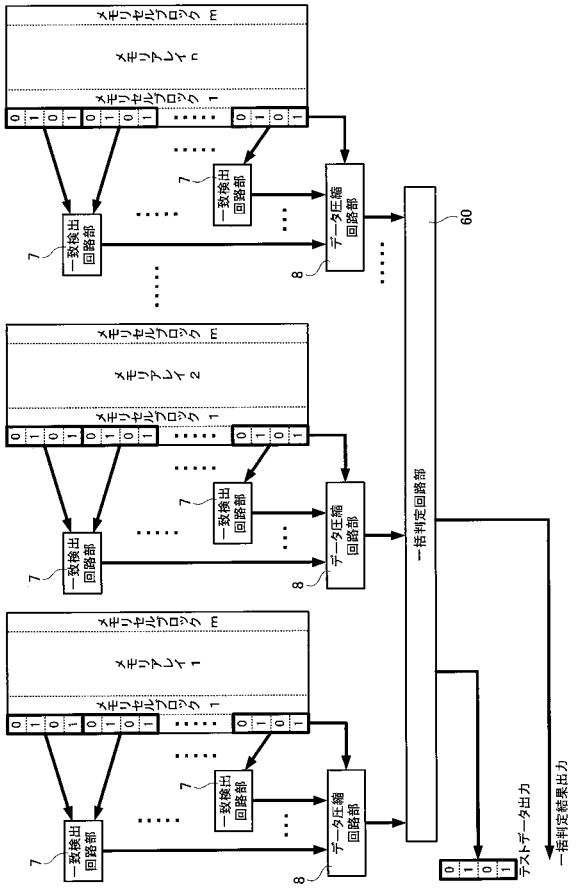
【図１】



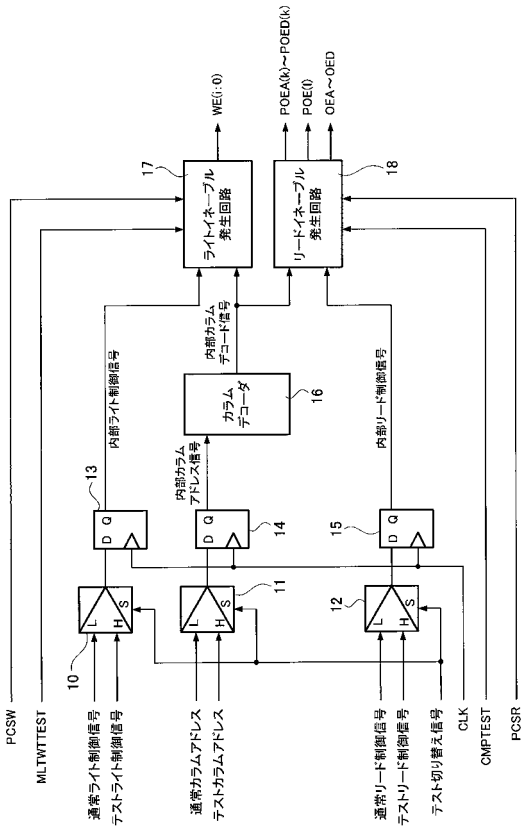
【図２】



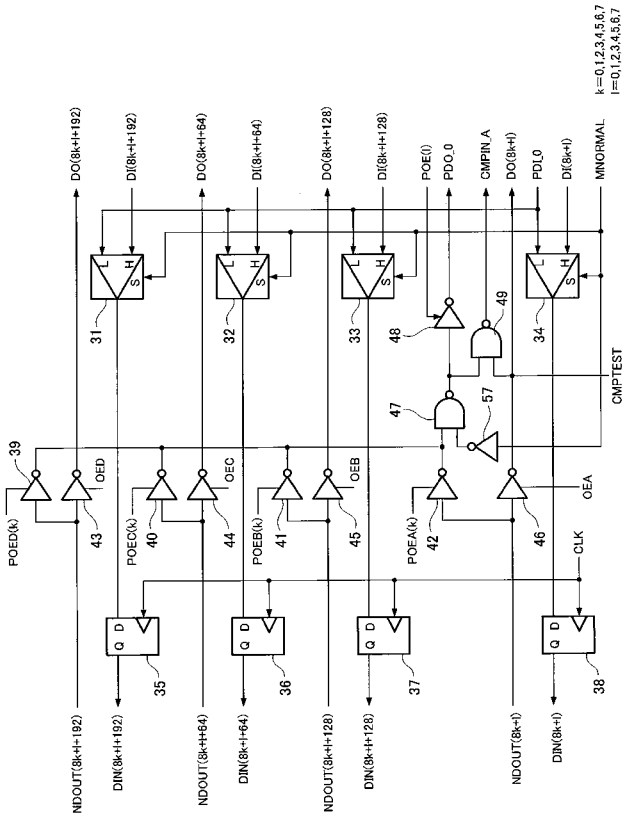
【図３】


メモリセルブロック m
メモリアレイ n
メモリセルブロック 1
メモリセルブロック m
メモリアレイ 2
メモリセルブロック 1
メモリセルブロック m
メモリアレイ 1
メモリセルブロック 1
一致検出回路部
一致検出回路部
データ圧縮回路部
一括判定回路部
テストデータ出力
一括判定結果出力

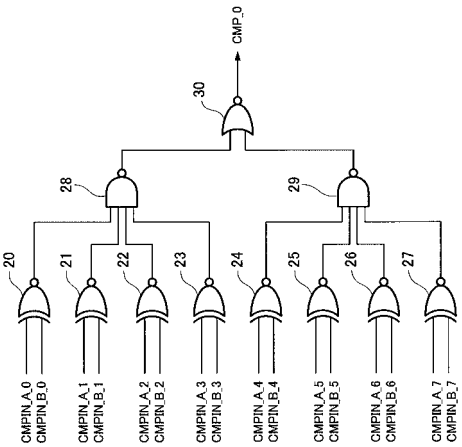
【図４】


ライトイネーブル発生回路
リードイネーブル発生回路
カラムデコーダ
内部カラムデコード信号
内部カラムアドレス信号
内部ライト制御信号
内部リード制御信号
PCSW
MLTWTTEST
通常ライト制御信号
テストライト制御信号
通常カラムアドレス
テストカラムアドレス
通常リード制御信号
テストリード制御信号
テスト切り替え信号
CLK
CMPTEST
PCSR

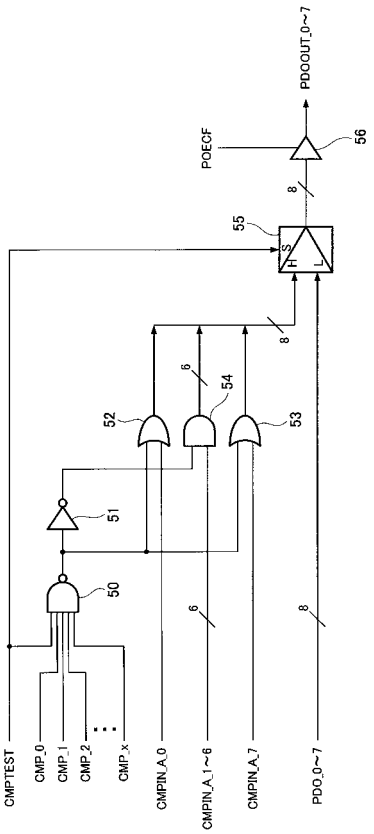
【図５】


DO(8k+l+192)
DI(8k+l+192)
DO(8k+l+64)
DI(8k+l+64)
DO(8k+l+128)
DI(8k+l+128)
DO(8k+l)
DI(8k+l)
POE(i)
PDO_0
CMPIN_A
PDI_0
MINORMAL
CMPTEST
OED
OEC
OEB
OEA
CLK
POED(k)
POEC(k)
POEB(k)
POEA(k)
NDOUT(8k+l+192)
DIN(8k+l+192)
NDOUT(8k+l+64)
DIN(8k+l+64)
NDOUT(8k+l+128)
DIN(8k+l+128)
NDOUT(8k+l)
DIN(8k+l)

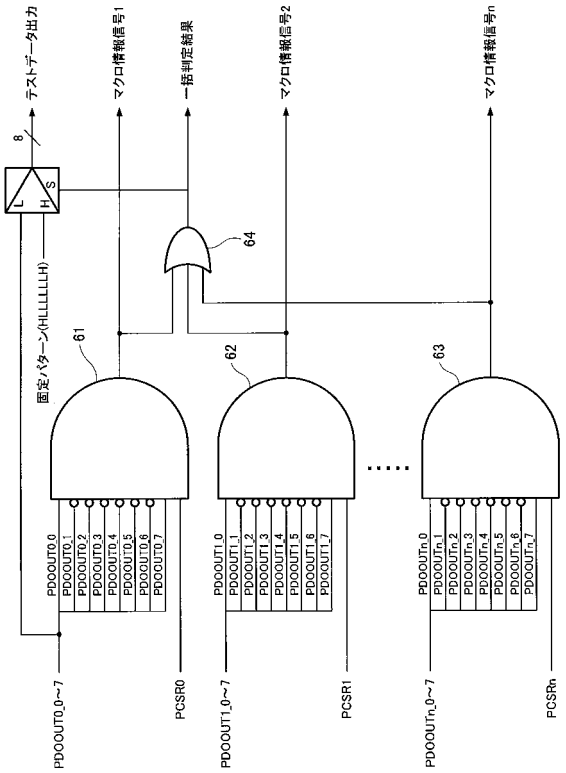
【図６】


CMP_0
CMPIN_A_0
CMPIN_B_0
CMPIN_A_1
CMPIN_B_1
CMPIN_A_2
CMPIN_B_2
CMPIN_A_3
CMPIN_B_3
CMPIN_A_4
CMPIN_B_4
CMPIN_A_5
CMPIN_B_5
CMPIN_A_6
CMPIN_B_6
CMPIN_A_7
CMPIN_B_7

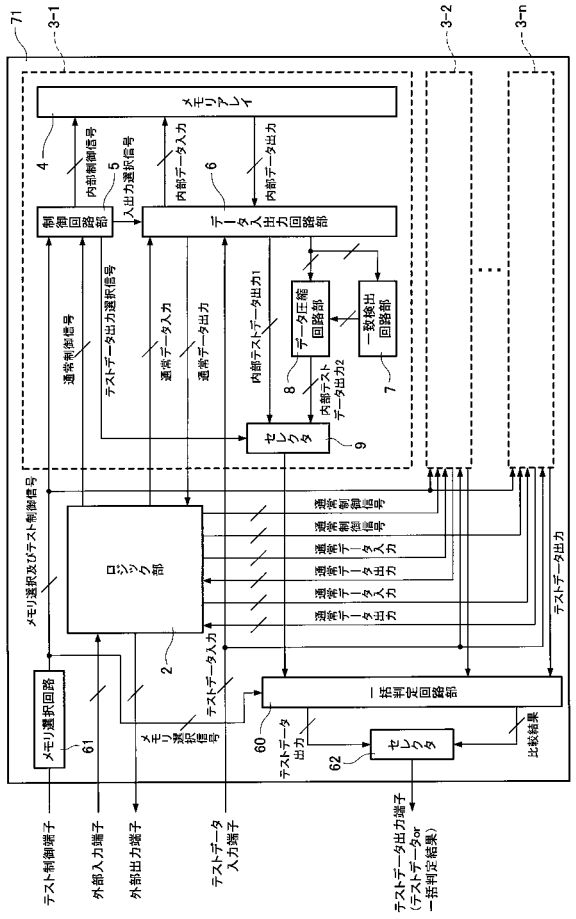
【図７】


PDOOUT_0~7
POECF
56
55
8
52
53
54
51
50
6
CMPTEST
CMP_0
CMP_1
CMP_2
CMP_x
CMPIN_A_0
CMPIN_A_1~6
CMPIN_A_7
PDO_0~7

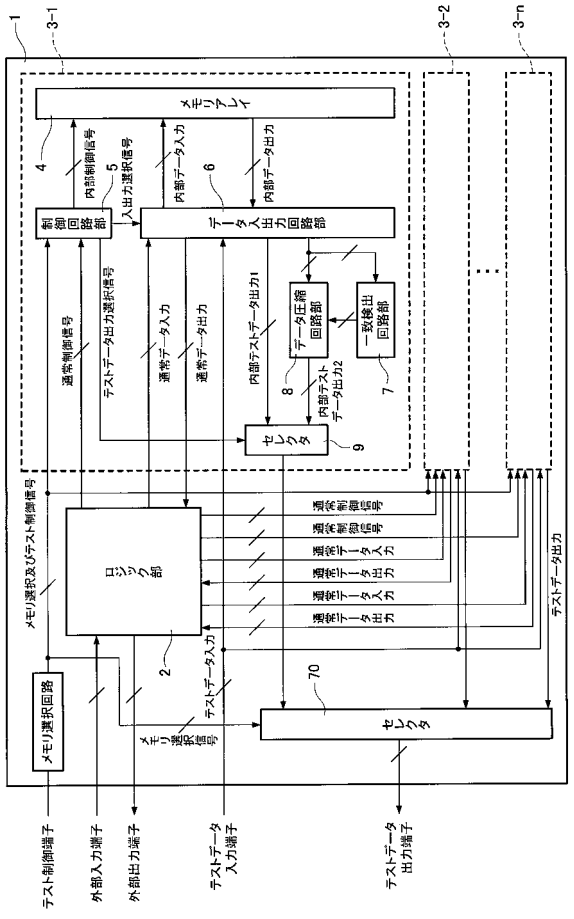
【図８】


テストデータ出力
マクロ情報信号1
一括判定結果
マクロ情報信号2
マクロ情報信号n
固定パターン(HLLLLLLH)
64
61
62
63
PDOOUT0_0~7
PCSR0
PDOOUT1_0~7
PCSR1
PDOOUTn_0~7
PCSRn

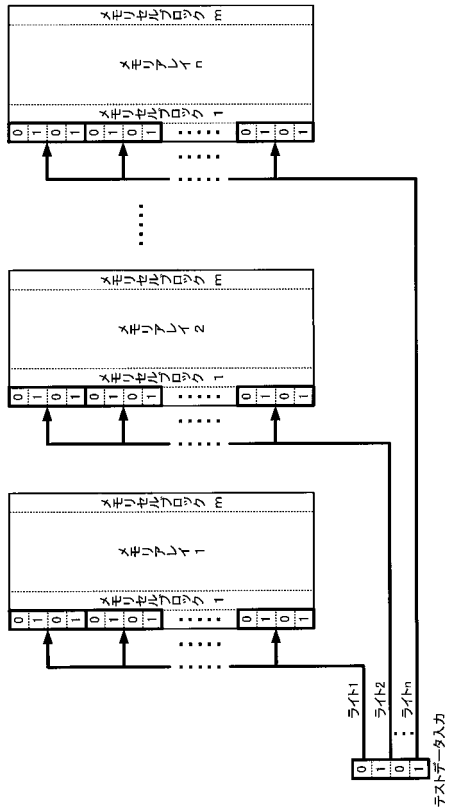
【図９】


メモリアレイ
制御回路部
データ入出力回路部
データ圧縮回路部
一致検出回路部
セレクタ
ロジック部
メモリ選択回路
一括判定回路部
テスト制御端子
外部入力端子
外部出力端子
テストデータ入力端子
テストデータ出力端子

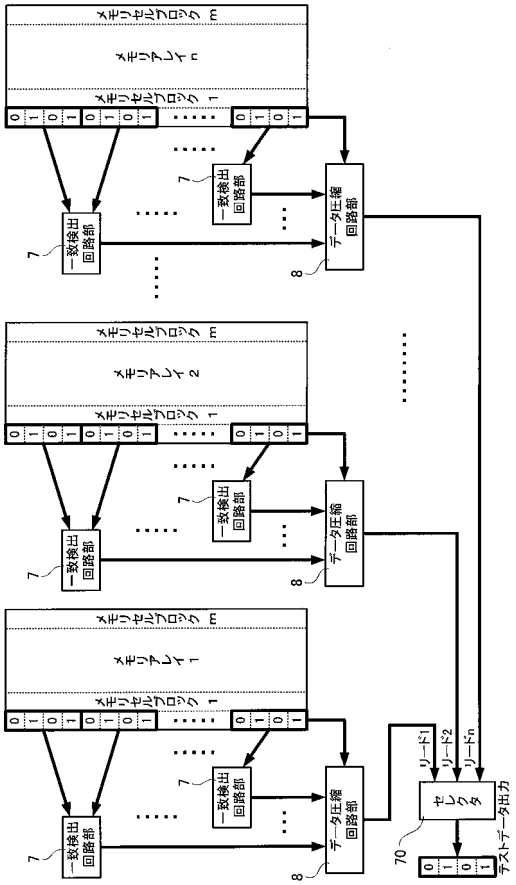
【図１０】


メモリアレイ
制御回路部
データ入出力回路部
データ圧縮回路部
一致検出回路部
セレクタ
ロジック部
メモリ選択回路
テスト制御端子
外部入力端子
外部出力端子
テストデータ入力端子
テストデータ出力端子

【図１１】


メモリセルブロック m
メモリアレイ n
メモリセルブロック 1
メモリアレイ 2
メモリアレイ 1
ライト1
ライト2
ライトn
テストデータ入力

【図１２】


メモリセルブロック m
メモリアレイ n
メモリアレイ 2
メモリアレイ 1
一致検出回路部
データ圧縮回路部
セレクタ
リード1
リード2
リードn
テストデータ出力

フロントページの続き

Ｆターム(参考) 5L106 AA01 DD06 DD11 EE02 EE03 EE04 FF01 GG02
5M024 AA50 BB30 BB40 KK35 MM04 PP01 PP02