(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3665347号
(P3665347)
(45)発行日　平成17年6月29日(2005.6.29)　(24)登録日　平成17年4月8日(2005.4.8)

(51)Int.Cl.[7]		F I		
G09G	3/36	G09G	3/36	
G02F	1/133	G02F	1/133	575
H04N	5/217	H04N	5/217	

請求項の数 6　(全 9 頁)

(21)出願番号　特願平3-294492
(22)出願日　平成3年11月11日(1991.11.11)
(65)公開番号　特開平5-134627
(43)公開日　平成5年5月28日(1993.5.28)
審査請求日　平成10年8月27日(1998.8.27)
審判番号　不服2002-15181(P2002-15181/J1)
審判請求日　平成14年8月8日(2002.8.8)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107076
弁理士　藤綱　英吉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　中村　旬一
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】液晶表示体駆動装置及び液晶ディスプレイ

(57)【特許請求の範囲】

【請求項１】

列ラインを介して画素に画像信号を供給する液晶表示体駆動装置であって、

前記画像信号を入力するオペアンプと、

前記オペアンプの出力端にゲートが接続された、第１のトランジスタ及び第２のトランジスタと、

前記第１のトランジスタに直列に接続された第１の定電流源と、

前記第２のトランジスタに直列に接続された第２の定電流源と、

前記第１のトランジスタと前記列ラインとの接続を断続する第１のスイッチと、

前記第２のトランジスタと前記列ラインとの接続を断続する第２のスイッチと、を備え、

前記第１のスイッチがオフ状態からオン状態となることにより、前記第１のトランジスタを介して前記列ラインに電荷が供給され、

前記第２のスイッチがオフ状態からオン状態となることにより、前記列ラインを介して電荷が前記第２のトランジスタにより引き抜かれること、

を特徴とする液晶表示体駆動装置。

【請求項２】

請求項１に記載の液晶表示体駆動装置において、

前記第１のスイッチは、前記画像信号の正極性成分入力時にオン状態とされ、

前記第２のスイッチは、前記画像信号の負極性成分入力時にオン状態とされる

こと、
を特徴とする液晶表示体駆動装置。
【請求項３】
請求項１または２に記載の液晶表示体駆動装置において、
前記第１のトランジスタ及び前記第２のトランジスタは、それぞれｎチャネルトランジスタ及びｐチャネルトランジスタであること、
を特徴とする液晶表示体駆動装置。
【請求項４】
請求項１乃至３のいずれかに記載の液晶表示体駆動装置において、
前記第１のスイッチ及び前記第２のスイッチは、共にトランジスタであり該トランジスタのゲートは相互に接続され、該ゲートにはハイレベルまたはロウレベルのいずれかの信号が入力されること、
を特徴とする液晶表示体駆動装置。
【請求項５】
請求項１乃至４のいずれかに記載の液晶表示体駆動装置において、
前記第１のスイッチは、前記第１のトランジスタと前記列ラインとの接続を断続すると共に、前記第１のトランジスタと前記オペアンプの反転入力端子との接続を断続し、
前記第２のスイッチは、前記第２のトランジスタと前記列ラインとの接続を断続すると共に、前記第２のトランジスタと前記オペアンプの反転入力端子との接続を断続すること、
を特徴とする液晶表示体駆動装置。
【請求項６】
請求項１乃至５のいずれかに記載の液晶表示体駆動装置を備えた液晶ディスプレイ。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は液晶装置を駆動方法に関する。
【０００２】
【従来の技術】
従来、この種の交流反転駆動型の液晶表示体駆動回路としては、図５に示されるＡ級動作方式の駆動回路構成が一般的である。スイッチＳＷ１がオンするとビデオ信号はコンデンサ２に蓄積され、オペアンプ３により増幅される。オペアンプ３の出力端子にはトーテムポール構成のＭＯＳＦＥＴ４，５が接続されており、このドレイン電流I_1にオペアンプ３の増幅出力が重畳し、液晶表示体（ＬＣＤ）は駆動される。
【０００３】
しかし、このような駆動回路構成では各ＭＯＳＦＥＴ４，５にドレイン電流I_1が常時流れているため、消費電力は大きくなってしまう。従って、ＬＣＤドライバチップは発熱し、また、多数のＬＣＤ画素を駆動するための多ピン出力化に適していない。
【０００４】
図６はこのような不都合を解消すべく、低消費電力化を図ったプリチャージ方式の駆動回路構成を示している。この駆動回路はトーテムポール構成の出力ドライブトランジスタを微小定電流源６および大電流ドライバ７で構成したものである。すなわち、コンデンサ８に保持されている表示データをＬＣＤ９に転送する直前に、毎回スイッチＳＷ１０をオフさせた状態でスイッチＳＷ１１，スイッチＳＷ１２をオンさせ、ＬＣＤ９を一旦V_{DD}レベルの電荷でプリチャージする。次いで、スイッチＳＷ１１，スイッチＳＷ１２をオフさせ、スイッチＳＷ１０をオンさせてコンデンサ８に保持されているビデオ信号を取り出し、オペアンプ１３で増幅する。トーテムポール構成の出力ドライブトランジスタには常時微小電流が流れているが、このオペアンプ１３の増幅出力が入力された時にだけ大電流ドライバ７にシンク電流が流れ、ほぼこのシンク電流によって実質的なデータ書き込みが行われる。

【０００５】
図７はこのプリチャージ方式の駆動回路によってＬＣＤ９に印加される駆動電圧の波形を示している。同図（ａ）に示すように、スイッチＳＷ１１，スイッチＳＷ１２は１データ送出期間T_1毎にオンする。これら各スイッチＳＷ１１，ＳＷ１２がオンすると、同図（ｂ）に示すように、ビデオ信号V_1が転送される直前にV_{DD}レベルの正極性プリチャージ電圧がＬＣＤ９に印加され、その直後にビデオ信号V_1が転送される。従って、このようなプリチャージ方式の駆動回路構成によれば、トーテムポール構成の出力ドライブトランジスタには常時微小電流しか流れないため、前記のＡ級動作方式駆動回路よりもバイアス電流が極力抑制され、低消費電力化が図られる。

【０００６】
【発明が解決しようとする課題】
しかしながら、上記従来のプリチャージ方式の液晶表示体駆動回路においては、図７に示すＬＣＤ駆動電圧波形の正極性位相時と負極性位相時との各印加電圧実効値の大きさが相違している。このため、ＬＣＤ駆動電圧の正負のバランスは崩れ、同図に点線で示すビデオ信号電圧コモンレベルＶ．ＣＯＭ．はＬＣＤへの印加電圧コモンレベルＬＣ．ＣＯＭ．と異なってしまう。これはプリチャージ電圧がビデオ信号の正極性位相時、負極性位相時に関らず常にV_{DD}レベルで印加されるため、波形面積が正極性位相時の方が大きくなっているからである。従って、従来、このような正負各印加電圧実効値のバランスの崩れにより、ＬＣＤのコントラストは低下し、また、フリッカは増大してＬＣＤの画質は劣化していた。

【０００７】
【課題を解決するための手段】
本発明の液晶表示体駆動装置は、列ラインを介して画素に画像信号を供給する液晶表示体駆動装置であって、前記画像信号を入力するオペアンプと、前記オペアンプの出力端にゲートが接続された、第１のトランジスタ及び第２のトランジスタと、前記第１のトランジスタに直列に接続された第１の定電流源と、前記第２のトランジスタに直列に接続された第２の定電流源と、前記第１のトランジスタと前記列ラインとの接続を断続する第１のスイッチと、前記第２のトランジスタと前記列ラインとの接続を断続する第２のスイッチと、を備え、前記第１のスイッチがオフ状態からオン状態となることにより、前記第１のトランジスタを介して前記列ラインに電荷が供給され、前記第２のスイッチがオフ状態からオン状態となることにより、前記列ラインを介して電荷が前記第２のトランジスタにより引き抜かれること、を特徴とする。

上記の液晶表示体駆動装置において、前記第１のスイッチは、前記画像信号の正極性成分入力時にオン状態とされ、前記第２のスイッチは、前記画像信号の負極性成分入力時にオン状態とされることが好ましい。

上記の液晶表示体駆動装置において、前記第１のトランジスタ及び前記第２のトランジスタは、それぞれｎチャネルトランジスタ及びｐチャネルトランジスタであることが好ましい。

上記の液晶表示体駆動装置において、前記第１のスイッチ及び前記第２のスイッチは、共にトランジスタであり該トランジスタのゲートは相互に接続され、該ゲートにはハイレベルまたはロウレベルのいずれかの信号が入力されることが好ましい。

上記の液晶表示体駆動装置において、前記第１のスイッチは、前記第１のトランジスタと前記列ラインとの接続を断続すると共に、前記第１のトランジスタと前記オペアンプの反転入力端子との接続を断続し、前記第２のスイッチは、前記第２のトランジスタと前記列ラインとの接続を断続すると共に、前記第２のトランジスタと前記オペアンプの反転入力端子との接続を断続することが好ましい。

本発明の液晶ディスプレイは、上記の液晶表示体駆動装置を備えている。

【００１０】
【実施例】
図２は本発明の一実施例によるＬＣＤドライバが適用された液晶ディスプレイの概略構成

を示す回路ブロック図である。

【００１１】

液晶ディスプレイは、マトリクス状に配置された画素２１、列方向に各画素２１をドライブする列ラインドライバ回路２２、および行方向に各画素２１を選択ドライブする行ラインドライバ回路２３によって構成されている。各画素２１は画素容量２１ａおよび液晶セル２１ｂによって構成されており、画素トランジスタ２１ｃを介して選択駆動される。この液晶セル２１ｂは交流反転駆動電圧が印加されることにより分子配列方向が変化するＴＮ電界効果形のセルである。また、列ラインドライバ回路２２は後述する複数のＬＣＤドライバによって構成されており、これら各ＬＣＤドライバは各列毎に設けられている。この列ラインドライバ回路２２はビデオ信号を$DATA_X$としてシリアルに入力し、X_1～X_n列の各画素２１にパラレルに供給する。また、行ラインドライバ回路２３は行シフトクロックＣＬＹを入力し、G_1～G_n行の各画素トランジスタ２１ｃにゲート電圧を順次与え、列ラインドライバ回路２２によって供給されたビデオ信号を各画素２１に行毎に伝える。

【００１２】

図１は列ラインドライバ回路２２内に構成された本実施例による上記のＬＣＤドライバを示す回路図である。

【００１３】

スイッチＳＷ３１は交流画像信号であるビデオ信号の入力を断続するスイッチであり、入力されたビデオ信号はコンデンサ３２に蓄えられる。スイッチＳＷ３１およびコンデンサ３２の接続点はオペアンプ３３の非反転入力端子に接続されている。オペアンプ３３の出力端には、第１の電流ドライバ３４および第２の電流ドライバ３５の各ゲートが共通に接続されている。第１の電流ドライバ３４はｎチャネルＭＯＳＦＥＴ，第２の電流ドライバ３５はｐチャネルＭＯＳＦＥＴにより構成されている。第１の電流ドライバ３４のドレイン・ソース回路には第１の微小定電流源３６が直列に接続され、これら第１の電流ドライバ３４および第１の微小定電流源３６は第１のソースホロワ回路を構成している。また、第２の電流ドライバ３５のドレイン・ソース回路には第２の微小定電流源３７が直列に接続され、これら第２の電流ドライバ３５および第２の微小定電流源３７は第２のソースホロワ回路を構成している。第１のソースホロワ回路の出力はスイッチＳＷ３８によって断続され、第２のソースホロワ回路の出力はスイッチＳＷ３９によって断続される。これら各スイッチＳＷ３８，３９の出力端は相互に接続され、オペアンプ３３の反転入力端子に接続されると共に画素２１に接続されている。

【００１４】

このような構成において、各スイッチＳＷ３８，ＳＷ３９は図３（ｂ），（ｃ）に示されるタイミングで動作する。ここで、同図（ａ）は前述の行ラインドライバ回路２３に入力される行シフトクロックＣＬＹのタイミングを示しており、期間T_2はビデオ信号の位相反転周期（ライン切替周期）に対応している。また、同図（ｄ）は画素２１に対する駆動電圧波形を示している。

【００１５】

同図（ｂ），（ｃ）に示すように、スイッチＳＷ３８，ＳＷ３９は期間T_2に対応して交互に断続を繰り返す。つまり、スイッチＳＷ３８はビデオ信号の正極性信号成分が入力される位相時にオン状態になり、スイッチＳＷ３９はビデオ信号の負極性信号成分が入力される位相時にオン状態になるように制御されている。スイッチＳＷ３１がオンされることによりオペアンプ３３にはビデオ信号が入力され、オペアンプ３３で増幅される。ビデオ信号の正極性信号成分入力時には上記のようにスイッチＳＷ３８はオン状態にあるため、第１のソースホロワ回路の出力が画素２１へ供給される。つまり、オペアンプ３３の増幅出力によって第１の電流ドライバ３４が駆動され、同図（ｄ）に示す正極性ビデオ信号＋V_1が画素２１へ供給される。

【００１６】

正極性ビデオ信号＋V_1の負極性位相への反転時には各スイッチ３８，３９の断続状態は

反転し、スイッチ３９はオフ状態からオン状態に変化する。このため、画素２１に対する駆動電圧は第２のソースホロワ回路によって供給されるようになる。つまり、オペアンプ３３の増幅出力によって第２の電流ドライバ３５が駆動され、同図（ｄ）に示す負極性ビデオ信号－V_1 が画素２１へ供給される。この際、画素２１への駆動電圧波形は、同図（ｄ）に示すように、正極性のビデオ信号＋V_1 から負極性のビデオ信号－V_1 に大きく変化し、画素２１には位相反転時に大きな電圧変化が加えられる。この負方向への大きな電圧変化は画素２１に対する負極性のプリチャージ電圧として機能し、画素２１に蓄えられた電荷は第２の電流ドライバ３５を介して急速に引き抜かれる。

【００１７】

また、負極性ビデオ信号－V_1 の正極性位相への反転時には各スイッチ３８，３９の断続状態が反転し、スイッチ３８はオフ状態からオン状態に変化する。このため、画素２１に対する駆動電圧は再び第１のソースホロワ回路によって供給されることになり、正極性ビデオ信号＋V_1 が画素２１へ供給される。この際、画素２１への駆動電圧波形は、同図（ｄ）に示すように、負極性のビデオ信号－V_1 から正極性のビデオ信号＋V_1 に大きく変化し、画素２１には位相反転時に大きな電圧変化が加えられる。この正方向への大きな電圧変化は画素２１に対する正極性のプリチャージ電圧として機能し、画素２１から引き抜かれた電荷は第１の電流ドライバ３４を介して急速に画素２１に注入される。

【００１８】

このように本実施例によれば、画素２１に対する前回書き込みデータが今回のデータ書き込みのためのプリチャージ電圧として機能することになる。従って、本実施例によれば、従来のようにプリチャージ電圧をＬＣＤへ特別に印加する必要は無くなり、図３（ｄ）に示す画素２１への駆動電圧波形は全く正負対称な形になり、正極性および負極性位相時の各印加電圧実効値の大きさは全く等しくなる。このため、同図に点線で示すビデオ信号電圧コモンレベルＶ．ＣＯＭ．は正負各極性間でバランスし、画素２１への印加電圧コモンレベルＬＣ．ＣＯＭ．と一致する。従って、画素２１のコントラストは良くなり、また、フリッカは低減して画素２１の画質は向上する。

【００１９】

ただし、以上の電位バランスに関する説明は、画素トランジスタ２１ｃの寄生容量等による電位シフトを便宜上省略した理論であることを付記しておく。

【００２０】

また、第１および第２の各ソースホロワ回路はそれぞれ高抵抗の微小定電流源３６および３７を含んで構成され、各ソースホロワ回路にはこれら各定電流源３６，３７から供給される僅かな電流しか流れない。すなわち、本実施例によるＬＣＤ駆動回路は、従来の図５に示される駆動回路と異なってＡ級動作はしないため、消費電力は極力抑制されている。さらに、従来のように特別なプリチャージ電圧は印加しないため、電力消費はより少なくなる。従って、多ピン出力化に適したＬＣＤ駆動回路が提供される。

【００２１】

また、上述のように従来のように特別なプリチャージ電圧を印加するプリチャージ期間がないため、液晶ディスプレイへのデータ転送及び書き込み時間を多く取ることが可能になる。この結果、このことによってもコントラストは向上し、液晶ディスプレイは高い画質を維持することができる。

【００２２】

図４は図１に示された上記実施例によるＬＣＤ駆動回路をモノリシックに形成した構成を示している。つまり、各ＭＯＳＦＥＴは同一半導体基板上に形成されており、オペアンプ３３は点線で図示されるＭＯＳＦＥＴ群３３′に相当し、小面積のＭＯＳＦＥＴ３３ａ～３３ｇによって構成されている。また、第１のソースホロワ回路は直列接続されたｎチャネルＭＯＳＦＥＴ３４′およびｐチャネルＭＯＳＦＥＴ３６′によって構成され、第１のスイッチはｐチャネルＭＯＳＦＥＴ３８′によって構成されている。また、第２のソースホロワ回路は直列接続されたｐチャネルＭＯＳＦＥＴ３５′およびｎチャネルＭＯＳＦＥＴ３７′によって構成され、第２のスイッチはｎチャネルＭＯＳＦＥＴ３９′によって構

成されている。第１の微小定電流源３６および第２の微小定電流源３７を構成するＭＯＳＦＥＴ３６′，３７′の各ゲート、並びに第１のスイッチ３８および第２のスイッチ３９を構成するＭＯＳＦＥＴ３８′，３９′の各ゲートは相互に接続されている。

【００２３】

ビデオ信号の位相時は自動的に判別され、この位相時に応じて相互に接続されたこれら各ゲートにＨ／Ｌ信号が入力される。すなわち、前回画素２１に入力されたビデオ信号電圧レベルがロウレベルで負極性位相時であった場合には、今回の画素２１へのビデオ信号は正極性位相時に該当する。従って、上記の各ゲートにはＬ（ロウレベル）信号が入力され、ｐチャネルＭＯＳＦＥＴ３６′，３８′がアクティブにされ、第１のソースホロワ回路から正極性ビデオ信号が画素２１へ供給される。また、前回画素２１に入力されたビデオ信号電圧レベルがハイレベルで正極性位相時であった場合には、今回の画素２１へのビデオ信号は負極性位相時に該当する。従って、上記の各ゲートにはＨ（ハイレベル）信号が入力され、ｎチャネルＭＯＳＦＥＴ３７′，３９′がアクティブにされ、第２のソースホロワ回路から負極性ビデオ信号が画素２１へ供給される。すなわち、前回の書き込みデータレベルが自動判別され、今回のソースホロワ回路の出力が自動制御される

【００２４】

【発明の効果】

本発明によれば、従来の駆動回路とは異なり、消費電力が抑制される。また、特別なプリチャージを印加しないために、液晶ディスプレイへのデータ転送及び書き込み時間を多く確保することが可能となる。このため、コントラストは向上し、高い画質を得ることができる。

【図面の簡単な説明】

【図１】本発明の一実施例によるＬＣＤ駆動回路の構成を示す回路図である。

【図２】本発明の一実施例が適用される液晶ディスプレイの概略構成を示す回路ブロック図である。

【図３】図１に示された一実施例における各スイッチの断続状態およびＬＣＤへの駆動電圧波形を示すタイミングチャート図である。

【図４】図１に示された一実施例によるＬＣＤ駆動回路をＭＯＳＦＥＴでモノリシックに構成した場合の回路図である。

【図５】従来の第１のＬＣＤ駆動回路の構成を示す回路図である。

【図６】従来の第２のＬＣＤ駆動回路の構成を示す回路図である。

【図７】図６に示された従来回路におけるＬＣＤ駆動電圧波形図である。

【符号の説明】

２１…画素（液晶表示体）

３１，３８，３９…スイッチＳＷ

３２…コンデンサ

３３…オペアンプ

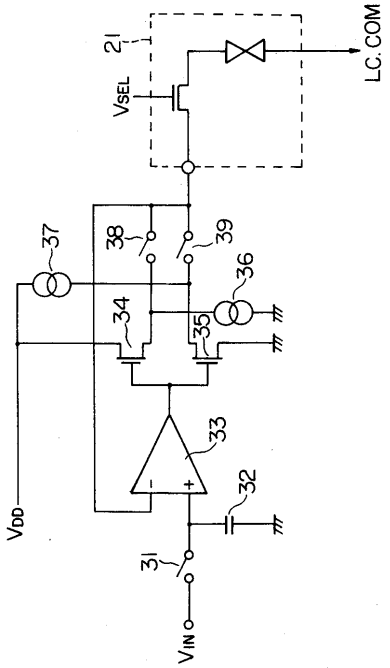
３４…第１の電流ドライバ（ｎチャネルトランジスタ）

３５…第２の電流ドライバ（ｐチャネルトランジスタ）

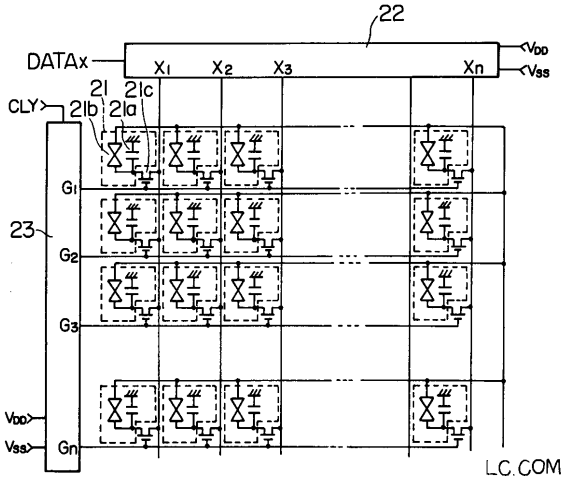
３６…第１の微小定電流源

３７…第２の微小定電流源

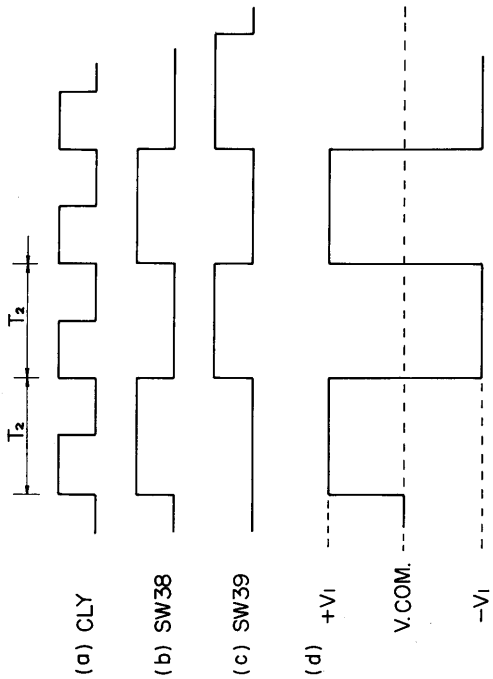
【図１】


21
VSEL
LC.COM
37
38
39
36
34
35
33
32
31
VDD
VIN

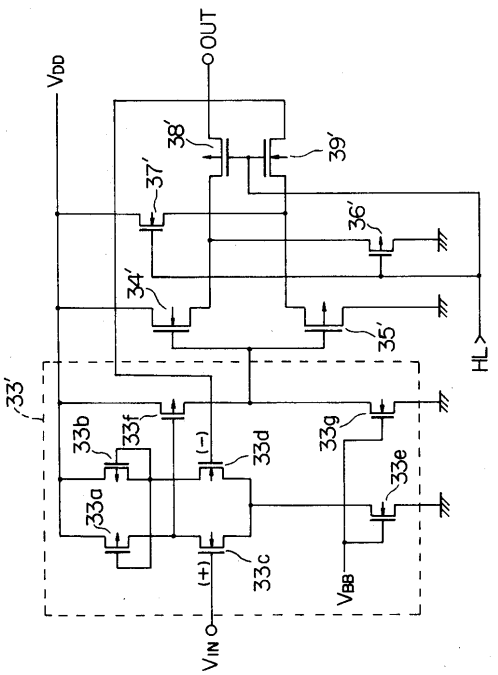
【図２】


22
DATAx
X1
X2
X3
Xn
VDD
VSS
CLY
21
21c
21a
21b
G1
G2
G3
Gn
23
LC.COM

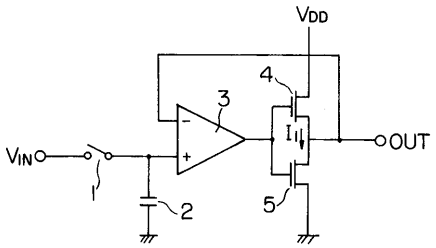
【図３】


T2
T2
(a) CLY
(b) SW38
(c) SW39
(d)
+VI
V.COM.
−VI

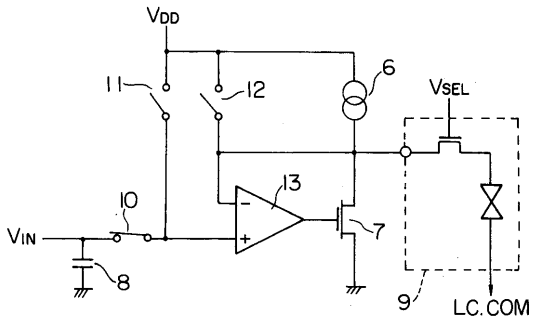
【図４】


VDD
OUT
38'
39'
37'
36'
34'
35'
HL
33'
33b
33f
(−)
33d
33g
33e
33a
(+)
33c
VBB
VIN

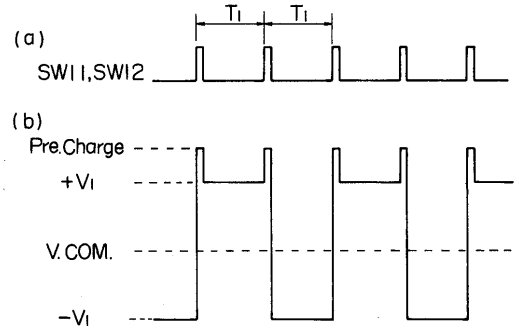
【図５】


VDD
4
3
VIN
1
2
5
OUT

【図６】


VDD
11
12
6
VSEL
13
10
VIN
7
8
9
LC.COM

【図７】


(a)
TI
TI
SW11,SW12
(b)
Pre.Charge
+VI
V.COM.
-VI

フロントページの続き

合議体
審判長　瀧　廣往
審判官　後藤　時男
審判官　福田　裕司

(56)参考文献　特開昭６０－２１７７０９（ＪＰ，Ａ）
実開平４－４６７１３（ＪＰ，Ｕ）
特開昭６３－３１１８１６（ＪＰ，Ａ）
実開昭６１－１７９５９６（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G09G3/36