

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成22年4月8日(2010.4.8)

【公開番号】特開2007-274681(P2007-274681A)
 【公開日】平成19年10月18日(2007.10.18)
 【年通号数】公開・登録公報2007-040
 【出願番号】特願2007-58450(P2007-58450)
 【国際特許分類】

H 0 3 K 3/013 (2006.01)

H 0 3 L 7/00 (2006.01)

H 0 3 L 7/081 (2006.01)

【F I】

H 0 3 K 3/013

H 0 3 L 7/00 D

H 0 3 L 7/08 J

【手続補正書】

【提出日】平成22年2月18日(2010.2.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

縦続接続されたN段（Nは正の整数）の遅延回路と、前記遅延回路の各段の出力論理値の排他的論理和をとる論理回路で構成され前記遅延回路の各段の出力の積をとる乗算回路と、前記遅延回路に入力する信号のパルス幅を所定の時間増減する回路とより構成され、前記乗算回路の前記論理回路は段を追うごとにその信号数がほぼ1/2になるよう多段接続したN-1個の2入力排他的論理和回路として構成され、かつk段目（kは整数）の出力信号の最小パルス幅はパルス継続時間/2^k未満とならないように前記2入力排他的論理和回路の入力ペアを接続したことを特徴とするパルス発生回路。

【請求項2】

縦続接続されたN+1段（Nは正の整数）の遅延回路と、前記遅延回路のi（iは1≤i≤Nの偶数）段目の出力D_iおよび前記遅延回路のi-1段目の出力の否定論理X D_{i-1}の論理積D_iX D_{i-1}をとる第1の論理積回路と、前記遅延回路のi段目の出力D_iの否定論理X D_iおよび前記遅延回路のi+1段目の出力のD_{i+1}の論理積X D_i D_{i+1}をとる第2の論理積回路と、前記遅延回路のi段目の出力否定論理X D_iおよび前記遅延回路のi-1段目の出力のD_{i-1}の論理積X D_i D_{i-1}をとる第3の論理積回路と、前記遅延回路のi段目の出力D_iおよび前記遅延回路のi+1段目の出力の否定論理X D_{i+1}の論理積D_iX D_{i+1}をとる第4の論理積回路と、前記第1または第3の論理積回路出力が真のとき第1の電位レベルに前記第2または第4の論理積回路出力が真のときに第2の電位レベルに接続しそれ以外のときは第3の電位レベルに接続するスイッチ手段とを備えたことを特徴とするパルス発生回路。

【請求項3】

縦続接続されたN+2段（Nは正の整数）の遅延回路と、前記遅延回路に前置され前記遅延回路へ入力される信号のパルス幅を前記遅延回路1段分の遅延量だけ増減するパルス幅増減回路と、前記遅延回路のi（iは1≤i≤N+1の偶数）段目の出力D_iおよび前記遅延回路のi-1段目の出力の否定論理X D_{i-1}の論理積D_iX D_{i-1}をとる第1の論理

積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{D_i}$ および前記遅延回路の $i + 1$ 段目の出力の D_{i+1} の論理積 $D_i \cdot D_{i+1}$ をとる第 2 の論理積回路と、前記パルス幅増減回路の出力パルス幅が狭いときには $1 \leq i \leq N + 1$ の偶数の i について前記遅延回路の i 段目の出力 D_i および前記遅延回路の $i + 1$ 段目の出力の否定論理 $\overline{D_{i+1}}$ の論理積 $D_i \cdot \overline{D_{i+1}}$ をとり、前記パルス幅増減回路の出力パルス幅が広いときには $3 \leq i \leq N + 2$ 前記遅延回路の i 段目の出力否定論理 $\overline{D_i}$ および前記遅延回路の $i - 1$ 段目の出力の D_{i-1} の論理積 $\overline{D_i} \cdot D_{i-1}$ をとる第 3 の論理積回路と、前記遅延回路の i 段目の出力 D_i および前記遅延回路の $i + 1$ 段目の出力の否定論理 $\overline{D_{i+1}}$ の論理積 $D_i \cdot \overline{D_{i+1}}$ をとる第 4 の論理積回路と、前記第 1 または第 3 の論理積回路出力が真のとき第 1 の電位レベルに前記第 2 または第 4 の論理積回路出力が真のときに第 2 の電位レベルに接続しそれ以外のときは第 3 の電位レベルに接続するスイッチ手段とを備えたことを特徴とするパルス発生回路。

【請求項 4】

姿勢ないし位置に関して相対変位が許容されるように結合機構部によって結合され各個に電子回路が実装された複数の筐体間での信号の授受を無線で行うための無線部を各該当する前記筐体に備え、且つ、前記無線部は、請求項 1 乃至 3 の何れか一項に記載のパルス発生回路を適用して構成されていることを特徴とする電子装置。

【請求項 5】

同一筐体内に実装される複数の回路ブロックないし回路基板のうちの所定の相互間で無線により信号の授受を行うための少なくとも一対の無線部を具備し、且つ、該当する前記無線部は、請求項 1 乃至 3 の何れか一項に記載のパルス発生回路を適用して構成されていることを特徴とする電子装置。

【請求項 6】

姿勢ないし位置に関して相対変位が許容されるように結合機構部によって結合され各個に電子回路が実装された複数の筐体間での信号の授受を無線で行う情報伝送方法であって、前記無線による信号の授受を、請求項 1 乃至 3 の何れか一項に記載のパルス発生回路を適用して行うことを特徴とする情報伝送方法。

【請求項 7】

同一筐体内に実装される複数の回路ブロックないし回路基板のうちの所定の相互間で無線により信号の授受を行う情報伝送方法であって、前記無線による信号の授受を、請求項 1 乃至 3 の何れか一項に記載のパルス発生回路を適用して行うことを特徴とする情報伝送方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】パルス発生回路、電子装置、情報伝送方法

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

上記目的を達成するために、本発明の一態様に係るパルス発生回路では、縦続接続された N 段 (N は正の整数) の遅延回路と、前記遅延回路の各段の出力論理値の排他的論理和をとる論理回路で構成され前記遅延回路の各段の出力の積をとる乗算回路と、前記遅延回路にする信号のパルス幅を所定の時間増減する回路とより構成され、前記乗算回路の前記論理回路は段を追うごとにその信号数がほぼ $1/2$ になるよう多段接続した $N - 1$ 個の 2 入力排他的論理和回路として構成され、かつ k 段目 (k は整数) の出力信号の最小パルス幅はパルス継続時間 $/ 2^k$ 未満とならないように前記 2 入力排他的論理和回路の

ペアを接続したことを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

上記本発明の一態様に係るパルス発生回路によれば、遅延回路への入力パルス幅を制御することにより発生するパルスペアの間隔を変更することが可能となる。信号の受信側において、受信信号を一定時間遅延して生成したテンプレートと受信信号で相関を計算することにより容易に前記遅延回路に入力されたパルスのパルス幅を判定することができこれによって情報を伝えることが可能となる。通信伝送路における歪みや伝送特性はテンプレートも同じように歪んでいるので伝送路における歪みの影響も排除し信頼性の高い通信が可能となる。

また、乗算回路はアナログの乗算回路でなく排他的論理和回路を使用した簡単なデジタル回路で実現できる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

更にまた、乗算回路を2入力排他的論理和回路で構成するため回路の簡略化に効果がある。しかも上記接続の仕方によれば乗算回路を構成する各排他的論理和回路においてパルス幅の狭い信号を出力する排他的論理和回路の数を最小にすることが出来回路の安定化に効果がある。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

また、本発明の一態様に係るパルス発生回路では、縦続接続された $N+1$ 段（ N は正の整数）の遅延回路と、前記遅延回路の i （ i は $1 \leq i \leq N$ の整数）段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積 $D_i X \overline{D_{i-1}}$ をとる第1の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{X D_i}$ および前記遅延回路の $i+1$ 段目の出力の D_{i+1} の論理積 $\overline{X D_i} D_{i+1}$ をとる第2の論理積回路と、前記遅延回路の i 段目の出力否定論理 $\overline{X D_i}$ および前記遅延回路の $i-1$ 段目の出力の D_{i-1} の論理積 $\overline{X D_i} D_{i-1}$ をとる第3の論理積回路と、前記遅延回路の i 段目の出力 D_i および前記遅延回路の $i+1$ 段目の出力の否定論理 $\overline{X D_{i+1}}$ の論理積 $D_i X \overline{D_{i+1}}$ をとる第4の論理積回路と、前記第1または第3の論理積回路出力が真のとき第1の電位レベルに前記第2または第4の論理積回路出力が真のときに第2の電位レベルに接続しそれ以外のときは第3の電位レベルに接続するスイッチ手段とを備えたことを特徴とする。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の上記構成によれば、乗算回路を簡単なスイッチ手段と論理回路によって実現す

るため回路の簡素化に効果がある。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

また、本発明の一態様に係るパルス発生回路では、縦続接続された $N + 2$ 段 (N は正の整数) の遅延回路と、前記遅延回路に前置され前記遅延回路へ入力される信号のパルス幅を前記遅延回路1段分の遅延量だけ増減するパルス幅増減回路と、前記遅延回路の i (i は $1 \leq i \leq N + 1$ の偶数) 段目の出力 D_i および前記遅延回路の $i - 1$ 段目の出力の否定論理 $X D_{i-1}$ の論理積 $D_i X D_{i-1}$ をとる第 1 の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $X D_i$ および前記遅延回路の $i + 1$ 段目の出力の D_{i+1} の論理積 $X D_i D_{i+1}$ をとる第 2 の論理積回路と、前記パルス幅増減回路の出力パルス幅が狭いときには $1 \leq i \leq N + 1$ の偶数の i について前記遅延回路の i 段目の出力 D_i および前記遅延回路の $i + 1$ 段目の出力の否定論理 $X D_{i+1}$ の論理積 $D_i X D_{i+1}$ をとり、前記パルス幅増減回路の出力パルス幅が広いときには $3 \leq i \leq N + 2$ 前記遅延回路の i 段目の出力否定論理 $X D_i$ および前記遅延回路の $i - 1$ 段目の出力の D_{i-1} の論理積 $X D_i D_{i-1}$ をとる第 3 の論理積回路と、前記遅延回路の i 段目の出力 D_i および前記遅延回路の $i + 1$ 段目の出力の否定論理 $X D_{i+1}$ の論理積 $D_i X D_{i+1}$ をとる第 4 の論理積回路と、前記第 1 または第 3 の論理積回路出力が真のとき第 1 の電位レベルに前記第 2 または第 4 の論理積回路出力が真のときに第 2 の電位レベルに接続しそれ以外の場合は第 3 の電位レベルに接続するスイッチ手段とを備えたことを特徴とする。