



(12)发明专利

(10)授权公告号 CN 101149818 B

(45)授权公告日 2016.12.21

(21)申请号 200710136777.0

(51)Int.Cl.

(22)申请日 2007.07.27

G06K 19/077(2006.01)

(65)同一申请的已公布的文献号

H01L 25/00(2006.01)

申请公布号 CN 101149818 A

H01L 23/488(2006.01)

(43)申请公布日 2008.03.26

(56)对比文件

(30)优先权数据

US 2005/0168339 A1, 2005.08.04, 附图

2006-206912 2006.07.28 JP

6B, 说明书第70-100段.

审查员 刘子晓

(73)专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72)发明人 山崎舜平 荒井康行

(74)专利代理机构 中国国际贸易促进委员会专  
利商标事务所 11038

代理人 王以平

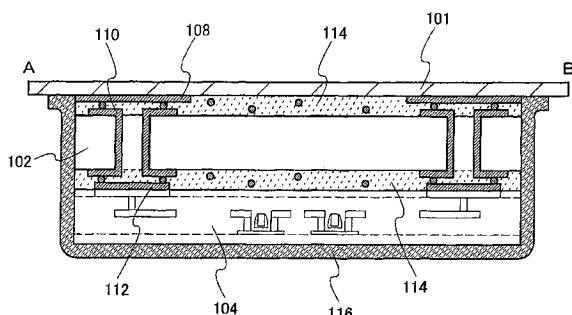
权利要求书1页 说明书12页 附图16页

(54)发明名称

半导体装置

(57)摘要

当用圆珠笔写字时的笔压力为10MPa以上。安装在纸基材上的IC标签需要耐受所述笔压力。本发明的宗旨如下：使形成有进行信息收发、计算及存储等处理的功能电路的集成电路薄型化，并且在贴合所述集成电路和形成有天线或布线的结构体的同时，安装由陶瓷等构成的第二结构体。通过使用由陶瓷等构成的第二结构体，可以耐受来自外部的推压或弯曲应力。另外，可以将包括在集成电路中的无源元件的一部分移动到第二结构体中，因此谋求缩小半导体装置的面积。



1. 一种半导体装置，包括：

形成有与读写器电磁耦合的第三线圈的第一结构体；

具有第一线圈、半导体层、以及通过使用该半导体层而形成的有源元件的集成电路，所述半导体层被夹在形成在该半导体层上下的绝缘层之间；以及

形成有无源元件和第二线圈的第二结构体，所述第二线圈与所述第一线圈电磁耦合，所述第二线圈与所述第三线圈之间的耦合电容器形成在所述第二结构体中，形成在所述第二结构体外周部的一侧上的天线连接端子与所述耦合电容器的电极接触，形成在所述第二结构体外周部的另一侧上的天线连接端子与所述第二线圈的端子接触。

2. 根据权利要求1所述的半导体装置，其中所述第一结构体是用塑料片、塑料膜、玻璃环氧树脂、玻璃板、纸张、或无纺布形成的。

3. 根据权利要求1所述的半导体装置，其中所述第二结构体是用陶瓷材料形成的。

4. 根据权利要求1所述的半导体装置，其中所述无源元件包括电容器、电阻器、以及线圈。

5. 根据权利要求1所述的半导体装置，其中所述无源元件是多个介电层和电极交替层叠的电容器。

## 半导体装置

### 技术领域

[0001] 本发明涉及利用于称为RFID(Radio Frequency Identification;射频识别)的信息通信技术(Information Technology)的信息存储载体。详细地说,本发明涉及能够利用电磁波输入并输出信息且也称为IC标签的半导体装置。

### 背景技术

[0002] 正在推进称为RFID(Radio Frequency Identification;射频识别)的信息通信技术(Information Technology)的普及。例如,可以举出称为IC标签的技术,该技术是将数据存储到外形尺寸为几厘米的标签中并以无线通信与读取器进行通信的。IC标签包括天线和形成有通信电路和存储器的IC芯片。

[0003] 作为IC标签的方式,可以举出将天线和IC芯片嵌入纸张中的IC标签。例如,举出如下方式:为了以 $200\mu\text{m}$ 以下的厚度将IC标签埋入被粘合物如纸张等,在被安装IC芯片等的区域中将构成布线图案或天线的金属层形成为比其他区域薄(参照专利文件1)。另外,公开了如下结构:为了将IC标签嵌入纸基材中,将该IC标签的厚度设定为60至 $70\mu\text{m}$ (参照专利文件2)。

[0004] 专利文件1日本专利申请公开2002-049901号公报(第三页、图1)

[0005] 专利文件2日本专利申请公开2005-350823号公报(第五页、图1)

[0006] 各种各样的纸张在市场上流通。例如,A4复印纸的厚度为80至 $90\mu\text{m}$ 。为了将IC标签嵌入这种普通的纸张中而并不感到不适,需要将IC标签的厚度设定为纸基材的二分之一以下。但是,随着IC标签减薄,产生容易因尖头物的推压或弯曲应力而破坏的问题。

[0007] 在将IC标签安装到纸基材的表面上或内部的情况下,在其制造工序中需要注意不破坏IC标签。再者,要求能够在所述纸基材的表面上印字或用笔写字。例如,当用圆珠笔写字时的笔压力为 $10\text{MPa}$ 以上。要求安装在纸基材上的IC标签能够耐受所述笔压力。

### 发明内容

[0008] 因此,本发明的目的在于即使IC标签或起到与IC标签相同的作用的半导体装置被薄型化也保持其强度并获得所需要的功能。

[0009] 本发明的宗旨如下:使形成有进行信息收发、计算及存储等的处理的功能电路的集成电路薄型化,并且在贴合所述集成电路和形成有天线或布线的结构体的同时,安装由陶瓷等构成的第二结构体。

[0010] 在被薄型化了的集成电路中,包括由绝缘层夹住 $5\text{nm}$ 至 $200\text{nm}$ 厚的半导体层的上层一侧及下层一侧的结构、以及通过使用形成为 $1\mu\text{m}$ 至 $100\mu\text{m}$ 厚、优选为 $10\mu\text{m}$ 至 $50\mu\text{m}$ 厚的半导体衬底而形成的集成电路。在包括被薄型化了的集成电路及天线的半导体装置中,通过使用由陶瓷等构成的第二结构体,可以耐受来自外部的推压或弯曲应力。

[0011] 所述第二结构体也可以形成有将天线和集成电路连接起来的布线。另外,也可以形成有电阻器、电容器、线圈等的无源零件。例如,第二结构体也可以包括通过层叠多个介

电层而形成的电容器，其中所述多个介电层的每一个为0.1至 $1\mu\text{m}$ 。

[0012] 像这样，通过将半导体装置工作所需的电路要素的一部分形成在第二结构体上，可以将包括在集成电路中的功能的一部分移动到第二结构体上。

[0013] 根据本发明，通过使用由陶瓷等构成的结构体，可以提高半导体装置的刚度。因此，即使IC标签或起到与IC标签相同的作用的半导体装置被薄型化，也可以保持其强度并获得所需要的功能。例如，即使尖头物如笔头等的推压被施加，也可以避免因在集成电路中产生应力而不正常工作。另外，也可以耐受弯曲应力。再者，通过将连接用布线形成在由陶瓷等构成的结构体上来连接天线和集成电路，可以避免当产生弯曲应力时由连接部破坏导致的工作不良。

## 附图说明

- [0014] 图1是表示根据本发明的半导体装置的一个方式的平面图；
- [0015] 图2是表示与图1中的A-B截断线对应的结构的一个例子的截面图；
- [0016] 图3是表示与图1中的A-B截断线对应的结构的一个例子的截面图；
- [0017] 图4A和4B是表示根据本发明的半导体装置的一个方式的平面图及截面图；
- [0018] 图5A至5C是表示组合了形成有天线的第一结构体、形成有电容部的第二结构体、以及集成电路的半导体装置的一个例子的平面图；
- [0019] 图6A是表示与图5A中的A-B截断线对应的组合了形成有天线的第一结构体、形成有电容部的第二结构体、以及集成电路的半导体装置的一个例子的截面图，而6B是表示与图5A中的C-D截断线对应的组合了形成有天线的第一结构体、形成有电容部的第二结构体、以及集成电路的半导体装置的一个例子的截面图；
- [0020] 图7A至7D是表示组合了形成有天线的第一结构体、形成有电容部的第二结构体、集成电路、以及陶瓷天线的半导体装置的一个例子的平面图；
- [0021] 图8A是表示与图7A中的E-F截断线对应的组合了形成有天线的第一结构体、形成有电容部的第二结构体、集成电路、以及陶瓷天线的半导体装置的一个例子的截面图，而图8B是表示与图7A中的G-H截断线对应的组合了形成有天线的第一结构体、形成有电容部的第二结构体、集成电路、以及陶瓷天线的半导体装置的一个例子的截面图；
- [0022] 图9A至9C是表示具有升压线圈的半导体装置的一个例子的平面图；
- [0023] 图10A是表示与图9A中的J-K截断线对应的具有升压线圈的半导体装置的一个例子的截面图，而图10B是表示与图9A中的L-M截断线对应的具有升压线圈的半导体装置的一个例子的截面图；
- [0024] 图11是具有升压线圈的半导体装置的等效电路图；
- [0025] 图12是用来存储数据并识别个体的集成电路的结构例子的框图；
- [0026] 图13是表示能够进行非接触数据收发的具有计算功能的半导体装置的一个例子的框图；
- [0027] 图14是说明构成集成电路的薄膜晶体管的结构的截面图；
- [0028] 图15是说明构成集成电路的MOS晶体管的结构的截面图；
- [0029] 图16是说明半导体装置能够弯曲的曲率半径的图；
- [0030] 图17A至17E是表示根据本发明的纸类的一个例子的图。

[0031] 本发明的选择图为图2。

### 具体实施方式

[0032] 以下参照附图说明本发明的实施方式。注意，本发明不局限于以下说明，在不脱离本发明宗旨和范围的条件下可以对其方式和详细情况进行各种变更，对本领域技术人员来说也是容易理解的。因此，本发明并不限于以下所示的实施方式的记载内容进行解释。在以下所述本发明的结构中，同一部分有时会在不同的附图之间共同使用同一标号。

[0033] 作为根据本发明的半导体装置的一个方式，包括形成有天线的第一结构体、具有被绝缘层夹住其上层及下层的半导体层且有源元件由该半导体层构成的集成电路、以及其刚度比第一结构体高的第二结构体。该第二结构体用来连接形成有天线的第一结构体和集成电路。在此情况下，第二结构体优选地形成有连接天线和集成电路的电极。

[0034] 图1表示这种半导体装置的一个例子。第一结构体101由绝缘材料构成。作为绝缘材料，可以使用各种材料如塑料片、塑料膜、玻璃环氧树脂、玻璃板、纸张、无纺布等。第一结构体的厚度为 $1\mu\text{m}$ 至 $100\mu\text{m}$ ，优选为 $5\mu\text{m}$ 至 $30\mu\text{m}$ 。

[0035] 在第一结构体101的至少一面上形成有由导电材料构成的天线106。天线结构优选地根据半导体装置所使用的通信频带而不同。当采用短波段(频率为1至30MHz的电磁波)、超短波段(频率为30至300MHz的电磁波)、极超短波段(频率为0.3至3GHz的电磁波)的频率时，只要根据其频率选择天线形状即可。图1是偶极天线，该天线适合于超短波段、极超短波段的通信。除了图1所示的偶极天线以外，还可以采用单极天线、平板天线、螺旋天线、环形天线等。

[0036] 在天线106中形成有天线端子108，以与集成电路104连接。集成电路104配置为至少其一部分与第一结构体101重叠。使用第二结构体102作为连结体，以使第一结构体101和集成电路104坚固地连接。下面，参照沿图1的A-B线截断的截面结构对这种连接结构的一个例子进行说明。

[0037] 图2表示沿图1的A-B线截断的半导体装置的截面结构。第二结构体102配置为与第一结构体101的形成有天线端子108的一面相对。并且，集成电路104配置为与第二结构体102的另一面相对。在第二结构体102中，贯穿电极110形成在对应于天线端子108的位置上。贯穿电极110形成为在第二结构体102的另一面上能够与集成电路104的连接电极112连接。在形成于第二结构体102中的贯穿孔中，通过使用金属箔或金属膏形成贯穿电极110。

[0038] 第二结构体102的厚度为 $1\mu\text{m}$ 至 $50\mu\text{m}$ ，优选为 $5\mu\text{m}$ 至 $30\mu\text{m}$ ，并且其硬度优选比第一结构体101高。另外，第二结构体102更优选具有韧性并对一定的弯曲应力具有弹性。这是因为如下缘故：在第一结构体101由柔性材料如塑料膜或无纺布等构成的情况下，若第二结构体102具有一定的弹性力，则能够分散弯曲应力。因此，可以避免经由贯穿电极110连接的天线端子108和连接电极112之间的断线故障。另外，通过在第二结构体102的内侧形成贯穿电极110，可以使集成电路104小型化。

[0039] 作为第二结构体102，可以使用硬塑料、玻璃等作为绝缘物质。但是，优选使用陶瓷材料。这是因为如下缘故：陶瓷材料的材料选择范围宽并可以组合多种陶瓷来实现复合化，以实现如上所述的特性。

[0040] 作为陶瓷材料的典型例子，优选使用氧化铝(alumina)(Al<sub>2</sub>O<sub>3</sub>)作为高绝缘材料。另

外,优选使用钛酸钡( $BaTiO_3$ )作为高电容材料。当重视机械强度时,优选使用氧化铝( $Al_2O_3$ )、氧化钛( $TiO_x$ )、碳化硅( $SiC$ )、强化玻璃、结晶化玻璃。另外,由于可实现高强度、耐氧化及高韧性,所以优选使用将 $SiC$ 的纳米粒子添加到 $Si_3N_4$ 的复合陶瓷、包含六方晶BN的复合陶瓷。

[0041] 另外,也可以采用通过使用这种陶瓷材料层叠多个层而形成的结构,其中每一个层的厚度为 $0.1\mu m$ 至 $2\mu m$ 。换言之,也可以作为叠层衬底而在各层中形成电极并在其内部形成叠层电容器。另外,也可以通过使用陶瓷材料将线圈和电阻器等的无源元件组装到第二结构体中。

[0042] 集成电路104是通过使用由 $5nm$ 至 $500nm$ 厚,优选为 $30nm$ 至 $150nm$ 厚的半导体层构成的有源元件而形成的。在半导体层的下层及上层一侧形成有绝缘层。这些绝缘层用来保护半导体层。另外,这些绝缘层有时如栅极绝缘层那样被用作功能层。作为有源元件的典型例子,可以举出场效应晶体管。如上所述,半导体层是薄膜,因此这里形成的场效应晶体管也称为薄膜晶体管。作为半导体层,优选使用通过热处理及/或能量光束如激光束等的照射使通过气相成长法、溅射法等而形成的半导体层结晶化了的结晶半导体层。这是因为若使用结晶半导体层则场效应晶体管的场效应迁移率成为 $30$ 至 $500cm^2/V \cdot sec$ (电子),因此逻辑电路能够工作的缘故。当然,除了有源元件之外,集成电路还可以包括电阻器、电容器、线圈等的电路要素。

[0043] 通过在集成电路104中的半导体层的上层及/或下层中形成布线,可以构成各种功能电路如高频电路、振荡电路、计算处理电路等。集成电路104包括半导体层、绝缘层、以及构成布线的层,其总厚度优选为 $0.5$ 至 $5\mu m$ 。通过以所述厚度形成集成电路104,可以有助于半导体装置的薄型化。另外,还可以耐受弯曲应力。在此情况下,通过使半导体层彼此分离为岛形状,可以提高对弯曲应力的耐性。另外,也可以在预定的衬底上形成集成电路,然后使衬底和集成电路分离,以谋求该集成电路的薄型化。像这样,可以获得 $2\mu m$ 至 $150\mu m$ ,优选为 $10$ 至 $60\mu m$ 的半导体装置。

[0044] 通过采用上述结构,可以如图16所示那样在一定的范围内使半导体装置100在能够恢复原状的状态下弯曲。例如,即使半导体装置100与曲率 $R_b$ 的尖头物如圆珠笔的笔尖接触,也可以使所述半导体装置弯曲至曲率 $R_c$ 。 $R_b$ 和 $R_c$ 之间的关系是 $R_b < < R_c$ ,例如可以为 $3R_b \leq R_c$ 。

[0045] 使用粘合剂114将第一结构体101和第二结构体102固定使得天线端子108和贯穿电极110电连接。例如,作为粘合剂114,可以使用分散有导电粒子的丙烯、氨酯或环氧类粘合剂。另外,也可以使用导电膏或焊膏连接天线端子108和贯穿电极110,并在其他部分中形成丙烯、氨酯或环氧类粘合剂来固定。第二结构体及集成电路104也同样,将第二结构体102和集成电路104固定使得贯穿电极110和连接电极112电连接。

[0046] 优选设置由丙烯、氨酯、酚醛、环氧或硅酮类树脂材料构成的密封剂116,以保护集成电路104。密封材料116形成为覆盖集成电路104,优选将密封材料116形成为覆盖集成电路104、第二结构体102的侧端面。通过所述密封材料116,可以防止集成电路104的损坏。另外,还可以提高集成电路104、第二结构体102及第一结构体101之间的粘合强度。

[0047] 图3表示与图2不同的第二结构体。在图3中,表示了经由第二结构体102的侧端部地设置侧面经过电极111,以电连接天线端子108和连接电极112。通过采用这种结构,可以

容易地形成侧面经过电极111而不需要对第二结构体102进行特别加工。只要通过印刷法或镀敷法、或贴上金属箔形成侧面经过电极111即可。通过使用这种方法形成侧面经过电极111，可以使第二结构体102变薄。该第二结构体102可以由硬塑料、玻璃、陶瓷、复合陶瓷材料构成，并可以在其内部形成电容器、线圈、电阻器等的元件。在图3的情况下，使用粘合剂114固定第一结构体101、第二结构体102及集成电路104。另外，优选的是形成有密封材料116。

[0048] 在图4A和4B中，将第一结构体101的天线端子108和集成电路104的连接电极112配置为相对并连接。第二结构体102配置在背面一侧，以保护集成电路104。当在第二结构体102中形成电容器、线圈、电阻器等的无源元件来补充集成电路104的功能时，也可以在集成电路104中形成背面连接电极113来使它与第二结构体102的连接电极115电连接。优选使用粘合剂114固定第一结构体101、第二结构体102、以及集成电路104。在图4A和4B的结构中，第二结构体102被配置在集成电路104的背面一侧，因此只要适当地设置密封材料116，即可。

[0049] 如上所述，关于根据本发明的半导体装置，通过使用由陶瓷等构成的结构体，可以提高半导体装置的刚度。因此，即使IC标签或起到与IC标签相同的作用的半导体装置被薄型化，也可以保持其强度并获得所需要的功能。再者，通过将连接用布线形成在由陶瓷等构成的结构体上来连接天线和集成电路，可以避免当产生弯曲应力时连接部脱落而导致工作不良。

#### [0050] 实施例1

[0051] 在本实施例中，参照图5A至5C及图6A和6B说明通过组合形成有天线的第一结构体、形成有电容部的第二结构体、以及集成电路而形成的半导体装置的一个例子。注意，图5A至5C是该半导体装置的平面图，而图6A和6B是沿A-B线及C-D线截断的截面图。

[0052] 图5A表示在第一结构体101上形成有线圈天线106的结构。第一结构体101由如下材料构成：PET(聚对苯二甲酸乙二醇酯)、PEN(聚萘二甲酸乙二醇酯)、PES(聚醚砜)、聚丙烯、聚丙烯硫化物、聚碳酸酯、聚醚酰亚胺、聚苯硫醚、聚苯醚、聚砜、聚邻苯二甲酰胺、丙烯、聚酰亚胺等的塑料材料或无纺布、纸张等的绝缘材料。

[0053] 在第一结构体101上，通过印刷法或镀敷法等使用铜、银、铝等的低电阻金属材料形成天线106。在图5A至5C中，采用线圈形状作为天线106的形状，该形状适合于采用电磁感应方式(例如，13.56MHz频带)的情况。在采用微波方式(例如，UHF频带(860至960MHz频带)、2.45GHz频带等)的情况下，通过考虑用于传送信号的电磁波的波长，可以适当地设定起天线作用的导电层的长度等的形状。在此情况下，可以形成单极天线、偶极天线、平板天线等。

[0054] 在图5A中，根据天线端子108配置第二结构体102及集成电路104。图5B是第二结构体102的平面图，而图5C是集成电路104的平面图。第二结构体102的外形尺寸优选与集成电路104大致相同。或者，集成电路104的外形尺寸可以小于第二结构体102。

[0055] 第二结构体102优选由陶瓷材料构成。在该第二结构体102中，形成有贯穿电极110及电容电极118。在集成电路104中，形成有与天线端子108连接的连接电极112、以及与电容电极118连接的电容部连接电极117。下面，参照图6A和6B对第二结构体102及集成电路104的连接结构详细地进行说明。

[0056] 图6A是沿A-B线截断的截面图。第一结构体101和集成电路104通过形成在第二结

构体102中的贯穿电极110连接。它们被粘合剂114固定。在第二结构体102中，形成有介电层119和电容电极118的层交替层叠为彼此咬合。像这样，通过层叠介电层119和电容电极118，形成电容器。

[0057] 介电层119是通过将陶瓷膏涂敷在衬底上并焙烧它而形成的，该陶瓷膏是如下材料：将粘结剂化合物、可塑剂及有机溶剂添加到钛酸钡(BaTiO<sub>3</sub>)、钛酸锶(SrTiO<sub>3</sub>)、铅复合钙钛矿化合物材料等的陶瓷材料中。在其上，通过印刷选自铜或铜合金、镍或镍合金、银或银合金、锡或锡合金中的电极膏，形成电容电极。另外，在形成贯穿电极的情况下，在形成贯穿电极的位置上形成开口。接着，使它们干燥，然后将它们切割成预定的大小，并将多层的电容电极交替层叠为彼此咬合。使用由陶瓷材料构成的保护层120夹住所层叠的层，并进行脱粘结剂、焙烧及热处理。

[0058] 在图6A和6B中，通过使用纳米粒子，可以将介电层119及电容电极118形成为0.1至1μm的厚度。因此，若层叠五层的0.2μm厚的介电层119，则其总厚度为1μm。另外，即使层叠十层的0.1μm厚的介电层119，也可以将其总厚度抑制为1μm。

[0059] 图6B是沿C-D线截断的截面图，其表示电容电极118及集成电路104的电容部连接电极117的结构。形成在第二结构体102的外周部的电容电极118被进行了镍镀敷或锡镀敷等。并且，可以使用粘合剂114连接电容电极118和电容部连接电极117。

[0060] 如上所述，可以获得包括形成有天线的第一结构体、形成有电容部的第二结构体、以及集成电路的半导体装置。通过使用由陶瓷等构成的第二结构体，可以提高半导体装置的刚度。因此，即使IC标签或起到与IC标签相同的作用的半导体装置被薄型化，也可以保持其强度并获得所需要的功能。再者，通过将连接用布线形成在由陶瓷等构成的结构体上来连接天线和集成电路，可以避免当产生弯曲应力时连接部脱落而导致工作不良。

#### [0061] 实施例2

[0062] 在本实施例中，参照图7A至7D及图8A和8B说明包括形成有天线的第一结构体、形成有电容部的第二结构体、集成电路、以及陶瓷天线122的半导体装置的一个例子。注意，图7A至7D是该半导体装置的平面图，而图8A和8B是沿E-F线及G-H线截断的截面图。

[0063] 在图7A中，线圈天线106形成在第一结构体101上。像实施例1那样，天线106的形状可以根据用于通信的频带而适当地改变。

[0064] 在图7A中，表示了与天线端子108匹配地配置第二结构体102、集成电路104、以及陶瓷天线122。图7B是第二结构体102的平面图，图7C是集成电路104的平面图，并且图7D是陶瓷天线122的平面图。第二结构体102、集成电路104、以及陶瓷天线122的外形尺寸优选大致相同。或者，集成电路104的外形尺寸可以小于第二结构体102及陶瓷天线122。

[0065] 第二结构体102由陶瓷材料构成，并形成有贯穿电极110及电容电极118。在集成电路104中，形成有与天线端子108连接的连接电极112、与电容电极118连接的电容部连接电极117、以及与陶瓷天线122连接的陶瓷天线连接电极127。下面，参照图8A和8B对第二结构体102及集成电路104的连接结构详细地进行说明。

[0066] 图8A是沿E-F线截断的截面图。与实施例1一样，第二结构体102形成有由陶瓷材料构成的电容部。与图6A一样，形成有贯穿电极110，以连接第一结构体101的天线端子108和集成电路104的连接电极112。在集成电路104的背面一侧配置有陶瓷天线122。夹住集成电路104的第二结构体102和陶瓷天线122还用作保护层。

[0067] 图8B是沿G-H线截断的截面图,其表示集成电路104和陶瓷天线122的连接结构。关于陶瓷天线122,在电介质125的一侧(集成电路104一侧)形成有反射体124,在电介质125的另一侧形成有接地体126。在集成电路104上形成有陶瓷天线连接电极127,并使其与反射体124和供电体123连接。接地体126也可以形成有用来提高方向性的缝隙(slit)。接地体126和供电体123配置为具有间隙,并实现电容耦合。

[0068] 上述陶瓷天线122可以用来供应电力,来将集成电路工作所需要的电力存储在形成在第二结构体102中的电容部中。在此情况下,信息通信用天线形成在第一结构体101上,因此不管有没有通信信号,都能对第二结构体102的电容部任意充电。因此,能够存储集成电路工作所需要的充分电力。

[0069] 如上所述,可以获得形成有天线的第一结构体、形成有电容部的第二结构体、集成电路、以及陶瓷天线组合而成的半导体装置。通过使用由陶瓷等构成的第二结构体及陶瓷天线,可以提高半导体装置的刚度。因此,即使IC标签或起到与IC标签相同的作用的半导体装置被薄型化,也可以保持其强度并获得所需要的功能。再者,通过将连接用布线形成在由陶瓷等构成的结构体上来连接天线和集成电路,可以避免当产生弯曲应力时连接部脱落而导致工作不良。

[0070] 实施例3

[0071] 在本实施例中,参照图9A至9C及图10A和10B说明为了增加通信距离而具备升压线圈的半导体装置的一个例子。本实施例的半导体装置由具备一次天线的集成电路、具备与该一次天线电磁耦合的二次天线的第二结构体、具备与读写器电磁耦合的三次天线的第一结构体构成。另外,图9A至9C是所述半导体装置的平面图,而图10A和10B是沿J-K线及L-M线截断的截面图。

[0072] 在图9A中,在第一结构体101中形成有与读写器电磁耦合的三次天线105。三次天线105是与实施例1同样地制造的。

[0073] 与天线端子108匹配地配置第二结构体102和集成电路104。图9B是第二结构体102的平面图,而图9C是集成电路104的平面图。第二结构体102由硬塑料、玻璃、纤维玻璃增强塑料(Fiberglass Reinforced Plastics)、陶瓷材料等构成。在第二结构体102中形成有二次天线107、天线连接端子121a、以及天线连接端子121b。另外,在第二结构体102中还形成有设置在二次天线107和三次天线105之间的耦合电容103。

[0074] 在集成电路104中形成有一次天线109。集成电路104和第二结构体102配置为彼此重叠且一次天线109和二次天线107电磁耦合。像这样,通过在集成电路104中形成一次天线109,不需要形成用来与二次天线107或三次天线105连接的电极。因此,可以防止由于电极的接触不良而导致的故障。另外,第二结构体102的外形尺寸优选与集成电路104大致相同。或者,集成电路104的外形尺寸也可以小于第二结构体102。

[0075] 图11是具有这样的一次天线109、二次天线107、以及三次天线105的半导体装置的等效电路图。下面,参照图10A和10B对第一结构体101、第二结构体102及集成电路104的连接结构详细地进行说明。

[0076] 图10A是沿J-K线截断的截面图。在第二结构体102中,层叠多个由陶瓷等构成的绝缘层,其中间形成有集成电路一侧二次天线107a、以及第一结构体一侧二次天线107b。集成电路一侧二次天线107a和第一结构体一侧二次天线107b形成为至少其一部分重叠,以实现

电磁耦合。

[0077] 如图10B所示,集成电路一侧二次天线107a和第一结构体一侧二次天线107b形成为其中间夹着由陶瓷等构成的绝缘层,并且它们通过形成在该绝缘层中的贯穿孔128连接。这样,通过分为多个层地形成二次天线107,可以增加匝数,并可以谋求提高电磁耦合中的灵敏度并扩大通信距离。

[0078] 可以与实施例1同样地形成第二结构体102中的二次天线107(包括集成电路一侧二次天线107a和第一结构体一侧二次天线107b)及耦合电容103的电极。设置在第二结构体102的外周部的天线连接端子121a形成为与耦合电容103的电极接触。天线连接端子121b形成为与集成电路一侧二次天线107a的端子接触。换言之,只要使被绝缘层夹住的二次天线107(包括集成电路一侧二次天线107a和第一结构体一侧二次天线107b)及耦合电容103的电极的一部分在端部暴露,并在该部分中形成天线连接端子121a及天线连接端子121b即可。

[0079] 如上所述,通过在第二结构体102中形成与形成在集成电路104中的一次天线109电磁耦合的二次天线107,可以发送并接收信号而不需要在集成电路104中形成连接电极。另外,通过调整二次天线107和三次天线105的匝数(电感),可以控制通信距离。再者,通过使用陶瓷材料构成形成二次天线107的第二结构体102,可以保护集成电路104。

[0080] 实施例4

[0081] 下面,参照图12说明诸如IC标签这样的能够存储数据并用来识别个体的集成电路的结构例子。本实施例可以适用于如上所述的集成电路。

[0082] 图12是集成电路104的框图。该集成电路具有模拟电路部130和数字电路部132,该模拟电路部130包括数据收发及电源电路,而该数字电路部132包括逻辑电路及存储部。作为模拟电路部130,包括解调电路134、调制电路133、整流电路135、以及恒压电路136。连接电极112是用来与天线连接的端子。连接电极112与整流电路135、调制电路133及解调电路134连接。

[0083] 解调电路134是具有LPF(Low Pass Filter;低通滤波器)并从通信信号中抽出数据的电路。调制电路133是如下电路:关于从逻辑电路输出的回信用数字信号,例如采用曼彻斯特方式将数据重叠于通信信号上。当发送数据时,使用调制电路133。振荡电路138产生逻辑电路的工作所需要的时钟信号。另外,复位信号139是根据发送及接收信号的特定时序而产生复位信号的电路。

[0084] 整流电路135是对接收信号的一部分进行整流并对电容部137进行充电的电路。从电容部137提供驱动数字电路部132等的电源电压,但也可以经由恒压电路136使电压稳定后再提供。电容部137如实施例1至3所示那样形成在第二结构体中,而不形成在集成电路104中。电容部137的电容优选为1000pF以上,并且通过在第二结构体中形成电容部,可以容易地获得集成电路的工作所需要的电容。

[0085] 数字电路部132包括逻辑电路140和存储部141。逻辑电路140包括计算处理电路、无线通信用接口、时钟控制电路、控制寄存器、接收数据用寄存器、发送数据用寄存器、以及存储控制器等。解调电路134及调制电路133通过无线通信用接口与控制寄存器、接收数据寄存器及发送数据寄存器进行信号收发。存储部141包括读出专用存储器(ROM)。在构成能够改写并改变数据的追记型存储部141的情况下,也可以包括非易失性存储器。作为非易失

性存储器,可以使用浮栅型非易失性存储器、电荷捕获型非易失性存储器、铁电体存储器等。

[0086] 如上所述,通过如实施例1至3所示那样在第二结构体中形成电容部137,而不像现有技术那样将电容部137形成在集成电路104中,可以缩小集成电路104的面积。例如,在现有技术中电容部137的面积占有集成电路104的25%,以确保2000pF的电容,但是根据本发明,可以缩小其面积,因此可以谋求半导体装置的小型化。另外,还可以将现有技术的电容部137所占有的面积用于存储部。因此,可以增加半导体装置的存储容量。

[0087] 实施例5

[0088] 下面,参照图13说明能够进行非接触数据收发并具有计算功能的半导体装置的一个例子。本实施例可以适用于如上所述的集成电路。

[0089] 图13是集成电路104的框图。该集成电路104具有模拟电路部130和数字电路部132。作为模拟电路部130,包括具有共振电容的共振电路142、整流电路135、恒压电路136、复位电路139、振荡电路138、解调电路134、以及调制电路133。数字电路部132具有RF接口143、控制寄存器144、时钟控制器145、CPU接口146、CPU147、RAM148、以及ROM149。

[0090] 下面,说明具有这种结构的集成电路104的工作的概略。从连接电极112输入的通信信号因共振电路142而产生感应电动势。感应电动势经过整流电路135并被充于电容部137中。与实施例4一样,所述电容部137形成在第二结构体中,而不形成在集成电路104中。因此,能够确保集成电路104的工作所需要的充分的电容。因集成电路104工作而消耗存储在电容部137中的电力。从电容部137提供的电压被恒压电路136稳压。

[0091] 复位电路139产生使数字电路部132复位并初始化的信号。例如,产生在电源电压升高之后延迟升高的信号作为复位信号。振荡电路138根据由恒压电路136产生的控制信号改变时钟信号的频率和占空比。由低通滤波器构成的解调电路134例如对振幅调制(ASK)方式的接收信号的振幅的变动进行二值化。调制电路133使振幅调制(ASK)方式的发送信号的振幅变动并发送。调制电路133通过使共振电路142的共振点变化来改变通信信号的振幅。时钟控制器145根据电源电压或CPU147的消耗电流,产生用来改变时钟信号的频率和占空比的控制信号。并且,由电源管理电路150监视电源电压。

[0092] 从连接电极112输入到集成电路104的通信信号被解调电路134解调后,在RF接口143中被分解为控制命令、数据等。控制命令存储在控制寄存器144中。控制命令包括存储在ROM149中的数据的读出、向RAM148的数据写入、向CPU147的计算指令等。CPU147通过CPU接口146对ROM149、RAM148及控制寄存器144进行存取。CPU接口146具有如下功能:根据CPU147所要求的地址,产生对ROM149、RAM148及控制寄存器144中的任何一个的存取信号。

[0093] 作为CPU147的计算方式,可以采用将OS(操作系统)存储在ROM149中并在CPU中执行程序的方式。另外,也可以采用由专用电路构成计算电路并以硬件方式对计算处理进行处理的方式。作为同时使用硬件和软件的方式,可以采用如下方式:由专用计算电路进行一部分的处理,使程序由CPU进行另一部分的计算。

[0094] 在任意的情况下,通过增大电容部137的电容,都可以确保稳定的工作,其中该电容部137提供集成电路104的工作所需要的电力。关于本实施例的半导体装置,通过将电容部137形成在与集成电路104不同的第二结构体上,可以确保充分的电容。另外,还可以缩小集成电路104的面积。另外,由于第二结构体的介电层由陶瓷等的材料构成,所以能够耐受

弯曲应力，并可以防止积聚电荷因电容部137短路而消失。

[0095] 实施例6

[0096] 在本实施例中，示出可适用于实施例1至5的集成电路的晶体管的例子。

[0097] 图14表示形成在具有绝缘表面的衬底152上的薄膜晶体管。作为衬底，使用铝硅酸盐玻璃等的玻璃衬底、石英衬底等。衬底152的厚度为400至700μm，但也可以通过进行研磨使衬底152薄片化，使其厚度为5至100μm。如实施例1至3所示，这是因为可以通过与第二结构体102组合来保持机械强度的缘故。

[0098] 在衬底152上，也可以用氮化硅或氧化硅形成第一绝缘层154。第一绝缘层154具有使薄膜晶体管的特性稳定的效果。半导体层156优选为多晶硅。另外，半导体层156也可以是单晶硅薄膜，该薄膜在与栅电极160重叠的沟道形成区域中晶粒界面不会影响到载流子的漂移。

[0099] 作为其他结构，可以举出衬底152由硅半导体构成且第一绝缘层154由氧化硅构成的结构。在此情况下，半导体层156可以由单晶硅构成。换言之，可以使用SOI(Silicon on Insulator；绝缘硅)衬底。

[0100] 栅电极160形成在半导体层156上，其中间夹有栅极绝缘层158。在栅电极160的两侧也可以形成有侧壁，因此，也可以在半导体层156中形成有低浓度漏极。第二绝缘层162由氧化硅、氮氧化硅等构成。该第二绝缘层162是所谓的层间绝缘层，并且第一布线164形成在该层间绝缘层上。第一布线164与形成在半导体层156中的源极区域及漏极区域接触。

[0101] 再者，通过使用氮化硅、氮氧化硅、氧化硅等形成第三绝缘层166、以及第二布线168。虽然在图14中示出第一布线164和第二布线168，但是可以根据电路结构适当地选择布线的叠层数量。至于布线结构，也可以在接触孔中实现钨(W)选择性生长来形成埋入插头，或者，也可以使用金属镶嵌处理形成铜布线。

[0102] 连接电极112是暴露在集成电路104的最外表面上的电极。在其他区域中，例如被第四绝缘层170覆盖，以不暴露第二布线168。关于第四绝缘层170，优选涂敷形成氧化硅，以平整表面。连接电极112是通过印刷法或镀敷法形成铜或金的凸块而形成的。这是为了降低接触电阻的缘故。

[0103] 如上所述，通过使用薄膜晶体管形成集成电路，可以形成接收RF频带(典型地说，13.56MHz)至微波频带(2.45GHz)的通信信号而进行工作的集成电路104。

[0104] 实施例7

[0105] 在本实施例中，参照图15说明可适用于实施例1至5的集成电路的晶体管的其他结构。注意，使用同一标号表示起到与实施例6相同作用的部分。

[0106] 图15表示MOS(Metal Oxide Semiconductor；金属氧化物半导体)晶体管，它是利用半导体衬底172而形成的。典型地说，采用单晶硅衬底作为半导体衬底172。衬底172的厚度为100至300μm，但也可以通过进行研磨使衬底172薄片化，使其厚度为10至100μm。如实施例1至3所示，这是因为可以通过与第二结构体102组合来保持机械强度的缘故。

[0107] 在半导体衬底172上形成有元件分离绝缘层174。利用在半导体衬底172上形成氮化膜等掩模并进行热氧化来形成元件分离用氧化膜的LOCOS(Local Oxidation of Silicon；硅局部氧化)技术，可以形成元件分离绝缘层174。另外，也可以利用STI(Shallow Trench Isolation；浅沟隔离)技术在半导体衬底172中形成沟，并将绝缘膜埋在该沟中，进

而进行平整化,来形成元件分离绝缘层174。通过使用STI技术,可以使元件分离绝缘层174的侧壁陡峭,因此可以减小元件分离宽度。

[0108] 可以在半导体衬底172上形成n井176和p井177,而作为所谓的双井结构来形成n沟道型晶体管及p沟道型晶体管。或者,也可以采用单井结构。与实施例6同样地形成栅极绝缘层158、栅电极160、第二绝缘层162、第一布线164、第三绝缘层166、第二布线168、连接电极112、以及第四绝缘层170。

[0109] 如上所述,通过使用MOS晶体管形成集成电路,可以形成通过接收从RF频带(典型地说,13.56MHz)至微波频带(2.45GHz)的通信信号来进行工作的集成电路104。

[0110] 实施例8

[0111] 如实施例1至7所说明,本发明的半导体装置可以实现薄型化,并且通过附加陶瓷等的结构体来保护集成电路,因此即使将所述半导体装置包含纸介质中,也不发生故障。作为纸介质的一个例子,例如可以举出纸币、户籍誊本、居民卡、护照、执照、身份证、会员证、鉴定书、诊疗券、月票、票据、支票、货票、提单、仓库证券、股票、债券、商品券、券、抵押证券等。另外,还可以将高级纸、喷墨印刷用纸等用作防伪用纸。例如,可以将本发明的半导体装置包含在诸如合同书、规格书等之类的记载秘密信息的文件中。

[0112] 像这样,通过使用本发明的半导体装置,可以使纸介质具有比能够在纸介质上以视觉确认的信息多的信息。例如,通过将这种纸介质适用于商品签条等,可以用于商品管理的电子系统化、商品的偷窃防止。在本实施例中,参照图17A至17E说明根据本发明的纸类的一个例子。作为如下所述的纸张或纸类,可以使用通过将植物纤维为材料并添加树脂或糨糊等来滤去水分而形成的纸张。除此以外,还可以使用无纺布、塑料膜等类似的东西。

[0113] 图17A表示使用了包括半导体装置100的纸类的无记名债券类178的一个例子。邮票、票、券、入场券、商品券、图书券、文具券、各种礼品券、各种服务券等都包括在无记名债券类178中。通过使半导体装置100存储所述无记名债券类178的识别信息,可以容易地辨别真假。半导体装置100能够耐受一定的弯曲应力,并且即使施加尖头物如笔尖等的推压也不发生故障,因此不影响到商品交易。

[0114] 图17B表示使用嵌入了本发明的半导体装置100的纸张的证书类179(例如居民卡或户籍誊本)的一个例子。通过使半导体装置100存储所述证书类179的识别信息,可以容易辨别真假。半导体装置100能够耐受一定的弯曲应力,并且即使施加尖头物如笔尖等的推压也不发生故障。因此,在发行证书类179之后,也可以将它用作证明文件,并防止改写认证信息。

[0115] 图17C表示包括本发明的半导体装置100的签条的一个例子。在签条衬纸180(剥离纸)上形成有由附加有半导体装置100的纸张构成的签条181(IC签条)。签条181可以收纳在容器182内。在签条181上,具有表示与商品或服务有关的信息(商品名、牌子、商标、商标权人、销售人、制造人等)的印刷面。半导体装置100能够存储其商品(或商品的种类)的固有识别信息,因此可以容易地发现违法行为如伪造、侵犯知识产权如商标权、专利权等的行为、不正当竞争等。可以预先向半导体装置100内输入在商品的容器或签条上记不完的大量信息,例如,商品的产地、销售地、品质、原材料、效能、用途、数量、形状、价格、生产方法、使用方法、生产时期、使用时期、食品保质期限、使用说明、关于商品的知识产权信息等。因此,客商和消费者可以使用简单的读出器来获取这些信息。另外,通过在半导体装置100的存储部

内形成能够进行一次性写入的存储区域,可以防止数据改写。

[0116] 图17D表示包括半导体装置100的IC标签183。通过使半导体装置100薄型化并将它包含在纸表面上或纸中,可以制造其价格比使用了塑料框体的现有ID标签低的标签。另外,只要是使用了纸张的商品,就可以通过使用本发明的纸张,来一体地形成商品和ID标签。在图17E中表示了这种情况的例子示。图17E表示将本发明的纸张用作封面的书籍184,其中将半导体装置100附加在用作封面的厚纸中。

[0117] 通过在商品上附加由本发明的纸类构成的签条181或IC标签183,可以容易地管理商品。例如,在商品被偷盗的情况下,可以通过跟踪商品的去处而迅速找出犯人。如上所述那样,通过使用本发明的纸类,可以进行商品的履历管理或跟踪查询,例如掌握该商品的原材料和原产地、制造及加工、流通、出售等。换言之,可以实现商品可追溯性(traceability)。另外,通过使用本发明,可以以低成本实现商品可追溯性管理系统。

[0118] (附记)如上所述,本发明至少包括如下结构。

[0119] 一种半导体装置,包括:形成有天线的第一结构体;包括有源元件的集成电路,该有源元件是通过使用由绝缘层夹住上层及下层的半导体层而形成的;以及具有比第一结构体高的刚度的第二结构体,其中天线和集成电路通过形成在第二结构体中的贯穿电极连接。

[0120] 一种半导体装置,包括:形成有天线的第一结构体;包括有源元件的集成电路,该有源元件是通过使用由绝缘层夹住上层及下层的半导体层而形成的;以及具有比第一结构体高的刚度的第二结构体,其中集成电路设置在第一结构体和第二结构体之间,并且天线和集成电路电连接。

[0121] 一种半导体装置,包括:形成有天线的第一结构体;包括有源元件的集成电路,该有源元件是通过使用由绝缘层夹住上层及下层的半导体层而形成的;以及具有比第一结构体高的刚度并形成有无源元件的第二结构体,其中天线和集成电路通过形成在第二结构体中的贯穿电极连接。

[0122] 一种半导体装置,包括:形成有天线的第一结构体;包括有源元件的集成电路,该有源元件是通过使用由绝缘层夹住上层及下层的半导体层而形成的;以及具有比第一结构体高的刚度并形成有无源元件的第二结构体,其中集成电路设置在第一结构体和第二结构体之间,并具有天线和电容器的连接部。

[0123] 一种半导体装置,包括:形成有与读写器电磁耦合的第一线圈的第一结构体;包括线圈天线和有源元件的集成电路,该有源元件是通过使用由绝缘层夹住上层及下层的半导体层而形成的;以及形成有与所述线圈天线电磁耦合且与第一线圈电连接的第二线圈的第二结构体。

[0124] 本说明书根据2006年7月28日在日本专利局受理的日本专利申请编号2006-206912而撰写,所述申请内容包括在本说明书中。

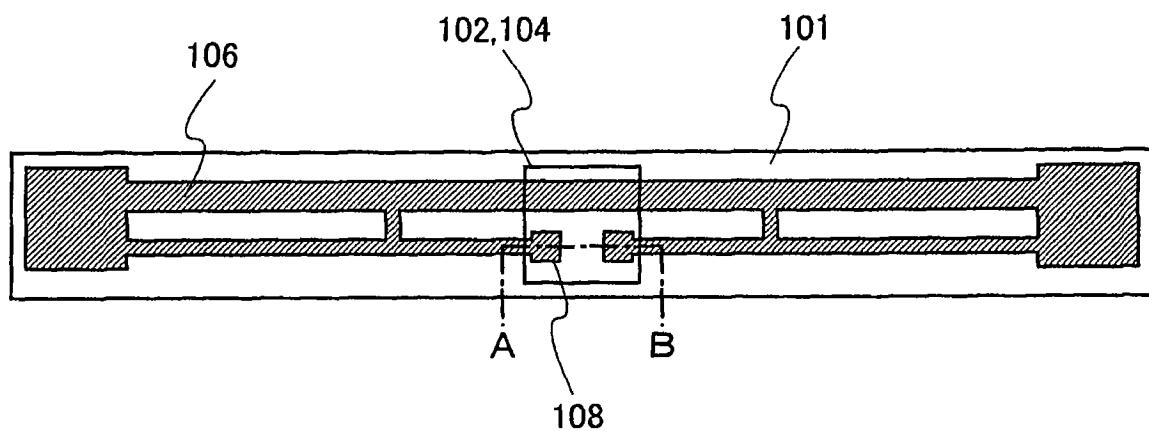


图1

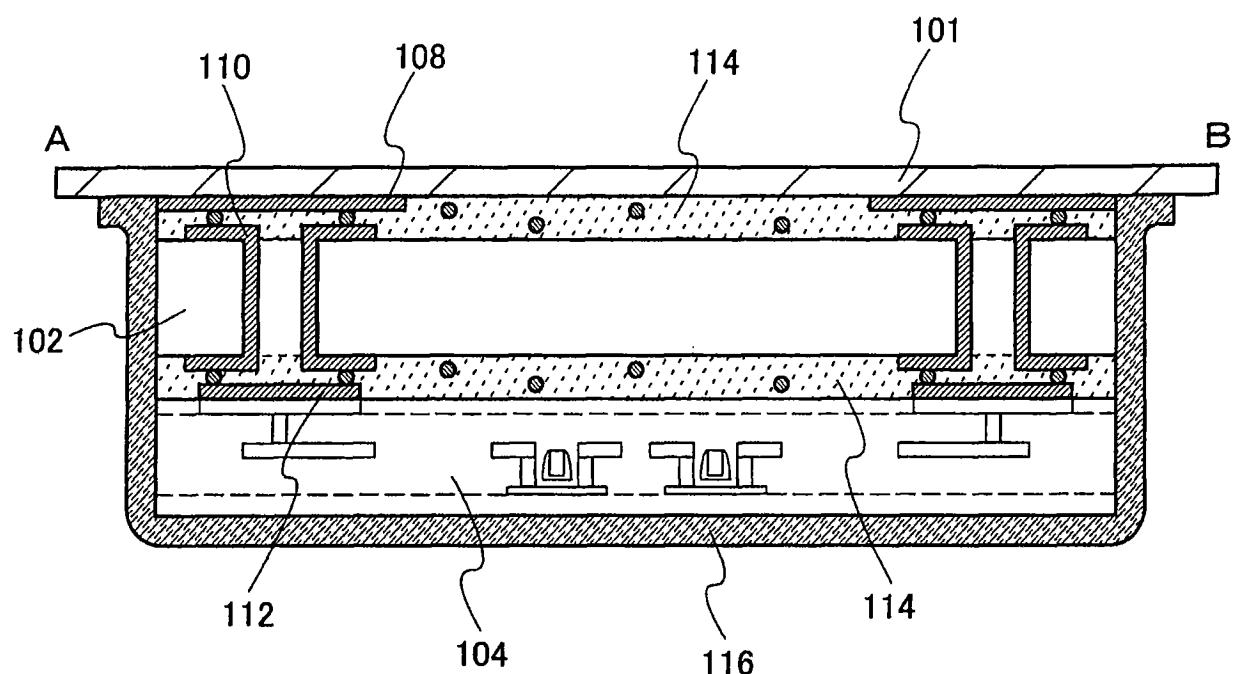


图2

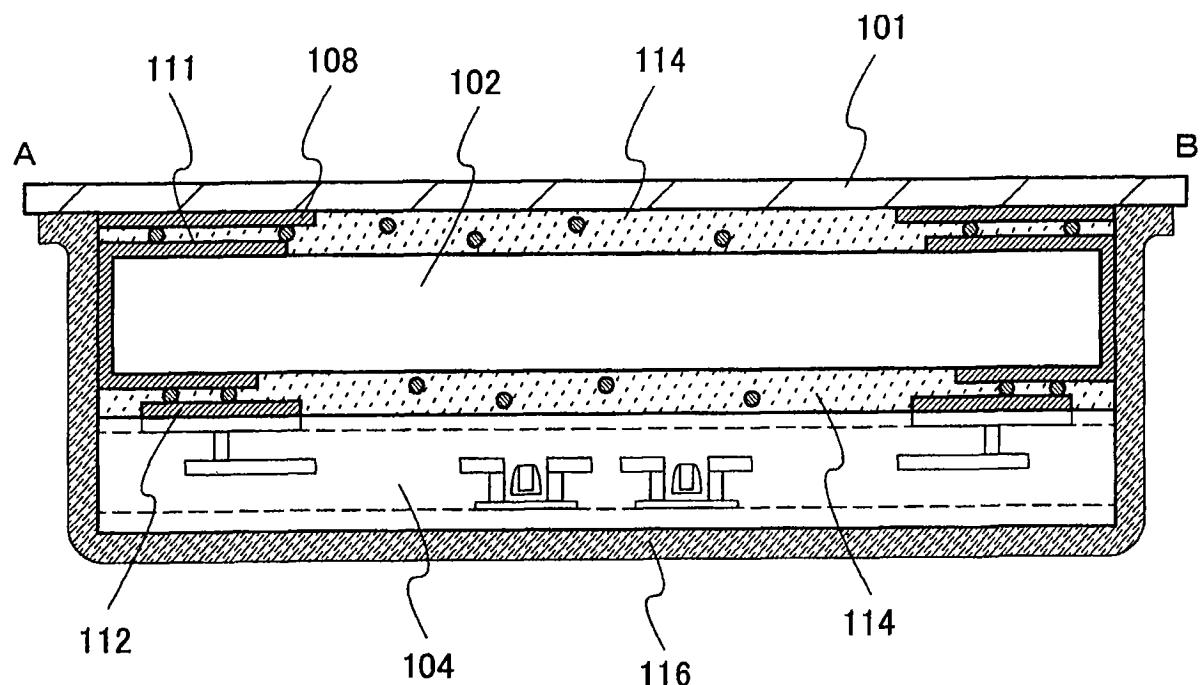


图3

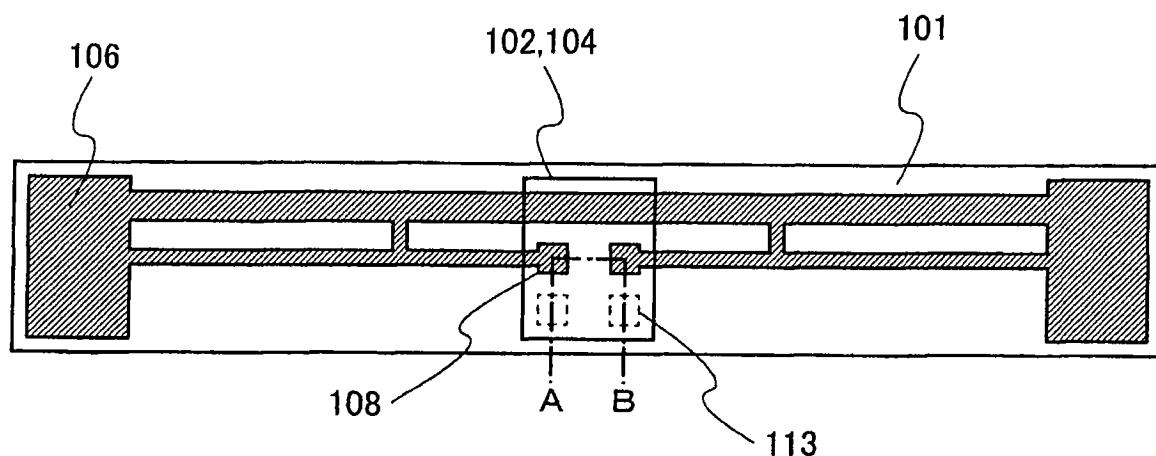


图4A

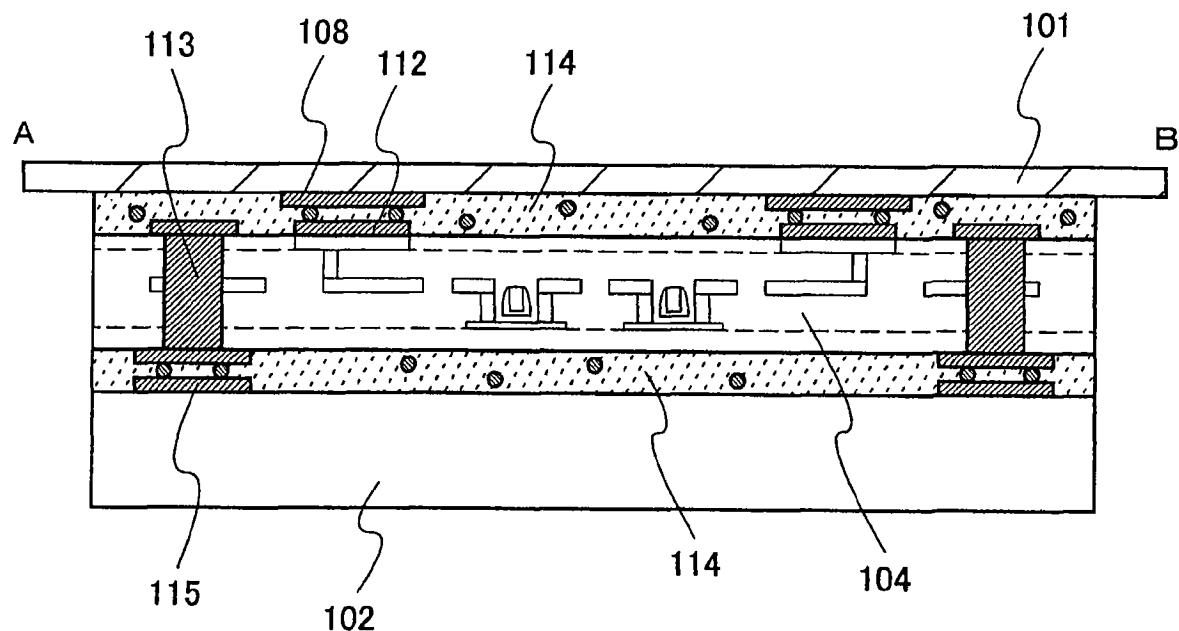


图4B

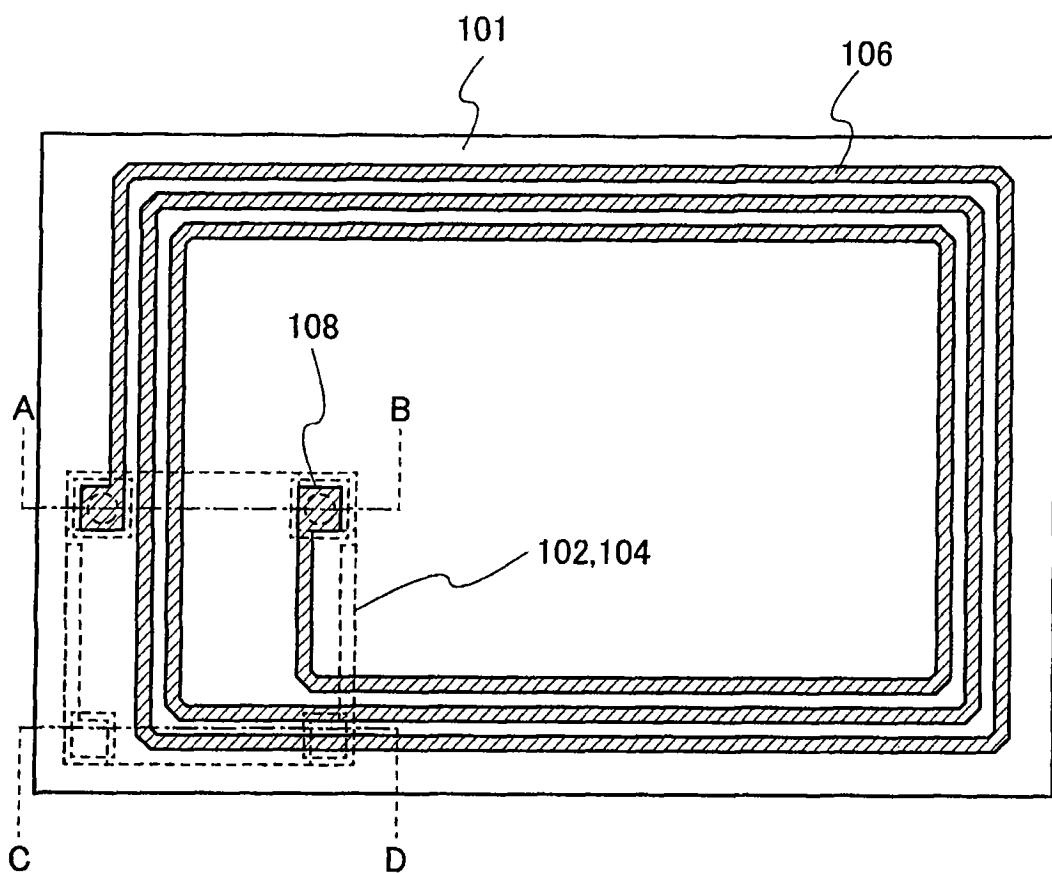


图5A

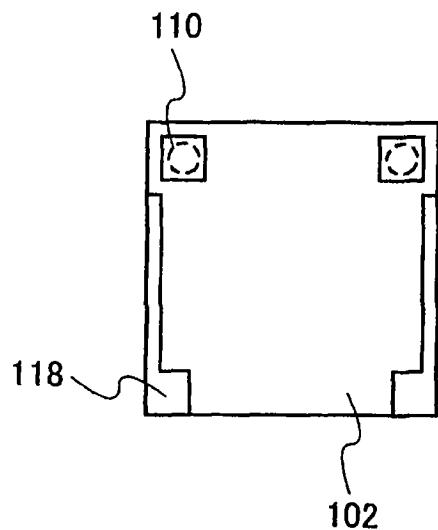


图5B

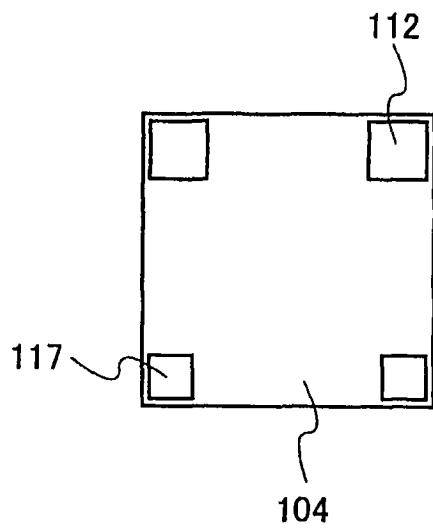


图5C

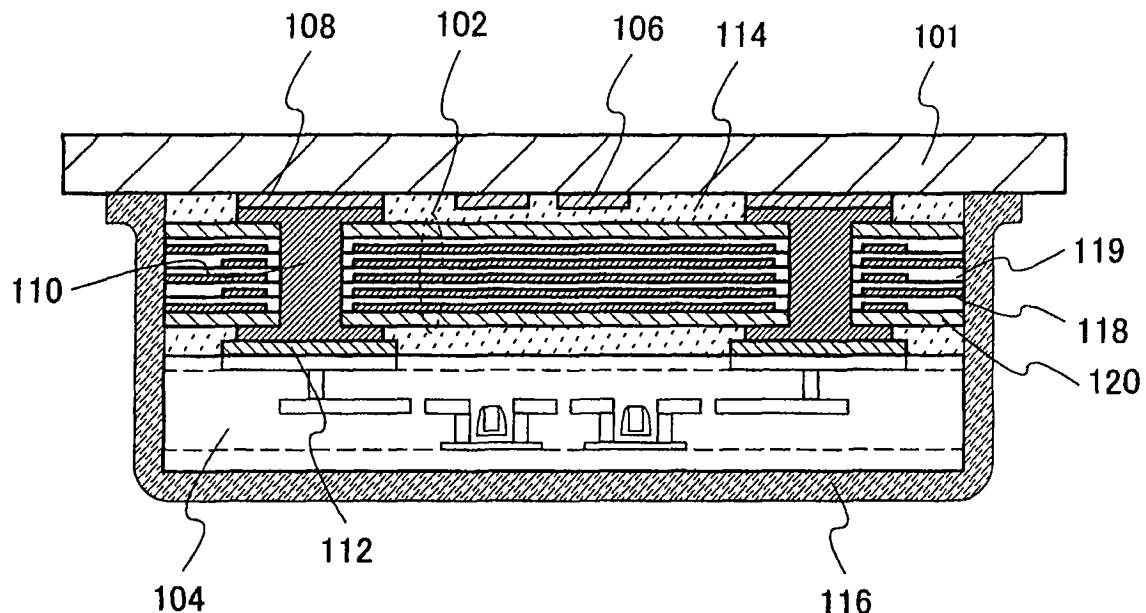
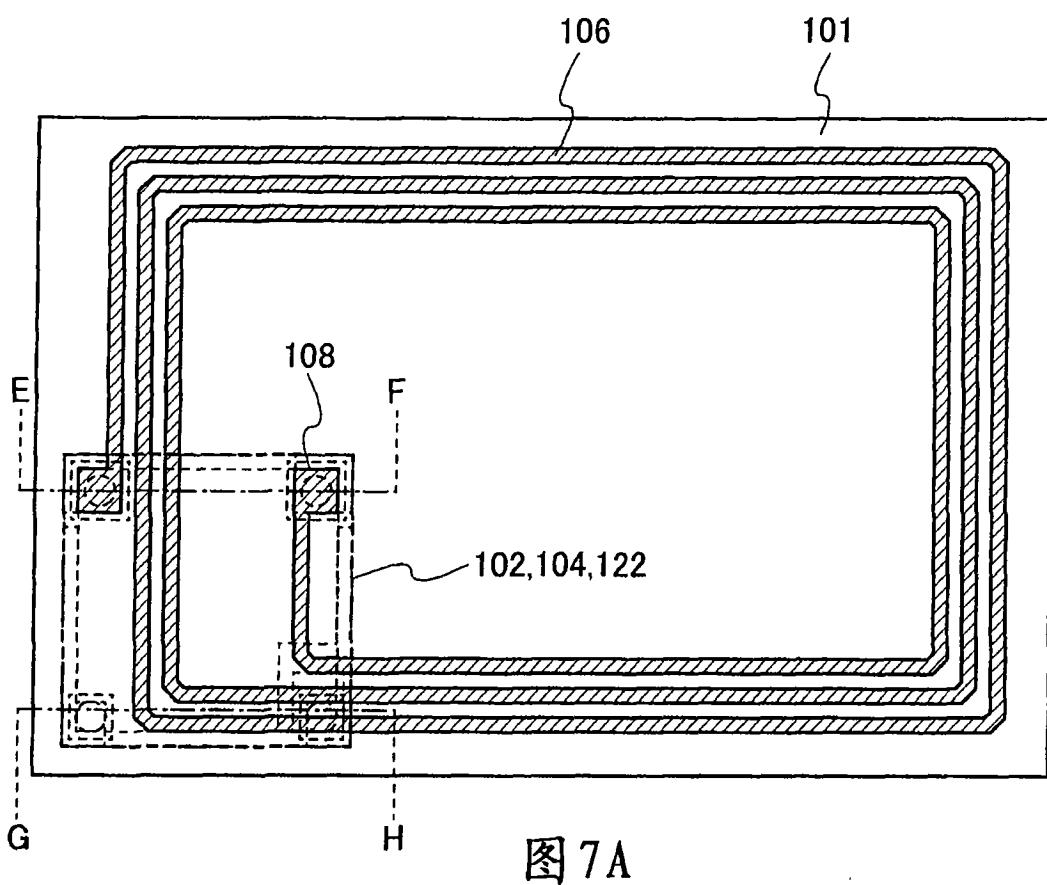
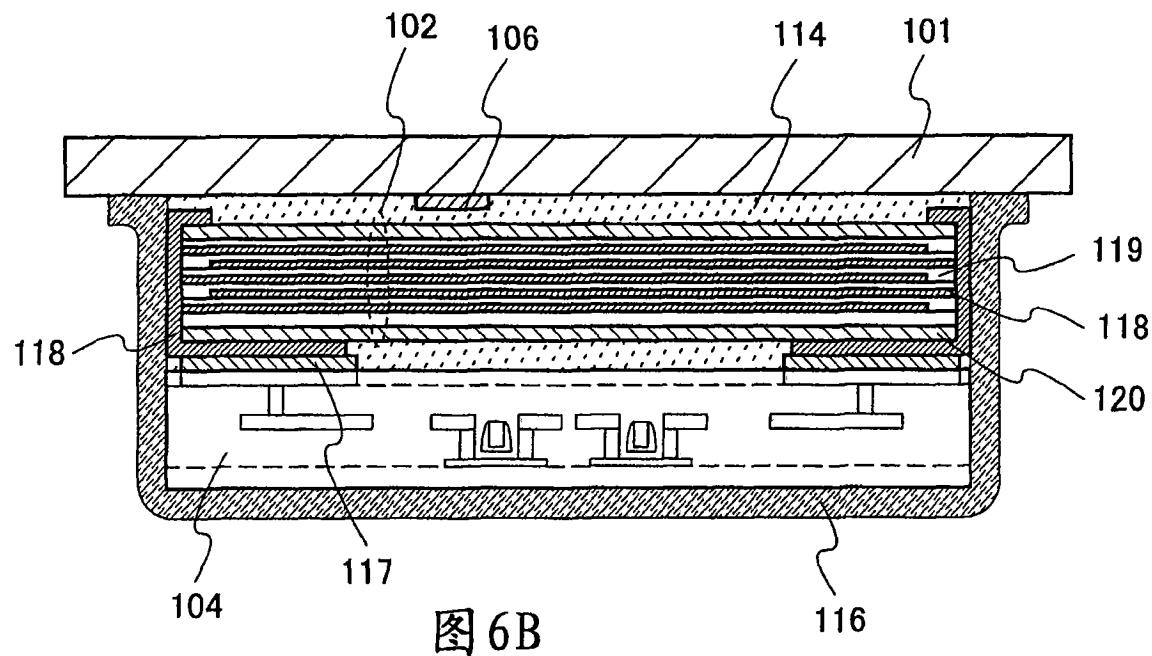


图6A



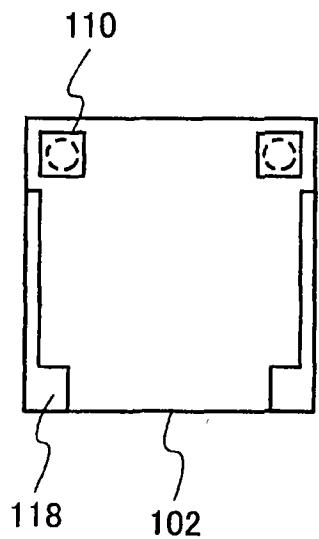


图7B

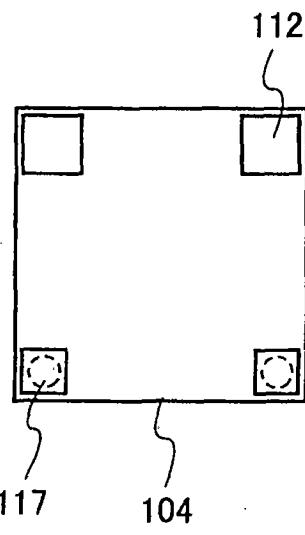


图7C

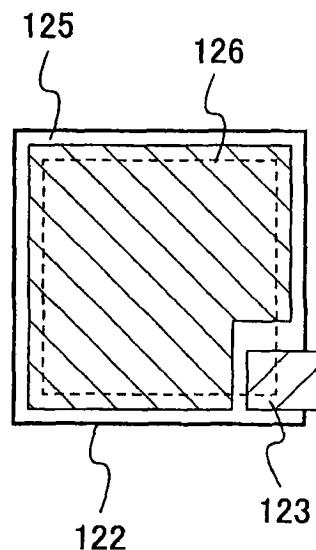


图7D

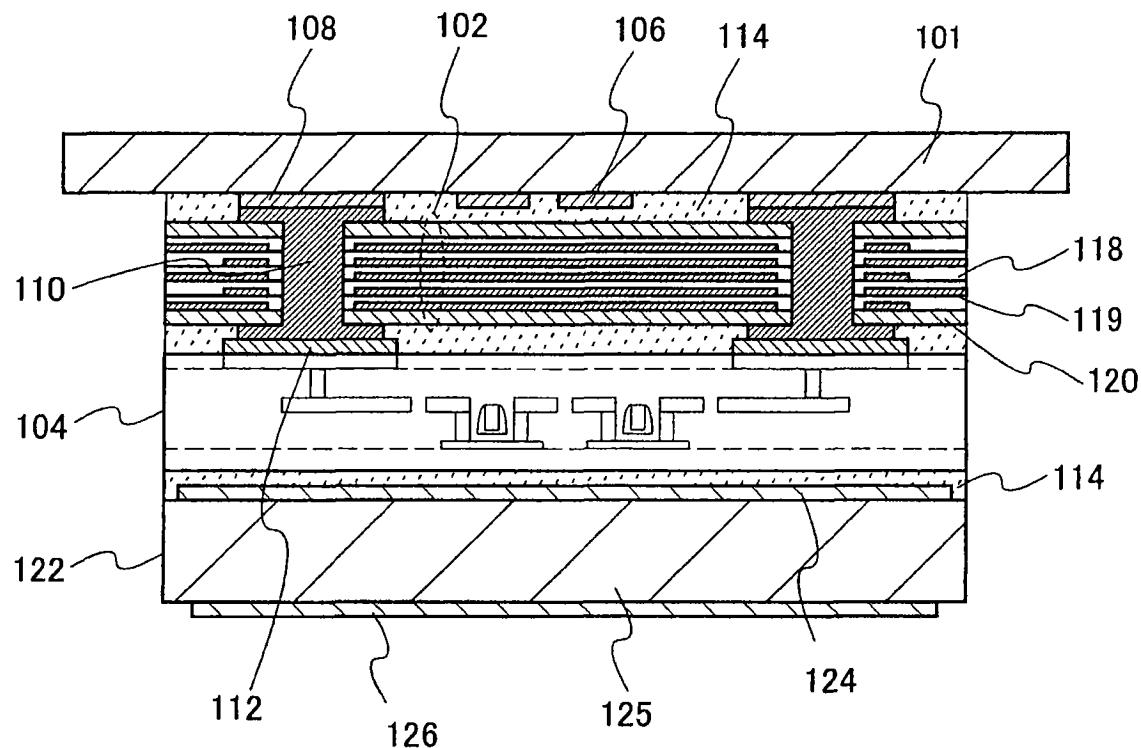


图8A

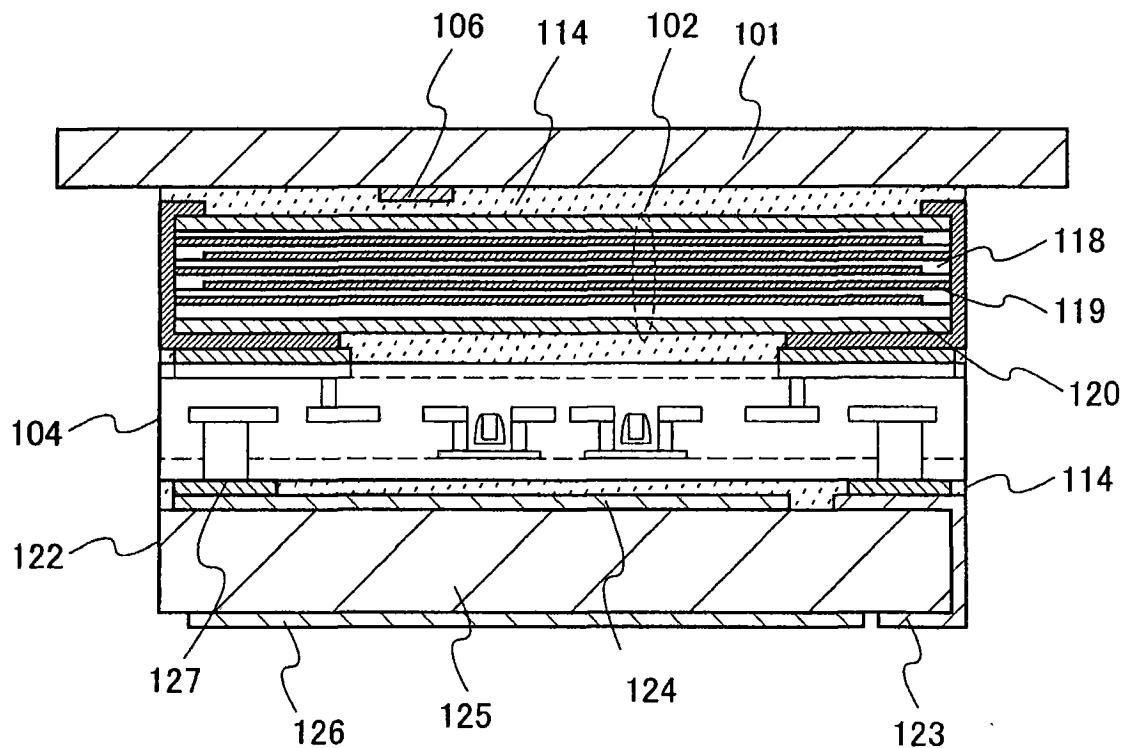
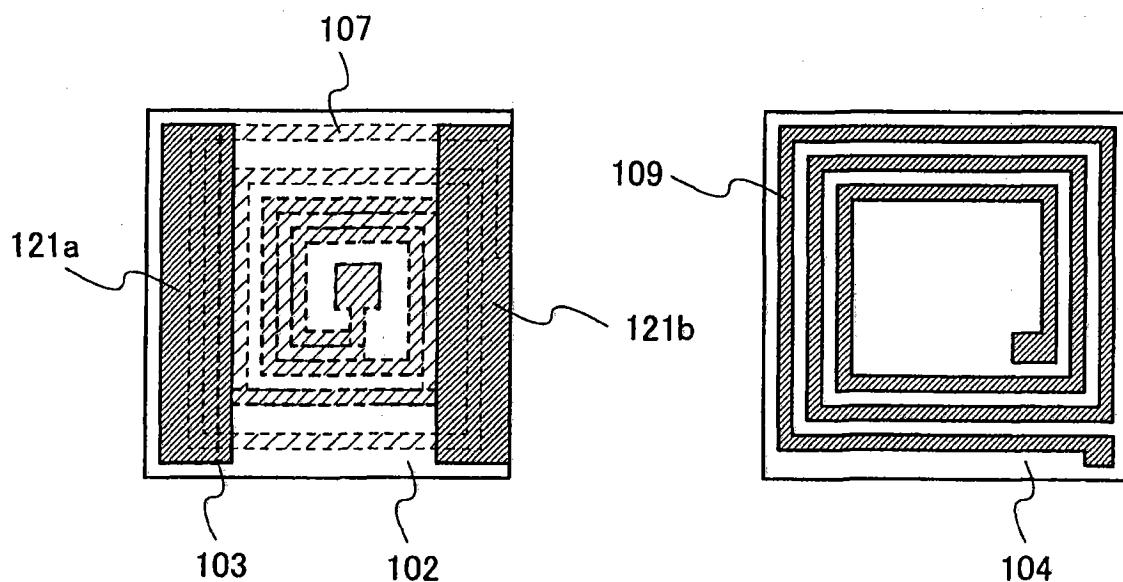
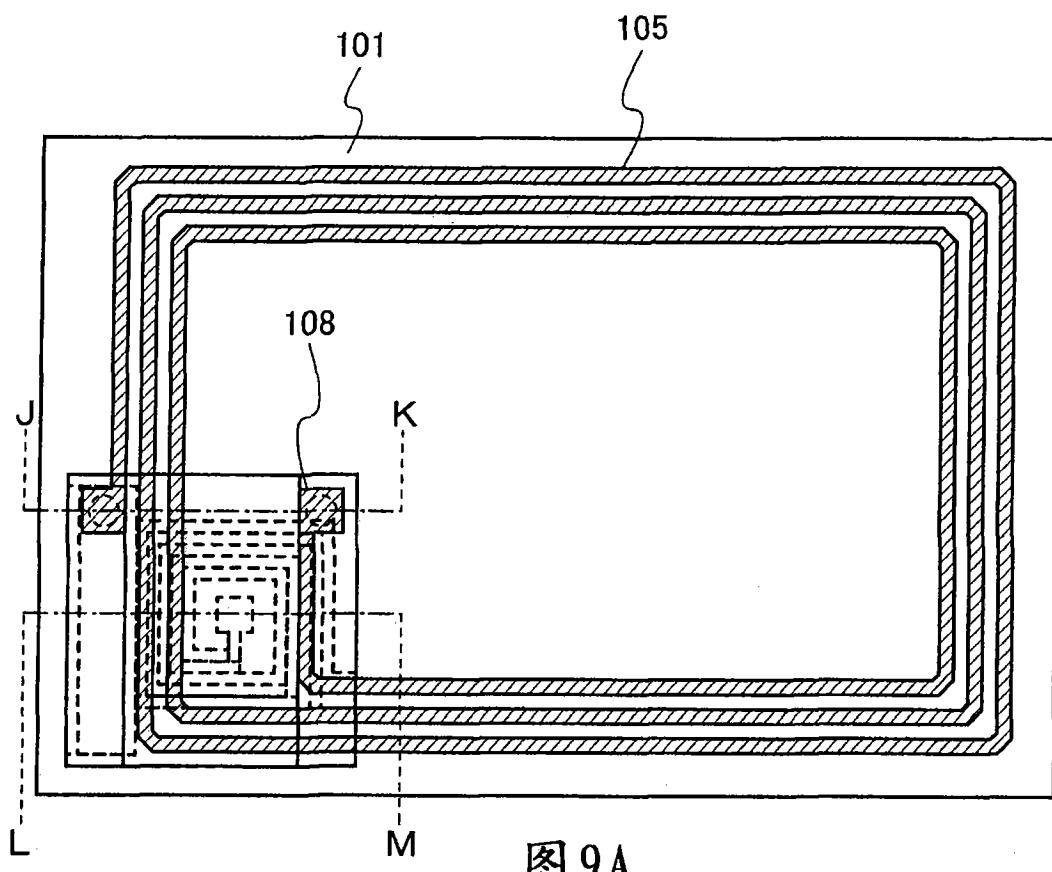


图8B



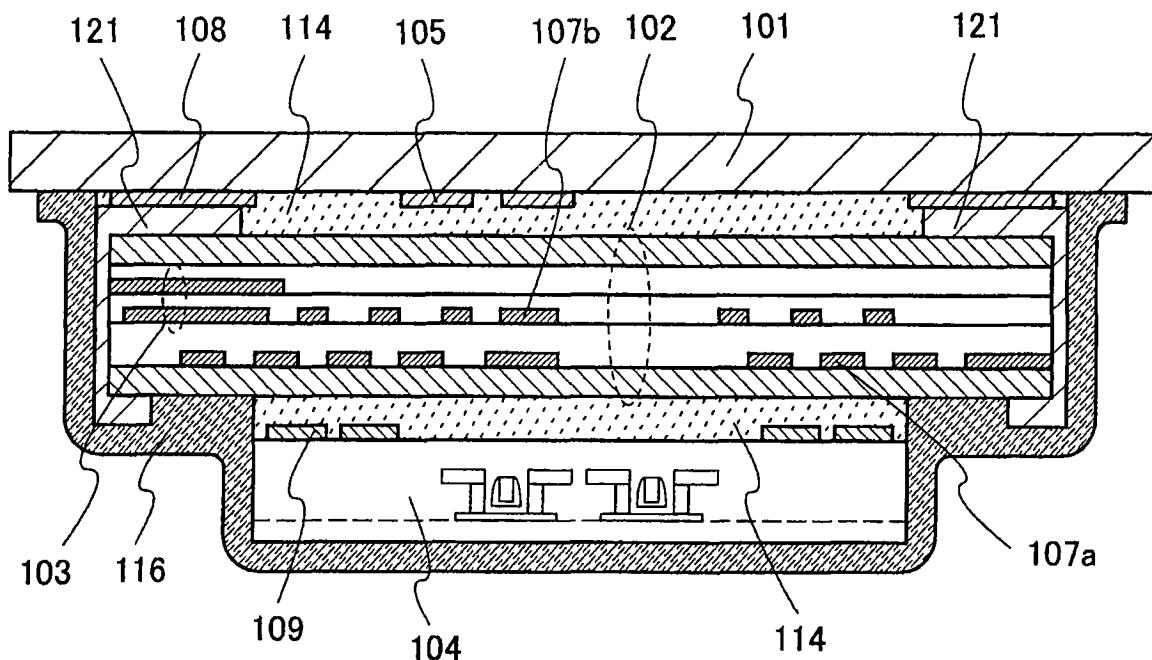


图10A

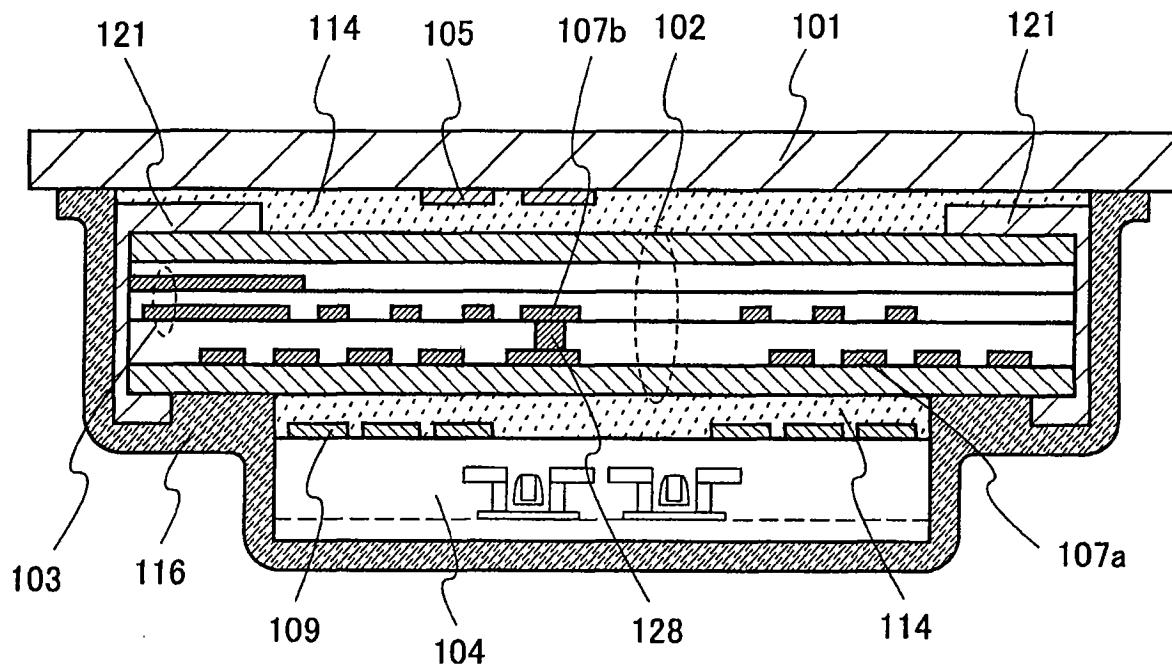


图10B

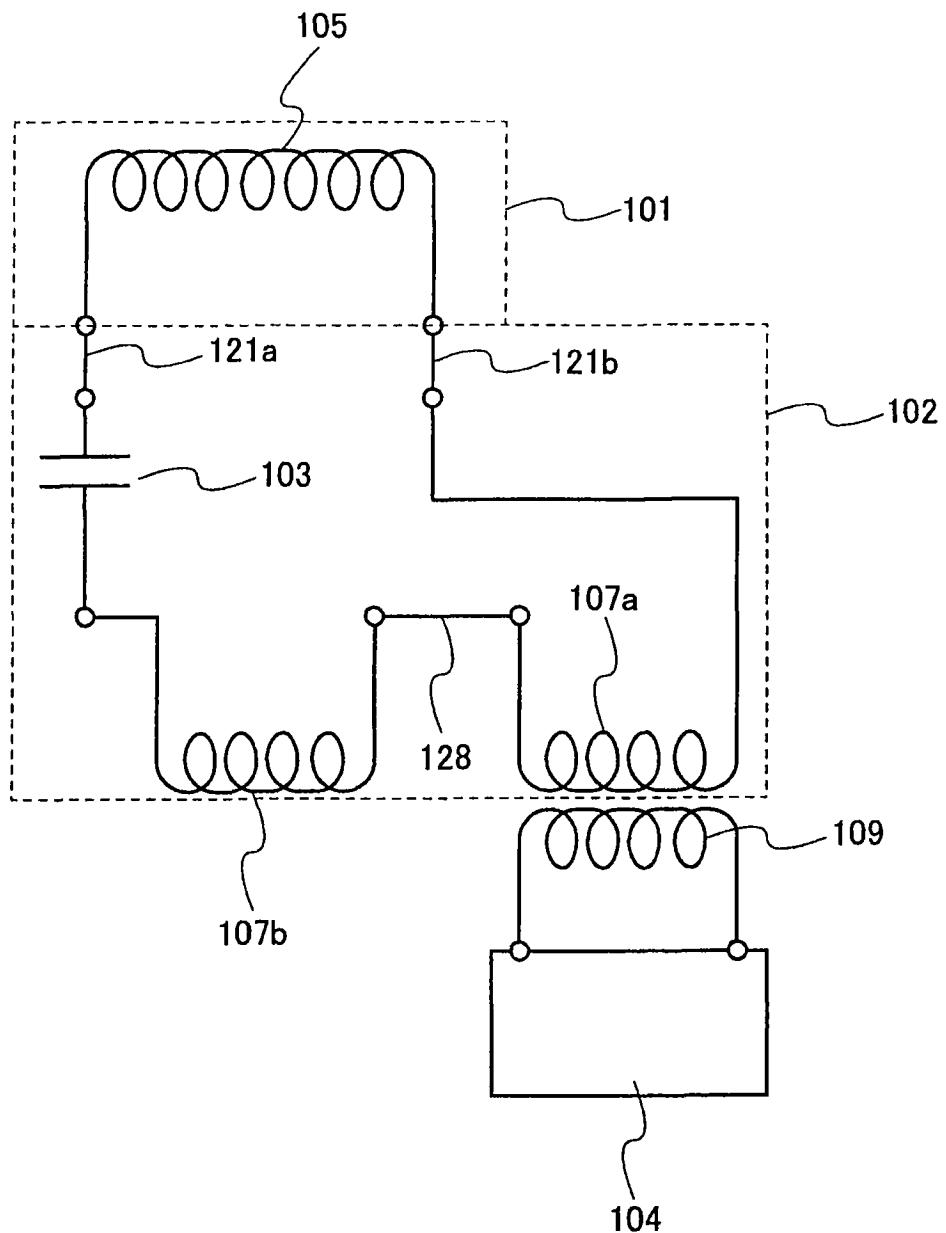


图11

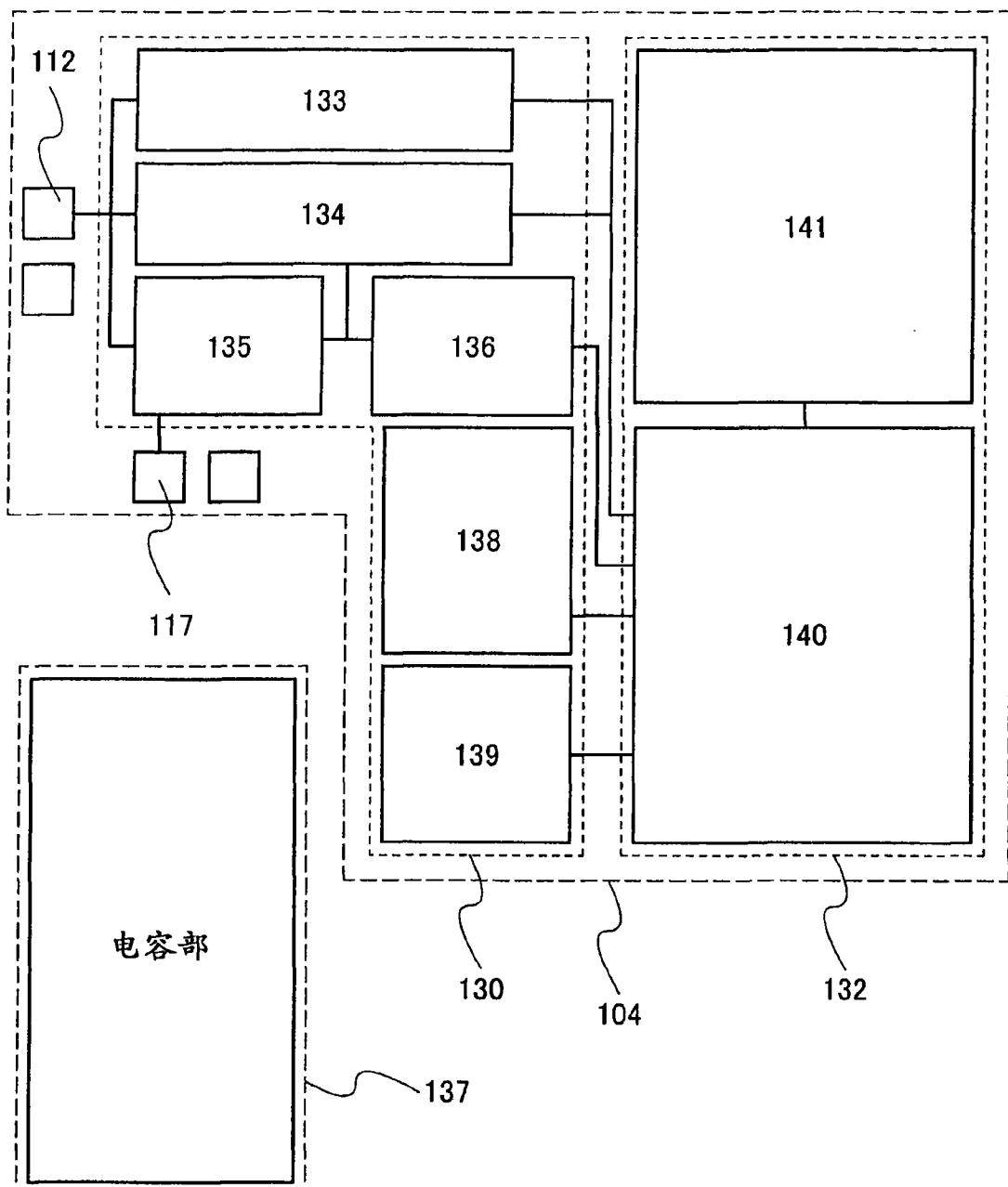


图12

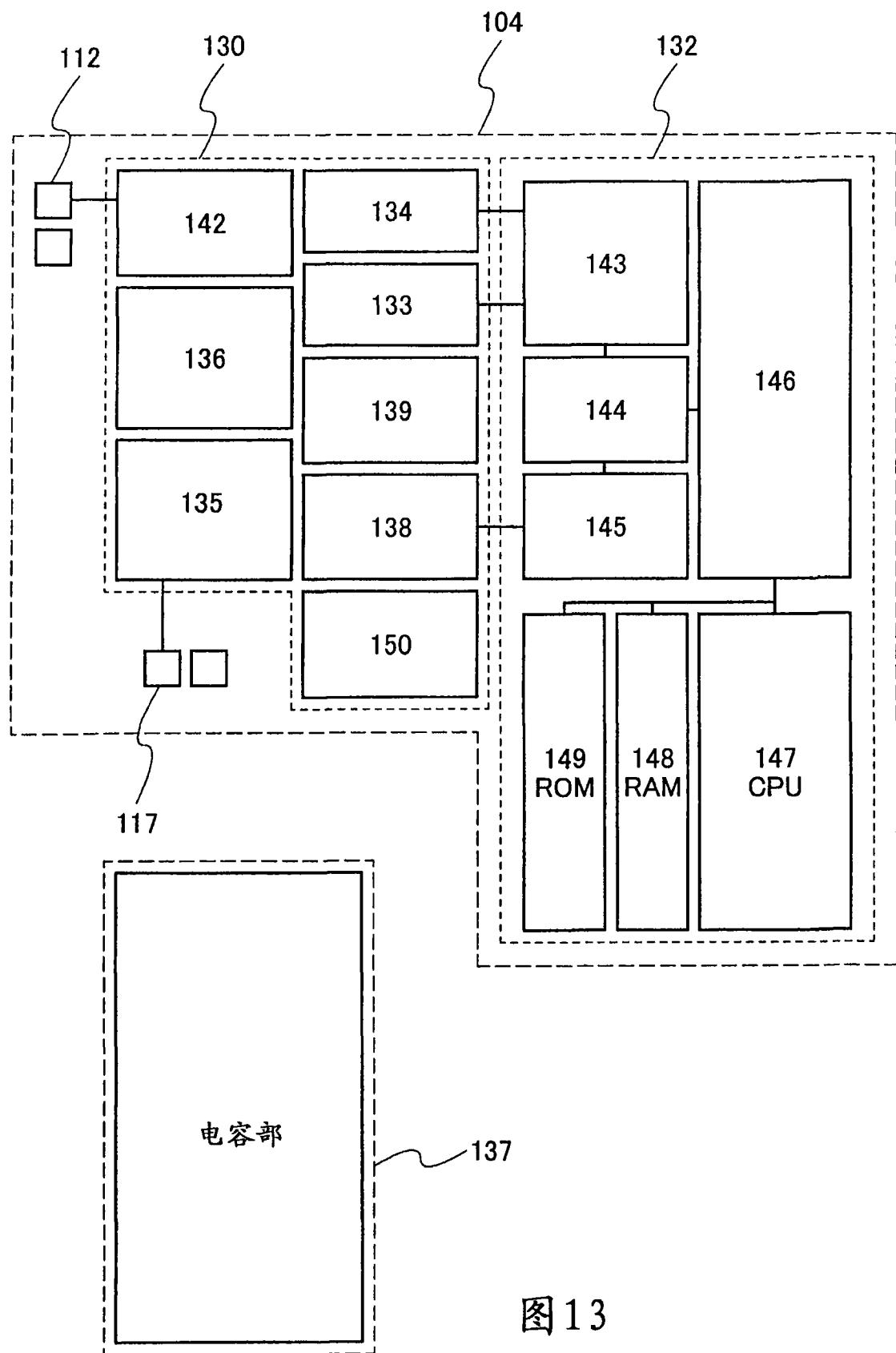


图 13

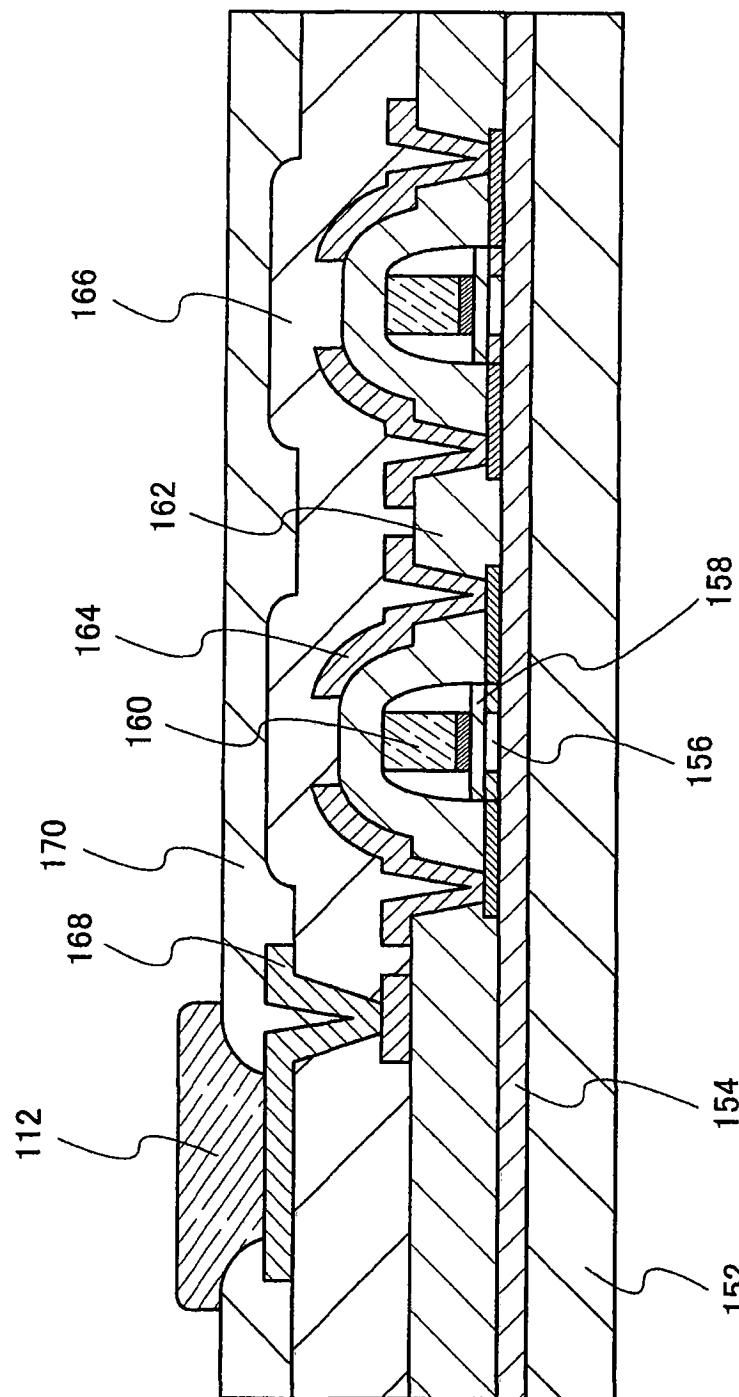


图 14

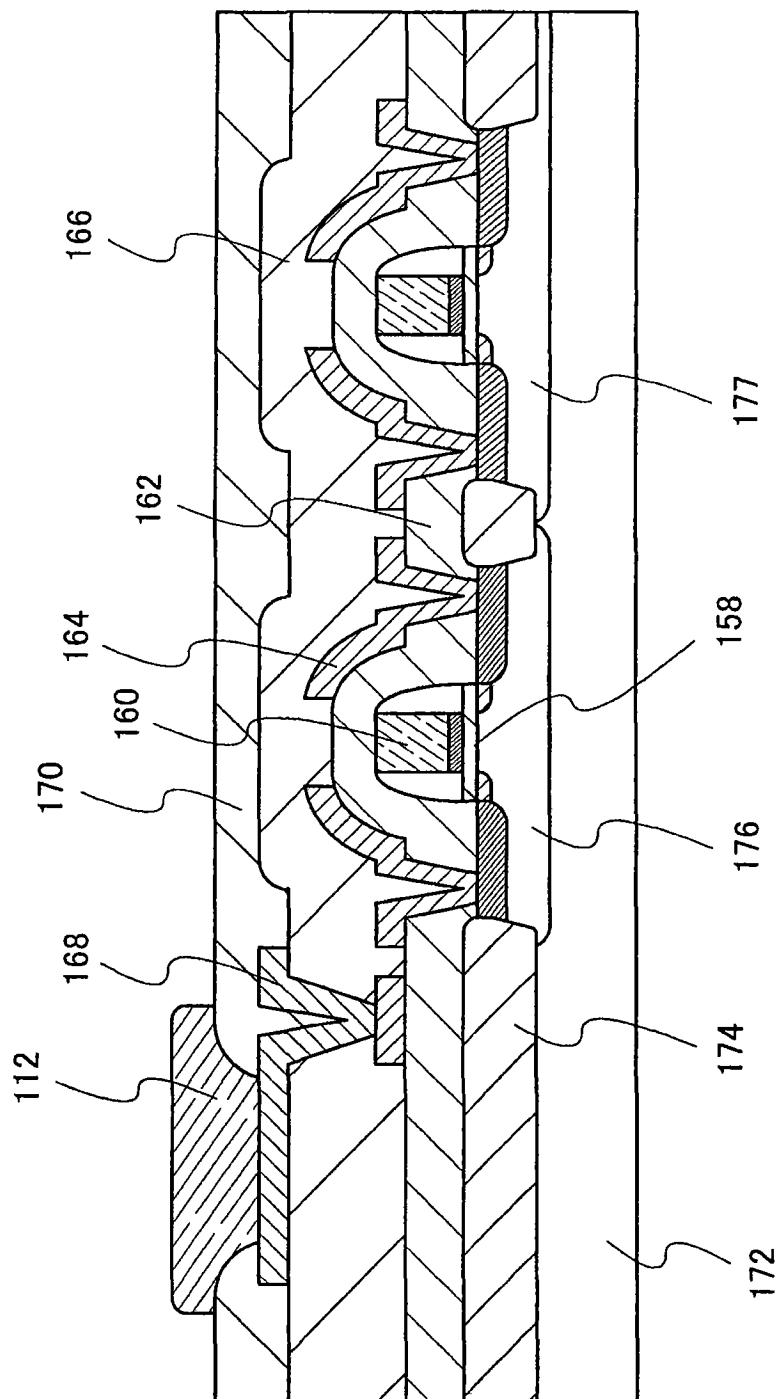


图 15

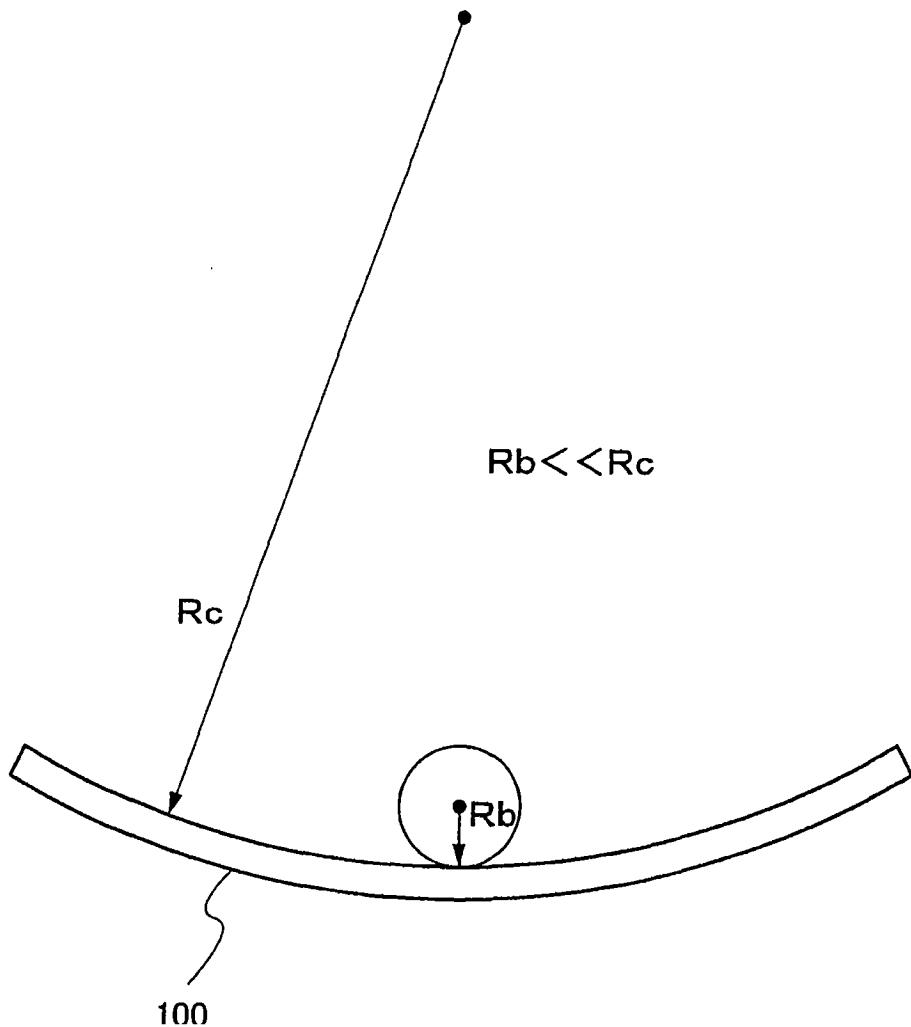


图16

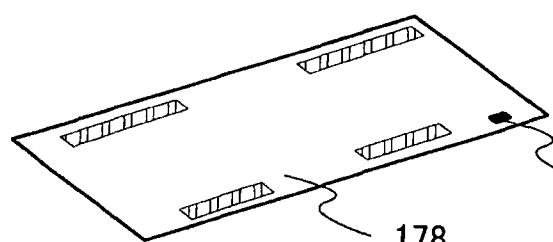


图17A

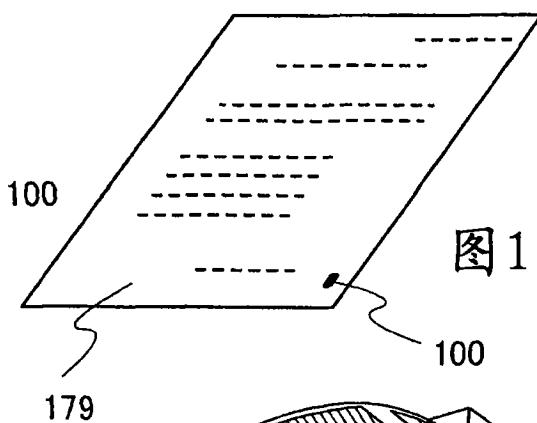


图17B

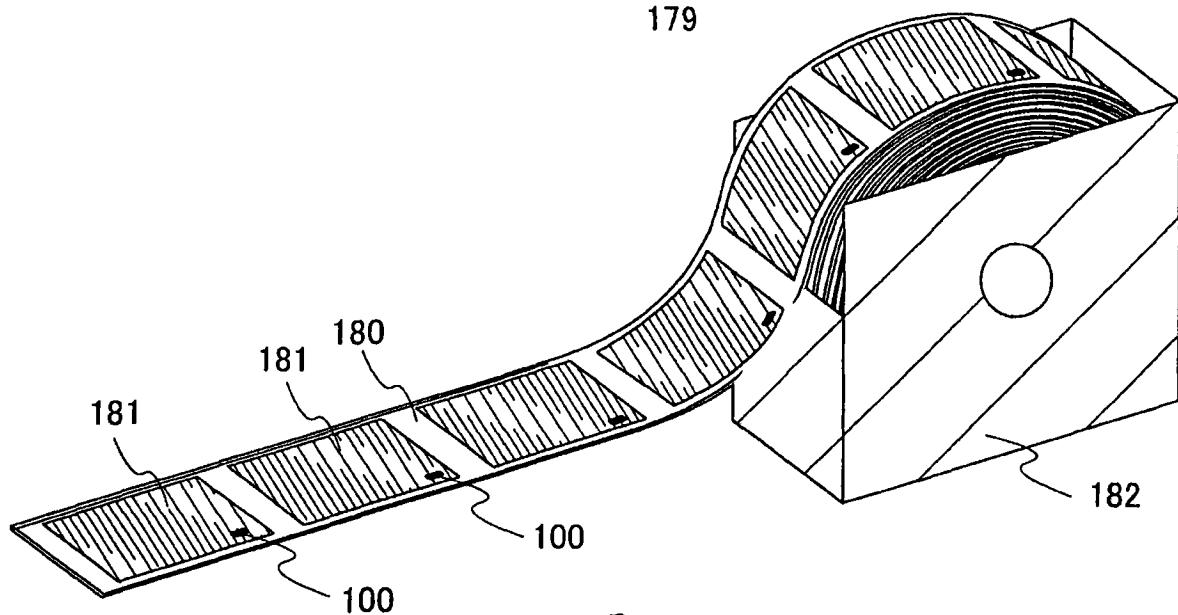


图17C

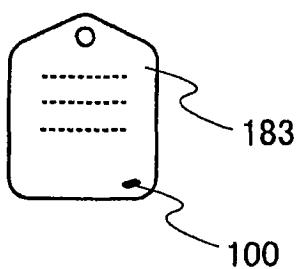


图17D

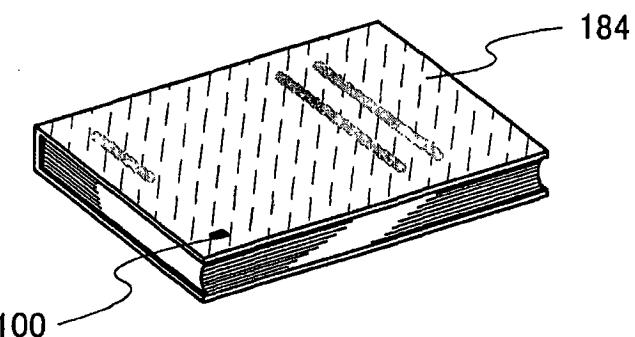


图17E