



(12)发明专利

(10)授权公告号 CN 104282574 B

(45)授权公告日 2020.01.17

(21)申请号 201410313059.6

(51)Int.CI.

(22)申请日 2014.07.02

H01L 21/336(2006.01)

(65)同一申请的已公布的文献号

H01L 29/78(2006.01)

申请公布号 CN 104282574 A

H01L 29/06(2006.01)

(43)申请公布日 2015.01.14

审查员 梁健

(30)优先权数据

13/934053 2013.07.02 US

(73)专利权人 通用电气公司

地址 美国纽约州

(72)发明人 A.V.博罗特尼科夫 P.A.罗西

(74)专利代理机构 中国专利代理(香港)有限公司 72001

代理人 叶晓勇 姜甜

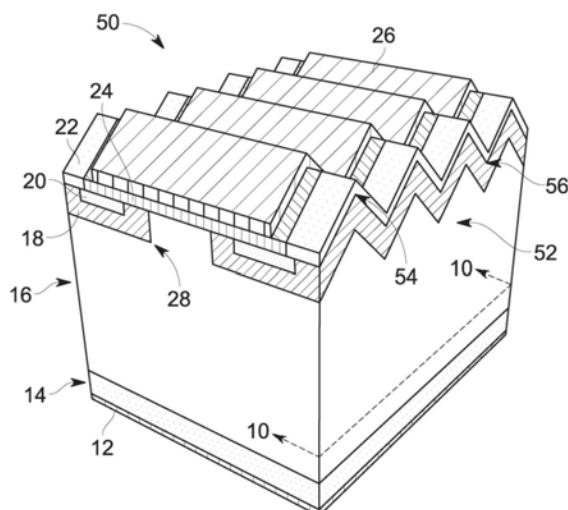
权利要求书2页 说明书11页 附图9页

(54)发明名称

一种半导体装置以及其制造方法

(57)摘要

本发明提供一种半导体装置以及制造方法，所述半导体装置包括碳化硅(SiC)漂移层，其安置于(0001)取向的SiC基底上。所述SiC漂移层具有非平面表面，所述非平面表面包括多个重复特征，所述多个重复特征平行于所述半导体装置的沟道的长度取向。此外，所述沟道区域安置在所述SiC漂移层的特定晶面内。



1.一种半导体装置,包括:

碳化硅SiC漂移层,其安置在(0001)取向的SiC基底之上,其中所述SiC漂移层包括非平面表面,所述非平面表面包括具有沟槽的多个重复特征,所述多个重复特征平行于所述半导体装置的沟道的长度取向,并且其中所述沟道安置在所述SiC漂移层的特定晶面内,其中所述重复特征中的掺杂剂浓度在数值上小于或等于所述SiC漂移层的临界电荷的大约两倍以所述重复特征的宽度。

2.根据权利要求1所述的装置,进一步包括非平面阱区,所述阱区以保角方式沿所述SiC漂移层的所述非平面表面的至少一部分安置。

3.根据权利要求2所述的装置,其中所述重复特征的深度小于或等于所述SiC漂移层的厚度的约10%。

4.根据权利要求2所述的装置,进一步包括:

非平面介电层,所述非平面介电层以保角方式安置在所述SiC漂移层的至少一部分以及所述阱区的一部分之上;以及

非平面栅极,所述非平面栅极以保角方式安置在所述非平面介电层的至少一部分之上。

5.根据权利要求1所述的装置,其中所述重复特征包括三角形特征。

6.根据权利要求5所述的装置,其中所述重复三角形特征将所述沟道的宽度增大了等于大约 $2a/b$ 的值,其中a是所述重复三角形特征的侧面的长度,并且其中b是所述重复三角形特征的底座的长度或者所述重复三角形特征的间距。

7.根据权利要求5所述的装置,其中所述晶面是所述SiC漂移层的{0338}平面。

8.根据权利要求1所述的装置,其中所述重复特征包括矩形特征。

9.根据权利要求8所述的装置,其中所述重复矩形特征将所述沟道的宽度增大了等于大约 $(2a+b)/b$ 的值,其中a是所述重复矩形特征的高度,并且其中b是所述重复矩形特征的间距。

10.根据权利要求8所述的装置,其中所述晶面是所述SiC漂移层的{1120}平面。

11.根据权利要求8所述的装置,其中所述晶面是所述SiC漂移层的{1100}平面。

12.根据权利要求1所述的装置,其中所述多个重复特征中的每个特征的掺杂剂浓度大于所述SiC漂移层的剩余部分中的掺杂剂浓度。

13.根据权利要求1所述的装置,其中半导体装置是格状半导体装置,其具有三角形、矩形或蜂窝式格状设计。

14.根据权利要求13所述的装置,其中所述半导体装置是格状半导体装置,其具有蜂窝式格状设计,并且其中所述沟道沿所述SiC漂移层的{1120}平面对齐。

15.一种半导体装置制造方法,所述方法包括:

在碳化硅SiC漂移层之上形成非平面表面,其中所述非平面表面包括具有沟槽的多个重复三角形或矩形特征,所述多个重复三角形或矩形特征具有沿所述SiC漂移层的{0338}平面、{1120}平面或{1100}平面取向的侧壁;

从所述SiC漂移层的所述非平面表面的至少一部分形成非平面阱区;以及

从所述非平面阱区的至少一部分形成非平面n+或p+区域，
其中所述多个重复三角形或矩形特征中的特定掺杂剂浓度在数值上小于或等于所述SiC漂移层的临界电荷的大约两倍除以所述重复特征的宽度。

16. 根据权利要求15所述的方法，其中形成所述非平面表面包括使用防倾斜掩模技术、灰度光刻技术或其组合来形成所述非平面表面。

17. 根据权利要求15所述的方法，进一步包括将所述多个重复三角形或矩形特征掺杂到特定掺杂剂浓度，所述特定掺杂剂浓度大于所述SiC漂移层的剩余部分中的掺杂剂浓度。

18. 一种半导体装置，包括：

碳化硅SiC漂移层，其安置在(0001)取向的SiC基底之上，其中所述SiC漂移层包括非平面表面，所述非平面表面包括具有沟槽的多个重复三角形或矩形特征，所述多个重复三角形或矩形特征具有侧壁，所述侧壁配置成将所述半导体装置的沟道区域安置在所述SiC漂移层的晶面内，其中所述晶面是所述SiC漂移层的{0338}平面、{1120}平面或{1100}平面，并且其中所述重复三角形或矩形特征的掺杂剂浓度大于所述SiC漂移层的剩余部分中的掺杂剂浓度，其中所述重复三角形或矩形特征的所述掺杂剂浓度在数值上为所述SiC漂移层的临界电荷的大约两倍除以所述重复三角形或矩形特征的宽度。

19. 根据权利要求18所述的装置，其中所述重复三角形或矩形特征的高度小于或等于所述SiC漂移层的厚度的约10%。

一种半导体装置以及其制造方法

技术领域

[0001] 本发明涉及一种金属-氧化物-半导体(MOS)装置，例如碳化硅(SiC)功率器件(例如，MOSFET、IGBT等)。

背景技术

[0002] 本部分旨在向读者介绍可能与以下描述和/或提出权利要求的本发明的各个方面相关的各个技术方面。相信这样的讨论有助于向读者提供背景信息，以有利于更好地理解本发明的各个方面。因此，应理解这些陈述都需要从这个角度来解读，而不是承认这些陈述是现有技术。

[0003] 动力电子系统广泛用于现代电气系统中，以便将一种形式的电力转换成另一种形式的电力，以供负载使用。许多电力电子系统将多种半导体装置和部件，例如硅可控整流器、二极管和多种类型的晶体管(例如，金属-氧化物-半导体场效应晶体管(MOSFET)、结型栅场效应晶体管(JFET)、绝缘栅双极晶体管(IGBT)和其他适当晶体管)，用于此能量变换过程中。

[0004] 尤其是对于高压和/或强电流应用而言，相对于对应的硅(Si)装置，使用诸如碳化硅(SiC)、氮化铝(AlN)、氮化镓(GaN)等宽禁带(bandgap)半导体的装置拥有在高温操作、导通电阻减小以及电路小片(die)尺寸较小方面的多个优势。因此，宽禁带半导体装置为电气转换应用提供了多个优势，所述电气转换应用包括，例如，配电系统(例如，在电网中)、发电系统(例如，太阳能和风能转换器中)以及消费品(例如，电动车辆、电气用具、电源等)。但是，例如，SiC与Si材料系统之间的差异可能导致适用于Si装置的特定材料处理和结构特征(例如，装置设计和/或制造工艺)不适用于特定的SiC半导体装置，反之亦然。因此，除了其优势之外，宽禁带半导体材料的设计和制造期间还存在各种挑战。

发明内容

[0005] 下文概述了与最初提出权利要求的本发明的范围相符的某些实施例。这些实施例并不意图限制本发明的范围，相反，这些实施例仅意图提供本发明的可能形式的简述。实际上，本发明可涵盖可以与下述实施例类似或不同的各种形式。

[0006] 在一个实施例中，本发明提供一种半导体装置，所述半导体装置包括碳化硅(SiC)漂移层，其安置于(0001)取向的SiC基底上。所述SiC漂移层具有非平面表面，所述非平面表面包括多个重复特征，所述多个重复特征平行于所述半导体装置的沟道(channel)区域取向。此外，所述沟道区域安置在所述SiC漂移层的特定晶面内。

[0007] 优选地，包括非平面阱区，所述阱区以保角(conformally)方式沿所述SiC漂移层的所述非平面表面的至少一部分安置。

[0008] 优选地，其中所述重复特征的深度小于或等于所述SiC漂移层的厚度的约10%。

[0009] 优选地，包括：非平面介电层，所述非平面介电层以保角方式安置在所述SiC漂移层的至少一部分以及所述阱区的一部分之上；以及非平面栅极，所述非平面栅极以保角方

式安置在所述非平面介电层的至少一部分之上。

[0010] 优选地,其中所述重复特征包括三角形尖峰特征。

[0011] 优选地,其中所述重复三角形尖峰特征将所述沟道的宽度增大了等于大约 $2a/b$ 的值,其中a是所述重复三角形尖峰特征的侧面的长度,并且其中b是所述重复三角形尖峰特征的底座的长度或者所述重复三角形尖峰特征的间距(pitch)。

[0012] 优选地,其中所述晶面是所述SiC漂移层的 $\{0\bar{3}3\bar{8}\}$ 平面。

[0013] 优选地,其中所述重复特征包括矩形尖峰特征。

[0014] 优选地,其中所述重复矩形尖峰特征将所述沟道的宽度增大了等于大约 $(2a+b)/b$ 的值,其中a是所述重复矩形尖峰特征的高度,并且其中b是所述重复矩形尖峰特征的间距。

[0015] 优选地,其中所述晶面是所述SiC漂移层的 $\{11\bar{2}0\}$ 平面。

[0016] 优选地,其中所述晶面是所述SiC漂移层的 $\{1\bar{1}00\}$ 平面。

[0017] 优选地,其中所述多个重复特征中的每个特征的掺杂剂浓度大于所述SiC漂移层的剩余部分中的掺杂剂浓度。

[0018] 优选地,其中所述重复特征中的所述掺杂剂浓度小于或等于所述SiC漂移层的临界电荷除以所述重复特征的宽度的大约两倍。

[0019] 优选地,其中半导体装置是格状半导体装置,其具有三角形、矩形或蜂窝式格状设计。

[0020] 优选地,其中所述半导体装置是格状半导体装置,其具有蜂窝式格状设计,并且其中所述沟道沿所述SiC漂移层的 $\{11\bar{2}0\}$ 平面对齐。

[0021] 在另一个实施例中,本发明提供一种半导体装置制造方法,所述方法包括:在碳化硅(SiC)漂移层之上形成非平面表面,其中所述非平面表面包括多个重复特征,所述多个重复特征具有沿所述SiC漂移层的 $\{0\bar{3}3\bar{8}\}$ 平面、 $\{11\bar{2}0\}$ 平面或 $\{1\bar{1}00\}$ 平面取向的侧壁。所述方法包括:从所述SiC漂移层的所述非平面表面的至少一部分形成非平面阱区(well region);以及从所述非平面阱区的至少一部分形成非平面n+或p+区域。

[0022] 优选地,其中形成所述非平面表面包括使用防倾斜掩模技术、灰度光刻技术或其组合来形成所述非平面表面。

[0023] 优选地,包括将所述重复三角形或矩形特征掺杂到特定掺杂剂浓度,所述特定掺杂剂浓度大于所述SiC漂移层的剩余部分中的掺杂剂浓度,其中所述特定掺杂剂浓度小于或等于所述SiC漂移层的临界电荷除以所述重复特征的宽度的两倍。

[0024] 在另一个实施例中,本发明提供一种半导体装置,所述半导体装置包括碳化硅(SiC)漂移层,其安置于(0001)取向的SiC基底上。所述SiC漂移层具有非平面表面,所述非平面表面具有多个重复的三角形或矩形特征,所述多个重复的三角形或矩形特征具有侧壁,所述侧壁配置成在诸如所述SiC漂移层的 $\{0\bar{3}3\bar{8}\}$ 平面、 $\{11\bar{2}0\}$ 平面或 $\{1\bar{1}00\}$ 平面等所述SiC漂移层的晶面中安置所述半导体装置的沟道区域。此外,所述重复的三角形或矩形特征的掺杂剂浓度大于所述SiC漂移层的剩余部分中的掺杂剂浓度。

[0025] 优选地，其中所述重复三角形或矩形特征的高度小于或等于所述SiC漂移层的厚度的约10%，并且其中所述重复特征的所述掺杂剂浓度为所述SiC漂移层的临界电荷除以所述重复三角形或矩形特征的宽度的大约两倍。

附图说明

[0026] 在参考附图阅读以下详细说明后，将更好地理解本发明的这些和其他特征、方面和优点，在附图中，类似的符号代表所有附图中类似的部分，其中：

[0027] 图1是典型平面MOSFET装置的示意图；

[0028] 图2是示意图，其中示出了典型MOSFET装置的各个区域的电阻；

[0029] 图3是根据本发明一个实施例的立式非平面MOSFET装置的示意图，其中所述立式非平面MOSFET装置具有三角形波装置轮廓；

[0030] 图4是根据本发明一个实施例的非平面横向MOSFET装置的示意图，其中所述非平面横向MOSFET装置具有三角波装置轮廓；

[0031] 图5是根据本发明一个实施例的非平面MOSFET装置的示意图，其中所述非平面MOSFET装置具有矩形波装置轮廓；

[0032] 图6是根据本发明一个实施例的非平面MOSFET装置的示意图，其中所述非平面MOSFET装置具有正弦波装置轮廓；

[0033] 图7A是示出4H-SiC或6-H-SiC六角SiC晶体的(0001)晶面的图解；

[0034] 图7B是示出4H-SiC或6-H-SiC六角SiC晶体的垂直($\bar{1}\bar{1}00$)晶面的图解；

[0035] 图7C是示出4H-SiC或6-H-SiC六角SiC晶体的垂直($\bar{1}\bar{1}\bar{2}0$)晶面的图解；

[0036] 图7D是示出4H-SiC或6-H-SiC六角SiC晶体的($0\bar{3}3\bar{8}$)晶面的图解；

[0037] 图8是曲线图，其中示出了平面SiC MOSFET装置的漏极特性、一个非平面SiC MOSFET装置实施例的漏极特性以及具有沿特定晶面安置的沟道的一个非平面SiC MOSFET装置实施例的漏极特性；

[0038] 图9是曲线图，其中示出了平面MOSFET装置的反向电流-电压(IV)特性以及一个非平面MOSFET装置实施例的反向电流-电压特性；

[0039] 图10是根据本发明一个实施例的图3所示MOSFET装置的截面图；

[0040] 图11是图3所示MOSFET装置的一个实施例的截面图，其中所述MOSFET装置具有较深的沟槽特征并且在沟槽特征之间的漂移区域中具有较高掺杂浓度(例如，相对于p-/n-阱区下方的漂移层的掺杂浓度而言)；

[0041] 图12是根据本发明一个实施例的图5所示MOSFET装置的截面图；

[0042] 图13是图5所示MOSFET装置的一个实施例的截面图，其中所述MOSFET装置具有较深的沟槽特征并且在沟槽特征之间的漂移区域中具有较高掺杂浓度(例如，相对于p-/n-阱区下方的漂移层的掺杂浓度而言)；以及

[0043] 图14是示出根据本发明一个实施例的蜂窝式格状(cellular)SiC装置设计的图解。

具体实施方式

[0044] 以下将描述一个或多个特定实施例。为了提供这些实施例的简要描述，说明书中可能不会描述实际实现方案中的所有特征。应了解，在任何工程或设计项目中开发任何此类实际实现方案时，均应当做出与实现方案特定相关的各种决定，以实现开发人员的特定目标，例如，是否要遵守与系统相关以及与业务相关的限制，这些限制可能会因实现方案的不同而有所不同。另外，应当了解，此类开发工作可能复杂而且耗时，但对所属领域中受益于本发明的普通技术人员而言，这将仍是设计、制造以及生产中的常规任务。

[0045] 在介绍本发明各实施例中的元件时，冠词“一”、“一个”以及“所述”旨在表示有一个或多个这种元件。术语“包括”和“具有”旨在表示包括性含义，且表示除了所列元件外，可能还有其他元件。此外，应理解，对本发明的“一项实施例”或“一个实施例”的引用并不代表不存在同样含有所述特征的其他实施例。

[0046] 现代电力电子设备的一个基本构建块是场效应晶体管(FET)装置。例如，图1示出了平面N沟道场效应晶体管，即双扩散金属-氧化物-半导体场效应晶体管(DMOSFET)的有源单元，以下称MOSFET装置10。可以理解的是，为了更清楚地图示MOSFET装置10的特定部件以及下述的其他装置，可以省略特定的公知设计元素(例如，顶部金属化、钝化(passivation)、边缘端接(edge termination)等)。图1所示的MOSFET装置10包括漏极接点12，所述漏极接点安置在装置底部，位于N型基底层14的下方。基底层14的上方安置有N型漂移层16。在MOSFET装置10的表面附近，p阱18(例如，阱区18)和n+区域20位于源极接点22的下方。此外，介电层24将栅极26与n+区域20和p阱18隔开。在操作期间，施加适当的栅极电压(例如，等于或高于MOSFET装置10的阈值电压)能够在沟道区域28中形成反型层，从而允许电流在源极接点22与漏极接点12之间流动。应认识到，沟道区域28能够大体上由MOSFET装置的p阱区域18与栅极介电层24之间的界面界定。因此，沟道区域28的宽度或外周可以与MOSFET装置的表面积成比例，如下文进一步详述。

[0047] 如图2所示，MOSFET装置10的各区域可以各自具有相关的电阻，并且MOSFET装置10的总电阻(例如，导通状态电阻 $R_{ds}(\text{on})$)可以表示为这些电阻的总和。例如，如图2所示，MOSFET装置10的导通状态电阻 $R_{ds}(\text{on})$ 可以约等于以下项的总和：电阻 R_{s30} (例如，n+区域20的电阻和源极接点22的电阻)；电阻 $R_{ch\ 32}$ (例如，阱区18的反型沟道电阻)；电阻 R_{acc34} (例如，位于栅极氧化层24与“漂移层16中位于阱区18之间的部分”之间的存储层(accumulation layer)的电阻)；电阻 $R_{JFET\ 36}$ (例如，阱区18之间的颈部区域的电阻)；电阻 $R_{drift\ 38}$ (例如，漂移层16周围的电阻)；以及电阻 R_{sub40} (例如，基底层14周围的电阻)。

[0048] 为了减小MOSFET导通损耗，需要将MOSFET的一个或多个部件的电阻(例如， $R_{ds}(\text{on})$)降至最小。如果MOSFET的沟道电阻占据总MOSFET电阻的绝大部分并且/或者MOSFET的沟道迁移率较低，则MOSFET装置(例如，图1所示的MOSFET 10)的导通电阻(例如， $R_{ds}(\text{on})$)可能变得相当大并且影响装置性能。因此，需要以减小装置导通电阻的方式来设计MOSFET装置。此外，可以理解的是，一些MOSFET装置(例如，SiC MOSFET装置)的反型层载流子迁移率通常低于(例如，沟道电阻 $R_{ch\ 32}$ 高于)类似的硅MOSFET装置。因此，可能特别需要通过最小化(例如，减小、限制或减轻)MOSFET沟道部件的电阻来设计出导通电阻较低的MOSFET装置(例如，SiC MOSFET装置)。此外，如上所述，SiC基底可以支持原本难以实施或不适用于Si基底的装置制造技术。

[0049] 因此,本说明书中公开的是用于减小MOS栅极的和/或MOS控制的半导体装置(例如,MOSFET、绝缘栅双极晶体管(IGBT)、绝缘底座MOS控制的硅可控整流器(IBMCT)、基区电阻MOS控制的硅可控整流器(BRT)等)的导通电阻的多种装置结构和方法。如下文详细所述,本发明的实施例能够制造表面积增大且沟道宽度增大(例如,沟道外周增大)的非平面半导体装置,从而生产电阻较低的装置。例如,如下所述,本说明书中公开的实施例包括具有重复沟槽特征的半导体装置(例如,SiC装置)的多个实例,例如,所述沟槽特征提供类似于正弦波、三角波、矩形波、锯齿波的装置轮廓。所公开的装置实施例增大了单位装置(以及单位电路小片)的有效表面积,从而在减小沟道电阻之外,还能够减小一个或多个接点电阻;并且还通过增大半导体装置的接触面积来改进散热性能。此外,如下文详述,本方法还适用于格状装置设计(例如,SiC格状装置设计),例如方形或蜂巢状结构,以进一步减小装置的沟道电阻并且/或者减小装置的总导通电阻(例如, $R_{ds(on)}$)。应注意,尽管下述的装置实施例被表现为SiC装置,但是这些仅作为实例。在其他实施例中,半导体装置可以由硅(Si)、锗(Ge)、氮化铝(AlN)、氮化镓(GaN)、砷化镓(GaAs)、钻石(C)或者不消除本发明方法的效果的其他任何半导体材料制成。

[0050] 鉴于上述内容,图3是非平面SiC N沟道DMOSFET装置50的一个实施例的示意图,以下称MOSFET装置50。类似于图1所示的MOSFET装置10,图3所示的MOSFET装置50包括漏极接点12,所述漏极接点安置在装置的底部上,位于N型基底层14的下方。基底层14的上方安置有N形漂移层16(例如,外延SiC层)。在MOSFET装置50的表面附近,阱区18(例如,p阱18)和n+区域20位于源极接点22下方。此外,介电层24将栅极26与n+区域20和p阱18隔开。尽管图示的MOSFET装置50以及下述的其他MOSFET装置被图示和描述为具有特定掺杂方式(例如,p阱18和n+区域20),但是所属领域中的技术人员将认识到,在其他实施例中,MOSFET装置的各层可以按照相反方式(例如,使用n阱和p+区域)进行掺杂。

[0051] 与装置制成了平坦表面上的图1所示的MOSFET装置10不同,图3所示的MOSFET装置50的表面轮廓52呈三角波形状,具有重复的尖峰特征54和沟槽特征56。因此,漂移层16的表面、p阱18和n+区域20、源极接点22、栅极介电层24和栅极26可以各自呈现此三角波形状(例如,具有重复的尖峰特征54和沟槽特征56)。此外,MOSFET 50的沟道区域28(例如,平行于重复的尖峰特征54和沟槽特征56取向)可以类似地呈现此三角波形状,从而凭借重复的尖峰特征54和沟槽特征56而得到沟道宽度增大(例如,沟道外周增大)的沟道区域28。如上所述,MOSFET装置50中的沟道区域28的宽度增大能够减小MOSFET装置50的一个或多个独立电阻(例如,位于源极与n+区域18之间的沟道电阻和/或接点电阻),从而减小MOSFET装置50的导通电阻($R_{ds(on)}$)。

[0052] 类似地,图4是非平面SiC横向MOSFET装置60的另一个实施例的示意图,以下称LMOSFET装置60。类似于图3所示的MOSFET装置50,图4所示的N沟道LMOSFET装置60包括n型或p型基底层14,其上安置有p型漂移层16。在LMOSFET装置60的表面附近,第一n阱62A位于源极接点22下方,而第二n阱62B位于漏极接点64下方。此外,介电层24将栅极26与n阱62A和62B隔开。在图示的LMOSFET装置60的操作期间,若施加的栅极电压超出装置阈值电压,则沟道区域66(例如,漂移层16与栅极氧化层24之间的界面处)中可能形成导电沟道(例如,反型层),使得电荷载流子能够在源极接点22与漏极接点64之间横向流动。

[0053] 类似于图3所示的MOSFET装置50,图4中所示的LMOSFET装置60的表面轮廓52呈三

角波形状,具有重复的尖峰特征54和沟槽特征56。因此,漂移层16的表面、n阱62A和62B、源极接点22、栅极介电层24、栅极26以及漏极接点64可以各自呈现此三角波形状(例如,具有重复的尖峰特征54和沟槽特征56)。此外,LMOSFET60的沟道区域66(例如,平行于重复的尖峰特征54和沟槽特征56取向)可以类似地呈现此三角波形状,从而凭借重复的尖峰特征54和沟槽特征56而得到沟道宽度增大(例如,沟道外周增大)的沟道区域66。如上所述,LMOSFET 60中的沟道区域66的宽度增大能够减小LMOSFET装置60的一个或多个独立电阻(例如,位于源极/漏极与n+区域18之间的沟道电阻和/或接点电阻),从而减小LMOSFET装置60的总导通电阻。

[0054] 图5和图6是具有非平面几何结构的MOSFET装置的实施例的示意图。具体来说,图5示出了具有装置轮廓72的SiC DMOSFET装置70,以下称MOSFET装置70,其中所述装置轮廓类似于具有矩形尖峰特征74和矩形沟槽特征76的矩形波。图6示出了具有装置轮廓82的SiC DMOSFET装置80,以下称MOSFET装置80,所述装置轮廓类似于具有重复的圆形尖峰特征84和圆形沟槽特征86的正弦波。可以认识到,所公开的装置轮廓(例如,装置轮廓52、72和82)仅作为非平面轮廓的实例提供,并不意图作为限定性的。此外,可以认识到,各自如图5和图6所示的MOSFET装置70和80可以包括多个上文相对于图1所示的MOSFET装置10所述的对应装置特征(例如,漏极接点12、n型基底14、n型漂移层16、p阱18、n+区域20、源接点22、介电层24和栅极26)。

[0055] 图5所示的MOSFET装置70的矩形波表面轮廓72使得漂移层16的表面、p阱18、n+区域20、源极接点22、栅极介电层24和栅极26呈现类似的矩形波形状(例如,具有重复的尖峰特征74和沟槽特征76)。类似地,图6所示的MOSFET装置80的正弦波表面轮廓82使得漂移层16的表面、p阱18、n+区域20、源极接点22、栅极介电层24和栅极26呈现正弦波形状(例如,具有重复的尖峰特征84和沟槽特征86)。此外,由于重复的尖峰特征(例如,矩形尖峰特征74或圆形尖峰特征84)和沟槽特征(例如,矩形沟槽特征76或圆形沟槽特征86),MOSFET装置70和80的沟道区域28(例如,分别平行于重复的尖峰特征74和84以及重复的沟槽特征76和86取向)的沟道宽度相对于平面装置较大(例如,沟道外周较大)。如上所述,MOSFET装置70和80中的沟道区域28的宽度增大能够减小MOSFET装置70和80的一个或多个独立电阻(例如,位于源极与n+区域18之间的沟道电阻和/或接点电阻),从而减小对应装置的导通电阻。

[0056] 如上所述,相对于图3到图6而言,本说明书中公开的多个非平面MOSFET装置各自增大了单位装置的有效表面积并且增大了沟道宽度,从而使得能够制造特定装置,例如导通电阻较低的装置。此外,可以认识到,SiC装置可以由SiC晶体制备,以使SiC装置的特定特征沿SiC晶体的特定晶面取向或对齐。鉴于此,图7中示出了六角SiC晶体90(例如,4H-SiC或6H-SiC)的晶面的一个实例。具体来说,图7A示出了4H-SiC或6H-SiC晶体的(0001)平面92(代表{0001}平面系),所述平面用作界定其他晶面的基础。图7B和7C分别示出了4H-SiC或6H-SiC晶体90的垂直($\bar{1}\bar{1}00$)平面94(代表{ $\bar{1}\bar{1}00$ }平面系)和垂直($11\bar{2}0$)平面96(代表{ $11\bar{2}0$ }平面系)。此外,图7D示出了4H-SiC或6H-SiC晶体90的($0\bar{3}3\bar{8}$)平面98(代表{ $0\bar{3}3\bar{8}$ }平面系),所述平面以相对于(0001)平面102呈角度100(例如,约55°或54.74°)的方式取向。可以一般性地认识到,标号{abcd}是指出于晶格的对称性而等效于(abcd)平面的所有平面的集合,如所属领域中的技术人员所认识到的那样。

[0057] 此外,可以认识到,多个平面(例如,平面92、94、96和98)可以使得沿特定晶面取向或与其对齐的多个装置元件具有不同的电气性质。例如,在特定实施例中,沿特定平面安置SiC MOSFET装置的沟道(例如,沟道区域28)使得沟道能够具有较高的有效反型沟道(inversion channel)迁移率。作为具体实例,安置在图7C所示的 $(\bar{1}\bar{1}20)$ 平面96中的沟道可以支持约43平方厘米/伏秒(cm^2/Vs)的有效沟道迁移率;安置在图7B所示的 $(\bar{1}\bar{1}00)$ 平面94中的沟道可以支持约32 cm^2/Vs 的有效沟道迁移率;以及安置在 $(0\bar{3}3\bar{8})$ 平面98中的沟道可以支持约35 cm^2/Vs 的有效沟道迁移率。因此,在特定实施例中,沟槽特征(例如,图3到图6中所示的沟槽特征56、76和86的壁)可以沿特定平面(例如,图7中所示的平面92、94、96和98)取向(例如,与对应的沟道区域28一起),以进一步提高所公开的MOSFET装置(例如,图3到图6所示的MOSFET装置50、60、70和80)的有效反型沟道迁移率(因此而减小导通电阻)。

[0058] 应认识到,可以使用传统半导体制造技术(例如,光刻法、离子注入法、退火、化学蒸汽沉积(CVD)、电介质沉积、栅极金属沉积、欧姆接触沉积等)来制造非平面SiC MOSFET装置(例如,图3到图6中所示的MOSFET装置50、60、70和80)。例如,在特定实施例中,非平面SiC表面(例如,具有图3和图4中所示的三角波轮廓52、具有图5中所示的矩形波轮廓72或者具有图6中所示的正弦波轮廓82)可以通过湿法或干法蚀刻穿过光刻掩模来形成。因此,例如,可以通过蚀刻化学性质/条件、掩模材料(例如,用于倾斜蚀刻工艺或锥形轮廓蚀刻方法中的防倾斜掩模)以及/或者灰度光刻技术来控制沟槽的形状。应认识到,除了沿SiC晶体的特定平面(例如,图7中所示的平面92、94、96和98)的特定装置特征(例如,沟槽特征和/或沟道区域等)对齐或取向之外,在下文进一步详述的特定实施例中,特定装置尺寸和掺杂剂浓度也支持制造反型沟道迁移率增大的SiCMOSFET装置(例如,图3到图6中所示的MOSFET装置50、60、70和80)。

[0059] 图8和图9中以数值模拟的方式示出了使用不同几何构造或取向制造的MOSFET装置的特征实例。模拟参数包括:SiC基底、 $8 \times 10^{16} \text{ cm}^{-3}$ 漂移层掺杂、 $1 \mu\text{m}$ 沟槽深度、 $2 \mu\text{m}$ 沟槽间距、 $0.7 \mu\text{m}$ 沟槽长度、 $15 \text{ cm}^2/\text{Vs}$ 反型沟道迁移率。图8是在约20V的栅极电压下,所比较的不同MOSFET装置的漏极特性(例如, I_d 随源极-漏极电压(V_{ds})变化的曲线图120。如曲线图120所示,用线122表示的平面MOSFET装置(例如,图1中所示的MOSFET装置10)的斜度小于代表非平面MOSFET装置(例如,图3中所示的MOSFET装置50)的线124的斜度。例如,图3中所示的非平面MOSFET装置50的表面积约比图1中所示的MOSFET装置10大1.4倍,因而将非平面MOSFET装置的总导通电阻 $R_{ds}(\text{on})$ 减小了约14%。

[0060] 此外,图8所示曲线图120中的线126代表非平面MOSFET装置(例如,图3中所示的MOSFET装置50)的漏极特性,其中沟槽以使得沟道区域位于安置在基底14之上的SiC漂移层16的 $(\bar{0}\bar{3}3\bar{8})$ 平面98内的方式取向(代表 $<0001>$ 取向的4H-/6H-SiC晶片),如图7D所示。因此,线26示出了相对于仅使用非平面MOSFET结构,导通电阻 $R_{ds}(\text{on})$ 进一步减小14%。因此,由于曲线图120中示出的漏极特性通常表示导电沟道迁移率(例如,反型沟道迁移率)和导通电阻,因此图8中所示的曲线图120示出了能够针对特定的MOSFET装置实施例获得的一般性沟道。也就是说,在特定实施例中,非平面MOSFET装置(例如,图3到图6中所示的MOSFET装置50、60、70和80)可以相对于平面MOSFET装置(例如,图1中所示的MOSFET装置10)减小导通电阻并且/或者增大沟道迁移率,并且具有沿特定平面(例如,图7中所示的平面92、94、96和

98) 对齐或取向的导电沟道的非平面MOSFET装置(例如,图3到图6中所示的MOSFET装置50、60、70和80)可以进一步减小导通电阻并且/或者增大沟道迁移率。

[0061] 此外,图9是所比较的不同MOSFET装置的反向电流-电压(IV)特性(例如,漏极电流(I_d))随源极-漏极电压(V_{ds})变化的曲线图130。如曲线图130所示,相对于代表非平面MOSFET装置(例如,图3中所示的MOSFET装置50)的曲线134而言,代表平面MOSFET装置(例如,图1中所示的MOSFET装置10)的曲线132示出了在特定电压(例如,大于约1500V的 V_{ds})下的较小电流。因此,曲线图130中所示的反向IV特性通常表示相对于平面MOSFET装置(例如,图1中所示的MOSFET装置10)而言,非平面MOSFET装置(例如,图3中所示的MOSFET装置50)的阻断能力略微降低(例如,降低约3%)。应认识到,在特定情况下,若针对特定非平面MOSFET装置(例如,图3中所示的MOSFET装置50)而观测到阻断能力降低,则无法将此类非平面装置用于特定应用中。但是,还应认识到,在特定实施例中,例如分别在图5和图6中所示的MOSFET装置70和80中,包括不含图3中所示的尖峰特征54和沟槽特征56的尖角的p阱18能够使得阻断能力与平面MOSFET装置(例如,图1中所示的MOSFET装置10)相当。

[0062] 鉴于前述内容,图10示出了沿线10-10截取的图3中所示的MOSFET装置50实施例的截面图。因此,图10中所示的MOSFET装置50包括上述特征(例如,漏极接点12、基底14、漂移层16、p阱18、n+区域(未图示)、介电层24和栅极26)。此外,图10示出了三角波装置轮廓52,其中包括尖峰54和沟槽56。为便于介绍装置轮廓52的多个尺寸,图10包括垂直虚线142和144,其大体垂直于MOSFET装置50的底面或漏极接点12。为进一步便于说明,图10还包括点线146和148,其各自分别沿p阱18与漂移层16之间的界面的一部分延伸并从此部分延伸。

[0063] 图10中的虚线142和144界定距离150,所述距离可以称为三角波装置轮廓52的波长或间距。也就是说,在距离150上,MOSFET装置50(例如,漂移层16、p阱区域18、n+区域(未图示)、栅极介电层24和栅极26)的特定部件可以通过从沟槽特征56(例如,局部最低点)穿过尖峰特征54(例如,局部最高点)再回到另一个沟槽特征56的完整循环来转变。此外,图10示出了三角波装置轮廓52的角度152,所述角度被图示为延伸在p阱18与垂直虚线142之间。图10还示出了两个距离154和156,这两个距离分别沿漂移层16与p阱18之间的界面从点线146和148延伸到不同的点,并且通常表示三角波装置轮廓52的振幅。尽管在特定实施例中,距离154和156可以相同,如图10所示,但在其他实施例中,距离154和156可以不同。可以认识到,三角波装置轮廓52的特定形状可以至少部分取决于距离150、角度152、距离154和/或距离156。还应认识到,相较于图1中所示的平面MOSFET装置10,图10中所示的MOSFET装置50通常将导电沟道的外周增大(例如,沟道区域28的宽度增大)了相当于距离154(或156)除以距离150(例如,三角波装置轮廓52的波长或间距)的大约两倍。

[0064] 此外,在特定实施例中,图10中所示的MOSFET装置50可以具有特定尺寸。例如,在特定实施例中,距离150(例如,三角波装置轮廓52的波长或间距)可以大于或等于沟槽特征深度158的总和的大约两倍。应认识到,沟槽特征56的深度158通常对应于居间尖峰特征54的高度158,因此,沟槽深度和尖峰高度可以在本说明书中互换使用。此外,在特定实施例中,沟槽特征56(例如,沟槽特征56的壁)可以沿SiC基底的<1120>方向取向,并且沟槽壁的角度152(例如,相对于(0001)平面)可以为约56°(例如,55.74°),以使沟道区域28可以位于安置在SiC基底之上的六角SiC漂移层16的{0338}平面(例如,图7中所示的(0338)平面98)之内,以相对于仅使用非平面装置结构而进一步增大导电沟道迁移率(例如,减小导通

电阻)。所属领域中的技术人员可以认识到,标号<abcd>是指基于晶格的对称性而等效于[abcd]方向的所有方向的集合。

[0065] 在特定实施例中,沟槽特征的深度158可以经过选择以提供导通电阻(例如, $R_{ds(on)}$)与阻断能力(例如,阻断电压(BV))之间的最佳权衡。也就是说,如果沟槽的深度158足够大,则沟槽特征56可以消耗漂移层16的厚度160的绝大部分,从而妨碍MOSFET装置50的阻断能力。另一方面,如果漂移层16的厚度160足够大以容纳较深的沟槽特征56,而不会妨碍MOSFET装置50的阻断能力,则MOSFET装置50的导通电阻 $R_{ds(on)}$ 可能由于较厚漂移层16的电阻增大而增大。因此,在特定实施例中,沟槽特征56的深度158可以小于或等于漂移层16的厚度160的约10%,从而提供适当低的导通电阻(例如, $R_{ds(on)}$),同时维持适当的阻断能力。此外,应注意,尽管立式MOSFET 50可以使用特定尺寸和/或掺杂剂浓度来实施,如上所述和如下所述,但是在特定实施例中,图4中所示的LMOSFET60可以使用更广泛的尺寸(例如,任意合理的沟槽深度158)和/或掺杂剂浓度来实施。

[0066] 如图11所示,可以使用其他方法来实现较深的沟槽特征56(例如,较大深度158的沟槽特征56)。例如,图11示出了MOSFET装置170,所述MOSFET装置是图10中所示的MOSFET装置50的一个实施例,其具有较深的沟槽特征56(例如,沟槽特征56的深度158与漂移层16的厚度160的比率值较大)。此外,MOSFET装置170实现了这些较深的沟槽特征56,而不在导通电阻 $R_{ds(on)}$ 与阻断能力之间折衷。对于图示的实施例而言,较深沟槽特征56的实现方法是:在形成沟槽之前,在MOSFET装置170的每个尖峰特征54(例如,每个沟槽特征56之间)内制造掺杂区域172(例如,使用掺杂剂实施或外延生长)。可以认识到,通过非平面几何构造(例如,MOSFET装置170的三角波装置轮廓52)提供的电场屏蔽可以支持在区域172中进行较高浓度的掺杂(例如,相对于漂移层16中的掺杂剂浓度),而不对MOSFET装置170的阻断性能产生负面影响。

[0067] 例如,在特定实施例中,区域172中的掺杂剂浓度(例如,以立方厘米的倒数($1/cm^3$)为单位)可以取决于临界电荷 Q_{cr} ,临界电荷可以使用以下公式计算: $Q_{cr} = E_c * \epsilon$,其中 E_c 是在击穿之前半导体能够承受的最大电场,并且其中 ϵ 是半导体材料的绝对电容率(例如,对于SiC为 $2 \times 10^{13} cm^{-2}$)。因此在特定实施例中,掺杂剂浓度可以大约小于或等于以下项:临界电荷的两倍(例如, $2Q_{cr}$)除以距离155(例如,尖峰特征54的宽度、沿尖峰特征54的侧壁设置的阱区之间的距离),如图11所示。在特定实施例中,由于距离155可以随沟槽深度158变化,因此,阱区之间的掺杂浓度N可以相应地取决于以下关系: $N < 2Q_c / (\text{距离}155)$ 。因此,可以认识到,在特定实施例中,通过在制造期间使用特定MOSFET装置尺寸(例如,距离150、154、156、158、160和角度152)和掺杂浓度(例如,在漂移层16和掺杂区域172中),可以实现较深的沟槽特征56,从而减小装置电阻(例如,减小沟道电阻),而不牺牲装置的阻断能力。

[0068] 图12是沿线12-12截取的图5中所示的MOSFET装置70实施例的截面图。因此,图12中所示的MOSFET装置70包括上述特征(例如,漏极接点12、基底14、漂移层16、p阱18、n+区域(未图示)、介电层24和栅极26)。此外,图12示出了矩形波装置轮廓72,其中包括矩形尖峰74和矩形沟槽76。为便于介绍装置轮廓72的多个尺寸,图12包括垂直虚线182和184,其大体垂直于MOSFET装置70的底面或漏极接点12。为进一步便于说明,图12还包括垂直点线186和188(例如,平行于MOSFET装置70的底面或漏极接点12),其各自分别沿p阱18与介电层24之间的水平界面延伸并从此界面延伸。

[0069] 图12中所示的虚线182和184界定距离190,所述距离可以称为矩形波装置轮廓72的间距或波长。也就是说,在距离190上,MOSFET装置70的特定部件(例如,漂移层16、p阱区域18、n+区域(未图示)、栅极介电层24和栅极26)可以通过从尖峰特征74(例如,局部最高点)穿过沟槽特征76(例如,局部最低点)再回到另一个尖峰特征74的完整循环来转变。此外,图12示出了矩形波装置轮廓72的角度192,其图示为延伸在p阱18与垂直虚线142之间,并且可以约为90°。可以认识到,在特定实施例中,角度192可以大于90°,从而提供了梯形沟槽设计。图12还示出了距离194,其延伸在点线186与188之间,并且通常表示矩形波装置轮廓72的沟槽深度。应认识到,沟槽特征76的深度194通常对应于居间尖峰特征74的高度194,因此沟槽深度和尖峰高度可以在本说明书中互换使用。应认识到,矩形波装置轮廓72的特定形状可以至少部分取决于距离190、角度192和/或距离194。还应认识到,相较于图1中所示的平面MOSFET装置10,图12中所示的MOSFET装置70将导电沟道的外周增大(例如,沟道区域28的宽度增大)约: $(2a+b)/b$,其中a是距离194并且b是距离190。

[0070] 此外,在特定实施例中,图12中所示的MOSFET装置70可以具有特定尺寸。例如,在特定实施例中,距离190(例如,矩形波装置轮廓72的波长或间距)可以大于或等于p阱18与耗尽区的深度196的总和的大约两倍。此外,在特定实施例中,沟槽特征76可以沿SiC晶体的<11-20>或<1100>方向取向,以使装置的沟道区域28可以位于六角SiC基底的(11-20)平面96或(1100)平面94(如图7中所示)之内,以增大反型沟道迁移率并减小总导通电阻。

[0071] 在特定实施例中,沟槽深度194可以经过选择以提供导通电阻 $R_{ds(on)}$ 与阻断能力之间的最佳权衡。也就是说,如果沟槽深度194足够大,则沟槽特征76可以消耗漂移层16的厚度198的绝大部分,从而妨碍MOSFET装置70的阻断能力(例如,BV)。另一方面,如果漂移层16的厚度198足够大以容纳较深的p阱18,而不会妨碍MOSFET装置70的阻断能力,则MOSFET装置70的导通电阻 $R_{ds(on)}$ 可能由于较厚漂移层16的电阻增大而增大。因此,在特定实施例中,p阱18的深度196可以小于或等于漂移层16的厚度198的约10%,从而提供适当低的导通电阻,同时维持适当的阻断能力。

[0072] 如图13所示,可以使用其他方法来实现较深的矩形沟槽特征76(例如,较大深度196的p阱18)。例如,图13示出了MOSFET装置200,所述MOSFET装置是图12中所示的MOSFET装置70的一个实施例,其具有较深的矩形沟槽特征76(例如,p阱的深度196与漂移层16的厚度198的比率值较大)。此外,MOSFET装置200实现了这些较深的沟槽特征76,而不在导通电阻与阻断能力之间折衷。也就是说,对于图示的实施例而言,较深的沟槽特征76(例如,延伸到漂移层16中较深的p阱18)的实现方法是:(例如,在形成构造之前)在MOSFET装置200的每个矩形尖峰特征74(例如,每个矩形沟槽特征76之间)内制造掺杂区域202。可以认识到,通过非平面几何构造(例如,MOSFET装置200的矩形波装置轮廓72)提供的电场屏蔽可以支持在区域202中进行较高浓度的掺杂(例如,相对于漂移层16中的掺杂剂浓度),而不对MOSFET装置200的性能产生负面影响。例如,在特定实施例中,区域202中的掺杂剂浓度(例如,以每立方米(cm^{-3})为单位)可以取决于临界电荷 Q_{cr} ,临界电荷可以使用以下公式计算: $Q_{cr}=E_c*\epsilon$,其中 E_c 是在击穿之前半导体能够承受的最大电场,并且其中 ϵ 是半导体材料的绝对电容率(例如,对于SiC为 $1 \times 10^{13} \text{ cm}^{-2}$)。因此在特定实施例中,掺杂剂浓度可以大约小于或等于以下项:临界电荷(例如, $2Q_{cr}$)除以距离187(例如,尖峰特征74的宽度、位于尖峰特征74的侧壁上的阱区之间的距离)的两倍,如图12所示。因此,应认识到,在特定实施例中,通过在制造期

间使用特定MOSFET装置尺寸(例如,距离190、194、196、198和角度192)和掺杂浓度(例如,在漂移层16和掺杂区域202中),可以实现较深的矩形沟槽特征76,从而减小装置电阻(例如,增大沟道迁移率、减小导通电阻),而不牺牲装置的阻断能力。

[0073] 还应认识到,上述方法还适用于格状结构(例如,三角形、矩形、蜂窝状等)。例如,图14示出了六角格状设计210的俯视图,其中所述设计包括与SiC基底的图示SiC晶轴214对齐的MOSFET装置区域212的实例。在图示MOSFET装置212的制造期间,SiC晶体结构的六角取向(如上文相对于图7所述)可以支持同时制造完全相同的沟槽特征(用线216表示),这些沟槽特征各自以不同方向(例如,相对于轴214)取向,同时垂直于沿特定晶面(例如,(0338)平面、(1120)平面或(1100)平面)设置的沟槽侧壁的沟道外周。应认识到,图14中所示的六角格状设计210轴向对称,因此,沟槽特征216各自将提供相同的沟道迁移率。例如,在特定实施例中,沟槽特征216可以是在结构上类似于上文在图3到图6以及图10到图13中所述的沟槽特征56、76和86的沟槽特征。作为具体实例,在特定实施例中,沟槽特征216可以各自为矩形沟槽特征(例如,类似于图12和图13中所示的沟槽特征76)并且可以进一步沿六角SiC基底(例如,如图7中所示)的(1120)平面96取向或对齐。如下文详述,这些沟槽特征216可以增大每个MOSFET装置212的表面积和沟道宽度,因此增大反型沟道迁移率并且减小导通电阻。

[0074] 本发明的技术效果包括减小半导体装置(例如,MOSFET、IGBT和其他合适的半导体装置)中的装置电阻。本发明实施例包括非平面半导体装置(例如,SiC装置),所述非平面半导体装置增大单位装置的表面积并且增大沟道宽度(例如,增大沟道外周),从而支持生产电阻较低的SiC装置。所公开的装置实施例增大了单位电路小片区域的有效表面积,从而可以在减小沟道电阻之外,通过增大SiC装置结构中的界面的接触面积来减小一个或多个接点电阻。此外,本方法还适用于格状SiC装置设计,例如蜂窝状结构,以增强沟道导电性和/或减小导通电阻。

[0075] 本说明书使用了各种实例来披露本发明,包括最佳模式,同时也让所属领域的任何技术人员能够实践本发明,包括制造并使用任何装置或系统,以及实施所涵盖的任何方法。本发明的保护范围由权利要求书界定,并可包含所属领域的技术人员想出的其他实例。如果其他此类实例的结构要素与权利要求书的字面意义相同,或如果此类实例包含的等效结构要素与权利要求书的字面意义无实质差别,则此类实例也应在权利要求书的范围内。

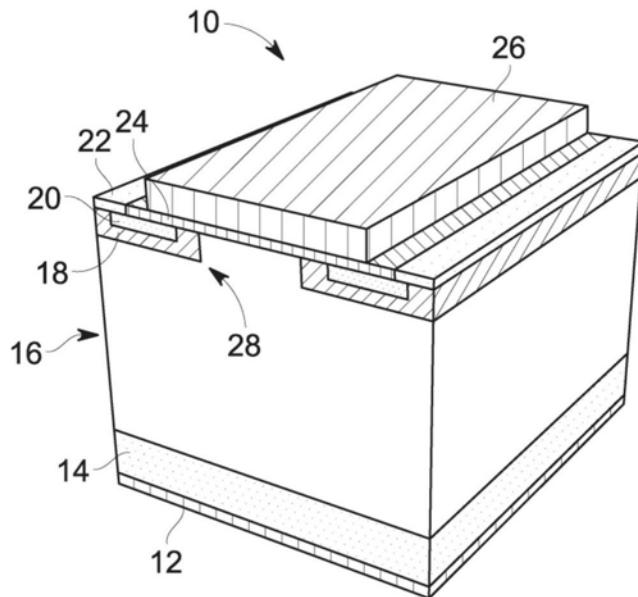


图1

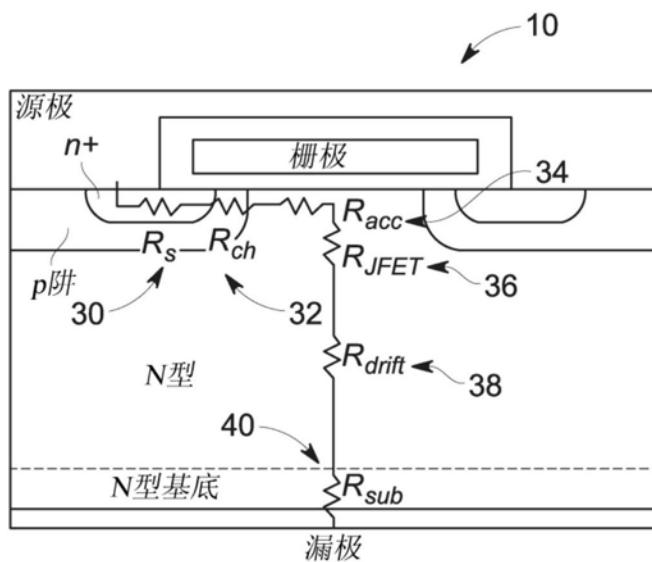


图2

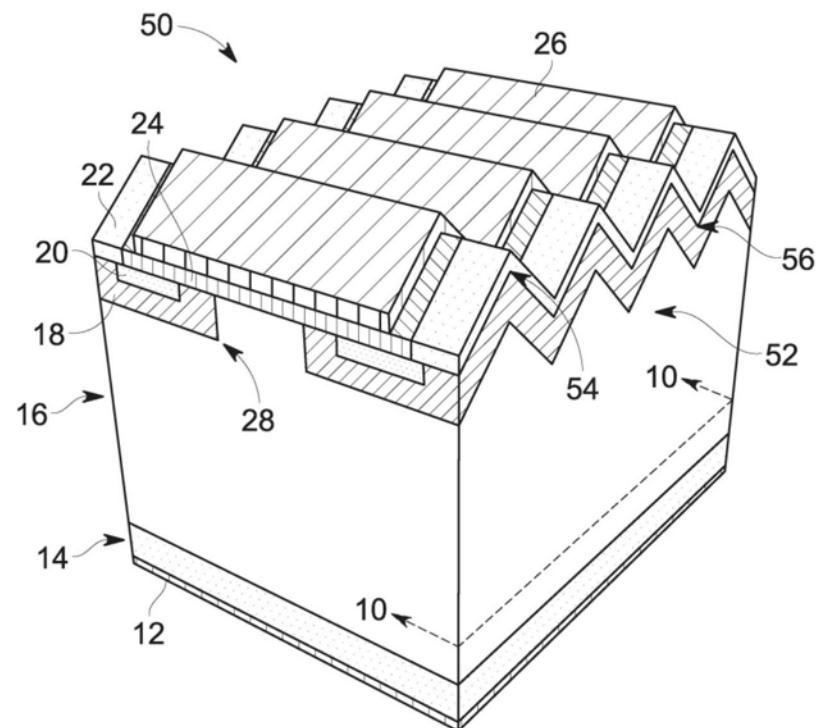


图3

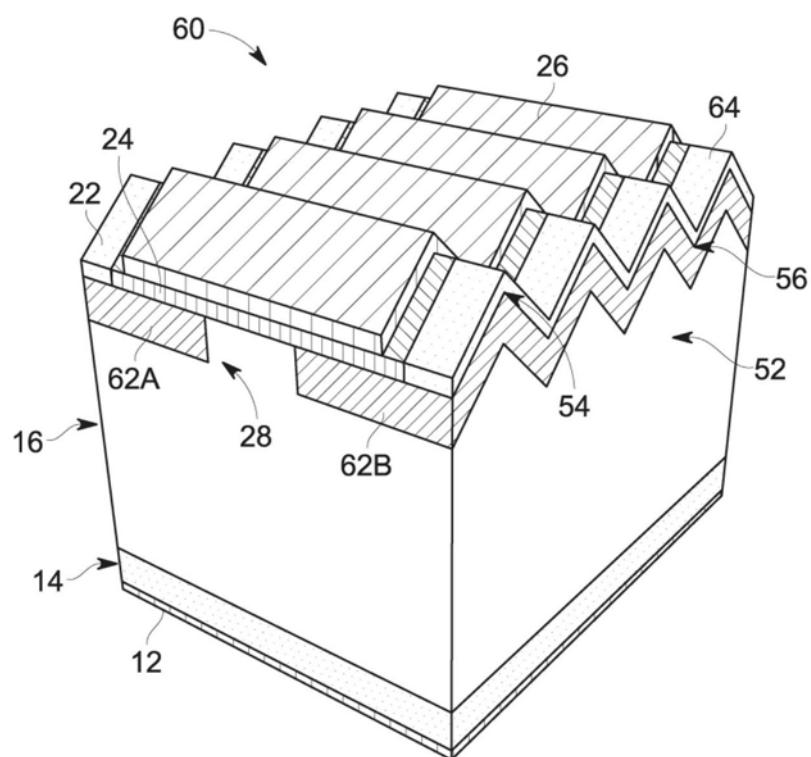


图4

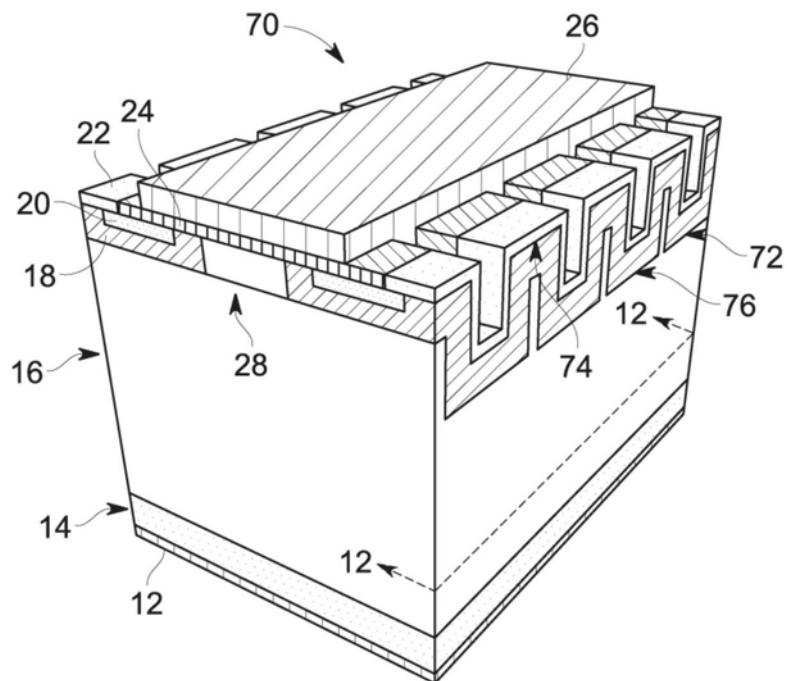


图5

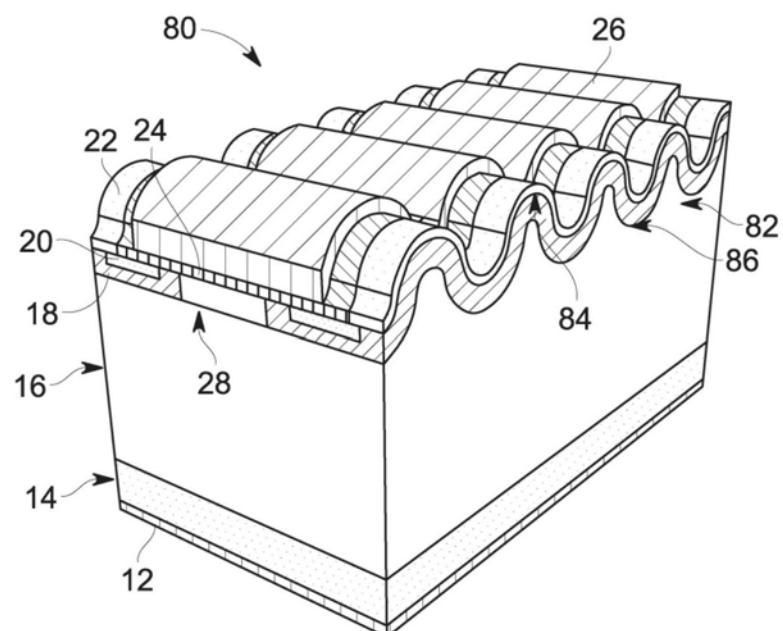


图6

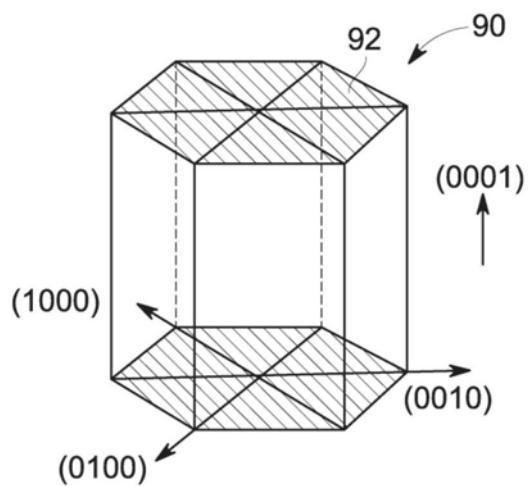


图7A

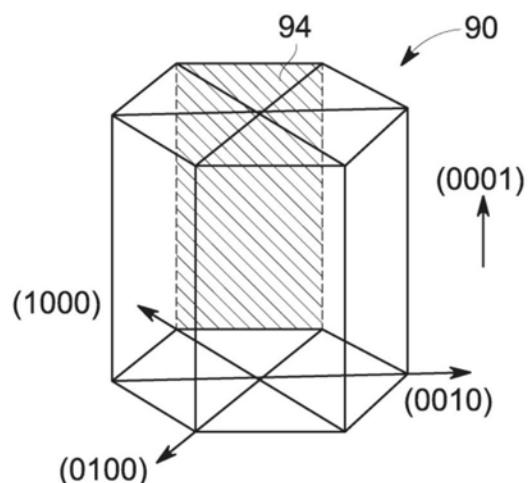


图7B

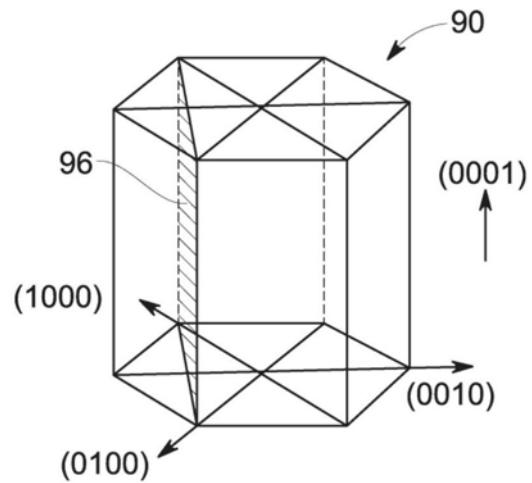


图7C

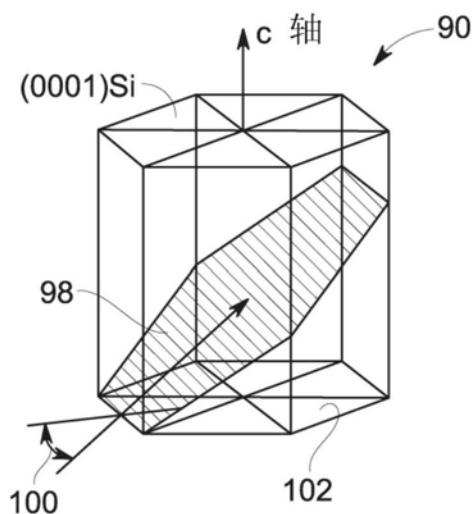
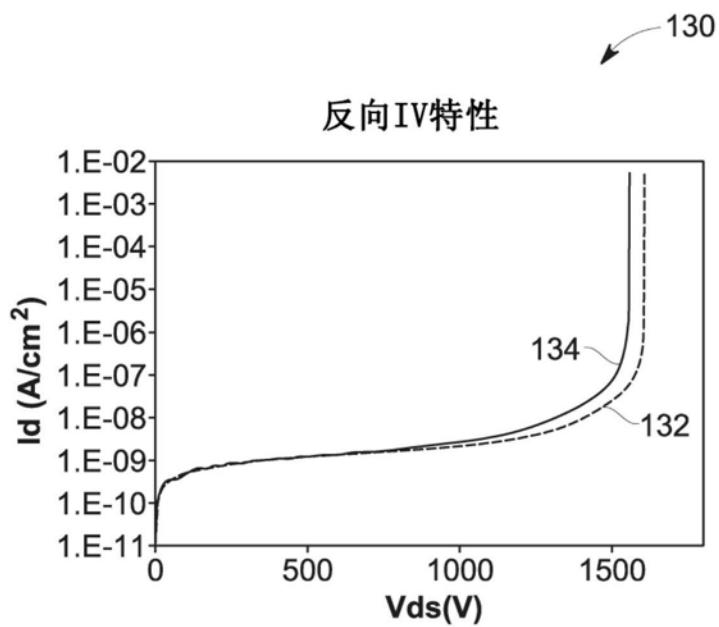
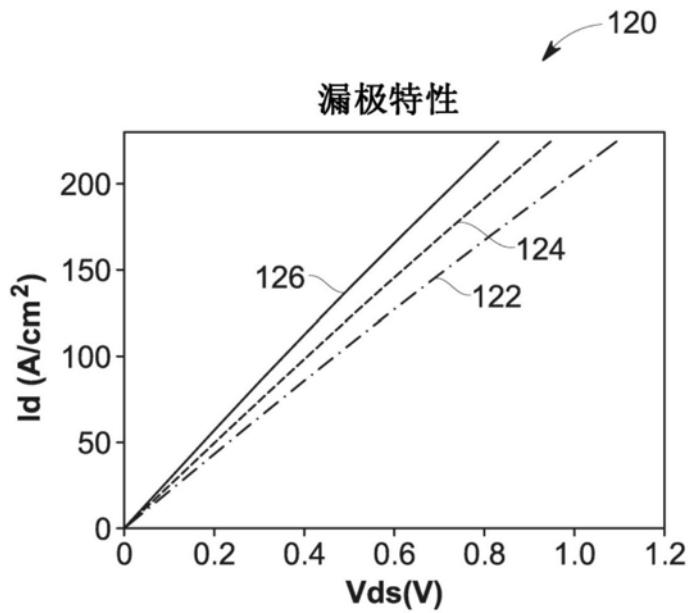


图7D



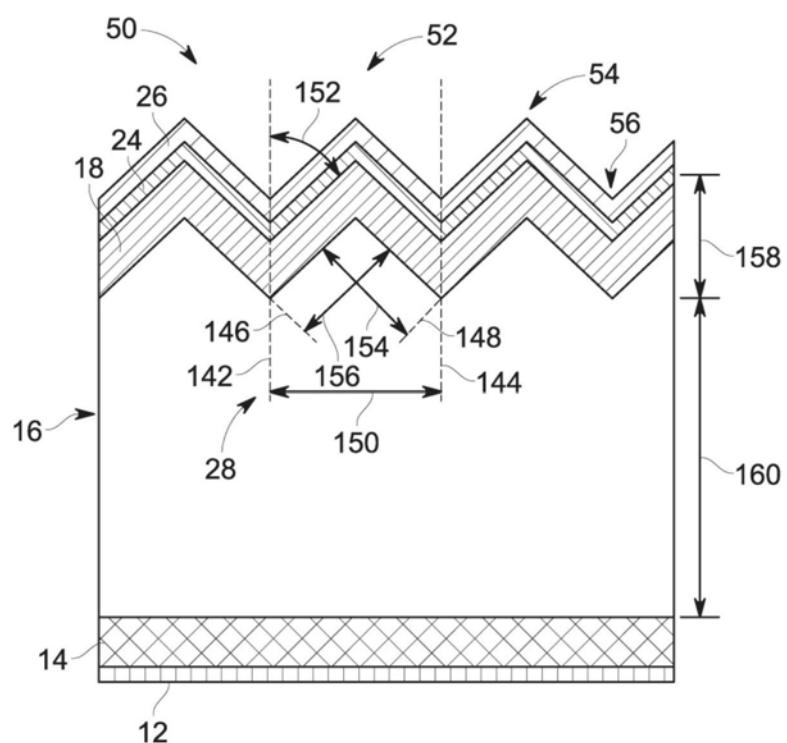


图10

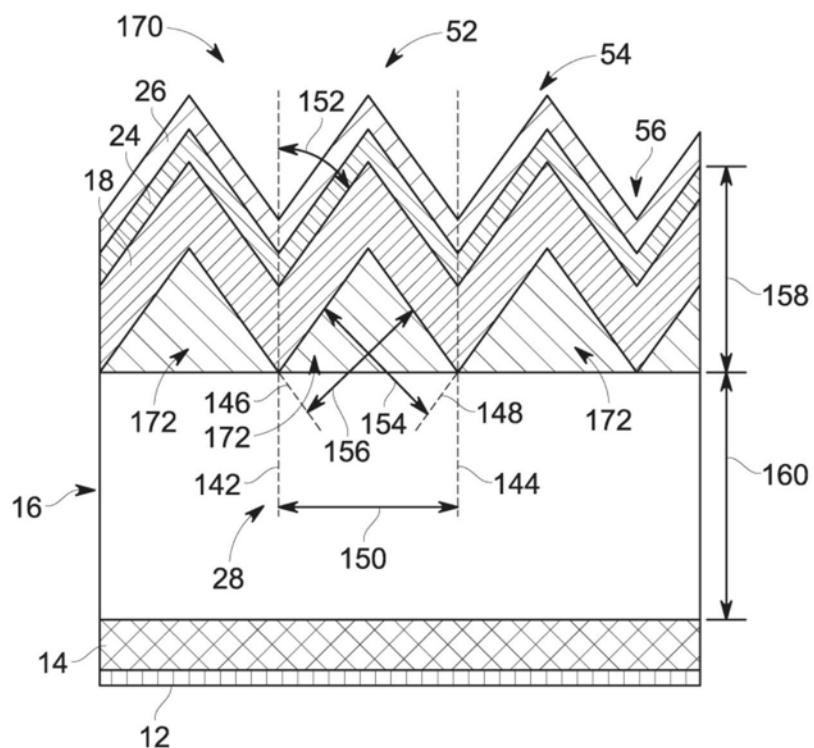


图11

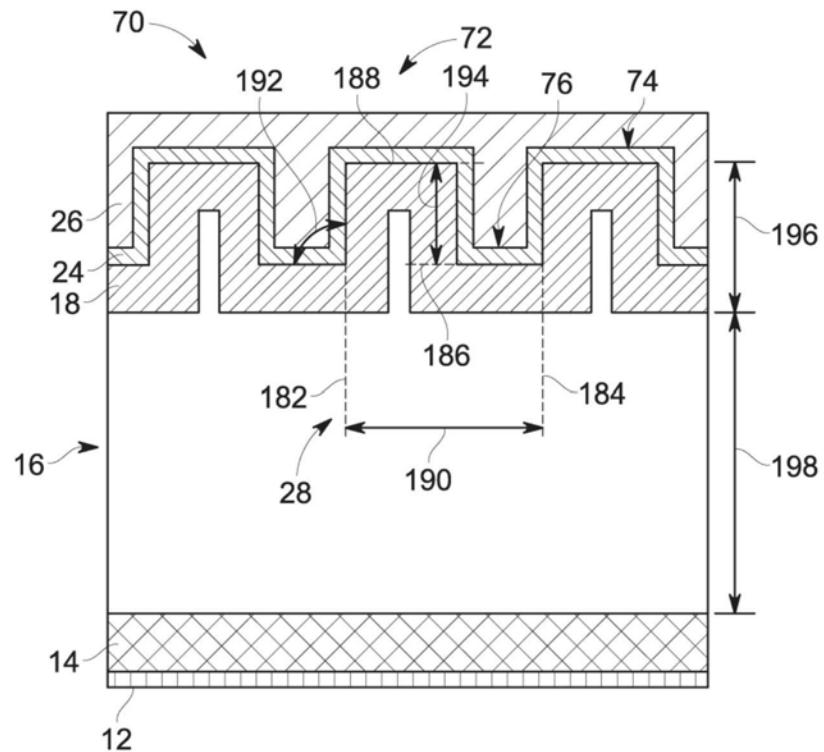


图12

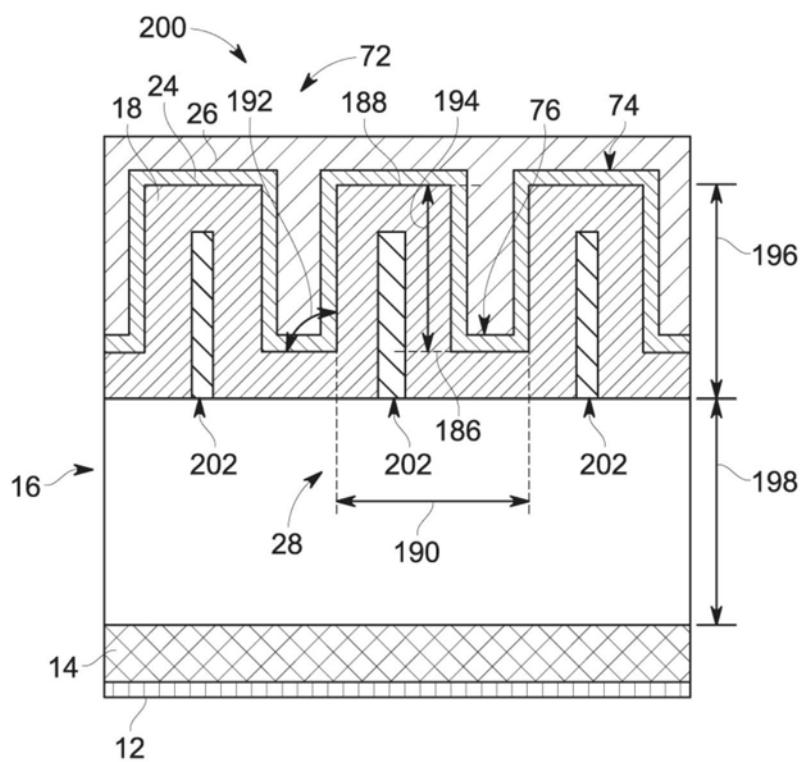


图13

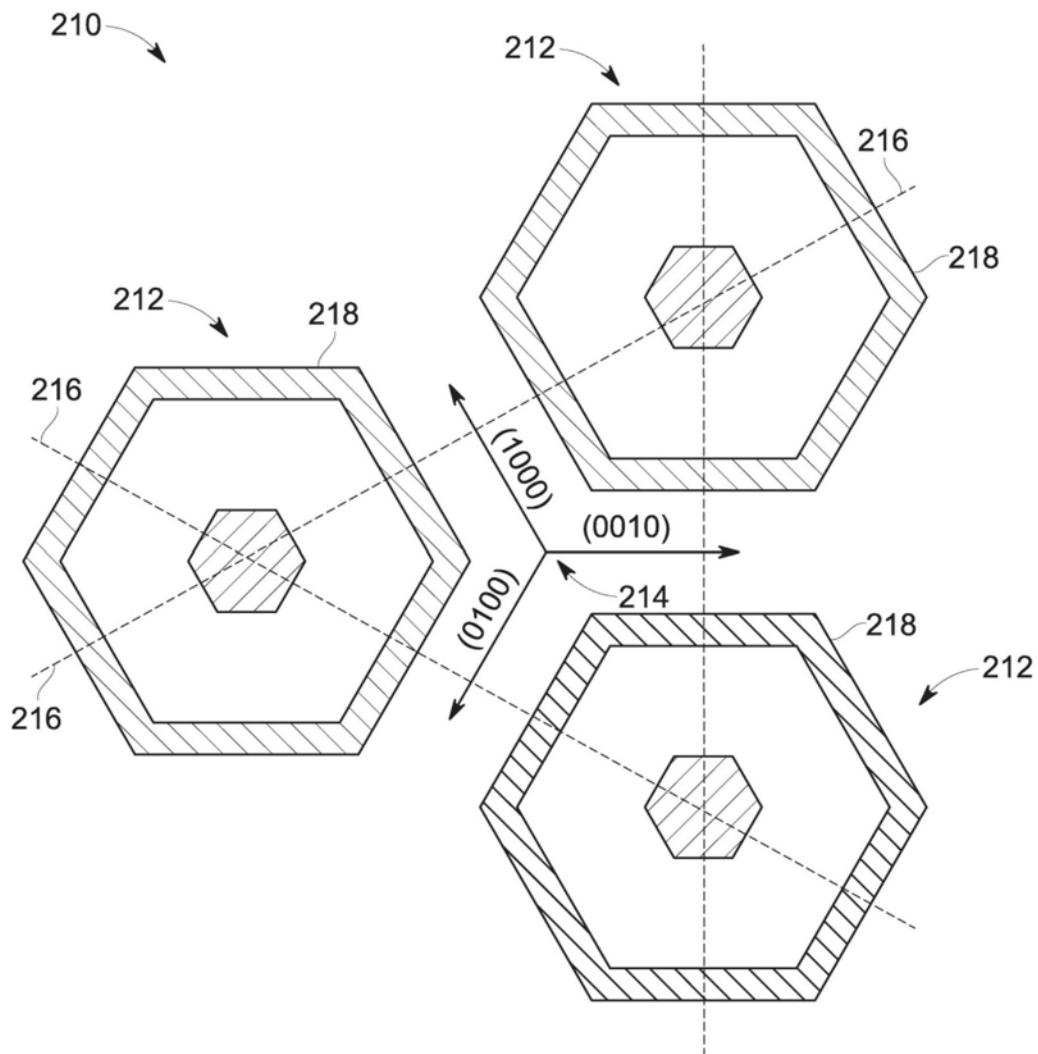


图14