



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년09월22일

(11) 등록번호 10-1656814

(24) 등록일자 2016년09월06일

(51) 국제특허분류(Int. Cl.)

H01L 23/538 (2006.01) H01L 21/768 (2006.01)

H01L 23/00 (2006.01) H01L 25/00 (2014.01)

H01L 25/10 (2006.01) H01L 25/11 (2006.01)

(52) CPC특허분류

H01L 23/5389 (2013.01)

H01L 21/76819 (2013.01)

(21) 출원번호 10-2016-7011759(분할)

(22) 출원일자(국제) 2010년10월15일

심사청구일자 2016년05월31일

(85) 번역문제출일자 2016년05월03일

(65) 공개번호 10-2016-0055968

(43) 공개일자 2016년05월18일

(62) 원출원 특허 10-2013-7004346

원출원일자(국제) 2010년10월15일

심사청구일자 2015년10월15일

(86) 국제출원번호 PCT/US2010/052792

(87) 국제공개번호 WO 2012/011933

국제공개일자 2012년01월26일

(30) 우선권주장

12/842,587 2010년07월23일 미국(US)

(56) 선행기술조사문현

US20090115047 A1

US20040102025 A1

US20070096289 A1

US20060060970 A1

(73) 특허권자

테세라, 인코포레이티드

미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025

(72) 발명자

오가네시안 베이그

미국 캘리포니아주 94086 썬니베일 페리윙클 테라스 889

하바 벨가셈

미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025 테세라, 인코포레이티드내

(뒷면에 계속)

(74) 대리인

유미특허법인

전체 청구항 수 : 총 28 항

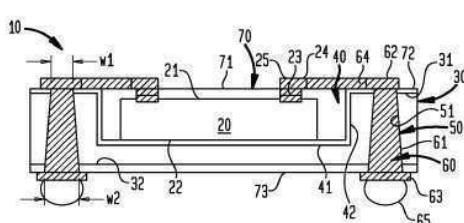
심사관 : 배진용

(54) 발명의 명칭 어셈블리 후 평탄화를 갖는 미세전자 엘리먼트

(57) 요약

미세전자 유닛은, 전면, 전면으로부터 이격된 후면, 및 전면에 개구를 가진 리세스를 가진 캐리어 구조와 캐리어 구조의 전면 아래에 위치된 내부 표면을 포함한다. 미세전자 유닛은 내부 표면에 인접한 저부 표면, 저부 표면으로부터 이격된 최상부 표면, 및 최상부 표면의 복수의 콘택트들을 가진 미세전자 엘리먼트를 포함할 수 있다.

(뒷면에 계속)

대 표 도 - 도1a

미세전자 엘리먼트는 미세전자 엘리먼트의 콘택트들과 전기적으로 연결된 단자들을 포함할 수 있다. 미세전자 유닛은 미세전자 엘리먼트의 적어도 최상부 표면과 접촉하는 유전 영역을 포함할 수 있다. 유전 영역은 캐리어 구조의 전면과 같은 평면에 위치하거나 캐리어 구조의 전면보다 위에 위치한 평면 표면을 가질 수 있다. 그 단자들은 외부 엘리먼트와의 상호연결을 위한 유전 영역의 표면에서 노출될 수 있다.

(52) CPC특허분류

H01L 21/76877 (2013.01)

H01L 24/19 (2013.01)

H01L 24/20 (2013.01)

H01L 24/24 (2013.01)

H01L 24/82 (2013.01)

H01L 25/105 (2013.01)

H01L 25/117 (2013.01)

H01L 25/50 (2013.01)

H01L 2225/1029 (2013.01)

(72) 발명자

미셸 크레이그

미국 캘리포니아주 95134 샌 호제 오처드 파크웨이
3025 테세라, 인코포레이티드내

모하메드 일야스

미국 캘리포니아주 95134 샌 호제 오처드 파크웨이
3025 테세라, 인코포레이티드내

사발리아 피유시

미국 캘리포니아주 95134 샌 호제 오처드 파크웨이
3025 테세라, 인코포레이티드내

명세서

청구범위

청구항 1

적층형인 적어도 제1 및 제2 미세전자 유닛을 포함하는 미세전자 어셈블리로서,

각각의 적층형인 미세전자 유닛은,

전면, 상기 전면으로부터 이격된 후면, 및 상기 전면의 개구 및 캐리어 구조의 전면 아래에 위치된 내부 표면을 갖는 리세스를 구비하는 캐리어 구조로서, 반도체 물질로 이루어지는 캐리어 구조;

상기 캐리어 구조의 후면으로부터 전면으로의 방향으로 연장되는 복수의 전도성 비아들;

상기 내부 표면에 인접한 저부 표면, 상기 저부 표면으로부터 이격되며 상기 캐리어 구조로부터 떨어져서 마주보는 최상부 표면, 및 상기 최상부 표면에 있는 복수의 콘택트들을 구비하는 미세전자 엘리먼트;

상기 캐리어 구조의 후면에 노출되는 후면 단자들, 및 상기 전도성 비아들을 통해 상기 후면 단자들과 결합되며 상기 미세전자 엘리먼트의 콘택트들과 결합되는 전면 단자들; 및

상기 미세전자 엘리먼트의 최상부 표면을 접촉하는 유전 영역으로서, 상기 캐리어 구조의 전면과 동일 평면이거나 상기 전면 위에 위치된 평면적인 표면을 구비하는 유전 영역을 포함하고,

상기 전면 단자는 상기 유전 영역의 표면에서 노출되고, 상기 유전 영역은 상기 리세스와 상기 미세전자 엘리먼트의 측벽들 사이에 연장되고,

상기 제1 또는 제2 미세전자 유닛 중 하나의 전면 단자들이 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 대응하는 전면 단자들이나 후면 단자들과 마주보고 연결되도록 상기 제1 미세전자 유닛이 상기 제2 미세전자 유닛과 적층되어서, 그 내부에 있는 각각의 미세전자 엘리먼트의 콘택트들이 상기 제1 또는 제2 미세전자 유닛 중 적어도 하나의 전도성 비아들 및 연결된 단자들을 통해 결합되고,

상기 제1 및 제2 미세전자 유닛의 리세스들은 각각의 전면에 평행인 제1 방향으로 각각 상이한 폭을 가지고, 상기 제1 방향으로의 각 미세전자 유닛의 미세전자 엘리먼트들의 폭들이 서로 상이하며,

상기 제1 및 제2 미세전자 유닛의 캐리어 구조들이 상기 제1 방향으로 동일한 폭을 가지는,

미세전자 어셈블리.

청구항 2

제1항에 있어서,

각 미세전자 유닛의 상기 전면 단자들은 각 미세전자 유닛의 캐리어 구조의 전면에서 노출되는, 미세전자 어셈블리.

청구항 3

제2항에 있어서,

각 미세전자 유닛의 상기 전면 단자들은 각 미세전자 유닛의 상기 캐리어 구조의 전면 위로 연장되는, 미세전자 어셈블리.

청구항 4

제1항에 있어서,

적어도 하나의 미세전자 유닛의 미세전자 엘리먼트는 각각의 최상부 표면들과 저부 표면들 사이에 적어도 하나의 에지 표면을 가지며, 각각의 평면적인 표면의 측면 방향으로의 상기 적어도 하나의 미세전자 유닛의 전면 단자들 중 적어도 하나의 위치는 각 미세전자 엘리먼트의 에지 표면과 각 리세스의 측벽들 중 하나의 측벽 사이에

있는, 미세전자 어셈블리.

청구항 5

제1항에 있어서,

각 미세전자 유닛의 상기 전면 단자들은 전도성 본드 패드들을 포함하는, 미세전자 어셈블리.

청구항 6

제1항에 있어서,

각 미세전자 유닛의 상기 전면 단자들은 연장된 본드 패드들을 포함하고, 상기 연장된 본드 패드들은 각 미세전자 엘리먼트의 콘택트들과 접촉하는, 미세전자 어셈블리.

청구항 7

제1항에 있어서,

적어도 하나의 미세전자 유닛의 상기 캐리어 구조는 상기 캐리어 구조가 열 스프레더(heat spreader)로서 기능하게 적응되도록, 외부 금속 마감 층(outer metal finish layer)을 포함하는, 미세전자 어셈블리.

청구항 8

제1항에 있어서,

각 미세전자 유닛의 유전 물질이 각 캐리어 구조의 상기 전면 전체를 덮는, 미세전자 어셈블리.

청구항 9

제1항에 있어서,

각 미세전자 유닛의 유전 영역은 전기화학적으로 증착된 폴리머인, 미세전자 어셈블리.

청구항 10

제1항에 있어서,

적어도 하나의 미세전자 유닛의 각 전도성 비아는 각각의 캐리어 구조의 후면에 제1 폭을 가지고 대향하는 단부에 제2 폭을 가지며, 상기 제2 폭은 상기 제1 폭과 상이한, 미세전자 어셈블리.

청구항 11

제1항에 있어서,

적어도 하나의 미세전자 유닛의 전면 단자들은 연장된 본드 패드들을 포함하고, 각 본드 패드는 각각의 미세전자 엘리먼트의 각 콘택트와 각 전도성 비아를 전기적으로 연결하는, 미세전자 어셈블리.

청구항 12

제1항에 있어서,

적어도 하나의 미세전자 유닛의 미세전자 엘리먼트는 제1 미세전자 엘리먼트이며, 상기 적어도 하나의 미세전자 유닛은 각 리세스의 내부 표면에 인접한 저부 표면, 상기 저부 표면으로부터 이격된 최상부 표면, 및 상기 최상부 표면에 노출되는 복수의 콘택트들을 가지는 제2 미세전자 엘리먼트를 더 포함하는, 미세전자 어셈블리.

청구항 13

제1항에 있어서,

적어도 하나의 미세전자 유닛의 리세스는 제1 리세스이고, 적어도 하나의 미세전자 유닛의 미세전자 엘리먼트는 제1 미세전자 엘리먼트이고, 적어도 하나의 미세전자 유닛의 캐리어 구조는 각 전면에서의 개구 및 각 캐리어 구조의 전면 아래에 위치된 내부 표면을 가지는 제2 리세스를 구비하며,

상기 적어도 하나의 미세전자 유닛은, 상기 제2 리세스의 내부 표면에 인접한 저부 표면, 상기 저부 표면으로부터 이격된 최상부 표면, 및 상기 최상부 표면에 노출된 복수의 콘택트들을 구비하는 제2 미세전자 엘리먼트를 더 포함하는, 미세전자 어셈블리.

청구항 14

제1항에 따른 미세전자 어셈블리 및 상기 미세전자 어셈블리에 전기적으로 접속되는 하나 이상의 다른 전자 컴포넌트들을 포함하는 시스템.

청구항 15

제14항에 있어서,

하우징을 더 포함하고, 상기 미세전자 유닛 및 상기 다른 전자 컴포넌트들은 상기 하우징에 장착되는, 시스템.

청구항 16

제1항에 있어서,

상기 제1 또는 제2 미세전자 유닛 중 하나의 전면 단자들이 전도성 본드 재료를 통해 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 대응하는 전면 단자 또는 후면 단자와 연결되는, 미세전자 어셈블리.

청구항 17

제1항에 있어서,

상기 제1 또는 제2 미세전자 유닛 중 하나의 미세전자 엘리먼트는 메모리 칩이고, 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 미세전자 엘리먼트는 메모리 칩과 다른 것인, 미세전자 어셈블리.

청구항 18

제1항에 있어서,

상기 제1 또는 제2 미세전자 유닛 중 하나의 미세전자 엘리먼트는 제1 유형의 메모리 칩을 포함하고, 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 미세전자 엘리먼트는 상기 제1 유형과 상이한 제2 유형의 메모리 칩을 포함하는, 미세전자 어셈블리.

청구항 19

제1항에 있어서,

상기 제1 또는 제2 미세전자 유닛 중 하나의 미세전자 엘리먼트는 프로세서 칩이고, 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 미세전자 엘리먼트는 프로세서 칩과 다른 것인, 미세전자 어셈블리.

청구항 20

제1항에 있어서,

상기 제1 또는 제2 미세전자 유닛 중 하나의 미세전자 엘리먼트는 이미지 센서를 가지고, 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 미세전자 엘리먼트는 상기 이미지 센서로부터 이미지를 처리하기 위해 사용되는 프로세서를 가지는, 미세전자 어셈블리.

청구항 21

적층형인 적어도 제1 및 제2 미세전자 유닛을 포함하는 미세전자 어셈블리로서,

각각의 적층형인 미세전자 유닛은,

전면, 상기 전면으로부터 이격된 후면, 상기 전면에서의 개구와 캐리어 구조의 전면 아래에 위치된 내부 표면을 구비한 리세스를 가지는 캐리어 구조로서, 반도체 물질로 이루어지는, 상기 캐리어 구조;

상기 캐리어 구조의 후면으로부터 전면으로의 방향으로 연장되는 복수의 전도성 비아들;

상기 내부 표면에 인접한 저부 표면, 상기 저부 표면으로부터 이격되며 상기 캐리어 구조로부터 떨어져서 마주보는 최상부 표면, 및 상기 최상부 표면에 있는 복수의 콘택트들을 구비하는 미세전자 엘리먼트;

상기 캐리어 구조의 후면에 노출되는 후면 단자들, 및 전도성 비아들을 통해 상기 후면 단자와 결합되며 상기 미세전자 엘리먼트의 콘택트들과 결합되는 전면 단자들; 및

상기 미세전자 엘리먼트의 최상부 표면과 접촉하는 유전 영역으로서, 상기 캐리어 구조의 전면과 동일한 평면에 또는 상기 전면 위에 위치된 평면적인 표면을 가지는 유전 영역을 포함하고,

상기 전면 단자들은 상기 유전 영역의 표면에서 노출되고, 상기 유전 영역은 상기 리세스와 상기 미세전자 엘리먼트의 측벽들 사이에 연장되고,

상기 제1 또는 제2 미세전자 유닛 중 하나의 전면 단자들이 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 대응하는 전면 단자들이나 후면 단자들과 마주보고 연결되도록 상기 제1 미세전자 유닛이 상기 제2 미세전자 유닛과 적층되어서, 그 내부에 있는 각각의 미세전자 엘리먼트의 콘택트들이 상기 제1 또는 제2 미세전자 유닛 중 적어도 하나의 전도성 비아들 및 연결된 단자들을 통해 결합되고,

상기 제1 미세전자 유닛의 리세스 및 제2 미세전자 유닛의 리세스는 그 내부에 상이한 각 크기의 미세전자 엘리먼트를 수용하는 크기이며,

상기 제1 미세전자 유닛의 미세전자 엘리먼트가 상기 제2 미세전자 유닛의 미세전자 엘리먼트의 기능과 상이한 적어도 하나의 기능을 수행하도록 구성되는,

미세전자 어셈블리.

청구항 22

제21항에 있어서,

상기 제1 및 제2 미세전자 유닛의 캐리어 구조들이 제1 방향으로 동일한 폭을 가지는, 미세전자 어셈블리.

청구항 23

제21항에 있어서,

상기 제1 또는 제2 미세전자 유닛 중 하나의 전면 단자들이 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 대응하는 전면 단자들 또는 후면 단자들과 전도성 본드 재료를 통해 연결되는, 미세전자 어셈블리.

청구항 24

제21항에 있어서,

상기 제1 또는 제2 미세전자 유닛 중 하나의 미세전자 엘리먼트는 메모리 칩이고, 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 미세전자 엘리먼트는 메모리 칩과 다른 것인, 미세전자 어셈블리.

청구항 25

제21항에 있어서,

상기 제1 또는 제2 미세전자 유닛 중 하나의 미세전자 엘리먼트는 프로세서 칩이고, 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 미세전자 엘리먼트는 프로세서 칩과 다른 것인, 미세전자 어셈블리.

청구항 26

제21항에 있어서,

상기 제1 또는 제2 미세전자 유닛 중 하나의 미세전자 엘리먼트는 이미지 센서를 가지고, 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 미세전자 엘리먼트는 상기 이미지 센서로부터 이미지를 처리하기 위해 사용되는 프로세서를 가지는, 미세전자 어셈블리.

청구항 27

적층형인 적어도 제1 및 제2 미세전자 유닛을 포함하는 미세전자 어셈블리로서,

각각의 적층형인 미세전자 유닛은,

전면, 상기 전면으로부터 이격된 후면, 및 상기 전면의 개구 및 캐리어 구조의 전면 아래에 위치된 내부 표면을 갖는 리세스를 구비하는 캐리어 구조로서, 반도체 물질로 이루어지는 캐리어 구조;

상기 캐리어 구조의 후면으로부터 전면으로의 방향으로 연장되는 복수의 전도성 비아들;

상기 내부 표면에 인접한 저부 표면, 상기 저부 표면으로부터 이격되며 상기 캐리어 구조로부터 떨어져서 마주보는 최상부 표면, 및 상기 최상부 표면에 있는 복수의 콘택트들을 구비하는 미세전자 엘리먼트;

상기 캐리어 구조의 후면에 노출되는 후면 단자들, 및 상기 전도성 비아들을 통해 상기 후면 단자들과 결합되며 상기 미세전자 엘리먼트의 콘택트들과 결합되는 전면 단자들; 및

상기 미세전자 엘리먼트의 최상부 표면을 접촉하는 유전 영역으로서, 상기 캐리어 구조의 전면과 동일 평면이거나 상기 전면 위에 위치된 평면적인 표면을 구비하는 유전 영역을 포함하고,

상기 전면 단자들은 상기 유전 영역의 표면에서 노출되고, 상기 유전 영역은 상기 리세스와 상기 미세전자 엘리먼트의 측벽들 사이에 연장되고,

상기 제1 또는 제2 미세전자 유닛 중 하나의 전면 단자들이 상기 제1 또는 제2 미세전자 유닛 중 다른 하나의 대응하는 전면 단자들이나 후면 단자들과 마주보고 연결되도록 상기 제1 미세전자 유닛이 상기 제2 미세전자 유닛과 적층되어어서, 그 내부에 있는 각각의 미세전자 엘리먼트의 콘택트들이 상기 제1 또는 제2 미세전자 유닛 중 적어도 하나의 전도성 비아들 및 연결된 단자들을 통해 결합되는,

미세전자 어셈블리.

청구항 28

제27항에 있어서,

상기 제1 미세전자 유닛의 리세스 및 상기 제2 미세전자 유닛의 리세스는 그 내부에 상이한 각 크기의 미세전자 엘리먼트를 수용하는 크기인, 미세전자 어셈블리.

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

발명의 설명

기술 분야

[0001] 본 발명은 본 명세서에서 참조로 결합되고 2010년 7월 23일에 출원된 미국 특허출원 제12/842,587호의 이익을 주장한다.

[0002] 본 발명은 미세전자 디바이스들의 패키징, 특히 반도체 디바이스들의 패키징에 관한 것이다. 본 발명은 또한 웨이퍼 레벨에서 제조된 적층된 미세전자 패키지들을 포함하는 적층된 미세전자 패키지들 및 그러한 패키지들을 만드는 방법에 관한 것이다.

배경 기술

[0003] 미세전자 엘리먼트들은 통상적으로 다이 또는 실리콘 칩으로 불리는, 실리콘, 갈륨비소(gallium arsenide)와 같은 반도체 물질의 얇은 슬래브(slab)를 일반적으로 포함한다. 반도체 칩들은 통상적으로 개별적이고 사전패키징된 유닛들로 제공된다. 동적 회로는 반도체 칩의 제1 면(예컨대, 전면(front surface))에 제조된다. 동적 회로에 대한 전기적 연결을 용이하게 하기 위해, 칩에 동일면 상의 본드 패드(bond pad)들이 제공된다. 본드 패드들은 통상적으로, 다이의 에지를 주변에 또는 다수의 메모리 디바이스들에 대하여서는 다이 중심에 규칙적인 어레이로 배치된다. 본드 패드들은 일반적으로 약 $0.5 \mu\text{m}$ 두께의 구리 또는 알루미늄과 같은 전도성 금속으로 이루어진다. 본드 패드들은 단일층 또는 다중층의 금속을 포함할 수 있다. 본드 패드들의 사이즈는 디바이스 유형에 따라 변화하지만 통상적으로 측면에서 수십 내지 수백 마이크론으로 측정될 것이다.

[0004] 몇몇 유닛 설계들에서, 반도체 칩은 인쇄 회로 기판과 같은 회로 패널 상에 장착되는 기판 또는 칩 캐리어에 장착된다. 반도체 칩들은 통상적으로 칩 콘택트들에 전기적으로 연결된 단자(terminal)들을 갖는 미세전자 패키지들을 형성하기 위해 기판들과 패키징된다. 패키지는 그 후 패키징된 디바이스가 원하는 성능 기준을 따르는지 여부를 결정하기 위해 장비를 검사하도록 연결될 것이다. 일단 검사되면, 패키지는 더 큰 회로, 예컨대 캠

퓨터 또는 셀룰러 폰과 같은 전자 제품 내의 회로에 연결될 수도 있다.

[0005] 공간을 절약하기 위해, 특정의 통상적인 설계들은 패키지 내에 복수의 미세 전자 칩들을 적층해왔다. 이것은 패키지가 적층(stack) 내의 칩들의 총 표면 영역보다 더 작은 기판 상의 표면 영역을 차지하도록 허용한다. 그러나, 통상의 적층된 패키지들은 복잡성, 비용, 두께 및 검사 가능성의 단점을 갖는다.

[0006] 사이즈는 칩들의 임의의 물리적 배열에 있어서 중요한 고려사항이다. 칩들의 더 소형의 물리적 배열에 대한 요구가 휴대용 전자 디바이스들의 급속한 진보에 따라 더욱더 강해져 왔다. 단순히 예로서, 통상적으로 "스마트 폰"으로 지칭되는 디바이스들은 강력한 데이터 프로세서들, 메모리, 및 고해상 디스플레이 및 관련 이미지 처리 칩들과 함께 위치 추적 시스템 수신기들, 전자 카메라들, 및 근거리 통신망 접속(local area network connection)들과 같은 보조 디바이스들을 가진 셀룰러 전화기의 기능들을 통합한다. 그러한 디바이스들은 완전한 인터넷 접속성(full internet connectivity), 전 해상도(full resolution) 비디오를 포함하는 엔터테인먼트, 네비게이션, 전자 뱅킹 및 포켓 크기 디바이스 내의 모든 것들과 같은 능력들을 제공할 수 있다. 복잡한 휴대용 디바이스들은 작은 공간에 다수 칩들을 패키징하는 것을 필요로 한다. 게다가, 칩들 중 일부는 통상적으로 "I/O 들"로 지칭되는 다수의 입력 및 출력 연결들을 구비한다. 이 I/O 들은 다른 칩들의 I/O 들과 상호연결되어야 한다. 상호연결들은 단락(short)되어야 하고, 신호 전파 지연들을 최소화하기 위해 낮은 임피던스를 가져야 한다. 상호연결들을 형성하는 컴포넌트들은 어셈블리의 사이즈를 상당히 증가시키지 않아야 한다. 예컨대 인터넷 검색 엔진들에서 사용되는 것들과 같은 데이터 서버들에서와 같은 다른 애플리케이션들에서 유사한 필요들이 발생한다. 예컨대, 복잡한 칩들 사이에 다수의 단락의 낮은 임피던스 상호연결들(short, low-impedance interconnects)을 제공하는 구조들은 검색 엔진의 대역폭을 증가시키고 그 전력 소모를 감소시킬 수 있다.

발명의 내용

해결하려는 과제

[0007] 이상의 진보에도 불구하고, 신뢰성 있고, 얇고, 검사가능하고 제조에 경제적인, 개선된 반도체 디바이스 및 캐리어 패키지들(carrier package) 및 적층된 패키지들(stacked packages)에 대한 요구가 남아 있다. 본 발명의 이러한 속성들은 이하에서 설명된 미세전자 패키지들의 구성에 의해 달성된다.

과제의 해결 수단

[0008] 본 발명의 관점에 따르면, 미세전자 유닛은 전면, 전면으로부터 이격된 후면, 전면에 개구를 가진 리세스(recess)를 구비하는 캐리어 구조, 및 캐리어 구조의 전면 아래에 위치된 내부 표면을 전자 유닛은 또한 내부 표면을 포함한다. 캐리어 구조는 반도체 물질 또는 유리 중 적어도 하나를 포함할 수 있다. 미세전자 유닛은 또한 내부 표면에 인접한 저부 표면, 저부 표면으로부터 이격된 최상부 표면, 및 최상부 표면에서 복수의 콘택트들을 가지는 미세전자 엘리먼트를 포함할 수 있다.

[0009] 미세전자 유닛은 또한 미세전자 엘리먼트의 콘택트들과 전기적으로 연결된 단자들을 포함할 수 있다. 단자들은 캐리어 구조로부터 전기적으로 절연될 수 있다. 미세전자 유닛은 또한 미세전자 엘리먼트의 적어도 최상부 표면에 접촉하는 유전 영역을 포함할 수 있다. 유전 영역은 캐리어 구조의 전면과 동일한 평면으로 또는 캐리어 구조의 전면 위에 위치된 평면 표면을 가질 수 있다. 단자들은 외부 엘리먼트와의 상호연결을 위한 유전 영역의 표면에서 노출될 수 있다.

[0010] 특정 실시예에서, 단자들은 캐리어 구조의 전면에서 노출될 수 있다. 한 실시예에서, 단자들은 캐리어 구조의 전면 위로 연장될 수 있다. 예시적인 실시예에서, 미세전자 엘리먼트는 최상부 표면과 저부 표면 사이에 적어도 하나의 에지 표면을 가질 수 있으며, 평면적인 표면의 측면 방향으로 단자들 중 적어도 하나의 위치가 리세스를 향하는 캐리어 구조의 표면과 미세전자 엘리먼트의 에지 표면 사이에 있을 수 있다.

[0011] 한 실시예에서, 단자들은 전도성 본드 패드들을 포함할 수 있다. 예시적인 실시예에서, 단자들은 연장된 본드 패드들을 포함할 수 있다. 연장된 본드 패드들은 미세전자 엘리먼트의 콘택트들과 접촉할 수 있다. 특정 실시예에서, 캐리어 구조가 열 스프레더로서 기능하게 적응되도록 외부 금속 마감층(outer metal finish layer)을 포함할 수 있다. 한 실시예에서, 유전 물질은 캐리어 구조의 전면 전체를 덮을 수 있다.

[0012] 예시적인 실시예에서, 캐리어 구조는 반도체 물질을 포함할 수 있으며, 유전 영역은 전기화학적으로 증착된 폴리머일 수 있다. 특정 실시예에서, 캐리어 구조는 유리를 포함할 수 있으며, 스프레이 코팅되거나 스판 코팅된

유연성 유전 물질이 리세스의 내부 표면을 덮을 수 있다. 한 실시예에서, 미세전자 유닛은 또한 캐리어 구조의 후면에서 전면으로 연장되는 복수의 전도성 비아들(vias)을 포함할 수 있다.

[0013] 특정 실시예에서, 각 비아는 캐리어 구조의 후면에서의 제1 폭 및 대향하는 단부에서의 제2 폭을 가질 수 있으며, 제2 폭은 제1 폭과 상이하다. 한 실시예에서, 단자들은 연장된 본드 패드들을 포함할 수 있으며, 각 본드 패드는 미세전자 엘리먼트의 각 콘택트에 각 비아를 전기적으로 연결할 수 있다. 예시적인 실시예에서, 유전 영역은 리세스의 측벽들과 미세전자 엘리먼트 사이에서 연장될 수 있다. 특정 실시예에서, 미세전자 유닛은 또한 유전 영역의 주 표면으로부터 캐리어 구조를 통해 후면으로 연장되는 복수의 전도성 비아들을 또한 포함할 수 있다. 특정 실시예에서, 각 비아는 캐리어 구조의 후면에서의 제1폭 및 대향 단부에서의 제2 폭을 가질 수 있으며, 제2 폭은 제1 폭과 상이하다. 제1 실시예에서, 단자들은 연장된 본드 패드들을 포함할 수 있으며, 각 본드 패드는 미세전자 엘리먼트의 각 콘택트에 각 비아를 전기적으로 연결할 수 있다.

[0014] 한 실시예에서, 미세전자 어셈블리는 적어도 제1 및 제2 미세전자 유닛들을 포함할 수 있으며, 제1 미세전자 유닛은 제2 미세전자 유닛과 적층되고, 각 미세전자 엘리먼트들의 콘택트들은 그 내부에서 제1 및 제2 미세전자 유닛들의 단자들을 통해 전기적으로 연결되어 있다. 예시적인 실시예에서, 제1 미세전자 유닛은 제1 캐리어 구조의 후면에서 노출된 제1 단자들을 포함할 수 있으며, 제2 미세전자 유닛은 제2 캐리어 구조의 전면에서 노출된 제2 단자들을 포함할 수 있고, 제1 미세전자 엘리먼트는 제1 및 제2 단자들을 통해 제2 미세전자 엘리먼트에 전기적으로 연결될 수 있다. 특정 실시예에서, 제1 캐리어 구조는 그 전면을 따라 측면 방향으로 제1 폭을 가지는 제1 리세스를 포함할 수 있으며, 제2 캐리어 구조는 그 전면을 따라 측면 방향으로 제2 폭을 정의하는 제2 리세스를 포함할 수 있으며, 제2 폭은 제1 폭과 상이하다.

[0015] 예시적인 실시예에서, 미세전자 엘리먼트는 제2 미세전자 엘리먼트일 수 있다. 미세전자 유닛은 또한 리세스의 내부 표면에 인접한 저부 표면, 저부 표면으로부터 이격된 최상부 표면, 및 최상부 표면에서의 복수의 콘택트들을 구비하는 제2 미세전자 엘리먼트를 포함할 수 있다. 한 실시예에서, 리세스는 제1 리세스일 수 있으며, 미세전자 엘리먼트는 제1 미세전자 엘리먼트일 수 있으며, 캐리어 구조는 전면에서 개구를 구비하는 제2 리세스 및 캐리어 구조의 전면 아래에 위치된 내부 표면을 가질 수 있다. 미세전자 엘리먼트는 또한 제2 리세스의 내부 표면에 인접한 저부 표면, 저부 표면으로부터 이격된 최상부 표면, 및 최상부 표면에서의 복수의 콘택트들을 가지는 제2 미세전자 엘리먼트를 포함할 수 있다.

[0016] 본 발명의 관점에 따라서, 미세전자 유닛은 전면, 전면으로부터 이격된 후면, 및 전면에서의 개구를 가지는 리세스를 구비하는 캐리어 구조, 및 캐리어 구조의 전면 아래에 위치된 내부 표면을 포함한다. 캐리어 구조는 반도체 물질 또는 유리 중 적어도 하나를 포함할 수 있다. 미세전자 유닛은 또한 내부 표면에 인접한 최상부 표면, 최상부 표면으로부터 이격된 저부 표면, 및 최상부 표면에서의 복수의 콘택트들을 구비하는 미세전자 엘리먼트를 포함할 수 있다.

[0017] 미세전자 유닛은 또한 미세전자 엘리먼트의 콘택트들과 전기적으로 연결된 단자들을 포함할 수 있다. 단자들은 캐리어 구조로부터 전기적으로 절연될 수 있다. 미세전자 유닛은 또한 미세전자 엘리먼트의 적어도 저부 표면과 접촉하는 유전 영역을 포함할 수 있다. 유전 영역은 캐리어 구조의 전면과 동일한 표면에 또는 캐리어 구조의 전면 위에 위치된 평면 표면을 정의할 수 있다.

[0018] 특정한 실시예에서, 미세전자 엘리먼트는 최상부 표면과 저부 표면 사이에 적어도 하나의 에지 표면을 구비할 수 있으며, 평면 표면의 측면 방향으로의 단자들 중 적어도 하나의 위치는 미세전자 엘리먼트의 에지 표면과 리세스를 향하는 캐리어 구조의 표면 사이에 있을 수 있다. 한 실시예에서, 미세전자 엘리먼트의 저부 표면은 캐리어 구조의 전면과 동일한 평면상에 있을 수 있다. 예시적인 실시예에서, 단자들은 캐리어 구조의 전면에서 노출될 수 있다. 특정 실시예에서, 단자들은 캐리어 구조의 전면보다 위로 연장될 수 있다.

[0019] 한 실시예에서, 단자들은 전도성 본드 패드들을 포함할 수 있다. 예시적인 실시예에서, 단자들은 연장된 본드 패드들을 포함할 수 있다. 연장된 본드 패드들은 미세전자 엘리먼트의 콘택트들에 리세스 내에서 연장되는 컨덕터들에 접촉할 수 있다. 특정 실시예에서, 캐리어 구조가 열 스프레더로서 기능하게 적응되도록, 캐리어 구조는 외부 금속 마감층을 포함할 수 있다. 한 실시예에서, 유전 물질은 캐리어 구조의 전체 전면을 덮을 수 있다.

[0020] 예시적인 실시예에서, 캐리어 구조는 반도체 물질을 포함할 수 있고, 유전 영역은 전기화학적으로 증착된 폴리머일 수 있다. 특정 실시예에서, 캐리어 구조는 유리를 포함할 수 있으며, 스프레이 코팅되거나 스판 코팅된 유연성 유전 물질은 리세스의 내부 표면을 덮을 수 있다. 한 실시예에서, 미세전자 유닛은 또한 캐리어 구조의

후면으로부터 내부 표면으로 연장되는 복수의 전도성 비아들을 포함할 수 있다.

[0021] 특정 실시예에서, 각 비아는 캐리어 구조의 후면에서의 제1 폭 및 대향 단부에서의 제2 폭을 가질 수 있으며, 제2 폭은 제1 폭과 상이하다. 한 실시예에서, 단자들은 연장된 본드 패드들을 포함할 수 있으며, 각 본드 패드는 미세전자 엘리먼트의 각 콘택트에 각각의 비아를 전기적으로 연결할 수 있다. 예시적인 실시예에서, 미세전자 유닛은 또한 캐리어 구조의 후면으로부터 전면으로 연장되는 복수의 전도성 비아들을 포함할 수 있다. 한 실시예에서, 각 비아는 캐리어 구조의 후면에서의 제1 폭 및 대향 단부에서의 제2 폭을 가질 수 있으며, 제2 폭은 제1 폭과 상이하다. 특정 실시예에서, 단자들은 연장된 본드 패드들을 포함할 수 있으며, 각 본드 패드는 미세전자 엘리먼트의 각각의 콘택트에 각 비아를 전기적으로 연결할 수 있다.

[0022] 한 실시예에서, 유전 영역은 리세스의 측벽들과 미세전자 엘리먼트 사이에서 연장될 수 있다. 예시적인 실시예에서, 미세전자 엘리먼트는 또한 유전 영역의 주 표면으로부터 캐리어 구조를 통해 후면으로 연장되는 복수의 전도성 비아들을 포함할 수 있다. 한 실시예에서, 각 비아는 캐리어 구조의 후면에서의 제1 폭을, 대향 단부에서의 제2 폭을 가질 수 있으며, 제2 폭은 제1 폭과 상이하다. 특정 실시예에서, 단자들은 연장된 본드 패드들을 포함할 수 있으며, 각 본드 패드는 미세전자 엘리먼트의 각각의 콘택트에 각 비아를 전기적으로 연결할 수 있다.

[0023] 예시적인 실시예에서, 미세전자 어셈블리는 적어도 제1 및 제2 미세전자 유닛들을 포함할 수 있다. 제1 미세전자 유닛은 제2 미세전자 유닛과 적층될 수 있으며, 각각의 미세전자 엘리먼트들의 콘택트들은 그 내부에서 제1 및 제2 미세전자 유닛들의 단자들을 통해 전기적으로 연결되어 있다. 특정 실시예에서, 제2 미세전자 유닛은 제1 캐리어 구조의 후면에서 노출된 제1 단자들을 포함할 수 있으며, 제2 미세전자 유닛은 제2 캐리어 구조의 전면에서 노출된 제2 단자들을 포함할 수 있으며, 제1 미세전자 엘리먼트는 제1 및 제2 단자들을 통해 제2 미세전자 엘리먼트에 전기적으로 연결될 수 있다.

[0024] 한 실시예에서, 제1 캐리어 구조는 그 전면을 따라 측면 방향으로 제1 폭을 가지는 제1 리세스를 포함할 수 있으며, 제2 캐리어 구조는 그 전면을 따라 측면 방향으로 제2 폭을 정의하는 제2 리세스를 포함할 수 있으며, 제2 폭은 제1 폭과 상이하다. 예시적인 실시예에서, 미세전자 요소는 제1 미세전자 요소일 수 있다. 미세전자 유닛은 리세스의 내부 표면에 인접한 최상부 표면, 최상부 표면으로부터 이격된 저부 표면, 및 최상부 표면에서의 복수의 콘택트들을 가지는 제2 미세전자 엘리먼트를 더 포함할 수 있다.

[0025] 특정 실시예에서, 리세스는 전면에서의 개구를 가진 제1 리세스, 및 캐리어 구조의 전면 아래에 위치된 내부 표면일 수 있다. 미세전자 유닛은 또한 제2 리세스의 내부 표면에 인접한 최상부 표면, 최상부 표면으로부터 이격된 저부 표면, 및 최상부 표면에서의 복수의 콘택트들을 구비하는 제2 미세전자 엘리먼트를 포함할 수도 있다.

[0026] 본 발명의 관점에 따르면, 미세전자 유닛은 전면, 전면으로부터 이격된 후면, 및 전면으로부터 후면으로 캐리어 구조를 통해 연장되는 개구를 구비하는 캐리어 구조를 포함한다. 캐리어 구조는 반도체 물질 또는 유리 중 적어도 하나를 포함할 수 있다. 미세전자 유닛은 또한 개구의 측면 에지 표면들에 인접한 에지 표면들, 저부 표면으로부터 이격된 최상부 표면, 및 최상부 표면에서의 복수의 콘택트들을 구비하는 미세전자 엘리먼트를 포함할 수 있다.

[0027] 미세전자 유닛은 또한 미세전자 엘리먼트의 에지 표면들과 접촉하는 유전 영역을 포함할 수 있다. 미세전자 유닛은 또한, 전면 및 유전 영역에 의해 정의되는 평면에서, 또는 후면 및 유전 영역에 의해 정의되는 평면에서 노출된 단자들을 포함할 수 있다. 단자들은 미세전자 엘리먼트의 콘택트들과 전기적으로 연결될 수 있다. 미세전자 유닛은 또한 유전 영역을 따라 연장되고 단자들과 콘택트들을 전기적으로 연결하는 트레이스들을 포함할 수 있다.

[0028] 예시적인 실시예에서, 단자들의 제1 서브세트가 유전 영역의 전 평면 표면에서 노출될 수 있으며, 단자들의 제2 서브세트는 외부 엘리먼트들과의 상호연결을 위해 유전 영역의 후 평면 표면에서 노출될 수 있다. 한 실시예에서, 미세전자 유닛은 또한 전면으로부터 캐리어 구조를 통해 후면으로 연장되는 복수의 전도성 비아들을 포함할 수 있다. 특정 실시예에서, 각 비아는 캐리어 구조의 후면에서의 제1 폭 및 대향 단부에서의 제2 폭을 가질 수 있으며, 제2 폭은 제1 폭과 상이하다. 예시적인 실시예에서, 유전 영역은 개구의 벽과 미세전자 엘리먼트 사이에서 연장될 수 있다.

[0029] 한 실시예에서, 미세전자 유닛은 또한 전 평면 표면으로부터 유전 영역을 통해 후 평면 표면으로 연장되는 복수의 전도성 비아들을 포함할 수 있다. 특정 실시예에서, 미세전자 유닛은 또한 전 평면 표면으로부터 유전 영역

을 통해 미세전자 엘리먼트의 콘택트들로 연장되는 복수의 전도성 비아들을 포함할 수 있다. 예시적인 실시예에서, 미세전자 유닛은 또한 후 평면 표면으로부터 유전 영역을 통해 미세전자 엘리먼트의 콘택트들로 연장되는 복수의 전도성 비아들을 포함할 수 있다.

[0030] 본 발명의 관점에 따르면, 미세전자 유닛을 제조하는 방법은 최상부 표면 및 최상부 표면으로부터 이격된 저부 표면, 및 최상부 표면 및 최상부 표면에서의 복수의 콘택트들을 구비하는 미세전자 엘리먼트를 최상부 표면으로부터 이격된 저부 표면을 구비하는 캐리어 구조의 리세스로 위치시키는 단계를 포함한다. 캐리어 구조는 반도체 물질 또는 유리 중 적어도 하나를 포함할 수 있다. 그 방법은 또한 캐리어 구조의 단자들과 콘택트들을 전기적으로 상호연결하는 단계를 포함할 수 있다. 미세전자 엘리먼트의 최상부 또는 저부 표면은 리세스 내에 캐리어 구조의 내부 표면에 인접하도록 위치될 수 있다.

[0031] 미세전자 유닛을 제조하는 방법은 또한, 리세스에 유전 영역을 인가하는 단계를 포함할 수 있다. 유전 영역은 미세전자 엘리먼트의 적어도 최상부 표면과 접촉할 수 있다. 그 방법은 또한 캐리어 구조의 전면과 동일한 평면에 또는 캐리어 구조의 전면 위에 위치된 평면 표면을 정의하도록 유전 영역을 평탄화시키는 단계를 포함할 수 있다.

[0032] 한 실시예에서, 미세전자 유닛을 제조하는 방법은 또한 포토리소그래피 패터닝 프로세스를 사용하여 유전 영역 상에 트레이스들을 도금(plate)하는 단계를 포함할 수 있다. 특정 실시예에서, 유전 영역을 리세스에 인가하는 단계는 리세스의 전체 내부 표면 위에 총을 인가하는 것을 포함할 수 있다.

[0033] 특정 실시예에서, 미세전자 유닛들의 적층된 어셈블리를 제조하는 방법은 제2 미세전자 유닛의 최상부에 제1 미세전자 유닛을 적층하는 단계를 포함할 수 있다. 그 방법은 또한 전도성 본드 물질을 통해 제2 미세전자 유닛에 제1 미세전자 유닛을 연결(join)시키는 단계를 포함할 수 있다.

[0034] 유전 영역을 평탄화시키는 단계는, 미세전자 엘리먼트의 저부 표면 및 캐리어 구조의 전면의 부분을 그라인딩(grinding), 폴리싱(polishing), 또는 에칭(etching)하는 것을 포함할 수 있다. 예시적인 실시예에서, 미세전자 엘리먼트의 저부 표면은 리세스 내부의 캐리어 구조의 내부 표면에 인접하게 위치시킬 수 있다. 그 방법은 또한 미세전자 엘리먼트의 저부 표면이 캐리어 구조의 후면에서 노출될 때까지 캐리어 구조의 후면 및 미세전자 엘리먼트의 저부 표면의 부분을 그라인딩시키는 단계를 포함할 수 있다. 예시적인 실시예에서, 그 방법은 전면으로부터 캐리어 구조를 통해 후면으로 연장되는 복수의 전도성 비아들을 형성하는 단계를 포함할 수 있다.

[0035] 한 실시예에서, 복수의 전도성 비아들을 형성하는 단계는, 전면으로부터 캐리어 구조를 통해 후면 아래의 위치로 연장되는 복수의 소켓(socket)들을 형성하는 것을 포함할 수 있으며, 캐리어 구조의 후면의 부분을 그라인딩하는 단계는 복수의 소켓들이 후면에서 노출되어 복수의 전도성 비아들이 될 때까지 후면을 그라인딩하는 것을 포함할 수 있다. 특정한 실시예에서, 그 방법은 유전 영역의 주 표면으로부터 캐리어 구조를 통해 후면으로 연장되는 복수의 전도성 비아들을 형성하는 단계를 포함할 수 있다.

[0036] 한 실시예에서, 그 방법은 후면으로부터 캐리어 구조를 통해 전면으로 연장되는 복수의 전도성 비아들을 형성하는 단계를 포함할 수 있다. 특정 실시예에서, 복수의 전도성 비아들을 형성하는 단계는 후면으로부터 캐리어 구조를 통해 전면의 아래에 있는 위치로 연장되는 복수의 소켓들을 형성하는 것을 포함할 수 있으며, 유전 영역을 평탄화시키는 단계는 복수의 소켓들이 전면에 노출되어 복수의 전도성 비아들이 될 때까지 캐리어 구조의 전면을 그라인딩, 폴리싱, 또는 에칭하는 것을 포함할 수 있다.

[0037] 특정 실시예에서, 리세스를 형성하는 단계, 복수의 전도성 비아들을 형성하는 단계, 단자들을 형성하는 단계, 유전 영역을 인가하는 단계, 및 유전 영역을 평탄화시키는 단계는, 캐리어 구조가 적어도 하나의 다른 캐리어 구조에 그 애지에서 부착되어 유지되는 동안 동안 수행될 수 있다.

[0038] 한 실시예에서, 미세전자 유닛들의 적층된 어셈블리를 제조하는 방법은 제2 미세전자 유닛의 최상부에 제1 미세전자 유닛을 적층하는 단계를 포함할 수 있다. 그 방법은 또한 제2 미세전자 유닛에 제1 미세전자 유닛을 적층하는 단계를 포함할 수 있다. 복수의 전도성 비아들을 형성하는 단계 및 제2 미세전자 유닛에 제1 미세전자 유닛을 연결하는 단계는 적층 단계 후에 제1 미세전자 유닛 및 제2 미세전자 유닛 둘 모두를 통해 연장되는 홀(hole)들을 뚫는 것, 및 전도성 물질로 그 홀들을 도금하는 것을 포함할 수 있다.

[0039] 특정 실시예에서, 미세전자 유닛을 제조하는 방법은 또한 리세스의 내부 표면으로부터 캐리어 구조를 통해 후면으로 연장되는 복수의 전도성 비아들을 형성하는 단계를 포함할 수 있다. 예시적인 실시예에서, 캐리어 구조가 적어도 하나의 다른 캐리어 구조에 그 애지에서 부착되도록 유지되는 동안, 리세스를 형성하는 단계, 복수의 전도성 비아들을 형성하는 단계, 단자들을 형성하는 단계, 유전 영역을 인가하는 단계, 및 유전 영역을 평탄화시

키는 단계가 수행될 수 있다.

[0040] 예시적인 실시예에서, 미세전자 유닛들의 적층된 어셈블리를 제조하는 방법은 제2 미세전자 유닛의 최상부 상에 제1 미세전자 유닛을 적층하는 단계를 포함할 수 있다. 그 방법은 또한 전도성 본드 물질을 통해 제2 미세전자 유닛에 제1 미세전자 유닛을 연결하는 단계를 포함할 수 있다.

[0041] 한 실시예에서, 미세전자 유닛을 제조하는 방법은 또한 리세스의 내부 표면에 인접하여 위치된 전도성 패드들에 미세전자 엘리먼트의 콘택트들을 연결하는 단계를 포함할 수 있다. 복수의 전도성 비아들을 형성하는 단계는 캐리어 구조의 후면으로부터 전도성 패드들로 연장되는 비아들을 형성하는 것을 포함할 수 있다. 특정 실시예에서, 그 방법은 리세스의 내부 표면을 코팅하는 유전 충에 미세전자 엘리먼트를 연결하는 단계를 포함할 수 있다. 복수의 전도성 비아들을 형성하는 단계는 캐리어 구조의 후면으로부터 미세전자 엘리먼트의 콘택트들로 연장되는 훌들을 형성하는 것을 포함할 수 있다. 복수의 전도성 비아들을 형성하는 단계는 훌들을 전기로금하여 수행될 수 있다.

[0042] 본 발명의 다른 관점들은 본 발명의 이상의 관점들에 따른 미세전자 구조들, 본 발명의 이상의 관점들에 따른 복합 칩(composite chip)들, 또는 다른 전자 디바이스들과 결합하여 둘 모두를 결합하는 시스템들을 제공한다. 예컨대, 그 시스템은 휴대용 하우징일 수 있는 단일 하우징에 배치될 수 있다. 본 발명의 이러한 관점에서 바람직한 실시예들에 따른 시스템들은 비교할만한 통상의 시스템들보다 더 소형이 될 수 있다.

도면의 간단한 설명

[0043] 도 1a 및 1b는 본 발명의 실시예에 따른 패키징된 칩 및 칩 캐리어 어셈블리를 예시하는 단면도 및 대응하는 하향식 평면도(top-down plan view)이다.

도 2는 본 발명의 실시예에 따른 제조 방법에 있어서의 스테이지를 예시하는 단면도이다.

도 3a 및 3b는 본 발명의 실시예에 따른 제조의 스테이지를 예시하는 단면도 및 대응하는 하향식 평면도이다.

도 3c는 본 발명의 실시예에 따른 제조의 스테이지를 예시하는 평면도이다.

도 4는 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 5는 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 6a은 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 6b 및 도 6c는 본 발명의 대안적인 실시예들에 따른 제조 방법에서의 스테이지를 예시하는 단면도들이다.

도 7은 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 8a는 다른 실시예에 따른 패키징된 칩을 예시하는 단면도이다.

도 8b는 다른 실시예에 따른 패키징된 칩을 예시하는 단면도이다.

도 9a는 다른 실시예에 따른 패키징된 칩을 예시하는 단면도이다.

도 9b는 다른 실시예에 따른 패키징된 칩을 예시하는 단면도이다.

도 9c는 다른 실시예에 따른 패키징된 칩을 예시하는 단면도이다.

도 10은 다른 실시예에 따른 복수의 패키징된 칩을 포함하는 적층된 어셈블리를 예시하는 단면도이다.

도 11a는 다른 실시예에 따른 단일 칩 캐리어에 장착된 복수의 패키징된 칩들을 예시하는 평면도이다.

도 11b는 다른 실시예에 따른 단일 칩 캐리어에 장착된 복수의 패키징된 칩들을 예시하는 평면도이다.

도 12는 본 발명의 실시예에 따른 패키징된 칩 및 칩 캐리어 어셈블리를 예시하는 단면도이다.

도 13은 본 발명의 대안적인 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 14는 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 15는 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 16은 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 17은 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 18a는 다른 실시예에 따른 패키징된 칩을 예시하는 단면도이다.

도 18b는 다른 실시예에 따른 패키징된 칩을 예시하는 단면도이다.

도 18c는 다른 실시예에 따른 패키징된 칩을 예시하는 단면도이다.

도 19a는 다른 실시예에 따른 패키징된 칩을 예시하는 단면도이다.

도 19b는 다른 실시예에 따른 패키징된 칩을 예시하는 단면도이다.

도 20은 다른 실시예에 따른 복수의 패키징된 칩들을 포함하는 적층된 어셈블리를 예시하는 단면도이다.

도 21은 다른 실시예에 따른 복수의 패키징된 칩들을 포함하는 적층된 어셈블리를 예시하는 단면도이다.

도 22는 다른 실시예에 따른 복수의 패키징된 칩들을 포함하는 적층된 웨이퍼 레벨 어셈블리를 예시하는 단면도이다.

도 23a는 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 23b는 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 24는 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 25는 본 발명의 실시예에 따른 제조 방법에서의 스테이지를 예시하는 단면도이다.

도 26은 본 발명의 한 실시예에 따른 시스템의 개략적인 도시이다.

발명을 실시하기 위한 구체적인 내용

[0044]

본 명세서에서 도시되고 설명되는 실시예에서, 미세전자 유닛들이 평탄화될 수 있다. 평탄화된 미세전자 유닛들은 바람직하게는 적층된 어셈블리들(stacked assemblies)에 통합될 수 있다. 미세전자 유닛들의 상이한 사이즈들의 수를 줄이는 것은 또한 미세전자 유닛들의 적층을 용이하게 할 수 있다.

[0045]

도 1a 및 1b는 본 발명의 실시예에 따른 패키징된 칩 및 칩 캐리어 어셈블리를 예시하는 단면도 및 대응하는 하향식 평면도이다. 도 1a 및 1b에 예시된 바와 같이, 미세전자 유닛(10)은 캐리어 구조(30)에 장착된 미세전자 엘리먼트(20)를 포함한다.

[0046]

미세전자 엘리먼트(20)는, 최상부 표면(21)에 및/또는 최상부 표면(21) 아래에 위치된 그 활성 반도체 영역에 하나 또는 복수의 반도체 디바이스들(예컨대, 트랜지스터들, 다이오드들, 등)이 배치되어 있는, 예컨대 실리콘으로 만들어진, 반도체 기판을 포함할 수 있다. 최상부 표면(21)과 전면으로부터 이격된 저부 표면(22) 사이의 미세전자 엘리먼트(20)의 두께는 $200 \mu\text{m}$ 보다 작고, 예컨대, $130 \mu\text{m}$, $70 \mu\text{m}$ 또는 훨씬 더 작은 것과 같이, 상당히 더 작을 수 있다. 미세전자 엘리먼트(20)는 다른 전도성 엘리먼트들에 전기적 연결을 위해 그 최상부 표면(21)에 위치된 복수의 전도성 콘택트들(23)을 포함한다.

[0047]

도 1a 및 1b에서 특정하게 도시되어 있지는 않지만, 활성 반도체 영역에서의 반도체 디바이스들은 통상적으로 전도성 콘택트들(23)에 전도성 연결되어 있다. 따라서, 반도체 디바이스들은 미세전자 엘리먼트(20)의 하나 이상의 유전성 층들 내에 통합된 와이어링(wiring)을 통해 전도성 접근 가능하다. 몇몇 실시예들에서, 미세전자 엘리먼트의 전면에서의 콘택트 패드들은 미세전자 엘리먼트의 전면에 직접 노출되어 있지 않을 수도 있다. 대신에, 콘택트 패드들은 노출된 단자들로 연장되는 트레이스들에 전기적 연결되어 있을 수 있다.

[0048]

본 명세서에서 사용된 바와 같이, 전기 전도성 엘리먼트가 유전성 엘리먼트의 표면에서 "노출"되어 있다는 말은, 유전성 엘리먼트 외부로부터 유전성 엘리먼트의 표면으로 유전성 엘리먼트의 표면에 수직한 방향으로 이동하는 이론점(theoretical point)과의 접촉에 전기 전도성 엘리먼트를 이용할 수 있다는 것을 나타낸다. 따라서, 유전 엘리먼트의 표면에서 노출된 단자 또는 다른 전도성 엘리먼트는 그러한 표면으로부터 돌출되거나; 그러한 표면과 같은 높이가 되거나; 또는 그러한 표면에 대하여 리세싱(recess)되고 유전물에서 홀(hole) 또는 오목한 곳(depression)을 통해 노출될 수도 있다.

[0049]

전도성 엘리먼트들을 형성하기 위해 사용가능한 임의의 기술이 본질적으로 본 명세서에서 설명된 전도성 엘리먼트들을 형성하는 데 사용될 수 있지만, 본 명세서와 같은 날짜에 출원된 3차원 전도성 엘리먼트들의 비-리소그래피 형성으로 지정된 함께 계류중인 출원에 더 상세히 논의된 바와 같은 비-리소그래피 기술들이 채용될 수 있

다. 그러한 비-리소그래피 기술들은, 예컨대, 전도성 엘리먼트가 그 표면의 다른 부분들과 상이하게 형성될 경로를 따라 그 표면의 부분들을 처리하기 위해 분쇄(milling) 또는 샌드블래스팅(sandblasting)과 같은 레이저 또는 기계적인 프로세스들로 표면을 선택적으로 처리하는 것을 포함할 수 있다. 예를 들어, 레이저 또는 기계적 프로세스는, 특정 경로를 따라서만 그 표면으로부터 희생층과 같은 물질을 제거하여 그 경로를 따라 연장되는 그루브(groove)를 형성하는 데 사용될 수 있다. 그후 촉매와 같은 물질이 그루브에 증착될 수 있으며, 하나 이상의 금속 층들이 그루브 내에 증착될 수 있다.

[0050] 캐리어 구조(30)는 그 전면(31)으로부터 부분적으로 캐리어 구조를 통해 후면(32)로 연장되는 리세스(40)를 정의한다. 캐리어 구조(30)는 반도체, 예컨대 실리콘으로부터 만들어질 수 있다. 한 예에서, 캐리어 구조(30)는 구리와 같은 금속으로부터 만들어 질 수 있으며, 이것은 캐리어 구조가 미세전자 엘리먼트(20)를 위한 열 스프레더(heat spreader)로서 기능할 수 있도록 할 수 있다. 예시적인 실시예에서, 캐리어 구조(30)는 캐리어 구조가 열 스프레더로서 기능하도록 적응되기 위해 외부 금속 마감 층을 포함할 수 있다.

[0051] 리세스(40)는 캐리어 구조(30)의 전면(31)으로부터 가장 멀리 있는 리세스의 저부에 위치된 내부 표면(41)을 포함한다. 리세스(40)는 캐리어 구조(30)의 전면(31)과 리세스의 내부 표면(41) 사이에 연장된 측면 에지 표면(42)(즉, 리세스(40)의 측벽)을 포함한다. 리세스(40)는, 전면(31)에 수직한 방향으로 리세스(40)의 높이가 내부 표면(41)과 후면(32) 사이에서 연장된 캐리어 구조(30)의 잔여 부분의 높이보다 크도록, 전면(31)으로부터 후면(32)으로 반 이상 연장될 수 있다.

[0052] 리세스(40)는 도 1b에서 도시된 바와 같이 예컨대 직사각형 채널을 포함하는 임의의 상면도를 가질 수 있다. 도 1a 및 1b에서 도시된 바와 같이, 리세스(40)는 단일 미세전자 엘리먼트(20)를 포함한다. 다른 실시예들에서, 리세스는 임의의 수의 미세전자 엘리먼트들(20)을 포함할 수 있다. 도 11a에서 도시된 실시예에서와 같은 한 실시예에서, 리세스는 복수의 미세전자 엘리먼트들을 포함할 수 있다. 몇몇 실시예들에서, 리세스(40)는 다른 것들 중에, 예컨대 원통형, 정육면체, 프리즘을 포함하는 임의의 3차원 형태를 가질 수 있다.

[0053] 도 1a에서 도시된 바와 같이, 측면 에지 표면(42)은, 전면(31)에 의해 정의된 수평 평면에 수직인 각으로 캐리어 구조를 통해 캐리어 구조(30)의 전면(31)으로부터 연장된다. 다른 실시예들에서, 측면 에지 표면(42)은 예컨대, 약 60 도 내지 약 100 도 사이의 각을 포함하여, 전면(31)에 대한 임의의 각으로 전면(31)으로부터 연장될 수 있다. 측면 에지 표면(42)은 일정한 기울기 또는 변화되는 기울기를 가질 수 있다. 예를 들어, 전면(31)에 의해 정의되는 수평 평면에 상대적인 측면 에지 표면(42)의 각 또는 기울기는, 측면 에지 표면이 내부 표면(41)을 향해 더 관통할 수록, 감소할 수 있다. 비-정규(non-normal) 각에서 캐리어 구조의 전면으로부터 연장되는 측면 에지 표면을 갖는 예시적인 실시예는 도 8a에 도시된다.

[0054] 캐리어 구조(30)는 또한 그 전면(31)으로부터 캐리어 구조를 통해 후면(32)으로 연장되는 복수의 홀들(50), 및 복수의 전도성 비아들(60)을 정의하고, 각 전도성 비아는 각 홀(50)을 통해 연장된다. 도 1a 및 1b에 관하여 설명된 실시예에서, 6개의 홀들(50) 및 각각의 전도성 비아들(60)이 존재한다. 다른 예들에서, 캐리어 구조를 통해 연장되는 임의의 수의 홀들 및 전도성 비아들이 존재할 수 있다. 예를 들어, 도 11a에 도시된 실시예에서, 캐리어 구조를 통해 연장된 18개의 홀들이 존재한다.

[0055] 홀들(50)은 캐리어 구조(30) 내의 임의의 기하학적인 구성으로 배열될 수 있다. 예를 들어, 홀들(50)은 단일의 공통 축을 따라 배열될 수 있거나, 홀들(50)은 도 1b 및 도 11에서 도시되는 바와 같이, 두 개의 평행한 행들로 배열될 수 있다. 다른 실시예들(도시되지 않음)에서, 홀들(50)은 클러스터(cluster), 그리드(grid), 링(ring), 또는 다른 임의의 형태로 배열될 수 있다.

[0056] 각 홀(50)은 캐리어 구조(30)를 통해 연장되는 내부 표면(51)을 포함한다. 홀이 후면으로부터 전면으로의 방향으로 테이퍼링(taper)되도록, 도 1a에서 도시된 바와 같이, 홀(50)은 전면(31)에서 폭(W1), 후면(32)에서 W1 보다 더 큰 폭(W2)를 가진다. 예를 들어 도 8a에서 도시된 바와 같은 다른 실시예들에서, 하나 이상의 홀들은 일정한 폭을 가질 수 있으며, 하나 이상의 홀들은 전면으로부터 후면을 향하는 방향으로 테이퍼링될 수 있다.

[0057] 각 홀(50)의 내부 표면(51)은 일정한 기울기 또는 다양한 기울기를 가질 수 있다. 예컨대, 캐리어 구조(30)의 전면(31)에 의해 정의된 수평 평면에 상대적인 내부 표면(51)의 각 또는 기울기는, 내부 표면(51)이 캐리어 구조의 전면(31)으로부터 후면(32)으로 더 관통함에 따라 크기 상에서 더 감소(덜 양의 값(positive)이 되거나 덜 음의 값(negative)이 됨) 된다.

[0058] 각 홀(50)은, 도 1b에서 도시된 예컨대 원형 형태를 포함하는, 임의의 상면도 형태를 가질 수 있다. 몇몇 예들에서, 각 홀(50)은 정사각형, 직사각형, 타원형, 또는 임의의 다른 상면도 형태를 가진다. 몇몇 예들에서,

각 홀(50)은, 다른 것들 중 예컨대 원통형, 정육면체, 또는 프리즘을 포함하는, 임의의 3차원 형태를 가질 수 있다.

[0059] 각각의 전도성 비아(60)는 각 홀(50) 내에 연장되고, 캐리어 구조(30)의 전면(31)과 후면(32) 사이의 전도성 비아의 높이를 따라 연장되는 외부 표면(61)을 정의한다. 각 전도성 비아(60)는 금속으로 이루어 지거나, 예컨대 구리 또는 금을 포함하는 금속의 전기 전도성 화합물로 이루어 질 수 있다.

[0060] 각 전도성 비아(60)는 전면(31)에서의 전 전도성 콘택트(front conductive contact)(62)와 후면(32)에서의 후 전도성 콘택트(rear conductive contact)(63)에 전기적으로 연결되어 있다. 각각의 전 전도성 콘택트(62) 및 후 전도성 콘택트(63)(또는 본 명세서에서 개시된 다른 전도성 콘택트들 중 임의의 것)은, 미세전자 유닛(10)의 외부 표면(예컨대, 전면(31), 후면(32), 유전 영역(70)의 주 표면(71), 또는 각 표면들(31, 32) 위를 덮는 유전 층(72, 73)에서 노출되었다면, 외부 엘리먼트로의 전기적 연결을 위한 단자로서 사용되는데 적절하다.

[0061] 도시되는 바와 같이, 전도성 비아(60)는 또한 전도성 콘택트들(62, 63)과 연결되어 있다 (즉, 전도성 비아(60) 및 전도성 콘택트들(62, 63)는 공통의 중심축을 공유한다). 다른 예들에서, 전도성 비아는 전 전도성 콘택트들 및 후 전도성 콘택트들 중 하나 또는 둘 모두와 상이한 중심축을 가질 수 있다. 각각의 전도성 콘택트(62, 63)는, 예컨대 구리 또는 금을 포함하는 임의의 전기 전도성 금속으로 이루어질 수 있다. 도시되는 바와 같이, 전도성 콘택트들(62, 63)은 원형 상면 형태를 가진다. 다른 예들에서, 전도성 콘택트들(62, 63) 및 본 명세서에서 개시된 전도성 콘택트들 중 임의의 것이, 타원형, 삼각형, 정사각형, 직사각형, 또는 다른 형태를 포함하는 임의의 상면 형태를 가질 수 있다.

[0062] 각 전도성 비아(60)는 또한 미세전자 엘리먼트(20)의 하나 이상의 전도성 콘택트들(23)에 전기적으로 연결되어 있다. 도 1a 및 도 1b에서 도시된 바와 같이, 각 전도성 비아(60)는, 단자(24), 캐리어 구조(30)의 전면(31)을 따라 연장된 전도성 트레이스(64), 및 전 전도성 콘택트(62)를 통해 각 전도성 콘택트(23)에 전기적으로 연결되어 있다. 다른 예들에서, 각 전도성 비아(60)는 임의의 다른 구성으로 하나 이상의 전도성 콘택트들(23)에 전기적으로 연결될 수 있다.

[0063] 단자(24), 전도성 콘택트(62), 및 전도성 트레이스(64) 중 하나 이상의 결합은 또한 외부 엘리먼트(도시되지 않음)로의 연결을 위해 적절한 "연장된 본드 패드"가 되도록 고려될 수도 있다.

[0064] 도시되는 바와 같이, 각 전도성 비아(60)는 외부 엘리먼트(도시되지 않음)로의 전기적 연결을 위해, 후 전도성 콘택트(63)의 저부 표면에서 노출된 각각의 전도성 본드 물질(65)에 전기적으로 연결되어 있다. 다른 예들에서, 전도성 본드 물질(65)은 임의의 다른 전기적 상호연결 엘리먼트(예컨대, 전도성 나노입자들)로 대체될 수 있거나, 전도성 본드 물질(65)은 누락될 수 있다 (예컨대, 확산 본딩이 사용될 때).

[0065] 전도성 비아(60), 전도성 콘택트들(62, 63), 및 트레이스들(64), 및 단자들(24)은 모두 유전 영역 또는 층에 의해 미세전자 엘리먼트(20)로부터 완전히 전기적으로 절연된다. 예를 들어, 트레이스들(64)은 주 표면(71)을 갖는 유전 영역(70)에 의해 캐리어 구조(30)로부터 절연되며, 전 전도성 콘택트들(62)은 유전 층(72)에 의해 전면(31)으로부터 절연되고, 후 전도성 콘택트들(63)은 유전 층(73)에 의해 후면(32)으로부터 절연된다. 각 전도성 비아(60)는 또한 내부 표면(51)(도시되지 않음)을 따라 연장되는 유전 층에 의해 홀(50)로부터 절연된다.

[0066] 도 1a에서 도시된 바와 같이, 전도성 비아(60)는 전도성 비아(60)로부터 캐리어 구조(30)를 전기적으로 절연하는 유전 층 내부의 홀(50) 내부의 부피를 완전히 채울 수 있다. 즉, 전도성 비아(60)의 외부 표면(61)은 각 홀(50)의 내부 표면(51)의 컨투어(contour)를 따른다.

[0067] 다른 예들에서, 전도성 비아(60)는 홀(50)을 절연하는 유전 층의 내부의 모든 부피를 채울 수도 있다. 한 예에서, 전도성 비아(60)의 외부 표면(61)은 각 홀(50)의 내부 표면(51)의 컨투어를 따르지 않을 수도 있다. 그러한 예에서, 유전 영역은 홀(50)을 채울 수 있고, 애퍼처(aperture)는 유전 영역을 관통하여 뚫릴 수도 있다. 도 8a는 홀의 내부 표면을 따르지 않는 외부 표면을 가지는 전도성 비아를 가지는 예시적인 실시예를 도시한다.

[0068] 전도성 비아(60)는 프로세스 조건들에 따라 속이 차 있거나(solid) 비어 있도록(hollow) 형성될 수 있다. 예를 들어, 전도성 비아(60)는 전도성 비아의 중심을 통해 연장되는 내부 애퍼처가 존재하도록, 홀(50)을 절연하는 유전 층의 등각 도금(conformal plating)에 의해 형성될 수 있다. 이러한 내부 애퍼처는 유전 물질로 채질 수 있거나, 또는 개방되도록 남겨질 수 있다. 도 8a는 내부 애퍼처를 갖도록 전도성 비아를 포함하는 예시적인 실시예를 도시한다.

[0069] 도시된 바와 같이, 각 전도성 비아(60)는 원추대(frusto-conical) 형태를 갖는다. 다른 예들에서, 전도성 비아

(60)는 예컨대 원통형(도 8a에서 도시된 바와 같음) 또는 전도성 비아를 따라 상이한 높이들로의 원통형 형태와 원추대 형태들의 조합을 포함하는 임의의 다른 형태를 가질 수 있다.

[0070] 유전 영역(70)은 미세전자 엘리먼트(20)에 의해 점유되지 않은 리세스(40)의 부분을 채우며, 유전 영역(70)은 미세전자 엘리먼트(20)에 관하여 양호한 유전 절연성을 제공할 수 있다. 유전 영역(70)은 계수(modulus)와 두께의 합이 컴플라이언스(compliancy)를 제공하도록 충분히 낮은 탄성 계수와 충분한 두께를 가지면서, 유연성(compliant)이 있을 수 있다. 특히, 외부 부하가 전도성 엘리먼트들에 인가될 때, 그러한 유연성 유전 영역(compliant dielectric region)(70)은 그에 부착된 전도성 엘리먼트들이 미세전자 엘리먼트(20) 및/또는 캐리어 구조(30)에 대하여 다소 수축되거나 이동하도록 허용할 수 있다. 그러한 방식으로, 미세전자 유닛(10)의 전도성 엘리먼트들과 회로 패널(도시되지 않음)과 같은 외부 엘리먼트의 단자들 사이의 본드는 미세전자 유닛(10)과 회로 패널 사이의 열 팽창 계수("CTE")의 불일치로 인한 열 변형(thermal strain)을 더 잘 견딜 수 있다.

[0071] 도시된 실시예들에서, 유전 영역(70)의 주 표면(71)은 캐리어 구조(30)의 전면(31)에 의해 정의된 평면보다 위로 연장된다. 다른 실시예들에서, 주 표면(71)은 대략적으로 캐리어 구조(30)의 전면(31)에 의해 정의되는 평면에 있도록 연장될 수 있다.

[0072] 유전 층들(72, 73)은 무기 또는 유기 유전 물질 또는 양쪽 모두를 포함할 수 있다. 유전 층들(72, 73)은 전기 중착된 등각 코팅 또는 다른 유전 물질, 예컨대 포토이미저블 폴리머 물질(photoimabeable polymeric material), 예컨대, 솔더 마스크 물질(solder mask material)을 포함할 수 있다.

[0073] 각 단자(24)는 외부 엘리먼트에 대한 상호연결을 위해 유전 영역(70)의 주 표면(71)에서 노출된다. 각 단자(24)는 리세스(40)와 정렬될 수 있으며 리세스(40)에 의해 정의된 캐리어 구조(30)의 영역 내에 전체적으로 또는 부분적으로 배치될 수 있다. 다른 예들에서, 단자(24)는 리세스(40)(예컨대 9a 참조)에 의해 정의되는 영역의 외부에 위치될 수 있다. 도시된 바와 같이, 단자(24)의 최상부 표면(25)에 의해 정의된 평면은 캐리어 구조(30)의 전면(31)에 의해 정의된 평면에 실질적으로 평행하다. 외부 엘리먼트에 단자(24)를 전기적으로 상호연결하는 데 부가하여 또는 그 대신에, 전 전도성 콘택트(62)는 단자로서 작용할 수 있으며, 외부 엘리먼트에 대하여 전기적으로 상호연결될 수 있다.

[0074] 도시된 바와 같이, 단자(24)의 최상부 표면(25)은 캐리어 구조(30)의 전면(31)에 의해 정의된 평면 위에 위치된다. 다른 실시예들에서, 단자(24)의 최상부 표면(25)은 전면(31)에 의해 정의된 평면에 또는 그 아래에 위치될 수 있다 (캐리어 구조의 전면 및 유전 영역의 주 표면에 의해 정의된 평면에 비교하여 단자의 최상부 표면의 다양한 구성에 대하여 도 6a 내지 6c 를 참조).

[0075] 도 1b에서 도시된 바와 같이, 단자들(24) 및 전 전도성 콘택트들(62)은 전도성 본드 패드의 형태를 가진다. 다른 실시예들에서, 단자들(24) 및 전도성 콘택트들(62)은 예컨대 전도성 포스트(conductive post)를 포함하는 전도성 콘택트의 임의의 다른 형태일 수 있다.

[0076] 미세전자 유닛(10)(도 1a 및 도 1b)를 제조하는 방법은 도 2 내지 도 7을 참조하여 이제 설명될 것이다. 도 2를 참조하면, 캐리어 구조(30)는 초기 전면(31')을 포함한다. 제조의 이 단계에서, 초기 전면(31')은 그 초기 두께(T1)에 의해 캐리어 구조(30)의 후면(32)으로부터 일정하게 이격되어 있을 수 있다. 캐리어 구조(30)의 초기 전면(31')의 잔여 부분들을 보존하는 것이 바람직한 경우 마스크 층(33)이 형성될 수 있다.

[0077] 도 3a 및 3b를 참조하면, 리세스(40)는, 마스크 층(33)을 형성한 후에, 예컨대 캐리어 구조(30)를 선택적으로 에칭함으로서, 형성될 수도 있다. 예를 들어, 포토이미저블 층, 예컨대 포토레지스트 층이 중착되고, 초기 전면(31')의 단지 일부분들만을 덮도록 패터닝될 수 있으며, 그 후에 리세스(40)를 형성하기 위해 타이밍된 에칭 프로세스가 수행될 수 있다. 도 3에서 도시된 바와 같이, 리세스(40)는 전면(31)으로부터 캐리어 구조(30)의 후면(32)을 향해 하향 연장된다.

[0078] 리세스(40)는, 평탄하고 후면(32)으로부터 통상적으로 같은 거리인 내부 표면(41)을 가진다. 전면(31)으로부터 내부 표면(41)을 향해 하향 연장된 리세스의 측면 에지 표면(42)은 경사질 수 있으며, 즉 도 8a에서 도시된 바와 같이 전면(31)에 수직인 각(직각) 이외의 다른 각들로 연장될 수 있다.

[0079] 본 명세서에서 도시되고 설명된 실시예들에서, 캐리어 구조(30)의 개구들의 일부 또는 전부(예컨대, 리세스(40))는 미세한 연마 입자들(abrasive particles)의 분사를 캐리어 구조의 표면상으로 지향시킴으로서 형성될 수 있다. 미세한 연마 입자들은 표면상에 노출된 물질을 제거한다. 본 명세서에서 사용된 바와 같이, 샌드블래스팅(sandblast)은, 그 연마 입자들이 샌드(sand) 또는 이산화 규소 입자들(샌드의 주 성분)을 포함하는지 않

하든지, 이러한 프로세스를 의미한다. 캐리어 구조 내의 개구들의 일부를 형성하기 위해 샌드블래스팅을 사용하면 미세전자 유닛들을 생성하는 시간과 비용을 감소시킬 수 있다.

[0080] 습식 에칭 프로세스들, 예컨대 특히 등방성 에칭 프로세스들 및 테이퍼링된 블레이드를 사용한 쏘잉(sawing using a tapered blade)은, 경사진 측면 에지 표면들을 가진 리세스를 형성하는 데 사용될 수 있다. 특히 샌드블래스팅(sandblasting), 레이저 다이싱(laser dicing), 기계적 분쇄(mechanical milling)이 또한 경사진 측면 에지 표면을 가진 리세스를 형성하는 데 사용될 수 있다.

[0081] 대안적으로, 경사지는 것 대신에, 리세스의 측면 에지 표면(42)은 수직으로, 또는 전면(31)에 수직으로 직각으로 전면(31)으로부터 하향하여 수직적으로 수직인 방향으로 연장될 수 있다. 필수적으로 수직인 측면 에지 표면(42)을 갖는 리세스(40)를 형성하는 데에, 이방성 에칭 프로세스들, 레이저 다이싱, 레이저 드릴링(laser drilling), 기계적 제거 프로세스들, 예컨대 특히 샌드블래스팅, 쏘잉, 분쇄, 초음파 가공이 사용될 수 있다.

[0082] 캐리어 구조(30) 내에 리세스(40)를 형성한 후에, 나중에 추가될 전도성 엘리먼트들 및 미세전자 엘리먼트로부터 캐리어 구조(30)를 전기적으로 절연시키기 위해 유전 층(72)이 캐리어 구조의 전면(31) 상으로 그리고 내부 표면(41) 및 리세스의 측면 에지 표면(42) 상으로 증착된다.

[0083] 유전 층(72)을 형성하는 데 다양한 방법들이 사용될 수 있다. 한 실시예에서, 가류성 유전 물질이 캐리어 구조(30)의 전면(31)에 그리고 리세스의 측면 에지 표면(42) 및 내부 표면(41)상으로 인가될 수 있으며, 가류성 물질(flowable material)은 그후 "스핀-코팅(spin-coating)" 동작 동안 더 균일하게 분포되고, 그 후에 가열을 포함할 수도 있는 건조 사이클이 뒤따른다. 다른 실시예에서, 유전 물질의 열가소성 막이 캐리어 구조(30)의 전면(31)에 인가될 수도 있으며, 그 후에 그 어셈블리가 가열되거나, 진공 환경에서(즉, 주변 압력보다 낮은 압력하의 환경에 위치됨) 가열된다. 그 후 이것은 그 막이 리세스(40)의 내부 표면(41) 및 측면 에지 표면(42) 상으로 하향 유동하도록 야기한다. 다른 실시예에서, 기상 증착이 유전 층(72)을 형성하는 데 사용될 수 있다.

[0084] 또 다른 실시예에서, 캐리어 구조(30)는 등각 유전 코팅 또는 유전 층(72)을 형성하기 위해 유전 증착 배스(dielectric deposition bath)에 침잠될 수 있다. 본 명세서에서 사용된 바와 같이, "등각 코팅"은, 유전 층(72)이 리세스(40)의 컨투어에 일치할 때와 같이 모팅된 표면의 컨투어에 일치하는 특정 물질의 코팅이다. 예컨대 전기 영동 증착(electrophoretic deposition) 또는 전해 증착(electrolytic deposition)을 포함하여, 등각 유전 층(72)을 형성하는 데 전기화학 증착 방법이 사용될 수 있다.

[0085] 한 예에서, 등각 유전 코팅이 그 어셈블리의 노출된 전도성 및 반도체성 표면들 상으로만 증착되도록, 전기 영동 증착 기술이 등각 유전 코팅을 형성하는 데 사용될 수 있다. 증착 동안, 캐리어 구조(30)가 원하는 전위로 유지되고, 그 배스를 상이한 원하는 전위로 유지시킬도록 전극이 배스에 침잠된다. 그 어셈블리는 그후, 전도성 또는 반도체성인 캐리어 구조(30)의 노출된 표면들(전면(31), 후면(32), 내부 표면(41), 및 측면 에지 표면(42)을 따르는 것을 포함하지만 그에 제한되지는 않음) 상에 전기증착된 등각 유전 층(72)을 형성하기 위해 충분한 시간 동안 적절한 조건들 하에서 배스에 유지된다. 충분히 강한 전계가 그에 의해 코팅될 표면과 배스 사이에 유지되는 한 전기 영동 증착이 발생한다. 파라미터들, 예컨대 증착의 전압, 농도 등에 의해 좌우되는 특정 두께에 도달한 후에 증착이 멈춘다는 점에서 전기 영동 증착된 코팅이 자기 제한적이다.

[0086] 전기 영동 증착은, 어셈블리의 전도성 및/또는 반도체성 외부 표면들 상에 연속적이고 균일한 두꺼운 등각 코팅을 형성한다. 부가적으로, 그 유전성(비전도성) 성질로 인해 예컨대 도 1a에 도시된 유전 층(73)과 같은 임의 이미 증착된 유전층 상에 형성되지 않도록, 전기 영동 코팅이 증착될 수 있다. 다시 말하면, 전기 영동 증착의 성질은, 그 유전 성질들을 고려할 때 유전 물질 층이 충분한 두께를 가진다면 컨덕터 위에 놓인 유전 물질 층 상에 형성하지 않는다. 통상적으로, 전기 영동 증착은 약 10 마이크론 내지 몇천 마이크론 보다 큰 두께를 갖는 유전 층들 상에 발생하지 않을 것이다. 등각 유전 층(72)은 캐소드 에폭시 증착 전구체로부터 형성될 수 있다. 대안적으로, 폴리우레탄 또는 아크릴 증착 전구체가 사용될 수 있다. 다양한 전기 영동 코팅 전구체 조성들 및 공급원들이 이하의 표 1에 열거되어 있다.

표 1

전기코팅(ECOAT)명칭 645	파워크론(POWERCRON) 648	파워크론(POWERCRON) 648	캐소가드(CATHOGUARD) 325
제조업자			
MFG	PPG	PPG	PPG

유형	캐소드(CATHODIC)	캐소드(CATHODIC)	캐소드(CATHODIC)
폴리머 베이스	에폭시	에폭시	에폭시
위치	피츠버그, PA	피츠버그, PA	피츠버그, PA
애플리케이션 데이터			
Pb/Pf-free	Pb-free	Pb 또는 Pf-free	Pb-free
HAPs, g/L		60-84	유연성(compliant)
VOC, g/L (물 제외)		60-84	< 95
양생(cure)	20 분/175 °C	20 분/175 °C	
힐름 성질들			
색	검정색	검정색	검정색
두께, μm	10-35	10-38	13-36
연필 강도		2H+	4H
배스 특성 (Bath Characteristics)			
고체들, % wt	20 (18-22)	20(19-21)	17.0 - 21.0
pH (25°C)	5.9 (5.8 - 6.2)	5.8 (5.6 - 5.9)	5.4 - 6.0
전도성 (25°C) μs	1000 - 1500	1200 - 1500	1000 - 1700
P/B 비율	0.12 - 0.14	0.12 - 0.16	0.15 - 0.20
동작 온도, °C	30 - 34	34	29-35
시간, 초	120-180	60-180	120+
애노드	SS316	SS316	SS316
볼트		200-400	>100
전기코팅(ecoat)명칭	일렉트로랙 (ELECTROLAC)	렉트라실 (LECTRASEAL) DV 494	렉트로베이스 (LECTROBASE) 101
제조업자			
MFG	MACDERMID	LVH COATINGS	LVH COATINGS
유형	캐소드(CATHODIC)	애노드(ANODIC)	캐소드(CATHODIC)
폴리어 베이스	폴리우레탄	우레탄	우레탄
위치	Waterbury, CT	Birmingham, UK	Birmingham, UK
애플리케이션 데이터			
Pb/Pf-free		Pb-free	Pb-free
HAPs, g/L			
VOC, g/L (물 제외)			
양생(cure)	20분/149°C	20분/175°C	20분/175°C
힐름 성질들			
색	선명 (+ 염색됨)	검정색	검정색
두께, μm		10-35	1--35
연필 강도	4H		
배스 특성들			
고체들, % wt	7.0 (6.5 - 8.0)	10 - 12	9 - 11
pH (25 °C)	5.5 - 5.9	7 - 9	4.3
전도성 (25°C) μs	450-600	500-800	400-900
P/B 비율			
동작 온도, °C	27-32	23-28	23-28
시간, 초			60-120
애노드	SS136	316SS	316SS
볼트	40, 최대		50-150

[0088] 다른 예에서, 유전 층이 전기 분해로 형성될 수 있다. 이 프로세스는, 증착된 층의 두께가 그것이 형성된 전도성 또는 반도체성 표면으로의 근접성에 의해 제한되지 않는 것만 제외하면, 전기 영동 증착과 유사하다. 이러한 방식으로, 전기 분해 증착된 유전 층이 요구사항들에 기초하여 선택된 두께로 형성될 수 있으며, 성취되는 두께에 있어서 프로세싱 시간이 요인이다.

[0089] 이제 도 3c 를 참조하면, 캐리어 구조들(30)(및 그들이 형성할 미세전자 유닛들(10))은 웨이퍼 레벨 프로세싱에 의해, 즉 복수의 캐리어 구조들이 웨이퍼의 부분으로 또는 반도체나 금속 웨이퍼 전체로서 함께 결합되어 유지되는 동안 복수의 캐리어 구조(30)에 동시에 수행되는 프로세싱에 의해, 동시에 처리될 수 있다. 도 1a 및 도 1b에서 예시되는 제조 단계에 도달한 후에, 예컨대, 웨이퍼가 다이싱 레인들(dicing lanes)(12, 14)을 따라 개

별 패키징된 미세전자 유닛들로 절단될 수 있다.

[0090] 도 3a에서 예시된 바와 같이, 웨이퍼(8) 또는 웨이퍼(8)의 부분은 복수의 캐리어 구조들(30)을 포함하며, 각각의 캐리어 구조(30)는 리세스(40)를 갖는다. 다이싱 레인(12)은 개별 캐리어 구조들(30) 사이의 경계에서 다이싱 레인의 위치를 나타낸다. 미세전자 유닛들의 리세스들(40)의 위치들은 다이싱 레인들로부터 이격되어 있을 수 있다. 다이싱 레인(12)의 대표적인 폭은 대략 40 μm (마이크론)이다.

[0091] 웨이퍼들을 개별 유닛들로 절단하기 위한 다양한 예시적인 프로세스들이 본 명세서에 결합되어 함께 공동 소유된 미국 가출원 제60/761,171호 및 제60/775,086호에 설명되어 있으며, 이들 중 어떤 것도 도 1a 및 도 1b에 도시된 개별 미세전자 유닛들(10)을 형성하기 위해 웨이퍼들을 절단하는 데 사용될 수 있다.

[0092] 이제 도 4를 참조하면, 미세전자 엘리먼트의 저부 표면(220이 리세스의 내부 표면(41)에 인접하도록 미세전자 엘리먼트(20)가 캐리어 구조(30)의 리세스(40)에 장착된다. 미세전자 엘리먼트(20)의 최상부 표면(21)은 리세스(40)의 내부 표면(41)으로부터 멀리 위를 향하여 있는 전도성 콘택트들(23)을 포함한다. 미세전자 엘리먼트(20)는 접착제, 접착성 유전물질, 또는 임의의 다른 적절한 장착 메커니즘을 가지고 리세스(40) 내에 장착될 수 있다.

[0093] 이제 도 5를 참조하면, 유전 영역(70)은 리세스(40) 내부에 형성된다. 유전 영역(70)은 무기 물질, 폴리머 물질, 또는 둘 모두를 포함할 수 있다. 선택적으로, 유전 영역의 노출된 주 표면(71)이 캐리어 구조(30)의 전면(31) 또는 유전층(72)의 노출된 표면과 공동 평면에 있거나 실질적으로 공동 평면에 있도록. 유전 영역(70)이 형성될 수 있다. 예를 들어, 자기 평탄화 유전 물질이, 예컨대 디스펜싱(dispensing) 및 스텐실링(stenciling) 프로세스에 의해, 리세스(40) 내에 증착될 수 있다. 다른 예에서, 유전 층(72)의 노출된 주 표면(71) 또는 전면(31)에 유전 영역(70)의 주 표면(71)을 평탄화시키기 위해 유전 영역(70)을 형성한 후에 그라인딩, 래핑, 또는 폴리싱 프로세스가 캐리어 구조(30)의 전면(31) 또는 유전 층(72)의 노출된 표면에 인가될 수 있다. 특정 실시예에서, 유전 영역(70)은, 계수 및 두께의 곱이 컴플라이언스(compliancy)를 제공하도록 충분한 두께와 충분히 낮은 탄성 계수를 가지면서, 유연성(compliant) 있을 수 있다.

[0094] 유전 영역(70)의 주 표면(71)은 다른 방법들에 의해 평탄화될 수 있다. 한 실시예에서, 예컨대 캐리어 구조(30)의 정면(31)에 주 표면(71)을 평탄화 시키는 데 그라인딩 프로세스가 사용될 수 있다. 그라인딩 프로세스는 유전 물질 및 실리콘 물질 둘 모두를 제거할 수 있다. 주 표면(71) 및 전면(31) 또한 래핑(lapping) 또는 폴리싱(polishing)에 의해 평탄화될 수 있다.

[0095] 특정 예에서, 유전 영역(70)의 주 표면(71) 및/또는 캐리어 구조(30)의 전면(31)을 평탄화시키는 데 화학 기계적 폴리싱("CMP")이 사용될 수 있다. 예시적인 CMP 프로세스는, 윤활유를 사용하여, 주 표면(71) 및/또는 전면(31)을 연마 패드로 사포질(sanding)하는 것을 포함할 수 있다. 예시적인 CMP 프로세스는 주 표면(71) 및/또는 전면(31)을 평탄화하기 위해, 예컨대 마이크로-실리카 페이스트(micro-silica paste)를 포함하여, 연마 슬러리 를 사용하는 것을 포함할 수 있다.

[0096] 그후, 애피처들(74)이 형성되며, 유전 영역(70)의 주 표면(71)과 전도성 콘택트들(23) 사이의 유전 영역(70)을 통해 연장된다. 애피처들(74)은 예컨대 레이저 삭마(laser ablation) 또는 임의의 다른 적절한 방법을 통해 형성될 수 있다. 도 5에 도시된 바와 같이, 애피처(74)들은 원통형 형태를 가진다. 다른 실시예들에서, 애피처들은 캐리어 구조(30)의 전면(31)으로부터 상이한 거리들에, 예컨대 원통형 및 원뿔대형(frusto-conical shape)의 조합을 포함하는, 원뿔대 형태(도 8a 참조) 또는 다른 형태를 가질 수 있다.

[0097] 이제 도 6a를 참조하면, 단자들(24)이 애피처들(74) 내에 형성된다. 단자들은 각각의 전도성 콘택트들(23)에 전기적으로 연결되고 유전 영역(70)에 의해 미세전자 엘리먼트(20)로부터 절연된다. 단자들(24)를 형성하기 위해, 예시적인 방법은 무전해 증착(electroless deposition)을 수반한다. 이 단계는, 예컨대 각 단자(24)의 형태가 각 내부 표면(75)의 컨투어를 따르도록, 각 애피처들(74)의 내부 표면들(75) 상에 블랭킷 증착(blanket deposition)에 의해 수행될 수 있다. 도 6a에 도시된 바와 같이, 단자들(24)은 고형(solid)이다. 다른 예들(도시되지 않음)에서, 각 단자는 유전 물질로 충진된 내부 공간을 포함할 수 있다.

[0098] 예시적인 실시예에서, 단자들(24)은 전도성 콘택트들(23)(도 9a 참조)로부터 이격의 위치에 형성될 수 있으며, 단자들(24)과 전도성 콘택트들(23)을 전기적으로 연결하기 위해 유전 영역(70)의 주 표면(71)상으로 트레이스들이 증착될 수 있다.

[0099] 도 6a에서 도시된 바와 같이, 단자들(24)은, 단자(24)의 최상부 표면(25)이 유전 영역(70)의 주 표면(71)과 동일 평면에 있도록 연장된다. 단자들(24)은, 예컨대 솔더 볼(solder ball)들과 같은 전도체들(conductive

masses) 또는 와이어 본드들(wire bonds)을 사용하는, 외부 엘리먼트와의 전기적 연결에 적절하다.

[0100] 도 6b에서 도시된 예와 같은 한 예에서, 단자들(24')은 유전 영역(70)의 주 표면(71)에서 노출될 수 있거나, 캐리어 구조(30)의 전면(31)에서 노출될 수 있지만, 단자들(24')의 최상부 표면(25')이 유전 영역(70)의 주 표면(71)으로 연장되지 않는다. 단자들(24')은, 예컨대 솔더 볼들과 같은 전도체들 또는 와이어 본드들을 사용하는 외부 엘리먼트와의 전기적 연결에 적절하다.

[0101] 도 6c에 도시된 예와 같은 특정 예에서, 각 단자(24")의 최상부 표면(25")은 유전 영역(70)의 주 표면(71) 위로 연장되거나, 캐리어 구조(30)의 전면(31) 위로 연장된다. 단자들(24")은, 예컨대 솔더 볼들과 같은 전도체들 또는 와이어 본드들을 사용하는, 외부 엘리먼트와의 전기적 연결에 적절하다.

[0102] 몇가지 실시예들에서, 도 6a, 6b, 6c에서 각각 도시된 예시적인 미세전자 유닛들(10, 10', 10")은 전도성 비아들의 형성을 필요로하지 않는다. 예를 들어, 도 10에서 도시된 바와 같이, 적층된 미세전자 어셈블리의 저부 위치에서의 미세전자 유닛은, 어떠한 부가적인 미세전자 유닛들도 밑에 장착될 필요가 없는 경우에 후면으로 관통하여 연장되는 전도성 비아들을 구비할 필요가 없을 수도 있다. 도 6a에서 도시된 미세전자 유닛(10)은, 예컨대 솔더 볼들과 같은 전도체들 또는 와이어 본드들을 사용하는, 단자들(24)를 통해 미세전자 유닛(10)을 다른 미세전자 유닛에 전기적으로 연결함으로서 도 10에 도시된 적층된 어셈블리에 통합될 수 있다.

[0103] 이제 도 7을 참조하면, 홀들(50)은 캐리어 구조(30) 내에 형성될 수 있으며, 전면(31)으로부터 후면(32)으로 연장된다. 포토레지스트 또는 유전 층과 같은 포토이미저블(photoimageable) 층은 캐리어 구조(30)의 전면(31) 및/또는 후면(32) 상으로 중착되며, 마스크 개구들을 형성하도록 패터닝된다. 포토이미저블 층 또는 유전 층의 마스크 개구들은 캐리어 구조(30)의 전면(31)과 후면(32) 사이에서 연장되는 홀들(50)을 형성하기 위한 바람직한 위치들에 위치된다.

[0104] 그 이후에, 마스크 개구들 아래에 놓인 반도체 또는 금속 물질을 제거하기 위해 마스크 개구들 내에 노출된 전면(31) 및/또는 후면(32)의 부분에 에칭 프로세스가 적용될 수 있다. 결과적으로, 캐리어 구조(30)의 전면(31)과 후면(32) 사이에 연장된 홀들(50)이 형성된다.

[0105] 에칭 프로세스는 반도체 물질, 예컨대 실리콘을 선택적으로 에칭하지만 산화물질을 보존하는 방식으로 수행될 수 있다. 유전물질을 보존하는 선택적 방식으로 반도체 물질을 에칭함으로써, 캐리어 구조(30)에 걸쳐 충분한 프로세스 창을 유지는 동안 캐리어 구조(30)의 모든 위치들에서 반도체 물질의 두께를 통해 에칭이 필요한 바와 같이 오버 에칭(over-etching)이 수행될 수 있다. 선택적 에칭 프로세스가 사용될 때, 유전 층, 예컨대 산화물 층(예를 들어, 유전 층(73))은 홀들(50)을 형성한 후에 제 자리에 남아있다. 대안적으로, 샌드블래스팅, 레이저 드릴링, 또는 기계적 분쇄가 홀들(50)을 형성하는 데 사용될 수 있다.

[0106] 그 후, 도 1a를 다시 참조하면, 전도성 비아들(60)이 홀들(50) 내에 형성된다. 각 전도성 비아(60)는, 유전 층 또는 영역(도시되지 않음, 그러나 이상에서 설명된 유전 층 및/또는 영역을 중착하는 데 사용된 것과 유사한 방식으로 중착됨)에 의해 각 홀(50)의 내부 표면(51)으로부터 절연된다.

[0107] 전도성 비아들(60)을 형성하기 위해, 예시적인 방법은 어셈블리의 노출된 표면들 상으로 일차 금속 층을 스퍼링, 도금, 또는 기계적 중착 중 하나 이상에 의해 금속 층을 중착하는 것을 수반한다. 기계적 중착은 코팅될 표면 상으로 고속으로 가열된 금속 입자들의 스트림을 지향하는 것을 수반한다. 이 단계는 홀(50)의 내부 표면(51) 상으로 블랭킷 중착함으로서 수행될 수 있다. 한 실시예에서, 주 금속 층은 필수적으로 알루미늄을 포함하거나 그로 구성된다. 다른 특정 실시예에서, 주 금속 층은 필수적으로 구리를 포함하거나 그로 구성된다. 또 다른 실시예에서, 주 금속 층은 필수적으로 티타늄을 포함하거나 그로 구성된다. 하나 이상의 다른 예시적인 금속들이 전도성 비아(60)를 형성하는 프로세스에 사용될 수 있다.

[0108] 특정 예들에서, 복수의 금속 층들을 포함하는 적층이 내부 표면(51) 상에 형성될 수 있다. 예를 들어, 그러한 적층된 금속 층들은 예를 들어 티타늄 아래에 놓인 구리(Ti-Cu) 층, 니켈 층 아래에 놓인 구리 층에 이 뒤따르는 니켈 층 (Ni-Cu), 유사한 방식으로 제공되는 니켈-티타늄-구리(Ni-Ti-Cu) 층 또는 니켈-바나듐(Ni-V)의 층을 포함할 수 있다.

[0109] 그 후, 단자들(24)을 전도성 비아들(60)에 전기적으로 연결하기 위해 트레이스들(64) 및 전도성 콘택트들(62, 63)이 형성된다. 몇몇 실시예들에서, 단일 무전해 중착 단계 동안에 전도성 콘택트들(62, 63) 및 트레이스들(64)이 전도성 비아들(60)과 함께 형성될 수 있다. 다른 실시예에서, 전도성 비아들(60) 및 다른 전도성 엘리먼트들(62, 63, 64)는 개별적인 무전해 중착 단계들에 의해 형성될 수 있다.

- [0110] 한 실시예에서, 전도성 콘택트들(62, 63) 및 트레이스들(64)을 포함하는 주 금속 층은 필수적으로 알루미늄을 포함하거나 그로 구성된다. 다른 특정 실시예에서, 주 금속 층은 필수적으로 구리를 포함하거나 그로 구성된다. 또 다른 실시예에서, 주 금속 층은 티타늄을 포함한다. 하나 이상의 다른 예시적인 금속이 전도성 콘택트들(62, 63) 및 트레이스들(64)을 형성하는 프로세스에서 사용될 수 있다.
- [0111] 마지막으로, 웨이퍼 레벨 프로세스가 미세전자 유닛들(10)을 형성하는 데 사용되었다면, 미세전자 유닛들(10)은 개별적인 미세전자 유닛들(10)을 형성하기 위해 쏘잉(sawing) 또는 다른 다이싱(dicing) 방법에 의해 다이싱 레인들을 따라 서로로 부터 절단될 수 있다.
- [0112] 도 8a는 본 발명의 다른 실시예에 따라 미세전자 유닛을 예시한다. 미세전자 유닛(110)은 이상에서 설명되고 도 1a에서 도시된 미세전자 유닛과 유사하지만, 미세전자 유닛(110)은 리세스의 측면 에지들, 단자들, 홀들, 및 그 홀들을 관통하여 연장되는 전도성 비아들의 형태와 구성에 있어서 상이하다.
- [0113] 전면에 직각인 각으로(도 1a 참조) 캐리어 구조의 전면으로부터 연장된 리세스의 측면 에지 표면을 가지는 것보다 오히려, 미세전자 유닛(110)은 비-직각으로 캐리어 구조(130)의 전면(131)으로부터 연장된 측면 에지 표면(142)을 포함한다. 몇몇 예들에서, 측면 에지 표면(42)의 비-직각은 수평으로부터 60도 내지 100도 사이일 수 있다.
- [0114] 미세전자 유닛(110)은 캐리어 구조(130)의 전면(131)과 후면(132) 사이에 연장된 홀(150a)의 내부 표면(151a)을 포함한다. 홀(150a)은, 그 홀이 전면으로부터 후면으로의 방향으로 실질적으로 일정한 폭을 가지도록 전면(131) 및 후면(132)에서 폭(W3)을 갖는다. 그러한 홀(150a)은, 반응성 이온 에칭 또는 샌드블래스팅과 같은 프로세스를 사용하여, 전면(131) 및 후면(132) 중 하나로부터 형성될 수 있다.
- [0115] 미세전자 유닛(110)은 또한 캐리어 구조(130)의 전면(131)과 후면(132) 사이에 연장되는 홀(150b)의 내부 표면(151b)을 포함한다. 홀(150b)은, 홀이 전면으로부터 후면으로의 방향으로 테이퍼링되도록, 전면(131)에서의 폭(W4)과 W4보다 적은 후면(132)에서의 폭(W5)을 갖는다. 그러한 홀(150b)은 습식 에칭 또는 샌드블래스팅과 같은 프로세스를 사용하여, 전면(131)으로부터 형성될 수 있다.
- [0116] 미세전자 유닛(110)은 홀(150a)을 절연하는 유전 영역(152)의 내부 부피 모두를 충진하지는 않는 전도성 비아(160a)를 포함한다. 전도성 비아(160a)의 외부 표면(161a)은 각 홀(150a)의 내부 표면(151a)의 컨투어를 따르지 않는다. 유전 영역(152)은 홀(150a)을 충진하고, 애피처(153)가 그 유전 영역을 통과 연장되며, 애피처(153)는 전도성 비아(160a)를 형성하기 위해 도금될 수 있다. 전도성 비아(160a)는 (도 1a에서 도시된 전도성 비아(60)에 의해 정의된 것과 같은) 원뿔대 형태보다 오히려, 원통형 형태를 정의한다.
- [0117] 미세전자 유닛(110)은 도 1a에서 도시된 차 있는 전도성 비아(160)보다 오히려, 비어 있는 전도성 비아(160b)를 포함한다. 예를 들어, 전도성 비아(160b)의 중심을 관통하여 연장하는 내부 애피처(166)가 존재하도록, 홀(150b)을 절연하는 유전 층의 등각 도금에 의해 전도성 비아(160b)가 형성될 수 있다. 도 8a에서 도시된 바와 같이, 내부 애피처(166)는 유전 물질(167)로 충진되어 있다. 한 예에서, 내부 애피처(166)는 개방된 채로 남겨질 수 있다.
- [0118] 미세전자 유닛(110)은 유전 영역(170) 내에 정의된 애피처(174b)의 내부에 형성된 단자(124b)를 포함한다. 그 단자(124b)는 단자(124) 또는 도 1a에 도시된 단자(24)에 의해 정의된 원통형 형태보다 오히려, 원뿔대 형태를 정의한다.
- [0119] 도 8b는 본 발명의 다른 실시예에 따른 미세전자 유닛을 예시한다. 미세전자 유닛(210)은 이상에서 설명되고 도 1a에 도시된 미세전자 유닛(10)과 유사하지만, 그 미세전자 유닛(210)은 캐리어 구조를 관통하여 연장되는 홀들과 그 홀들을 관통하여 연장되는 전도성 비아의 위치에 있어서 상이하다.
- [0120] 도 1a에 도시된 후면으로부터 캐리어 구조를 통해 전면으로 연장되는 홀들 및 전도성 비아들을 가지는 것보다 오히려, 미세전자 유닛(210)은 유전 영역(270)의 주 표면(271)으로부터 캐리어 구조(230)를 통해 그 후면(232)로 연장되는 홀(250) 및 전도성 비아들(260)을 포함한다. 미세전자 유닛(10)과 유사하게, 미세전자 유닛(210)에서는, 전도성 비아(260)가 유전 층 및/또는 전도성 비아들(260)의 외부 표면(261)을 둘러싸는 유전 영역에 의해 캐리어 구조(230)로부터 절연된다.
- [0121] 도 9a는 본 발명의 다른 실시예에 따른 미세전자 유닛을 예시한다. 미세전자 유닛(310)은 이상에서 설명되고 도 1a에서 도시된 미세전자 유닛(10)과 유사하지만, 미세전자 유닛(310)은 캐리어 구조(330)를 통해 관통하는 전도성 비아들을 포함하지 않으며, 미세전자 유닛(310)은 미세전자 엘리먼트의 외부 에지(326)와 캐리어 구조

(330)에 형성된 리세스(340)의 측면 에지 표면(342) 사이의 유전 영역(370)의 주 표면(371)의 측면 방향에 위치된 제1 단자(324a) 또는 연장된 본드 패드를 포함한다. 제2 단자(324b) 또는 연장된 본드 패드는 측면 에지 표면(342)과 캐리어 구조(330)의 외부 에지(333) 사이에 주 표면(371)(또는 유전 층(372))의 측면 방향으로 위치된다.

[0122] 도 9b는 본 발명의 다른 실시예에 따른 미세전자 유닛(410)은 이상에서 설명되고 도 9a에서 도시된 미세전자 유닛(310)과 유사하지만, 미세전자 유닛(410)은 미세전자 엘리먼트(420)의 외부 에지(426)(즉, 미세전자 엘리먼트의 측벽)와 캐리어 구조(430) 내에 형성된 리세스(440)의 측면 에지 표면(442) 사이의 유전 영역(470)의 주 표면(471)에서만 노출되는 단자들(424)을 포함한다. 미세전자 유닛(410)은 단자들(424)에 미세전자 엘리먼트(420)의 전도성 콘택트들(423)을 전기적으로 연결하기 위해 유전 영역(470)을 통해 연장된 전도성 트레이스들(464)을 포함한다.

[0123] 도 9c는 본 발명의 본 발명의 다른 실시예에 따른 미세전자 유닛을 예시한다. 미세전자 유닛(510)은 이상에서 설명되고 도 9b에서 도시된 미세전자 유닛(410)과 유사하지만, 미세전자 유닛(510)은 본드 패드들의 형태의 단자들(524)를 포함하고, 그 단자들(524)은 미세전자 엘리먼트(420)의 전도성 콘택트들(523)에 전기적으로 연결되어 있으며, 유전 영역(570)의 주 표면(571)에서 노출되어 있다.

[0124] 도 10은 이상에서 설명된 것들과 유사한 복수의 미세전자 유닛들을 포함하는 적층된 어셈블리를 예시하는 단면도이다. 도시된 실시예에서, 적층된 어셈블리(600)는 복수의 미세전자 유닛들(610a, 610b, 및 610c(일반적으로 610))을 포함한다. 비록 도 10이 미세전자 유닛들(610a, 610b, 610c)의 특정 예들을 포함하고, 본 명세서에서 개시된 미세전자 유닛들 중 임의의 것이 적층된 어셈블리를 형성하기 위해 적층될 수 있다.

[0125] 각각의 캐리어 구조들(630b, 630c)의 전면에서 노출된 단자들(624b, 624c), 및 각각의 캐리어 구조(630a, 630b)의 후면에서의 후 전도성 콘택트들(663a, 663b)을 제공함으로써, 적층된 어셈블리(600)를 형성하기 위해 몇몇의 미세전자 유닛들(610)이 다른 유닛 최상부에 한 유닛씩 적층될 수 있다.

[0126] 그러한 배열에서, 상부 미세전자 유닛(610a)의 후 전도성 콘택트들(663a)은 중간 미세전자 유닛(610b)의 단자들(624b)과 정렬된다. 적층된 어셈블리(600) 내의 미세전자 유닛들(610) 중 각각의 인접한 유닛들 사이의 연결은 전도성 본드 물질 또는 전도체들(665)을 통해 이루어 진다. 후면(632) 상의 유전 층(673) 및/또는 유전 층(672) 및/또는 전면(631) 상의 유전 영역(670)은, 상호연결이 제공되는 경우를 제외하면 적층된 어셈블리(600)에서의 인접 미세전자 유닛들 사이의 전기적 절연을 제공한다.

[0127] 도 10에서 도시된 바와 같이, 각 캐리어 구조(630)는 상이한 폭을 갖는 리세스(640)를 가질 수 있다. 예를 들어, 도시된 바와 같이, 캐리어 구조(630a)는 그 전면을 따라 측방향으로 제1 폭을 가지는 리세스(640a)를 포함하고, 캐리어 구조(630b)는 그 전면을 따라 측방향으로 제2 폭을 가지는 리세스(640b)를 포함하며, 제2 폭은 제1 폭과 상이하다. 게다가, 미세전자 유닛(610a)은 미세전자 유닛(610b)에서 포함되는 미세전자 엘리먼트(620b)와 상이한 폭을 가지는 미세전자 엘리먼트(620a)를 포함한다.

[0128] 전도체들(665)은 예컨대 솔더(solder), 주석(tin)과 같은 상대적으로 낮은 용해 온도를 갖는 가용성 금속, 또는 복수의 금속들을 포함하는 공용 혼합물(eutectic mixture)를 포함할 수 있다. 대안적으로, 구리 또는 다른 귀금속, 또는 솔더 또는 다른 가용성 금속의 용해 온도를 갖는 비-귀금속과 같은, 습윤성(wettable) 금속을 포함할 수 있다. 그러한 습윤성 금속은 상호연결 엘리먼트에 적층된 어셈블리(600)를 외부적으로 상호연결하기 위해, 대응하는 특징물, 예컨대, 회로 패널과 같은 상호연결 엘리먼트의 가용성 금속 특징물(fusible metal feature)과 연결될 수 있다. 특정 실시예에서, 전도체들(665)은 매질 사이에 배치된 전도성 물질, 예컨대 전도성 페이스트(conductive paste) (예컨대, 금속 충진 페이스트, 솔더-충진 페이스트, 또는 등방 전도성 접착제 또는 이방 전도성 접착제)를 포함할 수 있다.

[0129] 한 예에서, 전도체 또는 본드 물질(665)은 솔더 페이스트, 다른 금속-충진 페이스트, 금속의 전도성 화합물을 포함하는 페이스트, 또는 그 조합을 포함할 수 있다. 예를 들어, 솔더 페이스트의 균일한 층이 포일(foil)의 표면 위에 분산될 수 있다. 솔더 페이스트의 특정 유형들이 상대적으로 저온에서 금속 층들을 연결하는 데 사용될 수 있다. 예를 들어, 금속의 "나노입자들", 즉 약 100 나노미터보다 통상적으로 작은 긴 디멘션들을 갖는 입자들을 포함하는 인듐 또는 은 기반의 솔더 페이스트들은, 약 150 °C의 소결 온도들을 가질 수 있다. 나노 입자들의 실제 디멘션들은, 약 1 이상의 나노미터부터의 디멘션들을 갖는 것과 같이, 상당히 더 작을 수도 있다.

[0130] 특정 예들에서, 전도체들(665) 대신에 미세전자 유닛들(610)에 인접하여 연결하는 데, 확산 본딩(diffusion

bonding) 또는 열압착(thermocompression bonding)이 사용될 수 있다. 예를 들어, 각각의 미세전자 유닛들(610) 사이의 금속-대-금속 본드는 솔더의 사용 없이 이루어질 수 있다. 대신에, 본드는, 각 후 전도성 콘택트(663a)와 대응 단자(624b) 사이에서 그들을 서로와 인게이지먼트(engagement) 시킴으로서 형성될 수도 있다. 그러한 예에서, 후 전도성 콘택트(663a) 및 단자(624b)는, 예컨대 실질적으로 순금과 같은 최소 탄성력(resilience) 또는 스프링백(spring-back)을 가진 가단성(malleable) 물질로 형성될 수 있다.

[0131] 후 전도성 콘택트들(663a) 및 단자들(624b)은 포스트들(posts)과 커버 물질 사이에 공용 본딩 또는 애노드 본딩에 의해 함께 본딩될 수 있다. 예를 들어, 후 전도성 콘택트(663a) 및 단자(624b)의 외부 표면들이 작은 양의 주석, 실리콘, 게르마늄, 또는 금과의 상대적으로 낮은 용점 합금을 형성하는 다른 물질로 코팅될 수 있거나, 후 전도성 콘택트(663a) 및 단자(624b)가 완전히 금으로 형성되거나 그들의 표면들 상에 금 코팅을 가질 수도 있다. 후 전도성 콘택트(663a) 및 단자(624b)가 서로 인게이징되고 그후 가열될 때, 후 전도성 콘택트(663a) 및 단자(624b)의 물질과 후 전도성 콘택트(663a) 및 단자(624b)의 팁(tip)들 상의 물질 사이의 확산은 포스트들과 벽들 사이의 계면들에서 개별 엘리먼트들의 용점보다 낮은 용점을 갖는 합금을 형성한다. 적층된 어셈블리(600)을 상승된 온도로 유지시키면서, 추가의 확산은 합금되는 엘리먼트가 계면으로부터 멀리 후 전도성 콘택트(663a) 및 단자(624b)의 금의 벌크로 확산되도록 야기하며, 그에 의해 그 계면에서의 물질의 용점 온도를 상승시키고 그 계면이 얼도록 야기하며, 미세전자 유닛들(610a, 610b) 사이의 채워진 견고한 연결(solid connection)을 형성한다.

[0132] 도 11a는 단일 칩 캐리어에 장착된 이상에서 설명된 것과 유사한 복수의 패키징된 미세전자 엘리먼트들을 예시하는 평면도이다. 도시된 실시예에서, 단일 캐리어 구조(730)은 복수의 미세전자 엘리먼트들(720a, 720b, 720c(일반적으로 720))을 포함하며, 각 미세전자 엘리먼트(720)는 캐리어 구조(730) 내에 형성된 단일 리세스의 내부에 장착되어 있다. 그러한 미세전자 유닛(710)은, 미세전자 엘리먼트와 각 리세스 사이의 일대일 대응을 갖는 것보다 오히려 복수의 미세전자 엘리먼트들(720)이 리세스(740)으로 장착된다는 점만 제외하면, 도 1-7을 참조하여 도시되고 설명된 것과 유사한 방식으로 형성될 수 있다.

[0133] 도 11b는 단일 칩 캐리어에 장착된 이상에서 설명된 것과 유사한 복수의 패키징된 미세전자 엘리먼트들을 예시하는 평면도이다. 미세전자 유닛(110)은 도 11a를 참조하여 도시되고 설명된 미세전자 유닛(710)과 유사하지만, 미세전자 유닛(710')은 미세전자 유닛(710')이 복수의 미세전자 엘리먼트들(720a', 720b', 720c')을 포함하며 각 미세전자 엘리먼트(720')가 단일 캐리어 구조(730') 내에 형성된 대응 리세스들(740a', 740b', 740c') 내부에 장착된다는 점에서 상이하다.

[0134] 도 12는 본 발명의 다른 실시예에 따른 미세전자 유닛을 예시한다. 미세전자 유닛(110)은 도 1a에서 설명되고 도시된 미세전자 유닛(10)과 유사하지만, 미세전자 유닛(810)은, 미세전자 엘리먼트가 페이스업(face-up)보다 페이스다운(face-down)이고 전도성 비아들이 미세전자 엘리먼트의 아래측면으로부터 아래쪽으로 연장된다는 점에서 상이하다.

[0135] 도 1a에서 도시된 것들과 유사한 도 12에서 도시된 엘리먼트들은, 예컨대 상이한 각들의 표면들, 미세전자 유닛(810)의 전도성 비아들의 구성, 및 미세전자 유닛(810)과 그 컴포넌트들을 형성하는 상이한 방법들을 포함하여 도 1a에 도시된 엘리먼트들과 유사한 방식들로 변화될 수 있다.

[0136] 도 12에서 도시된 바와 같이, 미세전자 유닛(810)은 캐리어 구조(830)에 장착된 미세전자 엘리먼트(820)를 포함한다. 도 12에서 특정하게 도시되지는 않았지만, 활성 반도체 영역 내의 반도체 디바이스들은 통상적으로 전도성 콘택트들(823)에 전도성 연결되어 있다. 미세전자 엘리먼트(820)가 페이스다운 위치로 지향되어 있기 때문에, 최상부 표면(821)은 아래쪽으로 향하고 캐리어 구조(830)에 형성된 리세스(840)의 내부 표면(841)에 인접하게 위치되며, 최상부 표면으로부터 이격된 저부 표면(822)은 위쪽으로 향하고 있다. 전도성 콘택트들(823)은 다른 전도성 엘리먼트들로의 연결을 위해 최상부 표면(821)에서 노출된다.

[0137] 캐리어 구조(830)는 리세스(840)의 내부 표면(841)으로부터 캐리어 구조(830)를 통해 그 후면(832)으로 연장되는 복수의 홀들, 및 복수의 전도성 비아들(860)을 포함하며, 각 전도성 비아는 각각의 홀(850)을 통해 연장된다. 도 1a를 참조하여 이상에서 논의된 바와 같이, 캐리어 구조를 통해 연장되는 임의의 수의 홀들 및 전도성 비아들이 존재할 수 있다.

[0138] 각 홀(850)은 캐리어 구조(830)를 통해 연장되는 내부 표면(851)을 포함한다. 도 12dptj 도시된 바와 같이, 홀(850)은 후면(832)로부터 리세스(840)의 내부 표면(841)으로의 방향으로 테이퍼링된다.

[0139] 각 전도성 비아(860)은 리세스(840)의 내부 표면(841)(하지만 전 콘택트(front contact)(862)는 유전 층(872)

에 의해 내부 표면(841)으로부터 절연됨) 및 후면(832)에서의 후 전도성 콘택트(863)에서 전 전도성 콘택트(862)에 전기적으로 연결된다. 각 전도성 비아(860)은 또한 그 내부 표면(851)을 따라 연장되는 유전 층에 의해 홀(850)로부터 절연된다 (도시되지 않음).

[0140] 각 전도성 비아(860)는 또한 미세전자 엘리먼트(820)의 하나 이상의 전도성 콘택트들(823)에 전기적으로 연결된다. 도 12에 도시된 바와 같이, 각 전도성 비아(860)는 전 전도성 콘택트(862)를 통해 각 전도성 콘택트(823)에 전기적으로 연결된다. 전도성 트레이스(864)는 리세스(840)의 내부 표면(841) 및 측면 에지 표면(842), 및 전 전도성 콘택트(862)와 전면(831)에 위치된 단자(824)(그러나 단자(824)는 유전 층(782)에 의해 전면(831)로부터 절연됨) 사이의 캐리어 구조(830)의 전면(831)을 따라 연장된다. 하나 이상의 단자(824)와 전도성 트레이스(864)의 조합은 또한 외부 엘리먼트(도시되지 않음)으로의 연결에 적절한 "연장된 본드 패드"가 되도록 고려될 수도 있다.

[0141] 미세전자 유닛(810)(도 12)을 제조하는 방법은 도 13 내지 17을 참조하여, 설명되지 않을 것이다. 도 13을 참조하면, 캐리어 구조(830)는 초기 전면(831')을 포함한다. 리세스(840)는, 예컨대 마스크 층을 형성한 후에 캐리어 구조를 선택적으로 에칭함에 의해 또는 샌드블래스팅 또는 임의의 다른 적절한 방법에 의해 형성될 수 있다. 도 13에 도시된 바와 같이, 리세스(840)는 초기 전면(831')로부터 캐리어 구조(830)의 후면(832)로 아래쪽으로 연장된다.

[0142] 다음으로, 홀들(850)은 캐리어 구조(830)에 형성될 수 있으며, 리세스(840)의 내부 표면(841)으로부터 캐리어 구조의 후면(832)으로 연장된다. 도 7을 참조하여 이상에서 설명된 바와 같이, 에칭 프로세스, 샌드블래스팅, 레이저 드릴링, 기계적 분쇄, 또는 임의의 다른 적절한 프로세스가 홀들(850)을 형성하는 데 사용될 수 있다.

[0143] 캐리어 구조(830) 내에 리세스(840) 및 홀들(850)을 형성한 후에, 캐리어 구조(830)를 후에 부가될 전도성 엘리먼트와 미세전자 엘리먼트로부터 전기적으로 절연시키기 위해, 유전 층(872)이 캐리어 구조의 전면(831)상에, 리세스의 내부 표면(841)과 측면 에지 표면(842) 상에, 그리고 홀들(850)의 내부 표면들(851) 상에 증착된다. 도 3를 참조하여 이상에서 설명된 바와 같이, 다양한 방법들이 캐리어 구조(830) 상으로 등각 유전 층(872)을 형성하는 데 사용될 수 있다.

[0144] 또한, 도 3c를 참조하여 이상에서 설명된 바와 같이, 복수의 캐리어 구조들(830) (및 그들이 형성할 미세전자 유닛)는 웨이퍼 레벨 프로세싱에 의해 동시에 처리될 수 있으며, 캐리어 구조들(830)은 미세전자 유닛들(810)의 형성 후에 분리될 수 있다.

[0145] 이제 도 14를 참조하여, 전도성 비아들(860)이 홀들(850) 내에 형성된다. 각 전도성 비아(860)은 유전 층 또는 영역(도시되지 않음, 그러나 이상에서 설명된 유전 층 및/또는 영역을 증착하는 데 사용된 것과 유사한 방식으로 증착됨)에 의해 각 홀(850)의 내부 표면(851)으로부터 절연된다. 전도성 비아들(860)은 도 1a를 참조하여 이상에서 설명된 것과 유사한 방식을 사용하여 형성될 수 있다. 몇몇 실시예들에서, 페이스다운 미세전자 엘리먼트를 구비하는 예시적인 미세전자 유닛은 전도성 비아들의 형성을 필요로하지 않을 수도 있다 (예컨대, 도 18c를 참조).

[0146] 그 후, 또는 전도성 비아들(860)을 형성하는 것과 동시에, 전도성 콘택트들(862, 863) 및 리세스(840)의 내부에서 연장되는 트레이스들의 부분들이 형성된다. 몇몇 실시예들에서, 전도성 콘택트들(862, 863) 및 트레이스들(864)은 단일 무전해 증착 단계 동안에 전도성 비아들(860)과 함께 형성될 수 있다. 다른 실시예들에서, 전도성 비아들(860) 및 다른 전도성 엘리먼트들(862, 863, 864)은 개별적인 무전해 증착 단계들에 의해 형성될 수 있다.

[0147] 도 15를 참조하여, 미세전자 엘리먼트(820)는, 미세전자 엘리먼트의 최상부 표면(821)이 리세스의 내부 표면(841)에 인접하도록 캐리어 구조(830)의 리세스(840)로 장착되고, 미세전자 엘리먼트의 초기 저부 표면(822')은 위를 향하고 있다. 미세전자 엘리먼트(820)는, 전도성 본딩 물질 또는 예컨대 도 10을 참조하여 개시된 다른 본딩 방법들 중 임의의 방법을 사용하여 전도성 콘택트들(862)에 전도성 콘택트들(823)을 본딩함으로써 리세스(840) 내에 장착될 수 있다.

[0148] 이제 도 16을 참조하면, 유전 영역(870)은 리세스(840) 내부에 형성된다. 선택적으로, 유전 영역(870)은, 그 영역의 노출된 주 표면(871)이 캐리어 구조(830)의 전면(831) 또는 유전 층(872)의 노출된 표면과 동일 평면에 있거나 실질적으로 동일 평면에 있도록 형성될 수 있다. 예를 들어, 자기 평탄화 유전 물질은 예컨대 디스펜싱 또는 스텐실 프로세스에 의해 리스세(840)에 증착될 수 있다. 다른 예에서, 유전 영역(870)의 주 표면(871)을

전면(831) 또는 유전 층(872)의 노출된 주 표면(871)로 평탄화시키기 위해, 그라인딩, 래핑, 또는 폴리싱 프로세스는 유전 영역(870)을 형성한 후에 캐리어 구조(830)의 전면(831) 또는 유전층(872)의 노출된 표면에 인가될 수 있다.

[0149] 이하에서 논의되는 바와 같이, 유전 영역(870)의 주 표면(871) 및/또는 캐리어 구조(830)의 초기 전면(831')은, 캐리어 구조(830)의 두께가 두께(T2)로부터 전면(831)과 후면(832) 사이에 연장되는 두께(T3)로 감소되도록, 다른 방법들에 의해 평탄화될 수 있다.

[0150] 이제 도 17을 참조하면, 한 실시예에서, 그라인딩 프로세스는, 예컨대 미세전자 엘리먼트(820)의 저부 표면(822)으로 캐리어 구조(830)의 전면(831)을 평탄화시키는 데 사용될 수 있다. 캐리어 구조(830)의 두께는 두께(T2)에서 두께(T3)로 감소되고, 미세전자 엘리먼트(820)의 두께는 초기 저부 표면(822')으로부터 물질을 제거함으로서 감소되며, 그에 의해 미세전자 엘리먼트의 최상부 표면(821)에 더 인접한 최종 저부 표면(822)을 생성한다. 예를 들어, 두께(T2)는 약 600 μm 내지 약 1 mm 일 수 있으며, 두께(T3)는 약 70 μm 내지 약 200 μm 일 수 있다.

[0151] 그 후, 도 12를 다시 참조하면, 그라인딩 프로세스 동안 제거되었던 유전 영역(870)의 부분 및 유전 층(872)은 캐리어 구조(830)의 노출된 전면(831) 및 미세전자 유닛(820)의 노출된 저부 표면(822)에 다시 인가된다.

[0152] 그 후, 애퍼처들(874)이 형성되고, 측면 에지 표면(842)을 따라 연장되는 트레이스들(8640의 수직으로 연장된 부분들의 단부들을 노출시키기 위해 유전 영역(870)을 통해 연장된다.

[0153] 일단 애퍼처들(874)가 형성되면, 트레이스들(864)이, 유전 영역(870)의 주 표면(871) 및 재인가된 유전 층(872)를 따라 연장되도록 형성된다. 단자들(824)은 예컨대 무전해 증착에 의해 최상부 표면(871)에 형성되고, 단자들(824)은 전도성 트레이스들(864) 및 전도성 콘택트들(862)를 통해 전도성 콘택트들(823)에 전기적으로 연결된다. 도 6a, 6b, 6c를 참조하여 이상에서 논의된 바와 같이, 단자들(824)이 유전 영역(870)의 주 표면(871)에서 노출되도록 단자들(824)이 주 표면(871) 아래 또는 주 표면에서 또는 주 표면 위의 높이로 연장될 수 있다.

[0154] 마침내, 웨이퍼 레벨 프로세스가 미세전자 유닛들(810)을 형성하는 데 사용되었다면, 미세전자 유닛들(810)은, 쏘잉 또는 개별적인 미세전자 유닛들(810)을 형성하기 위한 다른 다이싱 방법에 의해 다이싱 레인들을 따라 서로로 부터 절단될 수 있다.

[0155] 도 18a는 본 발명의 다른 실시예에 따른 미세전자 유닛을 예시한다. 미세전자 유닛(910)은 도 12에서 도시되고 이상에서 설명된 미세전자 유닛(810)과 유사하지만, 미세전자 유닛(910)은 유전 영역(970)을 통해 그 주 표면(971)으로 연장되는 트레이스들을 포함하지 않는다. 이 실시예에서, 전도성 콘택트들(963)이 미세전자 엘리먼트(920)의 전도성 콘택트들(923)에 전기으로 연결되기 때문에 전도성 콘택트들(963)은 단자들이 되도록 고려될 수 있으며, 전도성 콘택트들(963)은 전도체들(965) 또는 다른 본딩 메커니즘을 통해 외부 엘리먼트에 전기적으로 연결될 수 있다.

[0156] 도 18b는 본 발명의 다른 실시예에 따른 미세전자 유닛을 예시한다. 미세전자 유닛(1010)은 이상에서 설명되고 도 12에 도시된 미세전자 유닛(810)과 유사하지만, 미세전자 유닛(1010) 내에 포함된 전도성 트레이스들(1064)이 주 표면 상으로 연장되는 것보다 유전 영역(1070)의 주 표면(1071)에서 노출된다. 이 실시예에서, 전도성 트레이스들(1064)가 미세전자 엘리먼트(1020)의 전도성 콘택트들(1023)에 전기적으로 연결되어 있기 때문에 전도성 트레이스들(1064)의 노출된 단부들은 단자들이 되도록 고려될 수 있으며, 전도성 트레이스들(1064)은 전도체들 또는 다른 본딩 메커니즘을 통해 외부 엘리먼트에 전기적으로 연결될 수 있다. 도 6a, 6b, 6c를 참조하여 설명된 바와 같이, 트레이스들(1064)은 주 표면(1071)에 의해 정의된 평면 또는 캐리어 구조(1030)의 전면(1031)에 의해 정의된 평면 위에, 그 평면과 같은 높이, 또는 그 평면 아래로 있는 높이로 연장될 수 있다.

[0157] 도 18c는 본 발명의 다른 실시예를 따른 미세전자 유닛을 예시한다. 미세전자 유닛(1110)은 도 12에서 도시되고 이상에서 설명된 미세전자 유닛(810)과 유사하지만, 미세전자 유닛(1110)은 캐리어 구조(1130)를 관통하는 전도성 비아들을 포함하지 않는다. 단자들(1124)은 전도체들 또는 다른 본딩 메커니즘을 통해 외부 엘리먼트에 전기적으로 연결될 수 있다. 미세전자 유닛(1110)은, 도 10에서 도시된 적층된 어셈블리(600)의 저부에서의 미세전자 유닛(610c)과 같이, 적층된 어셈블리의 저부에 포함되기에 적절하다.

[0158] 도 19는 본 발명의 다른 실시예에 따른 미세전자 유닛을 예시한다. 미세전자 유닛(1210)은 이상에서 설명되고 도 12에서 도시된 미세전자 유닛(810)과 유사하지만, 미세전자 유닛(1210)은 캐리어 구조를 통해 연장되는 훌들

및 그 홀들을 통해 연장되는 전도성 비아들의 위치에 있어서 상이하다.

[0159] 내부 표면으로부터 캐리어 구조를 통해 도 12에서 도시된 후면으로 연장되는 홀들 및 전도성 비아들을 가지는 것보다 오히려, 미세전자 유닛(1210)은 캐리어 구조(1230)의 전면(1231)으로부터 후면(1232)으로 연장되는 홀들(1250) 및 전도성 비아들(1260)을 포함한다. 미세전자 유닛(810)과 유사하게, 미세전자 유닛(1210)에서, 전도성 비아들(1260)은, 전도성 비아들(1260)의 외부 표면(1261)을 둘러싸는 유전 층 및/또는 유전 영역에 의해 캐리어 구조(1230)로부터 절연된다.

[0160] 도 19는 본 발명의 다른 실시예에 따른 미세전자 유닛을 예시한다. 미세전자 유닛(1310)은 이상에서 설명되고 도 12에 도시된 미세전자 유닛(810)과 유사하지만, 미세전자 유닛(1310)은 캐리어 구조를 통해 연장되는 홀들과 그 홀들을 통해 연장되는 전도성 비아들의 위치에 있어서 상이하다.

[0161] 도 12에 도시된 바와 같이 내부 표면으로부터 캐리어 구조를 통해 후면으로 연장되는 홀들 및 전도성 비아들을 가지는 것보다 오히려, 미세전자 유닛(1310)은 유전 영역(1370)의 주 표면(1371)으로부터 캐리어 구조(1330)을 통해 그 후면(1332)으로 연장되는 홀들(1350) 및 전도성 비아들(1360)을 포함한다. 미세전자 유닛(810)과 유사하게, 미세전자 유닛(1310)에서, 전도성 비아(1360)들은 유전 층, 및/또는 전도성 비아들(1360)의 외부 표면(1361)을 둘러싸는 유전 층에 의해 캐리어 구조(1330)로부터 절연된다.

[0162] 도 20은 도 12 내지 19b에서 이상에서 설명된 것과 유사한 복수의 미세전자 유닛들을 포함하는 적층된 어셈블리를 예시하는 단면도이다. 도시된 실시예에서, 적층된 어셈블리(1400)는 복수의 미세전자 유닛들(1410a, 1410b, 1410c (일반적으로 1410))을 포함한다. 도 20이 미세전자 유닛들(1410a, 1410b, 1410c)의 특정 예들을 포함하지만, 본 명세서에서 개시된 미세전자 유닛들 중 임의의 것은 적층된 어셈블리를 형성하기 위해 적층될 수 있다.

[0163] 각각의 캐리어 구조(1430a, 1430c)의 전면에서 노출된 단자들(1424b, 1424c) 및 각각의 캐리어 구조들(1430a, 1430b)의 후면에서의 후 전도성 콘택트들(1463a, 1463b)을 제공함으로서, 몇몇의 미세전자 유닛들(1410)은 적층된 어셈블리(1400)를 형성하기 위해 한 유닛을 다른 유닛의 최상부 상에 적층될 수 있다.

[0164] 그러한 배열에서, 상부 미세전자 유닛(1410a)의 후 전도성 콘택트들(1463a)은 중간 미세전자 유닛(1410b)의 단자들(1424b)과 정렬된다. 적층된 어셈블리(1400) 내의 미세전자 유닛들(1410)의 각 인접 유닛들 사이의 연결은 전도성 본드 물질 또는 전도체들(1465)를 통해 이루어 진다. 다른 예들에서, 인접 미세전자 유닛들(1410)은, 확산 본딩 또는 도 10을 참조하여 이상에서 논의된 것들과 같은 임의의 다른 적절한 본딩 메커니즘을 사용하는 것과 같이 다른 방식들로 본딩될 수도 있다. 후면(1432) 및 전면(1431) 상의 유전 층(1472) 및/또는 유전 영역(1470)은 상호연결이 제공되는 것만 제외하면 적층된 어셈블리(1400) 내의 인접 미세전자 유닛들(1410) 사이에 전기적 절연을 제공한다.

[0165] 도 20에서 도시된 바와 같이, 각 캐리어 구조(1430)는 상이한 폭을 갖는 리세스(1440)을 구비할 수 있다. 예를 들어, 도시된 바와 같이, 캐리어 구조(1430a)는 그 전면을 따라 측면 방향으로 제 1 폭을 가지는 리세스(1440a)를 포함하고, 캐리어 구조(1430b)는 그 전면을 따라 측면 방향으로 제2 폭을 가지는 리세스(1440b)를 포함하며, 제2 폭은 제1 폭과 상이하다. 게다가, 미세전자 유닛(1410a)은 미세전자 유닛(1410b) 내에 포함된 미세전자 엘리먼트(1420b)과 상이한 폭을 가지는 미세전자 엘리먼트(1420a)을 포함한다.

[0166] 도 21은 도 12 내지 도 19b에서 이상에서 설명된 것들과 유사한 복수의 미세전자 유닛들을 포함하는 적층된 어셈블리를 예시하는 단면도이다. 도시된 실시예에서, 적층된 어셈블리(1500)는 복수의 미세전자 유닛들(1510a, 1510b, 1510c (일반적으로 1510))을 포함한다. 적층된 어셈블리(1500)는 이상에서 설명되고 도 20에서 도시된 적층된 어셈블리(1400)와 유사하지만, 적층된 어셈블리(1500)가 캐리어 구조를 통해 연장되는 홀들의 위치와 형태, 홀들을 통해 연장되는 전도성 비아들의 형성 및 형태, 및 미세전자 유닛들(1510)을 전기적으로 함께 연결하는 방법에 있어서 상이하다.

[0167] 각 캐리어 구조를 통해 개별적으로 홀들을 형성하고 도 20에서 도시된 바와 같이 전도체들 또는 전도성 본드 물질을 통해 적층된 어셈블리에 미세전자 유닛들 중 인접한 것들을 연결하는 것 보다 오히려, 적층된 어셈블리(1500) 내에서, 인접 미세전자 유닛들(1510)의 수직 적층에서의 홀들이 단일 프로세스 동안 형성되고, 인접 미세전자 유닛들(1510)에서의 전도성 비아들이 단일 프로세스에서 도금된다.

[0168] 도 21에 도시된 실시예에서, 미세전자 유닛들(1510)은 수직으로 적층되고, 그 후 원통형 홀들(1550a, 1550b, 1550c)가 단일 드릴링 동작에서 각 미세전자 유닛들(1510a, 1510b, 1510c)를 통해 드릴링(drilling)된다. 특

정 예들에서, 홀들(1550)은 예칭 또는 임의의 다른 적절한 프로세스에 의해 생성될 수 있다.

[0169] 홀들(1550)이 형성된 후에, 유전 층 또는 영역(1552)이 각 홀들(1550a, 1550b, 1550c)의 내부 표면들(1551a, 1551b, 1551c)에 인가되거나 각 홀들 내부에 충진되며, 필요하다면 애피처(1553)이 유전층 또는 영역(1552)을 통해 드릴링된다.

[0170] 다음에, 단일 전도성 비아(1560)이 각 애피처(1553) 내부에 도금된다. 전도성 비아(1560)는 수직으로 적층된 미세전자 유닛들(1510) 모두를 통해 연장되며, 그로 인해 미세전자 유닛들이 기계적으로 전기적으로 함께 연결된다.

[0171] 도 1a를 참조하여 이상에서 논의된 바와 같이, 전도성 비아(1560)는 프로세스 조건들에 따라 고형(solid) 또는 빈 형태(hollow)로 형성될 수 있다. 예를 들어, 전도성 비아(1560)는, 전도성 비아(1560)의 중심을 통해 연장되는 내부 애피처가 존재하도록, 홀들(1550)을 절연하는 유전 층 또는 영역(1552)의 등각 도금에 의해 형성될 수 있다. 이러한 내부 애피처는 유전 물질로 충진되거나, 또는 개방되도록 남겨질 수 있다.

[0172] 도 10 또는 20을 참조하여 이상에서 설명된 바와 같이, 각 캐리어 구조(1530)는 적층된 어셈블리(1500) 내의 임의의 다른 캐리어 구조의 리세스에 비교하여 상이한 폭을 갖는 리세스(1540)를 가질 수 있다. 게다가, 각 미세전자 유닛(1510)은 적층된 어셈블리(1500) 내의 임의의 다른 미세전자 유닛 내에 포함된 다른 미세전자 엘리먼트와 상이한 폭을 갖는 미세전자 엘리먼트(1520)를 포함할 수 있다. 다양한 폭들을 가지는 미세전자 엘리먼트들(1520)은, 예를 들어 특정 캐리어 구조들(1530) 내에 상이한 크기의 리세스들을 포함시키거나 예컨대 도 20에서 도시된 바와 같이, 상이한 트레이스 라우팅들을 특정 캐리어 구조들(1530)에 인가시킴으로서, 공통 폭을 갖는 캐리어 구조들(1530)의 적층으로 통합될 수 있다.

[0173] 도 22는 다른 실시예에 따른 복수의 패키징된 칩들을 포함하는 적층된 웨이퍼 레벨의 어셈블리를 예시하는 단면도이다. 도 3c를 참조하여 이상에서 논의된 바와 같이, 그들이 형성할 캐리어 구조들 및 미세전자 유닛들은 웨이퍼-레벨 프로세싱, 즉 복수의 캐리어 구조들(30)이 웨이퍼의 부분으로서 또는 반도체 또는 금속 웨이퍼 전체로서 함께 연결되어 있는 동안 복수의 캐리어 구조들(30)에 동시에 수행되는 프로세싱에 의해, 동시에 처리될 수 있다. 미세전자 유닛들의 제조가 완료된 후에, 웨이퍼는 다이싱 레인들을 따라 개별 패키징된 미세전자 유닛들로 절단될 수 있다.

[0174] 도 22에서 예시된 바와 같이, 웨이퍼들(1600)의 적층된 어셈블리는 웨이퍼들(1608a, 1608b, 1608c, 1608d, (일반적으로 1608))을 포함한다. 각 웨이퍼(1608)는 복수의 미세전자 유닛들(810)(도 12)를 포함하고, 미세전자 유닛(810)은 도 12-17을 참조하여 이상에서 논의된 프로세스를 따라 형성된다.

[0175] 각 웨이퍼(1608)의 각각의 미세전자 유닛(810)은 상대적으로 짧은 전기 연결을 통해 도면의 수직 방향으로 인접 미세전자 유닛(810)에 연결될 수 있으며, 이것은 통상적인 적층 구성들에서의 미세전자 디바이스들 간의 더 긴 전기 연결들에 비교하여 이점이 될 수 있다. 도 22에 도시된 바와 같이, 상부 미세전자 유닛(810)의 후 전도성 콘택트(863)은 전도성 상호연결 엘리먼트(1614)를 통해 하부 미세전자 유닛(810)의 단자(824)에 전기적으로 연결된다.

[0176] 각 전도성 상호연결 엘리먼트(1614)는, 예컨대, 주석 또는 솔더 등과 같은 몬드 금속, 활산 본딩, 열압착, 이방 전도성 접착제, 또는 임의의 다른 적절한 본딩 메커니즘 또는 물질로, 상부 미세전자 유닛(810)의 후 전도성 콘택트(863)와 하부 미세전자 유닛(810)의 단자(824)에 연결될 수 있다. 특정 실시예에서, 전도성 상호연결 엘리먼트들(1614)은 상부 웨이퍼(1608)를 하부 웨이퍼(1608)에 연결시키도록 구성되는 재분배 층(redistribution layer)에 포함될 수 있다.

[0177] 웨이퍼(1608)가 비록 도 22에서 전도성 상호연결 엘리먼트들(1614)에 의해 함께 전기적으로 연결되는 것으로 도시어 있지만, 예시적인 실시예에서, 전도성 상호연결 엘리먼트들(1614)는 누락될 수 있다. 그러한 실시예에서, 후 전도성 콘택트(863)는, 예컨대 전도성 콘택트(863) 및/또는 단자(824)가 연장된 본드 패드의 형태로 되어 있는 경우, 전도성 상호연결 엘리먼트(1614)의 사용 없이 단자(824)에 전기적으로 연결되고, 후 전도성 콘택트들 및 단자들이 서로를 접하도록 정렬된다.

[0178] 몇몇 실시예들에서, 특정 미세전자 유닛(810)의 모든 단(예컨대, 캐리어 구조(830)의 전면(831)에 위치된 각 단자(824) 또는 전도성 콘택트(862), 또는 후면(832)에 위치된 각 전도성 콘택트(863)) 가 인접 미세전자 유닛(810)의 대응 단자에 연결될 필요는 없다.

[0179] 웨이퍼들(1608a, 1608b, 1608c, 1608d)은 도 10, 20, 또는 21을 참조하여 이상에서 설명된 바와 같이 적층되고

함께 전기적으로 연결된다. 웨이퍼들(1608)이 함께 연결된 후에, 개별 적층 어셈블리들(1601, 1602, 1603)은 개별 미세전자 유닛들(810) 사이의 경계들에 위치된 다이싱 레인들(1612)을 따라 적층된 어셈블리들을 절단해 냄으로써 생성될 수 있다.

[0180] 도 10, 20, 및 21을 참조하여 이상에서 논의된 바와 같이, 특정의 적층된 어셈블리(1601, 1602, 1603)로의 각 미세전자 유닛(810)은 그 적층된 어셈블리로 임의의 다른 캐리어 구조의 리세스에 비교하여 상이한 폭을 갖는 리세스(840)을 포함할 수 있다. 게다가, 각 미세전자 유닛(810)은 그 적층된 어셈블리로 임의의 다른 미세전자 유닛에 포함된 미세전자 엘리먼트와 상이한 폭을 갖는 미세전자 엘리먼트를 포함할 수 있다.

[0181] 미세전자 유닛(1710)을 제조하는 방법이 도 23a 내지 도 25를 참조하여 이제 설명될 것이다. 그러한 방법은, 도 1a를 참조하여 이상에서 설명된 단계들을 수행함으로써 그 방법을 종료하는 것 보다 이하에서 설명되는 단계들을 수행한다는 것을 제외하면, 도 2-7을 참조하여 이상에서 도시되고 설명된 것과 동일한 초기 단계들을 공유한다.

[0182] 이제 도 23a 및 24 를 참조하면, 그라인딩, 폴리싱, 또는 에칭 프로세스가, 예컨대 미세전자 엘리먼트(20)의 초기 저부 표면(22')으로 캐리어 구조(30)의 초기 후면(32')을 평탄화시키기 위해 사용될 수 있다. 캐리어 구조(30)의 두께는 초기 두께(T1)로부터 두께(T4)로 감소될 수 있으며, 미세전자 엘리먼트(20)의 두께는 초기 저부 표면(22')으로부터 물질을 물질을 제거하여 감소될 수 있으며, 그로 인해 미세전자 엘리먼트(20)의 최상부 표면(21)에 더 근접한 최종 저부 표면(22)을 생성한다. 예를 들어, 두께(T1)은 약 600 μm 내지 약 1 mm일 수 있으며, 두께(T4)는 약 70 μm 내지 약 200 μm 일 수 있다.

[0183] 도 23a에 도시된 미세전자 유닛(1710)을 제조하는 단계의 대안적인 실시예에서, 도 23b에서 도시된 미세전자 유닛(1710')은 그라인딩, 폴리싱, 또는 에칭 프로세스가 수행되기 전에 생성될 수 있다. 도 23b에서 도시된 실시예에서, 각 홀(50')은 전면(31)으로부터 캐리어 구조(30')를 통해 초기 후면(32')의 아래에 있는 저부 표면(34)으로 연장될 수 있다. 홀들(50')은 전면(31)에서보다 내부의 저부 표면들(34)에서 그 폭들이 더 큰 재진입 형태를 갖도록 도시된다. 다른 예들에서, 홀들(50')은 전면 및 저부 표면들에서 동일한 폭들을 가질 수 있거나, 그 저부 표면에서보다 전면에서 더 큰 폭들을 가질 수 있다.

[0184] 초기 후면(32')을 그라인딩, 폴리싱, 또는 에칭함에 의해 캐리어 구조(30')를 평탄화한 후에, 홀들(50')은 도 24에 도시된 캐리어 구조를 통해 홀들이 완전히 연장되도록 후면(32)에서 노출된다. 특정 예에서, 최상부 표면을 평탄화시키는 단계 후에 홀들이 캐리어 구조의 최상부 표면에서 노출되도록, 홀들이 후면으로부터 캐리어 구조를 통해 초기 전면 아래의 위치로 연장될 수 있다. 캐리어 구조를 통해 부분적으로 연장되는 홀들을 형성하는 단계와 평탄화 단계 동안 홀들을 노출시키는 단계가 본 명세서에서 개시된 캐리어 구조 실시예들 중 임의의 실시예에 적용될 수 있다.

[0185] 도 24 및 도 25에 도시된 바와 같이, 캐리어 구조(30'')는, 리세스(40)의 저부에 내부 표면을 갖는 도 1a에서 도 시된 리세스(40)보다 오히려, 캐리어 구조(30'')를 통해 전면(31)으로부터 후면(32)으로 완전히 연장되는 개구(43)를 가지도록 생성된다. 특정 실시예에서, 캐리어 구조(30'')는, 캐리어 구조(30)의 초기 후면(32')을 그라인딩, 폴리싱, 또는 에칭함으로써 개구(43)를 생성하는 것보다 오히려, 개구(43)를 포함하는 고리 형태를 갖도록 형성될 수 있다.

[0186] 그 후, 도 25를 참조하면, 유전 층(73)이 캐리어 구조(30)의 후면(32)에 인가되고, 전도성 비아들(60)이 유전층 또는 영역에 의해 각 홀(50)의 내부 표면(51)으로부터 절연된다(도시되지 않음, 그러나 다른 실시예들에 관하여 이상에서 설명된 유전층들 및/또는 영역들을 증착하는 데 사용된 것과 유사한 방식으로 증착됨).

[0187] 그 후, 트레이스들(64) 및 전도성 콘택트들(62, 63)이 전도성 비아들(60)에 단자들(24)을 전기적으로 연결하도록 형성된다. 몇몇 실시예들에서, 전도성 콘택트들(62, 63) 및 트레이스들(64)이 단일 무전해 증착 단계 동안에 전도성 비아들(60)과 함께 형성될 수 있다. 다른 실시예들에서, 전도성 비아들(60) 및 다른 전도성 엘리먼트들(62, 63, 64)가 개별 무전해 증착 단계들에 의해 형성될 수 있다.

[0188] 미세전자 유닛들을 형성하기 위해 본 명세서에서 개시된 방법들은, 단일 캐리어 구조와 같이 미세전자 기판에 적용될 수 있거나, 고정적으로 규정된 간격들로 또는 동시에의 프로세싱을 위한 캐리어 상에 유지될 수 있는 복수의 캐리어 구조들에 동시에 적용될 수 있다. 대안적으로, 본 명세서에서 개시된 방법들은, 웨이퍼-레벨, 패널 레벨, 또는 스트립-레벨 스케일 상에서 복수의 캐리어 구조들에 관하여 동시에 이상에서 설명된 바와 같은 프로세싱을 수행하기 위해, 캐리어 구조, 또는 웨이퍼 또는 웨이퍼의 일부분의 형태로 함께 부착된 복수의 캐리어 구조들을 포함하하는 엘리먼트에 적용될 수 있다. 이상에서 논의된 구조들은 특별한 3차원적 상호연결 능력

들을 제공한다. 이 능력들은 임의의 유형의 칩들과 함께 사용될 수 있다. 단순히 예에 의해, 칩들의 이하의 조합들은 이상에서 논의된 구조들로 포함될 수 있다: (i) 프로세서 및 프로세서와 함께 사용된 메모리; (ii) 동일한 유형의 복수의 메모리 칩들; (iii) DRAM 및 SRAM과 같은 다양한 유형들의 복수의 메모리 칩들; (iv) 이미지 센서, 및 그 센서로부터 이미지를 처리하기 위해 사용되는 이미지 프로세서; (v) 주문형 집적 회로("ASIC") 및 메모리.

[0189] 이상에서 논의된 구조들은 다양한 전자 시스템들의 구성으로 이용될 수 있다. 예를 들어, 본 발명의 추가적인 실시예에 따른 시스템(1800)은 다른 전자 컴포넌트들(1808, 1810)과 결합하여 이상에서 설명된 구조(1806)를 포함한다. 도시된 예에서, 컴포넌트(1808)는 반도체 칩인 반면에 컴포넌트(1810)는 디스플레이 스크린이지만, 임의의 다른 컴포넌트들이 사용될 수 있다. 물론, 예시의 명확성을 위해 단지 두 개의 부가 컴포넌트들이 도 26에 도시되었지만, 그 시스템은 임의의 수의 그러한 컴포넌트들을 포함할 수도 있다. 이상에서 설명된 구조(1806)는, 예컨대 도 1a 및 1b와 연결하여 이상에서 논의된 미세전자 유닛이거나, 도 10을 참조하여 논의된 복수의 미세전자 유닛들을 통합하는 구조일 수도 있다. 더 다양하게는, 둘 모두가 제공될 수도 있으며, 임의의 수의 그러한 구조들이 사용될 수 있다.

[0190] 구조(1806) 및 컴포넌트들(1808, 1810)이 공통 하우징(1801)에 장착되고, 개략적으로 파선들로 도시되며, 원하는 회로를 형성하기에 필요한 만큼 서로 전기적으로 상호연결된다. 도시된 예시 시스템에서, 그 시스템은 가요성 인쇄 회로 기판과 같은 회로 패널(1802)을 포함하고, 회로패널은 수많은 컨덕터들(1804)을 포함하며, 그 컨덕터들 중 단지 하나만 도 26에 도시되어 있고, 컴포넌트들을 서로 상호연결한다. 그러나, 이것은 단지 예시적인 것이며, 전기 연결들을 만드는 임의의 적절한 구조가 사용될 수 있다.

[0191] 예컨대 셀룰러 전화 또는 PDA(Personal Digital Assistant)에서, 하우징(1801)이 사용가능한 유형의 휴대용 하우징으로서 도시되며, 스크린(1810)은 하우징의 표면에서 노출된다. 구조(1806)이 이미징 칩과 같은 감광 엘리먼트를 포함하는 경우, 렌즈(1811) 또는 다른 광학 디바이스가 또한 그 구조에 광을 라우팅하기 위해 제공될 수 있다. 다시, 도 26에 도시된 간략화된 시스템은 단순히 예시적이다; 테스크톱 컴퓨터들, 라우터들 등과 같은 고정된 구조들로서 공통적으로 간주되는 시스템들을 포함하여, 다른 시스템들이 이상에서 논의된 구조들을 사용하여 이루어질 수 있다.

[0192] 본 명세서에서 개시된 비아들 및 비아 컨덕터들은, 2010년 7월 23일에 출원된, 공동계류중이고 공동양도된 미국 특허출원 제12/842,612호, 제12/842,651호, 제12/842,669호, 제12/842,692호, 및 제12/842,717호와 발행된 미국 특허 공개 공보 제2008/0246136호에 더 상세히 개시된 바와 같은 프로세스들에 의해 형성될 수 있으며, 그 개시들은 본 명세서에서 참조로 결합된다.

[0193] 본 명세서에서 본 발명이 특정 실시예들을 참조하여 설명되었지만, 이 실시예들은 단순히 본 발명의 원칙들과 애플리케이션들의 예시가 될 뿐이라는 것이 이해되어야 한다. 그러므로 수많은 변형들이 예시적인 실시예들에 이루어질 수 있으며, 첨부된 청구범위에 의해 정의된 본 발명의 취지 및 범위로부터 이탈하지 않고 다른 배열들이 고알릴 수 있다는 것을 이해해야 한다.

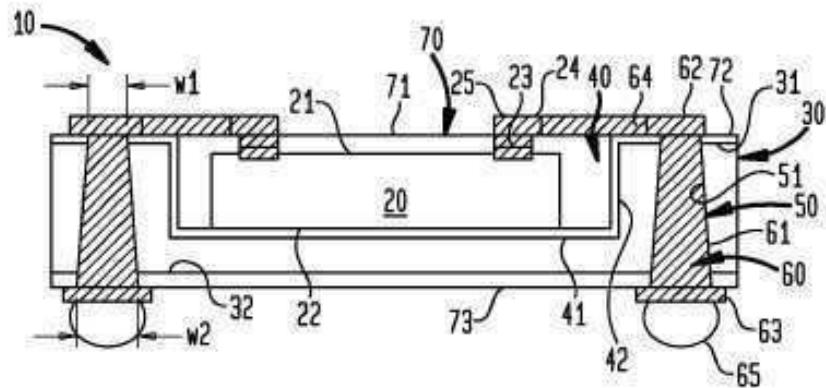
[0194] 본 명세서에서 제시된 다양한 청구범위들 및 특징물들은 초기 청구범위에 제시된 것과 상이한 방식들로 결합될 수 있다는 것이 이해되어질 것이다. 또한 개별 실시예들과 연결하여 설명된 특징물들은 설명된 실시예들 중 다른 것들과 공유될 수 있음이 이해되어질 것이다.

[0195] 산업상 이용가능성

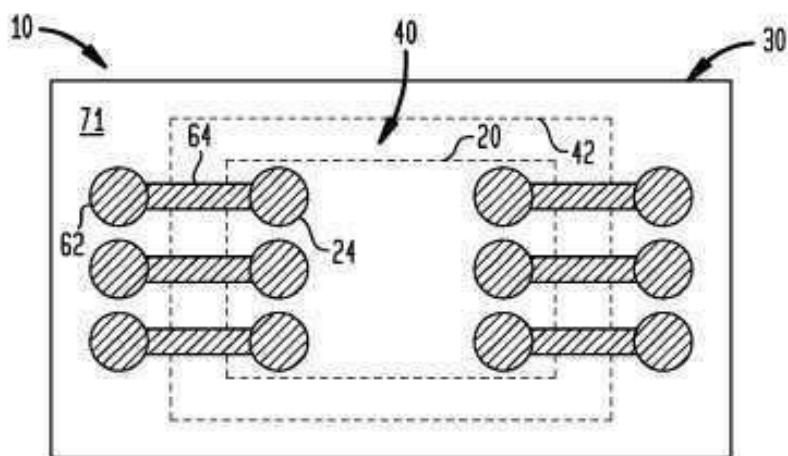
[0196] 본 발명은 미세전자 유닛들 및 미세전자 유닛들을 제조하는 방법을 포함하지만 그에 제한되지는 않는 폭넓은 산업상 이용가능성을 갖는다.

도면

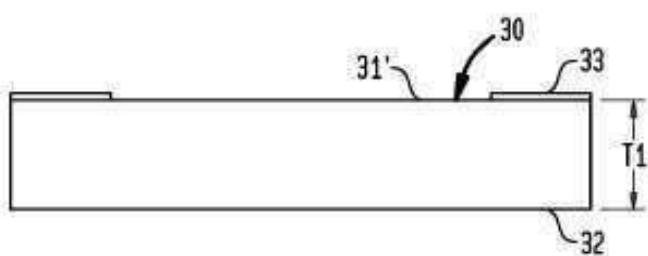
도면1a



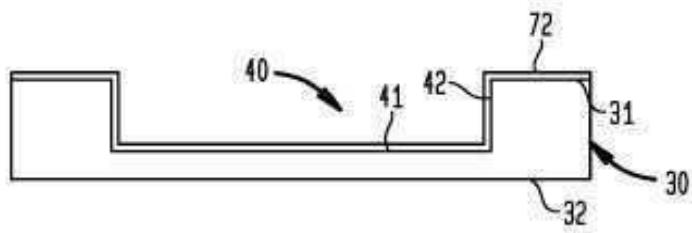
도면1b



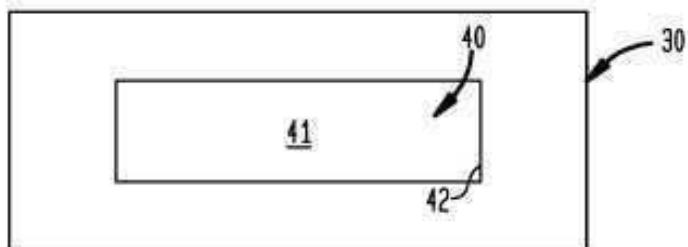
도면2



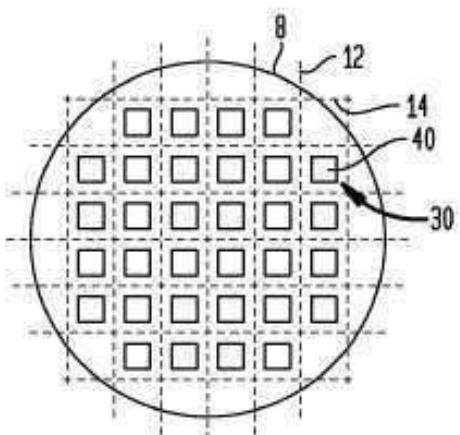
도면3a



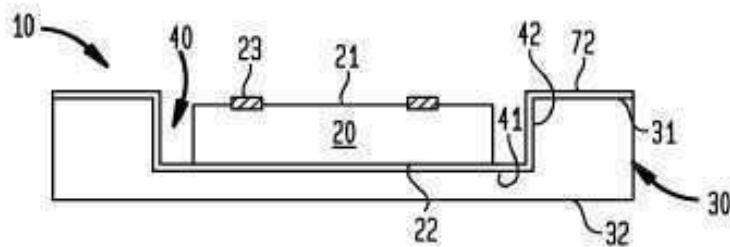
도면3b



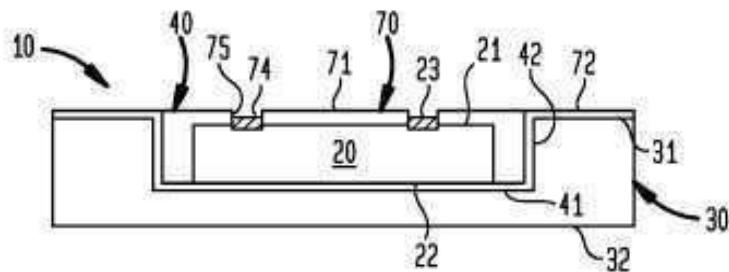
도면3c



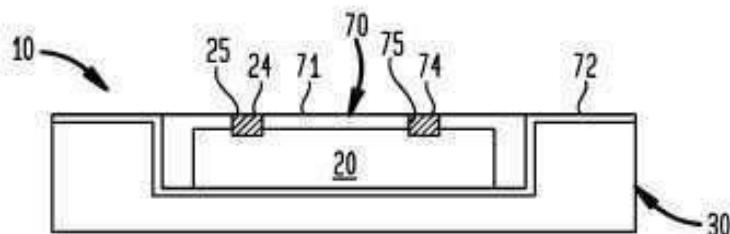
도면4



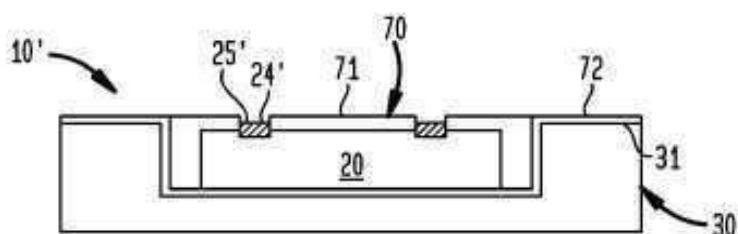
도면5



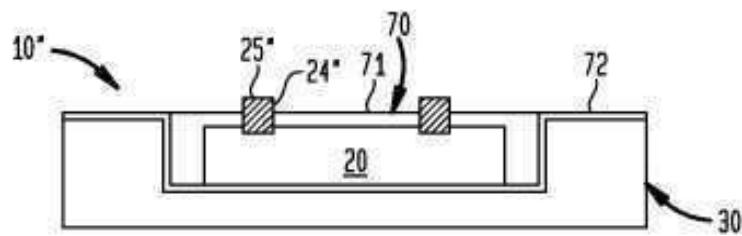
도면6a



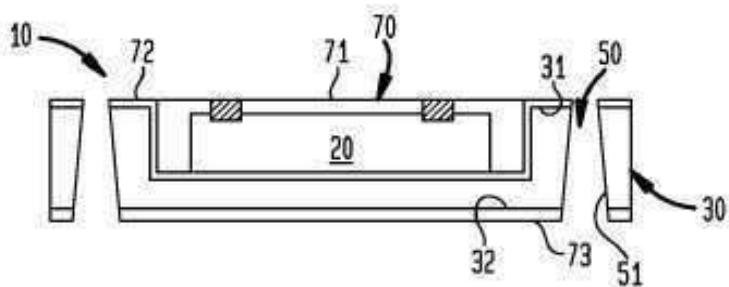
도면6b



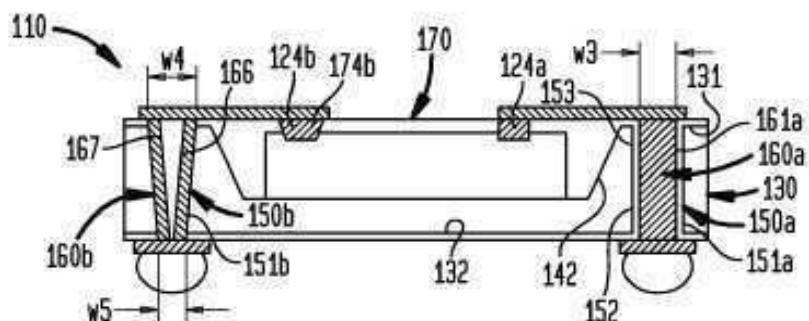
도면6c



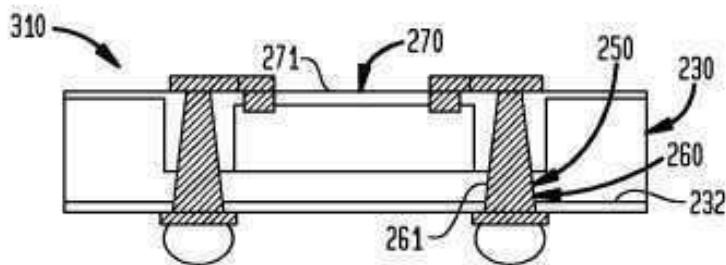
도면7



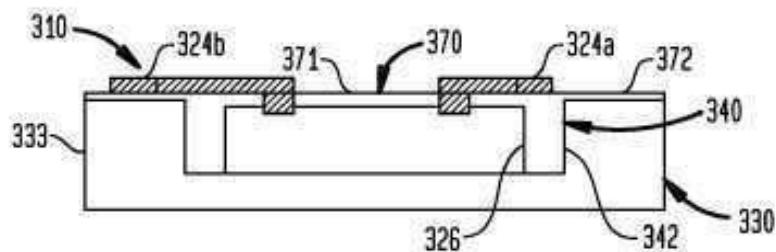
도면8a



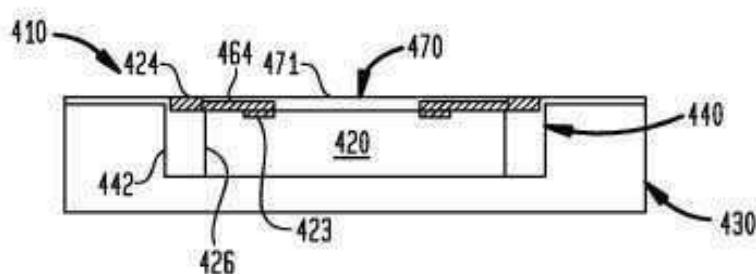
도면8b



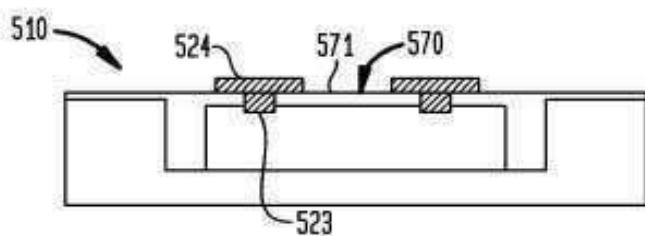
도면9a



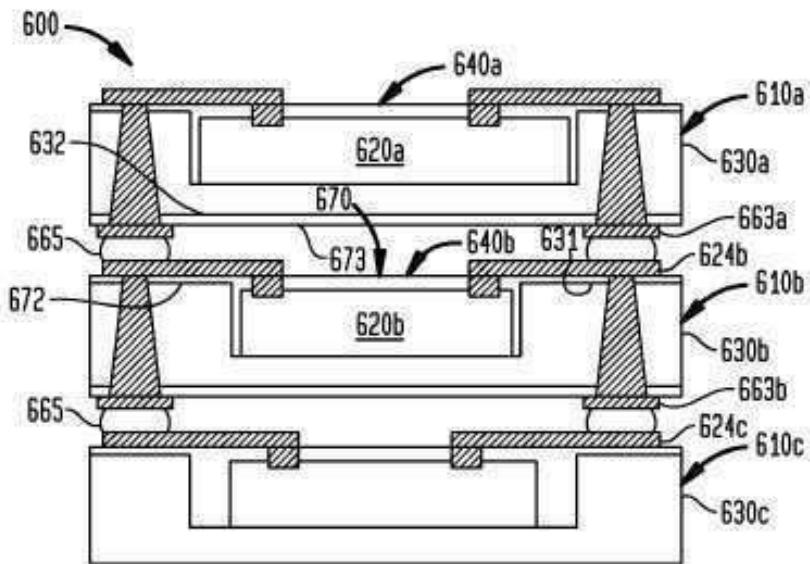
도면9b



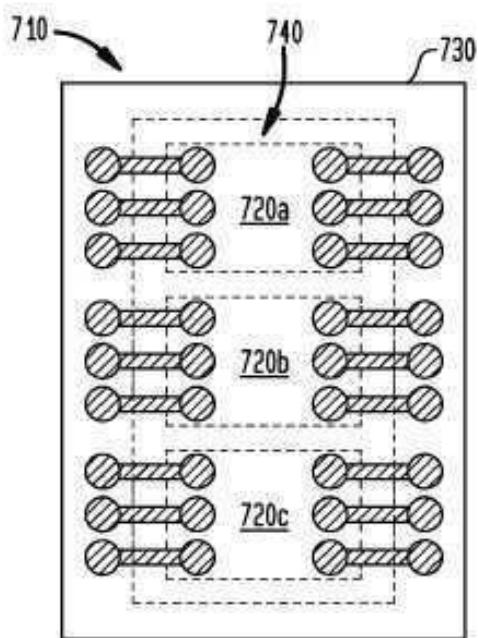
도면9c



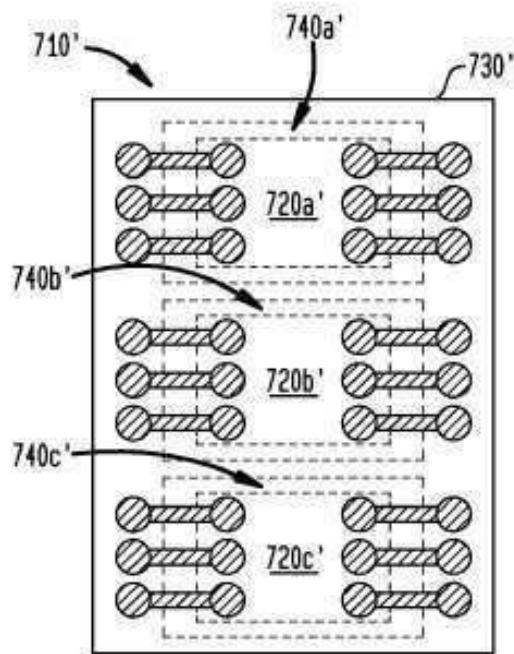
도면10



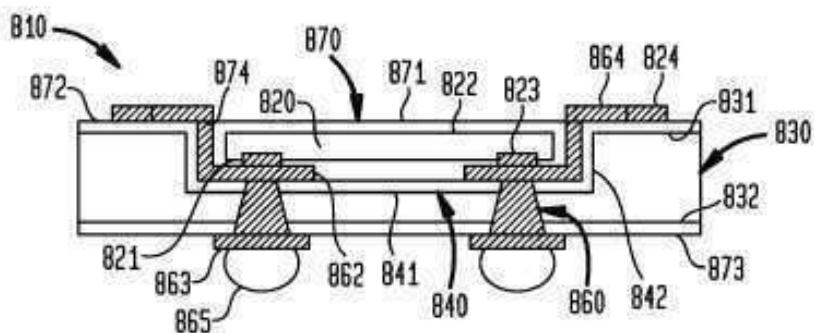
도면11a



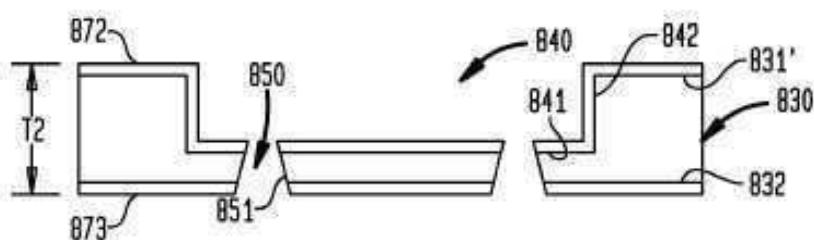
도면11b



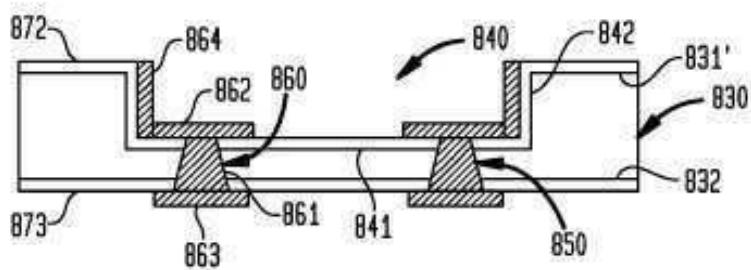
도면12



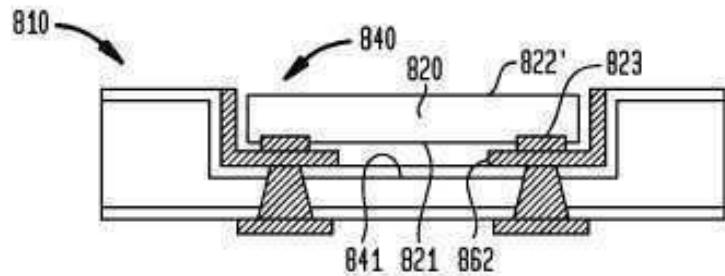
도면13



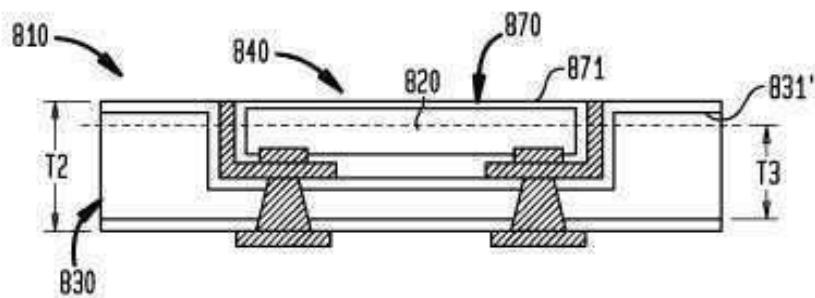
도면14



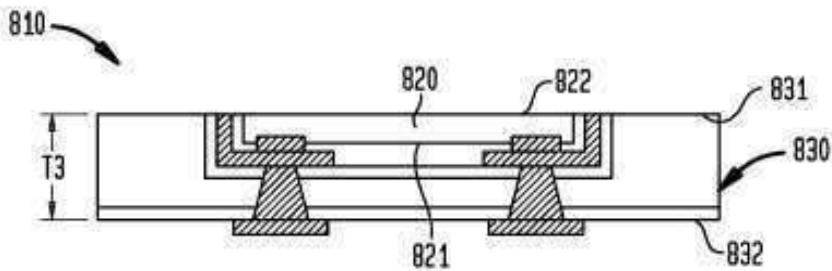
도면15



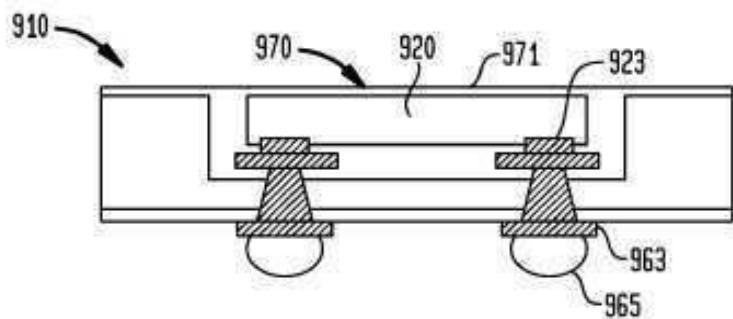
도면16



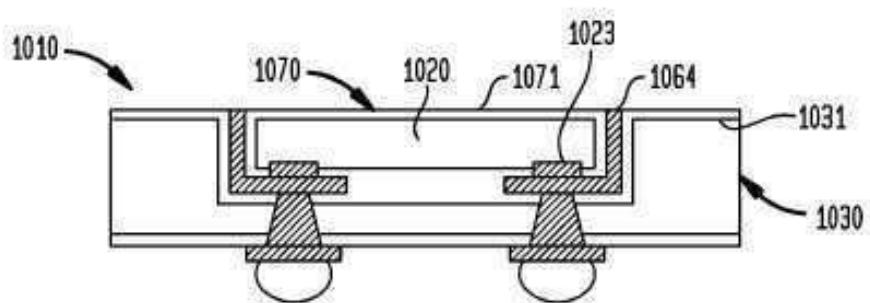
도면17



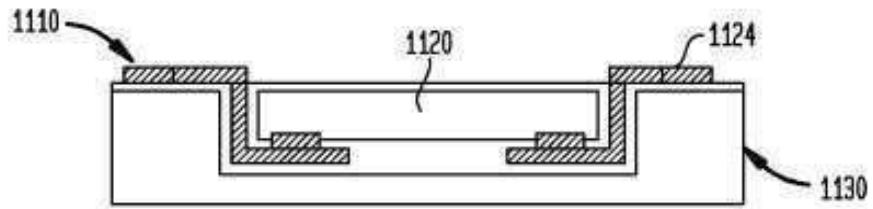
도면18a



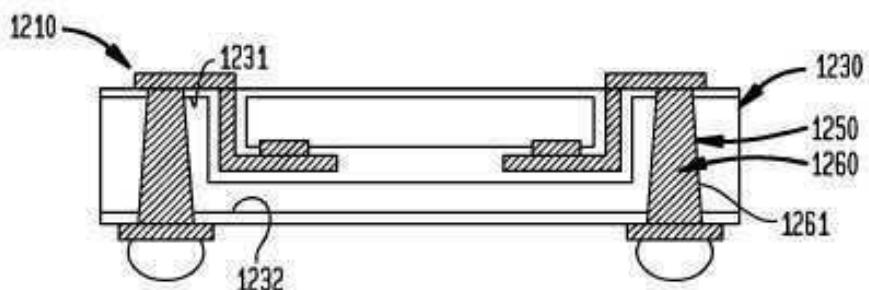
도면18b



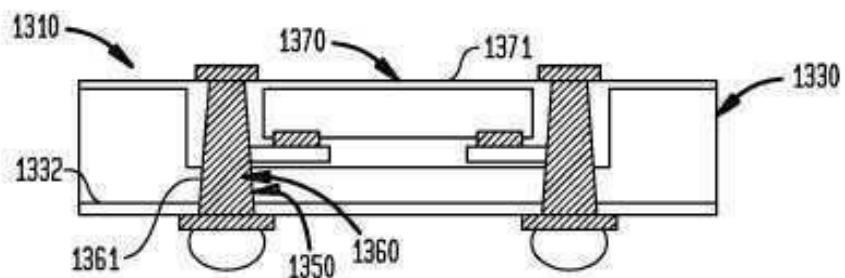
도면18c



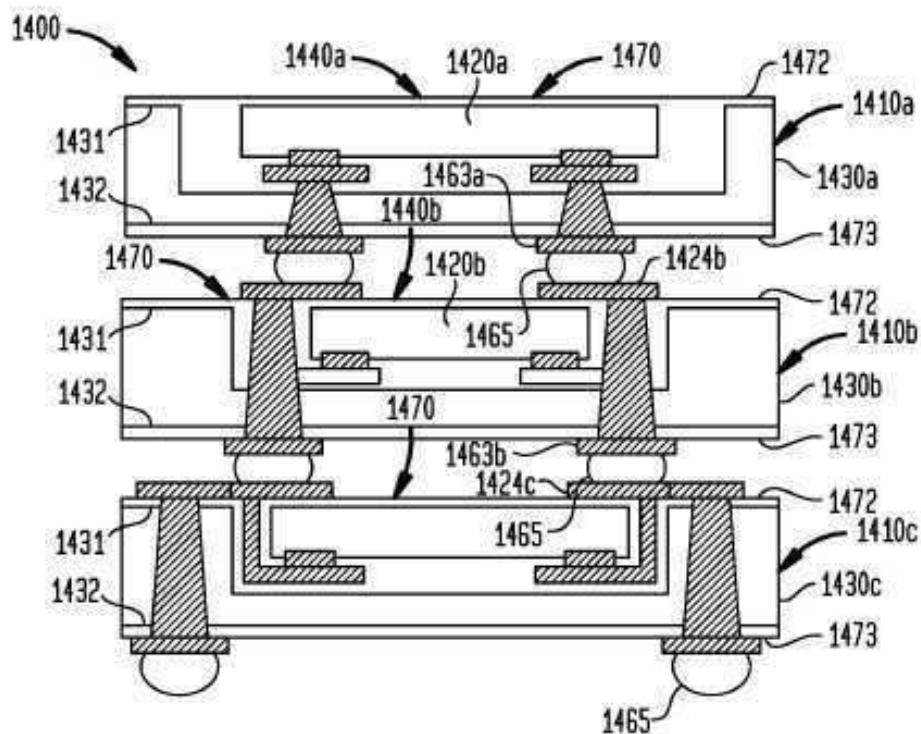
도면19a



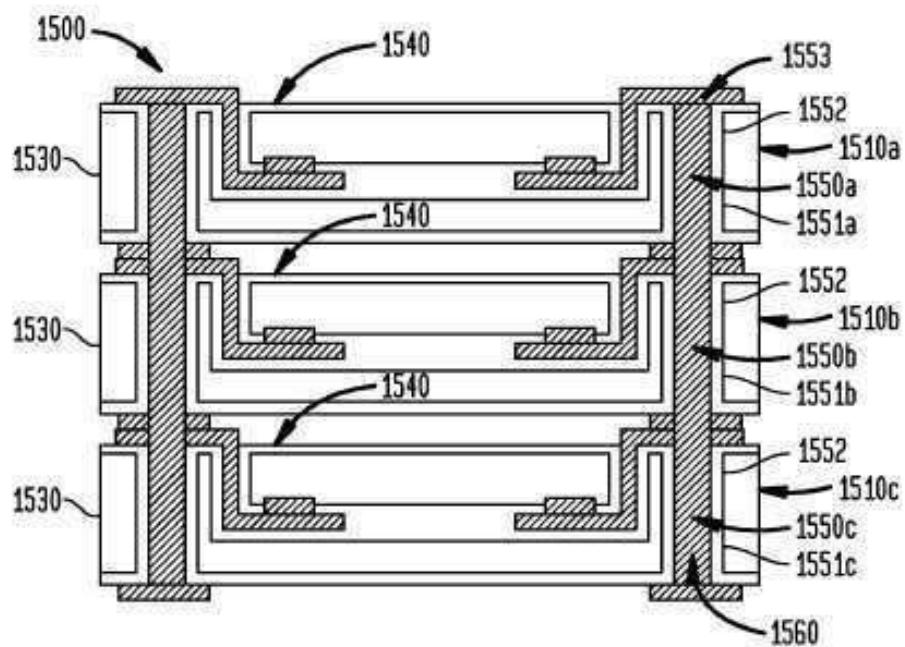
도면19b



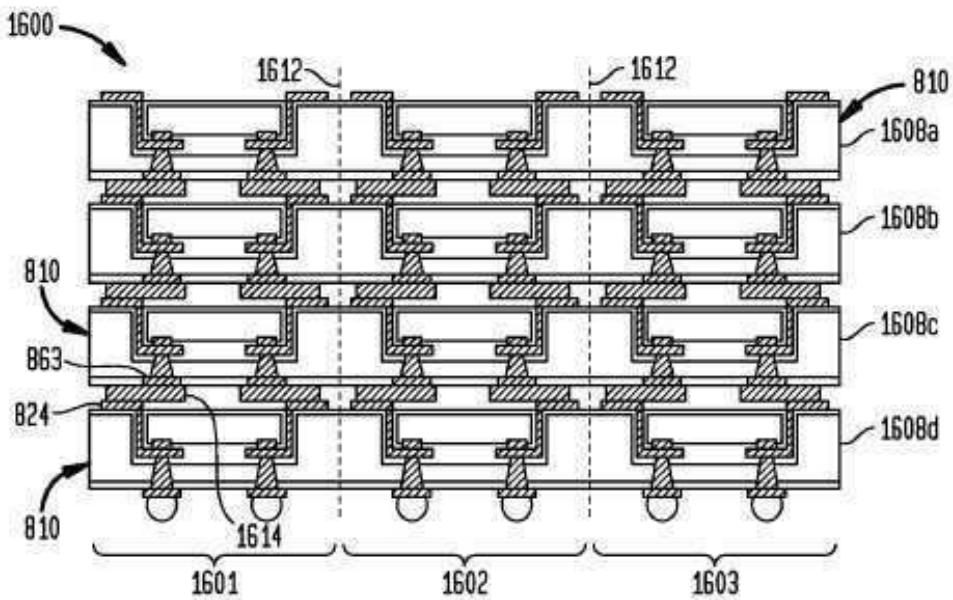
도면20



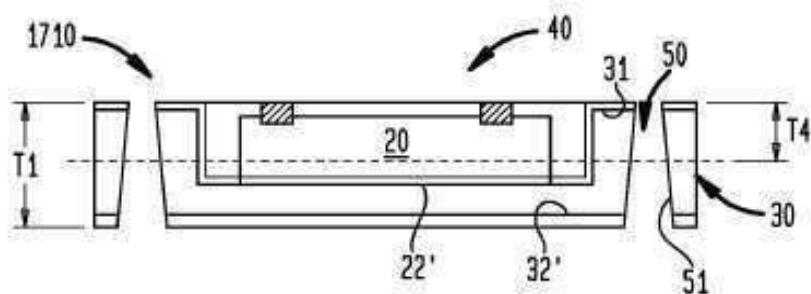
도면21



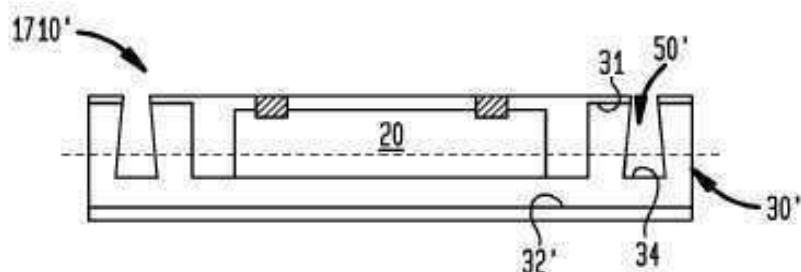
도면22



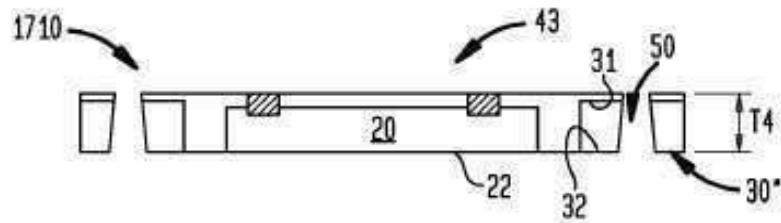
도면23a



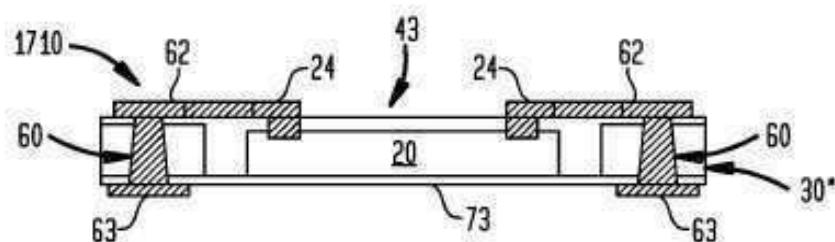
도면23b



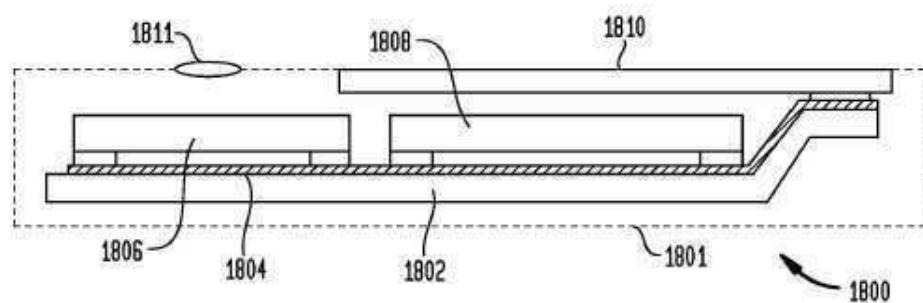
도면24



도면25



도면26



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 명세서

【보정세부항목】 문단부호 [162]

【변경전】

1410□

【변경후】

1410a