

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-146665

(P2010-146665A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.		F I		テーマコード (参考)
G 1 1 C 29/04	(2006.01)	G 1 1 C 29/00	6 O 3 X	5 L 1 O 6
G 1 1 C 13/00	(2006.01)	G 1 1 C 29/00	6 O 3 J	
		G 1 1 C 13/00	A	

審査請求 未請求 請求項の数 5 O L (全 33 頁)

(21) 出願番号	特願2008-324322 (P2008-324322)	(71) 出願人	000003078
(22) 出願日	平成20年12月19日 (2008.12.19)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 抵抗変化型不揮発性半導体メモリ

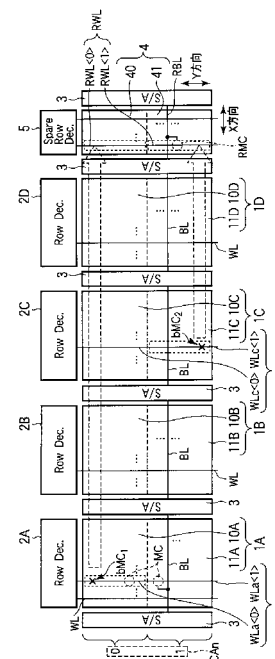
(57) 【要約】

【課題】 不良セルの救済効率を向上する。

【解決手段】 本発明の例に関わる抵抗変化型不揮発性半導体メモリは、抵抗変化型記憶素子を含む複数のメモリセルMCが配置されたメモリセルアレイ1Aと、複数のメモリセルMCが接続される複数のワード線WLと、複数の冗長セルRMCが配置された冗長セルアレイ4と、複数の冗長セルRMCが接続される複数の冗長ワード線RWLと、不良セルを救済する制御回路と、を具備し、メモリセルアレイ1A及び冗長セルアレイ4は、カラムアドレス情報CA_nに基づいて判別される2つ以上の領域10A, 11A, 40, 41を含み、制御回路は、前記領域10A, 11A, 40, 41毎に、不良セルbMC₁が接続されたワード線の一部WL a<0>と冗長ワード線の一部RWL<0>とを置き換える。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

抵抗変化型記憶素子を含む複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記複数のメモリセルが接続され、第 1 の方向に延在する複数のワード線と、

前記メモリセルアレイの近傍に配置され、前記ワード線を活性化するロウデコードと、

前記メモリセルアレイ内に含まれる不良セルの代わりに用いられる複数の冗長セルが配置された冗長セルアレイと、

前記複数の冗長セルが接続され、前記第 1 の方向に延在する複数の冗長ワード線と、

前記冗長セルアレイの近傍に配置され、前記冗長ワード線を活性化する冗長ロウデコードと、

不良セルが接続されたワード線を示す不良アドレス情報が記憶され、入力されたアドレス情報と前記不良アドレス情報とが一致した場合に、前記不良セルを救済する制御回路と、

を具備し、

前記メモリセルアレイ及び前記冗長セルアレイは、カラムアドレス情報に基づいて判別され、前記第 1 の方向に分割された少なくとも 2 つ以上の領域をそれぞれ含み、

前記制御回路は、前記領域毎に、前記不良セルが接続された前記ワード線の一部分と前記冗長ワード線の一部分とを置き換えて、その置き換えられた冗長ワード線を前記冗長ロウデコードに活性化させる、ことを特徴とする抵抗変化型不揮発性半導体メモリ。

【請求項 2】

前記ワード線は、前記複数のメモリセルが接続され、前記領域毎にそれぞれに設けられる複数のサブワード線と、前記複数のサブワード線が共通に接続され、前記 2 つ以上の領域に跨って配設されるメインワード線と、から構成され、

前記冗長ワード線は、前記複数の冗長セルが接続され、前記領域毎にそれぞれに設けられる複数の冗長サブワード線と、前記複数の冗長サブワード線が共通に接続され、前記 2 つ以上の領域に跨って配設される冗長メインワード線と、から構成され、

前記制御回路は、前記領域毎に、前記不良セルが接続された前記メインワード線の一部分と前記冗長メインワード線の一部分とを置き換える、ことを特徴とする請求項 1 に記載の抵抗変化型不揮発性半導体メモリ。

【請求項 3】

前記不良セルが接続されたワード線において、前記不良セルを含まない前記領域内に配置されている前記ワード線の一部分は、前記ロウデコードによって活性化される、ことを特徴とする請求項 1 又は 2 に記載の抵抗変化型不揮発性半導体メモリ。

【請求項 4】

前記制御回路は、前記不良アドレス情報を記憶する 1 つ以上の不良アドレス記憶部を備え、

前記不良アドレス記憶部は、

前記不良アドレス情報が記憶され、前記カラムアドレス情報に基づいて判別される 2 つ以上の領域に対応してそれぞれ設けられる 2 つ以上の記憶素子と、

前記 2 つ以上の記憶素子にそれぞれ対応して設けられ、前記カラムアドレス情報に基づいて、前記記憶素子の 1 つから不良アドレス情報を選択的に読み出すスイッチ素子と、

を備えることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の抵抗変化型不揮発性半導体メモリ。

【請求項 5】

前記制御回路は、

入力されたアドレス情報と前記不良アドレス情報とが一致するか否かを比較するアドレス比較部と、

前記アドレス比較部の比較結果に基づいて、不良セルを救済するか否かを判定する救済判定部と、を備えることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の抵抗変化型

10

20

30

40

50

不揮発性半導体メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗変化型不揮発性半導体メモリに係り、特に、抵抗変化型不揮発性半導体メモリの不良救済技術に関する。

【背景技術】

【0002】

近年、携帯電話や携帯型オーディオプレイヤーの普及により、半導体メモリがそれらの電子機器に搭載されている。

10

【0003】

半導体メモリにおいて、メモリセルアレイ内の不良セルを救済するために、任意の規模の冗長セルアレイが、メモリセルアレイと同一のチップ内に設けられる。この冗長セルアレイ内の冗長セルを、偶発的に発生する不良セルの代わりに用いることによって、メモリセルの不良を救済する手法が、半導体メモリに採用されている（例えば、特許文献1参照）。

【0004】

不良セルの救済法としては、2次元に配置された複数のメモリセルに対して、不良セルを含むワード線単位、又は、不良セルを含むビット線単位で、不良セルを救済するライン救済法が一般的である。

20

【0005】

ワード線単位の救済法（以下、ロウ救済法と呼ぶ）においては、不良セルを含むロウアドレス（以下、不良アドレスと呼ぶ）が、フューズなどを用いて、メモリチップ内にあらかじめ記憶されている。そして、外部から入力されたロウアドレスと記憶された不良アドレスとが一致した場合に、不良セルを含むワード線の活性が停止され、冗長セルが接続されたワード線（以下、冗長ワード線と呼ぶ）が活性されることで、不良セルが救済されている。

【0006】

ところで、揮発性半導体メモリ、例えば、DRAM（Dynamic Random Access Memory）においては、リフレッシュ動作が必要である。さらに、DRAMにおいては、リフレッシュ動作のサイクル数が記憶容量により規定されているため、同一のサイクル内でリフレッシュ動作の対象となるメモリセル数が決められているという制約がある。このため、DRAMでは、メモリセルアレイ内の1つのワード線を、部分的に活性化させることは、その動作の仕様上不可能である。

30

【0007】

すなわち、DRAMにおいては、リフレッシュサイクルの仕様と動作の整合性を確保しなければならないため、1本のワード線に含まれた不良セルの数がたとえ1つであっても、そのワード線は1本の冗長ワード線と置換される。このため、メモリセルアレイ内に、ロウアドレス（ワード線）が異なる2つの不良セルを救済する場合、2本の冗長ワード線が必要になる。

40

このように、DRAMに対してロウ救済法を用いる場合、ワード線に接続される不良セルの数に関わらず、不良セルが接続されたワード線の本数と同数の冗長ワード線が必要となる。

【0008】

この場合、不良セルの数が、記憶容量の増大やメモリセルの微細化に伴って増加すると、搭載すべき冗長ワード線（冗長セル数）も増加する。つまり、メモリの大容量化や微細化に伴う不良セルの増加に対し、不良セルの救済効率の向上は、チップ面積の増大及び製造コストの増加を引く起こす可能性がある。

【0009】

DRAMの代替として期待される半導体メモリ、例えば、MRAM（Magnetoresistive

50

Random Access Memory) は、リフレッシュ動作を必要としないため、上記のリフレッシュ動作に対する制約を排除することが可能であり、より救済効率の高いロウ救済法の実現が望まれている。

【特許文献 1】特開 2 0 0 3 - 2 7 2 3 9 7

【発明の開示】

【発明が解決しようとする課題】

【0 0 1 0】

本発明は、不良セルの救済効率を向上できる技術を提案する。

【課題を解決するための手段】

【0 0 1 1】

本発明の例に関わる不揮発性半導体メモリは、抵抗変化型記憶素子を含む複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、前記複数のメモリセルが接続され、第 1 の方向に延在する複数のワード線と、前記メモリセルアレイの近傍に配置され、前記ワード線を活性化するロウデコーダと、前記メモリセルアレイ内に含まれる不良セルの代わりに用いられる複数の冗長セルが配置された冗長セルアレイと、前記複数の冗長セルが接続され、前記第 1 の方向に延在する複数の冗長ワード線と、前記冗長セルアレイの近傍に配置され、前記冗長ワード線を活性化する冗長ロウデコーダと、不良セルが接続されたワード線を示す不良アドレス情報が記憶され、入力されたアドレス情報と前記不良アドレス情報とが一致した場合に、前記不良セルを救済する制御回路と、を具備し、前記メモリセルアレイ及び前記冗長セルアレイは、カラムアドレス情報に基づいて判別され、前記第 1 の方向に分割された少なくとも 2 つ以上の領域をそれぞれ含み、前記制御回路は、前記領域毎に、前記不良セルが接続された前記ワード線の一部分と前記冗長ワード線の一部分とを置き換えて、その置き換えられた冗長ワード線を前記冗長ロウデコーダに活性化させる、ことを備える。

【発明の効果】

【0 0 1 2】

本発明の例によれば、不良セルの救済効率を向上できる。

【発明を実施するための最良の形態】

【0 0 1 3】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0 0 1 4】

[第 1 の実施形態]

以下、図 1 乃至図 8 を参照して、本発明の第 1 の実施形態について説明する。

【0 0 1 5】

(1) 基本構成

図 1 及び図 2 を用いて、本発明の第 1 の実施形態に関わる抵抗変化型不揮発性半導体メモリの基本構成について説明する。

【0 0 1 6】

図 1 は、本実施形態に係る抵抗変化型不揮発性半導体メモリにおける、メモリセルアレイ及びその近傍に配置される回路の構成を示している。

【0 0 1 7】

図 1 に示す例では、4 つのメモリセルアレイ 1 A ~ 1 D が設けられている。但し、メモリセルアレイは 1 つでも良い。

【0 0 1 8】

メモリセルアレイ 1 A ~ 1 D は、抵抗変化型記憶素子を用いた複数のメモリセル MC から構成されている。複数のメモリセル MC は、メモリセルアレイ 1 A ~ 1 D 内に、アレイ状に配置されている。

メモリセルアレイ 1 A ~ 1 D 内には、複数のワード線 WL 及び複数のビット線 BL が設けられている。図 1 において、ワード線 WL は、例えば、Y 方向 (第 1 の方向) に延在し

10

20

30

40

50

、ビット線 B L は、例えば、X 方向（第 2 の方向）に延在している。1 本のワード線 W L には、Y 方向に配列された複数のメモリセル M C が接続されている。1 本のビット線 B L には、X 方向に配列された複数のメモリセル M C が共通に接続される。本実施形態においては、1 本のワード線 W L に共通に接続された複数のメモリセルのことを、メモリセル群ともよぶ。メモリセルアレイ 1 A ~ 1 D の内部構成の具体例について、後述する。

【0019】

メモリセルアレイ 1 A ~ 1 D 内における各メモリセル M C の位置は、チップ内に入力されるアドレス情報が含むロウアドレス情報及びカラムアドレス情報によって、示される。ロウアドレス情報が含む全ビットによって、1 本のワード線が示され、カラムアドレス情報が含む全ビットによって、1 本のビット線 B L が示される。

10

【0020】

メモリセルアレイ 1 A ~ 1 D の Y 方向に隣接して、ロウデコーダ 2 A ~ 2 D がそれぞれ配置されている。ロウデコーダ 2 A ~ 2 D は、メモリセルアレイ 1 A ~ 1 D のそれぞれに対応して、設けられる。ロウデコーダ 2 A ~ 2 D は、外部から入力されたアドレス情報に基づいて、ワード線 W L を選択し、そのワード線を活性化する。

【0021】

また、各メモリセルアレイ 1 A ~ 1 D の X 方向に隣接して、センスアンプ 3 が配置されている。センスアンプ 3 は、アドレス情報に基づいて、選択されたメモリセルからビット線 B L に読み出された信号（データ）を増幅し、その信号を検知する。

【0022】

20

図 1 に示す例では、各メモリセルアレイ 1 A ~ 1 D の X 方向の両端に、センスアンプ 3 が配置され、1 つのメモリセルアレイに対して、2 つのセンスアンプ 3 が接続されている。これによって、メモリセルに記憶されたデータを、メモリセルアレイの両端から読み出せる。この場合、2 つのメモリセルアレイ間に配置されたセンスアンプ 3 は、2 つのメモリセルアレイによって共通に用いられる。

【0023】

冗長セルアレイ 4 は、センスアンプ 3 を介して、メモリセルアレイ 1 D の X 方向に隣接して設けられる。冗長セルアレイ 4 内には、不良セルを救済のために用いられる複数の冗長セル R M C が設けられている。また、冗長セルアレイ内には、Y 方向に延在する冗長ワード線 R W L と X 方向に延在する冗長ワード線 R B L とが設けられている。

30

【0024】

冗長セル R M C は、メモリセル M C と同様の構成を有する。冗長セル R M C は、メモリセル M C とワード線 W L との接続関係と同様の構成で、冗長ワード線 R W L に接続される。また、冗長セル R M C は、メモリセル M C とビット線 B L との接続関係と同様の構成で、冗長ビット線 B L に接続される。尚、1 本の冗長ワード線 R W L に接続される冗長セル R M C の個数は、1 本のワード線 W L に接続されるメモリセル M C の個数と同じである。

【0025】

冗長ワード線 R W L は、冗長ロウデコーダ 5 に接続される。

冗長ロウデコーダ 5 は、冗長セルアレイ 4 の Y 方向に隣接して、配置されている。冗長ロウデコーダ 2 A ~ 2 D は、不良セルの代わりに冗長セルが用いられる場合に、冗長ワード線 R W L を活性化する。

40

冗長セルアレイ 4 の X 方向に両端には、メモリセルアレイ 1 A ~ 1 D と同様に、2 つのセンスアンプ 3 が設けられている。そして、その一方のセンスアンプ 3 は、メモリセルアレイ 1 D と共有される。冗長ビット線 R B L は、センスアンプ 3 に接続される。

【0026】

メモリセルアレイ 1 A ~ 1 D 内に不良セル $b M C_1$, $b M C_2$ が存在した場合、後述の制御回路によって、不良セルを含むワード線 W L a , W L c と冗長ワード線 R W L とが、論理的に置き換えられる。これによって、不良セル $b M C_1$, $b M C_2$ が救済される。具体的には以下のとおりである。

【0027】

50

不良セルのアドレス情報（以下、不良アドレス情報と呼ぶ）は、チップのテスト工程時に予め検出され、チップ内の制御回路内に記憶される。

そして、チップに対する書き込み又は読み出し動作時において、アドレス情報が入力されたとき、その入力されたアドレス情報は、制御回路によって、チップ内に予め記憶された不良アドレス情報と比較される。その比較の結果、入力されたアドレス情報が、不良セル bMC_1 、 bMC_2 （図 1 中の \times 印）を含むワード線 WL_a 、 WL_c を示すアドレス情報と一致すると、制御回路によって判定された場合、その制御回路は、冗長ロウデコーダ 5 に、冗長セルアレイ 4 内の冗長ワード線 RWL を不良セルが含まれるワード線の代わりに活性化させる。

このように、本実施形態の抵抗変化型不揮発性半導体メモリにおいて、不良セルの救済は、ワード線単位で行われるロウ救済法が採用されている。

【0028】

本実施形態の抵抗変化型不揮発性半導体メモリにおいて、メモリセルアレイ内に含まれる不良セルの救済（ワード線の置換）は、メモリセルアレイ $1A \sim 1D$ が 2 つ以上に分割され、その分割された領域 $10A \sim 10D$ 、 $11A \sim 11D$ を対応させて、制御される。図 1 においては、各メモリセルアレイ $1A \sim 1D$ が、2 つの領域 $10A \sim 10D$ 、 $11A \sim 11D$ に分割された例を示している。

【0029】

本実施形態において、メモリセルアレイ $1A \sim 1D$ は、カラムアドレス情報 CA_n に基づいた論理的な領域 $10A \sim 10D$ 、 $11A \sim 11D$ に分割される。以下、分割された論理的な領域のことを、セグメントと呼ぶ。各セグメント $10A \sim 10D$ 、 $11A \sim 11D$ は、カラムアドレス情報 CA_n に基づいて分割されるため、メモリセルアレイ $1A \sim 1D$ は、ワード線の延在方向（Y 方向）に分割された領域になっている。そして、1 つのメモリセルアレイにおいて、2 つのセグメントは Y 方向に互いに隣接している。

【0030】

セグメント $10A \sim 10D$ 、 $11A \sim 11D$ は、例えば、カラムアドレス情報が含む n 番目のビット CA_n に基づいて、判別される。例えば、セグメントの判別は、カラムアドレス情報の最上位又は最下位の 1 ビットが用いられる。本実施形態においては、セグメントの判別は、カラムアドレス情報の最上位ビットを用いる場合を例として、説明する。

第 1 のセグメント $10A \sim 10D$ と、第 2 のセグメント $11A \sim 11D$ とが、各メモリセルアレイ $1A \sim 1D$ 内に設定される。第 1 のセグメント $10A \sim 10D$ はカラムアドレス情報 $CA_n = "0"$ によって、判別される。第 2 のセグメント $11A \sim 11D$ は、カラムアドレス情報 $CA_n = "1"$ によって、判別される。

また、メモリセルアレイ $1A \sim 1D$ と同様に、冗長セルアレイ 4 に対して、カラムアドレス情報 $CA_n = "0"$ 、 $"1"$ によって判別される 2 つのセグメント 40 、 41 が、設定される。

【0031】

図 1 に示す例において、ワード線 WL_a 、 WL_c は、カラムアドレス情報 CA_n に基づいてセグメントが設定されていることに伴って、第 1 のセグメント $10A \sim 10D$ に配置される一部分 $WL_a < 0 >$ 、 $WL_c < 0 >$ と第 2 のセグメント $11A \sim 11D$ に配置される一部分 $WL_a < 1 >$ 、 $WL_c < 1 >$ とに論理的に分割される。

【0032】

そして、不良セルを救済する場合に、論理的に分割された部分毎 $WL_a < 0 >$ 、 $WL_c < 0 >$ 、 $WL_a < 1 >$ 、 $WL_c < 1 >$ 毎に、救済の単位として、それぞれ個別に制御され、ワード線の一部分と冗長ワード線の一部分とが置き換えられる。これによって、メモリセルアレイ $1A \sim 1D$ 内の不良セルが、救済される。

【0033】

例えば、メモリセルアレイ $1A$ において、ワード線 WL_a は、不良セル bMC_1 を含んでいる。不良セル bMC_1 は、カラムアドレス情報 $CA_n = "0"$ に対応するセグメント $10A$ 内に存在し、1 本のワード線 WL_a におけるセグメント $10A$ 内に設けられている

10

20

30

40

50

部分 $WL a < 0 >$ に、接続されている。

【0034】

入力されたアドレス情報（ロウ／カラムアドレス情報）が、不良セルが接続されたワード線 $WL a$ を示し、不良セルが存在するセグメント $10A$ を示す場合、そのワード線 $WL a$ のセグメント $10A$ 内に配置された部分（第1の部分） $WL a < 0 >$ は不活性にされる。

そして、冗長セルアレイ4において、そのカラムアドレス情報 $CAn = "0"$ に基づいて、1本の冗長ワード線 RWL のうちセグメント41に配置された部分 $RWL < 0 >$ が、不良セルが接続されたワード線 $WL a$ の一部分 $WL a < 0 >$ の代わりに、冗長ロウデコード5によって活性化される。

【0035】

これによって、不良セルを含むワード線 $WL a$ の一部分 $WL a < 0 >$ が、冗長ワード線 RWL の一部分 $RWL < 0 >$ と置き換えられる。それゆえ、ワード線 $WL a$ の一部分 $WL a < 0 >$ に接続された不良セル bMC_1 が、救済される。

【0036】

また、カラムアドレス情報 $CAn = "1"$ に対応するメモリセルアレイ1Aのセグメント11A内において、ワード線 $WL a$ は不良セルを含まない。この場合、セグメント11Aに配置されるワード線 $WL a$ の一部分（第2の部分） $WL a < 1 >$ は、セグメント41に配置される冗長ワード線 $RWL < 1 >$ と置換されない。つまり、チップの動作時に入力されたアドレス情報において、ロウアドレス情報は不良セル bMC_1 が接続されたワード線 $WL a$ を示し、且つ、カラムアドレス情報 CAn はそのワード線 $WL a$ のうち不良セルが存在していないセグメント11Aを示す場合、そのワード線 $WL a$ （ワード線 $WL a$ の一部分 $WL a < 1 >$ ）は、アドレス情報に基づいて、ロウデコード2Aによって活性化される。そして、ワード線 $WL a$ の部分 $WL a < 1 >$ に接続された正常なメモリセルは、通常どおりに動作（アクセス）の対象となる。

【0037】

メモリセルアレイ1C内に含まれる不良セル bMC_2 は、メモリセルアレイ1A内に含まれる不良セル bMC_1 と同様の手法によって、冗長セルアレイ4内の冗長セルを用いて、救済される。

すなわち、不良セル bMC_2 が接続されたワード線 $WL c$ において、入力されたアドレス情報が含むカラムアドレス情報 $CAn = "1"$ に基づいて、そのワード線 $WL c$ は、セグメント11Cに配置される部分 $WL c < 1 >$ が、冗長ワード線 RWL のセグメント41に配置される部分 $RWL < 1 >$ と置き換えられ。それゆえ、ワード線 $WL c$ は不活性化され、冗長ワード線 RWL は、冗長ロウデコード5によって活性化される。

また、カラムアドレス情報 $CAn = "0"$ に対応しているワード線 $WL c$ の部分 $WL c < 1 >$ は、不良セルを含まないので、アクセス（書き込み／読み出し）を要求するロウ／カラムアドレス情報が入力されたとき、そのワード線 $WL c$ は通常どおりにロウデコード2Cによって、活性化される。

【0038】

また、上述のように、冗長セルアレイ4も、2つのセグメント40，41に分割されて、制御される。そのため、1本の冗長ワード線 RWL を、各セグメントに対応した2つの部分 $RWL < 0 >$ ， $RWL < 1 >$ 毎に、不良セルが接続されたワード線の置き換えに用いることができる。つまり、不良セル bMC_1 ， bMC_2 が存在するセグメントが異なっていれば、1本の冗長ワード線 RWL を用いて、2本のワード線が含む不良セルを救済できる。よって、1本の冗長ワード線を用いた不良セルの救済自由度は、“2”になる。例えば、冗長セルアレイ4が8本の冗長ワード線を有し、図1に示すように、メモリセルアレイ1A～1D及び冗長セルアレイ4が、1ビット分のカラムアドレス情報 CAn に基づいて設定された2つのセグメント $10A \sim 10D$ ， $11A \sim 11D$ を有する場合、図1に示される半導体メモリの救済自由度は、“16”になる。

【0039】

10

20

30

40

50

このように、ロウ救済法において、カラムアドレス情報 $C A_n$ に基づいて、メモリセルアレイ $1 A \sim 1 D$ が複数のセグメント $10 A, 11 A$ に分割されることによって、不良セルの救済効率を向上できる。

【0040】

また、上述のように、本実施形態においては、カラムアドレス情報 $C A_n$ に基づいて、各メモリセルアレイ $1 A \sim 1 D$ 内に、セグメントを設定し、それらを判別している。このため、カラムアドレス情報が含むビット数に応じて、セグメントの個数を規定できるので、3つ以上のセグメントを1つのメモリセルアレイに対して設定することができる。

図2に示す例では、2ビット分のカラムアドレス情報 $C A_n, C A(n-1)$ を利用して、1つのメモリセルアレイ $1 A \sim 1 C$ 内に、4つのセグメント $10 A \sim 13 A, 10 C \sim 13 C$ が設定されている。この構成において、不良セルの救済時に、1本のワード線 $W L$ 及び1本の冗長ワード線 $R W L$ は、論理的に4つに分割されて、制御される。

そして、不良セルがアクセスの対象となった場合、分割された各部分を救済の単位として、ワード線 $W L a < 0 >$ と冗長ワード線 $R W L < 0 >$ とが置き換えられる。これによって、冗長ワード線が活性化され、ワード線 $W L a$ の一部分 $W L < 0 >$ に含まれる不良セルが、救済される。これと同様に、ワード線 $W L c$ の一部分 $W L c < 3 >$ は、冗長ワード線の一部分 $R W L < 3 >$ と置き換えられる。

また、不良セルを含まないセグメント $11 A \sim 13 A, 10 C \sim 12 C$ において、不良セルを含むワード線 $W L a, W L c$ は、アクセスの対象として使用され、ロウデコード $2 A, 2 C$ によって、活性化される。

【0041】

尚、カラムアドレス情報の全ビット数を用いた場合には、メモリセルアレイ $1 A \sim 1 D$ は、ビット線の本数と同数のセグメントを有し、1つのメモリセル（不良セル）単位での、不良セルの救済が可能となる。

【0042】

このように、メモリセルアレイに設定するセグメント数を多くする、つまり、ワード線の分割数を大きくすることで、不良セルの救済自由度を向上できる。尚、好ましい態様としては、メモリセルアレイ $1 A \sim 1 D$ は、2～16のセグメントに分割されることが好ましい。

【0043】

さらに、本実施形態においては、セグメントの設定及びその判別に、カラムアドレス情報を用いている。それゆえ、セグメントの設定及び判別のために、新たな信号をチップの制御信号に付加する必要はなく、複雑な回路を用いる必要もない。よって、簡便な構成によって、不良セルの救済効率を向上できる。

【0044】

以上のように、本発明の第1の実施形態において、メモリセルアレイ $1 A \sim 1 D$ は、カラムアドレス情報 $C A_n$ に基づいて、ワード線 $W L$ の延在方向（Y方向）に2つ以上の領域（セグメント）に論理的に分割される。不良セルを救済する際、不良セルを含むワード線は、カラムアドレス情報に基づいて、セグメントに配置されている部分毎に制御される。そして、その不良セルを含んでいるワード線において、不良セルを含んでいるセグメントに対応する部分（メモリセル群）が、そのセグメントに対応する冗長ワード線の部分に置き換えられる。これによって、不良セルは救済される。また、不良セルを含んでいるワード線において、不良セルを含まないセグメントに配置されたワード線の一部分（メモリセル群）は、通常どおりに用いられる。

このように、1本のワード線において、それぞれ異なるセグメントに配置される部分は、救済の単位として、独立に扱われる。

【0045】

それゆえ、本実施形態のように、不良セルを救済することによって、チップに搭載される冗長ワード線の本数、換言すると、冗長セルの個数の増加及び冗長セルアレイの占有面積の増加を伴わないで、救済の自由度が増加する。

【0046】

したがって、本発明の第1の実施形態に係る抵抗変化型不揮発性半導体メモリによれば、不良セルの救済の自由度を向上でき、メモリセルアレイ内の不良セルの救済効率を向上できる。

【0047】

(2) 具体例

(a) 回路構成

図3乃至図7を用いて、本実施形態に係る抵抗変化型不揮発性半導体メモリのより具体的な構成例について説明する。

【0048】

図3は、1つのメモリセルアレイ1Aの内部構成の一例を示している。

図3に示すように、複数のメモリセルMCは、X方向及びY方向に沿って、メモリセルアレイ1A内にアレイ状に配置される。また、図3に示すように、メモリセルアレイ1A内には、複数のビット線 $BL_0 \sim BL_{m-1}$ 及び複数のワード線 $WL_0 \sim WL_{n-1}$ が設けられている。

【0049】

複数のビット線 $BL_0 \sim BL_{m-1}$ は、X方向に沿って延在し、Y方向に並んで配置されている。例えば、ビット線 BL_0 及びビット線 BL_1 のように、メモリセルMCの一端及び他端に接続された2本のビット線は、一組のビット線対をなしている。複数のワード線 $WL_0 \sim WL_{n-1}$ は、Y方向に沿って延在し、X方向に並んで配置されている。

【0050】

Y方向に沿って配列される複数のメモリセルMCは、一組のビット線対に共通に接続されている。X方向に沿って配列される複数のメモリセルMCは、1本のワード線に共通に接続される。

【0051】

各メモリセルMCは、例えば、1つの抵抗変化型記憶素子MTJと1つの電界効果トランジスタTrとから構成されている。

【0052】

メモリセルMC内の抵抗変化型記憶素子MTJは、データの記憶を担う。例えば、本実施形態の抵抗変化型不揮発性半導体メモリが、磁気ランダムアクセスメモリ(MRAM: Magnetoresistive Random Access Memory)である場合には、抵抗変化型記憶素子MTJは、磁気抵抗効果素子である。磁気抵抗効果素子MTJは、データを不揮発に記憶する。

【0053】

磁気抵抗効果素子MTJの基本的な構造は、例えば、磁化方向が不変な第1の磁性層(磁化不変層)と、磁化方向が可変な第2の磁性層(磁化固定層)と、第1及び第2の磁性層に挟まれたトンネル膜から構成されている。磁気抵抗効果素子MTJは、磁気トンネル効果を利用して、データが書き込まれる。

メモリセルMC内の電界効果トランジスタTrは、抵抗変化型記憶素子MTJに対するスイッチ素子として機能する。以下では、メモリセルMC内に設けられた電界効果トランジスタTrのことを、選択トランジスタTrと呼ぶ。

【0054】

磁気抵抗効果素子MTJの一端が、ビット線対をなす一方のビット線 BL_0 に接続される。

選択トランジスタTrの電流経路の一端は、抵抗変化型記憶素子(磁気抵抗効果素子)MTJの他端に接続される。選択トランジスタTrの電流経路の他端は、ビット線対をなす他方のビット線 BL_1 に接続される。選択トランジスタTrの制御端子には、ワード線 WL_i が接続される。

【0055】

MRAMにおいて、磁気抵抗効果素子MTJは、2つ磁性層の磁化方向が平行又は反平行になる2つの定常状態をとることができ、そのうちの1つの状態を“0”データ、他の

10

20

30

40

50

1つの状態を“1”データに対応させることによって2値データを記憶する。磁気抵抗効果素子MTJに対するデータの書き込みは、例えば、電子がスピン偏極した書き込み電流（以下、スピン偏極電流と呼ぶ）をビット線対BL₀, BL₁間に流すことで、実行される。スピン偏極電流の大きさは、磁化自由層の磁化方向が反転するのに要する電流値以上である。データの書き込み時、そのスピン偏極電流が、磁気抵抗効果素子の一端側から他端側へ、又は、磁気抵抗効果素子の他端側から一端側へ流される。これによって、磁気抵抗効果素子MTJは、その磁化自由層と磁化不変層との相対的な磁化方向が変化される。

また、磁気抵抗効果素子MTJに対するデータの読み出しは、スピン偏極電流よりも小さい電流（読み出し電流）を、ビット線対BL₀, BL₁間に流すことで、実行される。読み出し電流が、磁気抵抗効果素子MTJに流されることによって、その定常状態（平行／反平行）に対応する抵抗値（データ）に応じて、ビット線BL₀, BL₁の電位が変動する。その電位変動を検知して、データが読み出される。

【0056】

本実施形態のように、メモリセルアレイ1AがMRAMの構成される場合には、書き込み電流及び読み出し電流をビット線対BL₀, BL₁間に流すための回路（図示せず）が、メモリセルアレイ1A近傍に設けられる。

【0057】

本実施形態においては、抵抗変化型記憶素子としての磁気抵抗効果素子MTJの構成は、限定されない。例えば、磁気抵抗効果素子は、第1及び第2の磁性層の磁化方向が膜面に対して平行方向を向く、面内磁化型でもよいし、磁性層の磁化方向が膜面に対して垂直方向を向く、垂直磁化型でもよい。磁気抵抗効果素子MTJの構造は、トンネルバリア層を1層有するシングルジャンクション構造でもよいし、トンネルバリア層を2層有するダブルジャンクション構造でもよい。

【0058】

尚、本実施形態においては、抵抗変化型記憶素子として磁気抵抗効果素子MTJを用いたMRAMを例に、メモリセルアレイの内部構成について説明したが、これに限定されない。例えば、メモリセルアレイ1Aは、電圧の印加方法により抵抗値が変化する素子を用いているReRAM（Resistive Random Access Memory）の構成や、結晶相の変化を利用して抵抗値が変化する素子を用いているPCRAM（Phase Change Random Access Memory）の構成でもよい。また、図3に示されるメモリセルアレイ1Aは、1つの抵抗変化型記憶素子と1つの選択トランジスタとから構成される、いわゆる、1Tr+1MTJのメモリセルを用いているが、これに限定されない。メモリセルアレイ1Aは、例えば、ワード線とビット線とが交差する箇所に抵抗変化型記憶素子が設けられた、いわゆる、クロスポイント型の内部構成を有していてもよい。

【0059】

図4は、メモリセルアレイ内に設定されたセグメントに対応させて、不良セルを救済するための制御回路200を示している。本実施形態においては、図4に示される制御回路のことを、不良救済制御回路200と呼ぶ。不良救済制御回路200は、例えば、図1に示されるメモリセルアレイ1A～1D及び冗長セルアレイ4などと同じチップ内に設けられる。

【0060】

不良救済制御回路200は、例えば、不良アドレス情報記憶部60、アドレス比較部70及び救済判定部80とを備える。不良制御回路200は、不良セルが接続されたワード線のアドレスが入力されたとき、ワード線と冗長ワード線との置き換えを制御する。

【0061】

不良アドレス情報記憶部60は、不良セルを含むワード線（ロウ）及びセグメント（コラム）のアドレス情報を記憶している。以下、本実施形態における不良セルのアドレス情報のことを、不良アドレス情報と呼ぶ。不良アドレス情報記憶部60は、不良アドレス情報を記憶するため、例えば、フューズやROM（Read Only Memory）を有する。尚、本実

10

20

30

40

50

施形態においては、不揮発性の抵抗変化型記憶素子を用いているので、不良アドレス情報は、メモリセルアレイと同一構成の記憶領域に記憶されてもよい。

【0062】

アドレス比較部70は、不良アドレス情報記憶部60から読み出された不良アドレス情報が、チップ内に入力されたアドレス情報（以下、選択アドレス情報と呼ぶ）と一致するか否かを比較する。尚、本実施形態においては、選択アドレス情報のうち、ロウを示すアドレス情報のことを、選択ロウアドレス情報とよび、カラムを示すアドレス情報のことを、選択カラムアドレス情報と呼ぶ。

【0063】

救済判定部80は、不良アドレス情報と選択アドレス情報との比較結果を用いて、不良セルの救済（ワード線の置換）を行うか否かを判定する。

このような構成によって、不良救済制御回路200は、不良セルを含む1本のワード線において、不良セルが存在しているセグメントのワード線の部分を救済の単位として、不良セルを含むワード線の部分と冗長ワード線の部分との置き換えを、制御する。

【0064】

図5乃至図7を用いて、不良救済制御回路200の内部構成の一例について説明する。

【0065】

図5は、不良アドレス情報記憶部60の内部構成の一例を示している。チップを構成しているメモリセルアレイ内のワード線のアドレス情報が11ビットで示される場合、11個の不良アドレス情報記憶部60が、1ビット分のロウアドレス情報にそれぞれ対応するように、設けられる。入力されたロウアドレス情報は、各ビットの桁に対応するように、各記憶部60のそれぞれに対して、1ビット分ずつ入力される。つまり、11個の不良アドレス情報記憶部60が1つの組となって、1本の不良セルを含むワード線のアドレス情報が示される。例えば、あるチップの不良セルの救済自由度が16のとき、16組の不良アドレス情報記憶部群が搭載される。

【0066】

図5に示す例において、不良アドレス情報記憶部60は、例えば、レーザ溶断されるフューズ62A、62Bを利用して、メモリセルアレイの不良アドレス情報を記憶する。

【0067】

1つの不良アドレス情報記憶部60は、2つのフューズ62A、62Bとそのフューズ62A、62Bが示す不良アドレス情報の読み出しを制御する回路群とを有している。

【0068】

不良セルが接続されたワード線のアドレス情報は、フューズ62A、62Bをレーザなどで溶断することによって、不良アドレス情報記憶部60内に、記憶される。

【0069】

例えば、不良セルのロウアドレス情報が、“0”の場合、フューズ62A、62Bは溶断されない。これに対して、不良セルのロウアドレス情報（以下、不良ロウアドレス情報と呼ぶ）が、“1”の場合、フューズ62A、62Bは溶断される。つまり、不良ロウアドレス情報の各ビットが全て“0”である場合は、各不良アドレス情報記憶部60のフューズの溶断は不要である。これに対して、不良ロウアドレス情報の各ビットが全て“1”である場合、各不良アドレス情報記憶部60のフューズは、全て溶断される。

【0070】

本実施形態においては、図5に示すように、1ビット（“0”、“1”）分のロウアドレス情報に対して、つまり、1つの不良アドレス情報記憶部60内に対して、2つのフューズ62A、62Bが設けられている。これは、図1に示したように、1ビット分のカラムアドレス情報CA_nに基づいて、2つのセグメント10A、11Aが1つのメモリセルアレイ1Aに対して設定された場合に、相当する。例えば、フューズ62Aは、“0”のカラムアドレス情報CA_nに対応し、フューズ62Bは、“1”のカラムアドレス情報CA_nに対応する。

この場合、1つの不良アドレス記憶部60に記憶される不良アドレス情報が、“1”の

10

20

30

40

50

ロウアドレス情報と“ 0 ”のカラムアドレス情報とを示すとき、フューズ 6 2 A が溶断される。また、不良アドレス情報が、“ 1 ”のロウアドレス情報と“ 1 ”のカラムアドレス情報とを示すとき、フューズ 6 2 B が溶断される。尚、不良アドレス情報が“ 0 ”のロウアドレス情報とを示す場合、“ 0 ”及び“ 1 ”のカラムアドレス情報 C A n に対応するフューズ 6 2 A , 6 2 B のいずれも溶断されない。

【 0 0 7 1 】

各フューズ 6 2 A , 6 2 B は、C M O S インバータ 6 1 A , 6 1 B の接地端子 V s s 側に接続される。

【 0 0 7 2 】

各 C M O S インバータ 6 1 A , 6 1 B は、1つの P 型 M I S (Metal- Insulator- Semiconductor) トランジスタと1つの N 型 M I S トランジスタとから構成されている。

P 型 M I S トランジスタ P T 6 1 A , P T 6 1 B のゲートと N 型 M I S トランジスタ N T 6 1 A , N T 6 1 B のゲートとが、並列に接続され、入力ノードを成している。

【 0 0 7 3 】

P 型 M I S トランジスタ P T 6 1 A , P T 6 1 B の電流経路の一端は、電源端子 V d d に接続される。P 型 M I S トランジスタ P T 6 1 A , P T 6 1 B の電流経路の他端は、N 型 M I S トランジスタ N T 6 1 A , N T 6 1 B の電流経路の一端に接続されている。P 型 M I S トランジスタ P T 6 1 A , P T 6 1 B と N 型 M I S トランジスタ N T 6 1 A , N T 6 1 B との接続点が、出力ノード n a , n b となる。N 型 M I S トランジスタ N T 6 1 A , N T 6 1 B の電流経路の他端は、フューズ 6 2 A , 6 2 B の一端に接続される。そして、フューズ 6 2 A , 6 2 B の他端が、接地端子 V s s に接続されている。

フューズ 6 2 A , 6 2 B が溶断されているとき、出力ノード n a , n b は、電源電位 V d d 1 , V d d 2 程度まで充電され、“ H (high) ” レベルを示す。

【 0 0 7 4 】

フューズ 6 2 A , 6 2 B が溶断されていないとき、電源電位 V d d 1 , V d d 2 はフューズ 6 2 A , 6 2 B を経由して、接地電位 V s s 1 , V s s 2 に放出されるため、出力ノード n a , n b は“ L (low) ” レベルを示す。

【 0 0 7 5 】

2つの C M O S インバータ 6 1 A , 6 1 B の入力ノードには、チップ起動信号 P W R O N が、共通に入力される。

C M O S インバータ 6 1 A の出力ノード n a は、ラッチ回路 6 3 A の入力ノードに接続される。また、C M O S インバータの出力ノード n b は、ラッチ回路 6 3 B の入力ノードに接続される。

【 0 0 7 6 】

ラッチ回路 6 3 A , 6 3 B のそれぞれは、例えば、2つのインバータ (NOT ゲート) I V 1 a , I V 2 a , I V 1 b , I V 2 b から構成されている。ラッチ回路 6 3 A , 6 3 B の出力ノード n a ' , n b ' は、C M O S インバータ 6 1 A , 6 1 B の出力ノード n a , n b における信号の反転信号を保持する。

ラッチ回路 6 3 A , 6 3 B の出力ノード n a ' , n b ' は、クロックドインバータ C I A , C I B の入力ノードにそれぞれ接続される。

【 0 0 7 7 】

クロックドインバータ C I A , C I B は、2つのフューズ 6 2 A , 6 2 B のそれぞれに対応して、設けられている。クロックドインバータ C I A , C I B は、カラムアドレス信号 C A n を、制御信号とする。そして、アクセスの対象となるメモリセルの 1 ビット分のカラムアドレス情報 C A n に基づいて、2つのクロックドインバータ C I A , C I B のうち、いずれかが一方が活性化される。これによって、いずれか一方のフューズの状態に対応する信号が、選択的に出力される。

【 0 0 7 8 】

各クロックドインバータ C I A , C I B は、2つの P チャネル型 M I S トランジスタ P T 6 6 A , P T 6 6 B , P T 6 7 A , P T 6 7 B と2つの N チャネル型 M I S トランジスタ

10

20

30

40

50

タNT66A, NT66B, NT67A, NT67Bとから構成されている。

【0079】

フューズ62Aに対応するクロックインバータCIAにおいて、P型MISトランジスタPT66AとN型MISトランジスタNT66Aとが、CMOSインバータを成している。そして、このCMOSインバータに対して、P型MISトランジスタPT66B及びN型MISトランジスタNT66Bは、トランスファークロークとして機能する。

【0080】

P型MISトランジスタPT66Aと電源端子Vdd3との間に、P型MISトランジスタPT66Bが設けられている。そのP型MISトランジスタPT66Bの電流経路の一端が、電源端子Vdd3に接続され、そのP型MISトランジスタPT66Bの電流経路の他端が、P型MISトランジスタPT66Aの電流経路の一端に直列に接続されている。

10

また、N型MISトランジスタNT66Aと接地端子Vss3との間に、N型MISトランジスタNT66Bが設けられている。そのN型MISトランジスタNT66Bの電流経路の一端が、接地端子Vss3に接続され、そのN型MISトランジスタNT66Bの電流経路の他端が、N型MISトランジスタNT66Aの電流経路の一端に直列に接続されている。

【0081】

フューズ62Bに対応するクロックインバータCIBは、クロックインバータCIAとほぼ同様の構成によって、2つのP型MISトランジスタPT67A、PT67Bと2つのN型MISトランジスタNT67A、67Bとが、接続されている。

20

つまり、P型MISトランジスタPT67AとN型MISトランジスタNT67Aとが、CMOSインバータをなしている。そして、CMOSインバータをなすP型MISトランジスタPT67Aと電源端子Vdd4との間に、トランスファークロークとして機能するP型MISトランジスタPT67Bが接続されている。また、CMOSインバータをなすN型MISトランジスタNT67Aと接地端子Vss4との間に、トランスファークロークとして機能するN型MISトランジスタNT67Bが接続されている。

【0082】

ここで、2つのクロックインバータCIA, CIBにおいて、トランスファークロークとして機能するMISトランジスタPT66B, NT66B, PT67B, NT67Bのゲートに、カラムアドレス情報CANが入力される。このカラムアドレス情報CANの信号レベル(“L(0)”, “H(1)”)に応じて、クロックインバータCIA, CIBのいずれか一方が選択的に活性化されるように、それらの動作が制御される。具体的には、以下のとおりである。

30

【0083】

フューズ62Aに対応するクロックインバータCIAにおいて、P型MISトランジスタPT66Bのゲートには、カラムアドレス情報CANの同相信号が入力され、N型MISトランジスタNT66Bのゲートには、インバータ(NOTゲート)64Aを介して、カラムアドレス情報CANの反転信号が入力される。

一方、フューズ62Bに対応するクロックインバータCIBにおいて、P型MISトランジスタPT67Bのゲートには、インバータ(NOTゲート)64Aを介して、カラムアドレス情報CANの反転信号が入力され、N型MISトランジスタNT67Bのゲートには、カラムアドレス情報CANの同相信号が入力される。

40

【0084】

カラムアドレス情報CANが“0”(=“L”レベル)のとき、クロックインバータCIAのトランスファークロークとしてのトランジスタPT66B, NT66Bがオンになる。よって、クロックインバータCIAはオンになり、入力された信号が転送可能となる。一方、クロックインバータCIBにおいて、トランスファークロークとしてのトランジスタPT67B, NT67Bはオフになるので、クロックインバータCIBは信号を出力しない。

50

また、カラムアドレス情報 $C A n$ が “ 1 ” (= “ H ” レベル) のとき、クロックドインバータ $C I B$ のトランスファークロップとして、トランジスタ $P T 6 7 B$, $N T 6 7 B$ がオンになる。よって、クロックドインバータ $C I B$ はオンになり、入力された信号が転送可能となる。一方、クロックドインバータ $C I A$ において、トランスファークロップとして、トランジスタ $P T 6 7 B$, $N T 6 7 B$ はオフになるので、クロックドインバータ $C I A$ は信号を出力しない。

【 0 0 8 5 】

これによって、2つのフューズ $6 2 A$, $6 2 B$ に記憶された不良アドレス情報は、カラムアドレス情報 $C A n$ の論理状態 (“ 0 ” 又は “ 1 ”) に基づいて動作する2つのクロックドインバータ $C I A$, $C I B$ によって、いずれか一方のクロックドインバータ $C I A$, $C I B$ の出力ノード $n c$, $n d$ からノード $n e$, $n f$ へ出力される。このように、カラムアドレス情報 $C A n$ の論理状態を利用して、不良セルの存在するセグメントの情報を反映させ、不良セルを含むワード線のアドレス情報を読み出すことができる。

10

【 0 0 8 6 】

また、不良セルの救済を考慮して、入力されたアドレス情報に対応したメモリセルにアクセスするために、入力されたアドレス情報と不良アドレス情報との比較が必要となる。このため、ノード $n e$ 及びノード $n f$ に出力された信号 (1 ビット分の不良アドレス情報) は、クロックドインバータ $C I C$ 及びスイッチ $S W$ によって、アクセスの対象となるメモリセル (ワード線) のロウアドレス情報 $R A < 0 >$ と組み合わせられて、記憶部出力信号 $F A < 0 >$ として、回路 $6 0$ 外部へ出力される。尚、入力されたロウアドレス情報が含む全ビットのうち、各桁に対応する1ビット分のロウアドレス情報が、記憶部 $6 0$ のそれぞれに入力される。図 4 において、ロウアドレス情報 $R A < 0 >$ は、ロウアドレス情報の最下位の1ビット分 (“ 0 ” 又は “ 1 ”) を示している。

20

【 0 0 8 7 】

クロックドインバータ $C I C$ は、 $C M O S$ インバータをなす P 型及び N 型 $M I S$ トランジスタ $P T 6 8 A$, $N T 6 8 A$ と、トランスファークロップとして機能する P 型及び N 型 $M I S$ トランジスタ $P T 6 8 B$, $P T 6 8 B$ とから構成されている。 P 型 $M I S$ トランジスタ $P T 6 8 B$ の電流経路の一端は、電源端子 $V d d 5$ に接続され、 P 型 $M I S$ トランジスタ $P T 6 8 B$ の電流経路の他端は、 P 型 $M I S$ トランジスタ $P T 6 8 A$ の電流経路の一端に接続される。 N 型 $M I S$ トランジスタ $N T 6 8 B$ の電流経路の一端は、接地端子 $V s s 5$ に接続され、 N 型 $M I S$ トランジスタ $N T 6 8 B$ の電流経路の他端は、 N 型 $M I S$ トランジスタ $N T 6 8 A$ の電流経路の一端に接続される。

30

【 0 0 8 8 】

スイッチ $S W$ は、1つの P 型 $M I S$ トランジスタ $P T 6 9$ と1つの N 型 $M I S$ トランジスタ $N T 6 9$ とから構成されている。 P 型 $M I S$ トランジスタ $P T 6 9$ の電流経路の一端と N 型 $M I S$ トランジスタ $N T 6 9$ の電流経路の一端が接続され、その接続された接点がスイッチ $S W$ の入力ノードをなしている。また、 P 型 $M I S$ トランジスタ $P T 6 9$ の電流経路の他端と N 型 $M I S$ トランジスタ $N T 6 9$ の電流経路の他端が接続され、スイッチ $S W$ の出力ノードをなしている。

40

【 0 0 8 9 】

クロックドインバータ $C I C$ に対して、ノード $n e$ に出力された信号は、トランスファークロップとしての P 型 $M I S$ トランジスタ $P T 6 8 B$ のゲートに入力され、ノード $n f$ に出力された信号は、トランスファークロップとしての N 型 $M I S$ トランジスタ $N T 6 8 B$ のゲートに入力される。

【 0 0 9 0 】

また、スイッチ $S W$ に対して、ノード $n e$ に出力された信号は、 N 型 $M I S$ トランジスタ $N T 6 9$ のゲートに入力され、ノード $n f$ に出力された信号は、 P 型 $M I S$ トランジスタ $P T 6 9$ のゲートに入力される。

【 0 0 9 1 】

ノード $n e$ には、インバータ $6 4 B$ が接続されている。

50

【 0 0 9 2 】

ロウアドレス情報 $RA < 0 >$ は、CMOSインバータPT68A, NT68Aの入力ノードに入力される。また、ロウアドレス情報 $RA < 0 >$ は、スイッチSWの入力ノードに入力される。

【 0 0 9 3 】

フューズ62A, 62Bが溶断されていない場合、つまり、ノードna, nbに出力される信号レベルが“L”レベルの場合、ノードneの信号レベルはインバータ64Bによって“H”レベルになる。その一方で、ノードnfの信号レベルは、“L”レベルになる。

この場合、トランスファークロウゲートとしてのP型MISトランジスタPT68Bは、ノードneからの信号(“H”レベル)によって、オフになり、トランスファークロウゲートとしてのN型MISトランジスタNT68Bは、ノードnfからの信号(“L”レベル)によって、オフになる。よって、クロックドインバータCICはオフになっている。

【 0 0 9 4 】

このとき、スイッチSWにおいて、それを構成しているP型トランジスタPT69は、ノードnfからの信号(“L”レベル)によって、オンになり、それを構成しているN型トランジスタNT69は、ノードneからの信号(“H”レベル)を受けて、オンになる。よって、スイッチSWは、オンになる。

したがって、スイッチSWの出力信号が、記憶部出力信号FA<0>として、記憶部60の外部へ出力される。出力される記憶部出力信号FA<0>は、ロウアドレス情報RA<0>と同相の信号となる。

【 0 0 9 5 】

フューズ62A, 62Bが溶断されている場合、つまり、ノードna, nbに出力される信号が“H”レベルの場合、ノードneの信号レベルは“L”レベルになり、ノードnfの信号レベルは、インバータ64Bによって“H”レベルになる。それゆえ、クロックドインバータCIC及びスイッチSWの動作は、フューズ62A, 62Bが溶断されていない場合と反対の動作になる。

つまり、トランスファークロウゲートとしてのP型MISトランジスタPT68Bは、ノードneからの信号(“L”レベル)によって、オンになり、トランスファークロウゲートとしてのN型MISトランジスタNT68Bは、ノードnfからの信号(“H”レベル)によって、オンになる。よって、クロックドインバータCICは、オンになり、入力ノードに入力された信号RA<0>をその出力ノードへ転送することが可能になる。

これに対し、スイッチSWにおいて、P型トランジスタPT69は、ノードnfからの信号(“H”レベル)によってオフになり、N型トランジスタNT69は、ノードneからの信号(“L”レベル)によってオフになる。よって、スイッチSWは、オフになる。

【 0 0 9 6 】

したがって、選択ロウアドレス情報RA<0>がクロックドインバータCICを経由して記憶部60の外部へ出力されるので、記憶部出力信号FA<0>は、選択ロウアドレス情報RA<0>が反転した信号となる。

【 0 0 9 7 】

よって、フューズ62A, 62Bが溶断されていない場合、ロウアドレス情報RA<0>が“0”であれば、記憶部出力信号FA<0>は“0”(“L”レベル)を示し、ロウアドレス情報RA<0>が“1”であれば、記憶部出力信号FA<0>は“1”(“H”レベル)を示す。

また、フューズ62A, 62Bが溶断されている場合、ロウアドレス情報RA<0>が“0”であれば、記憶部出力信号FA<0>は“1”(“H”レベル)を示し、ロウアドレス情報RA<0>が“1”であれば、記憶部出力信号FA<0>は“0”(“L”レベル)を示す。

【 0 0 9 8 】

上述のように、フューズ62A, 62Bの溶断は、“1”のロウアドレス情報に対応し

10

20

30

40

50

、フューズ62A, 62Bの不溶断は、“0”のロウアドレス情報に対応する。よって、読み出されたフューズ62A, 62Bの状態(溶断/不溶断)に対応する信号レベルと入力されたロウアドレス情報RA<0>の信号レベルが一致した場合に、記憶部出力信号FA<0>は、“0”(“L”レベル)を示す。

【0099】

尚、不良アドレス情報記憶部60は、半導体メモリのロウアドレス情報のビット数に対応した個数、チップ内に設けられる。それゆえ、選択アドレス情報が含むロウアドレス情報が11ビットで示されているとき、各ビットの桁に対応して、1ビット分の記憶部出力信号FA<0>, FA<1>, …, FA<10>が、11個の不良アドレス情報記憶部60からそれぞれ出力される。以下、これらの複数の記憶部出力信号FA<0>, FA<1>, …, FA<10>を、“FA<0:10>”とも表記する。

10

【0100】

尚、図2に示すように、各メモリセルアレイ1A~1Dが4つのセグメントに分割される場合には、2ビット分のカラムアドレス情報CAN, CA(n-1)に対応するように、4つのフューズと、それらのフューズの制御回路として、ラッチ回路やクロックインバータが、記憶部60内に設けられる。そして、4つのフューズの状態と入力されたロウアドレス情報に対応して、1つの記憶部出力信号FA<0>が出力される。

以上のように、図5に示される不良アドレス記憶部60によって、カラムアドレス情報CANを用いて設定されたセグメント単位で、不良セルのアドレスの判定及び不良セルの救済の制御が可能になる。

20

【0101】

図6は、アドレス比較部70の回路構成の一例を示している。

アドレス比較部70は、不良セルの救済自由度に相当する個数、チップ内に設けられる。つまり、救済自由度が16のとき、アドレス比較部70の個数は、16個設けられる。そして、1つのアドレス比較部70が、1組の不良アドレス記憶部群に対して、それぞれ対応している。

1つのアドレス比較部70には、1組の不良アドレス情報記憶部群60がそれぞれ出力した記憶部出力信号FA<0:10>が入力される。アドレス比較部70は、外部から入力されたアドレス情報と記憶部出力信号FA<0:10>とが一致するか否かを検出する。

30

【0102】

図6に示されるアドレス比較部70は、入力された記憶部出力信号FA<0:10>が全て“L(0)”レベルになる場合に、不良セルの救済を要求する。尚、記憶部出力信号FA<0:10>が全て“L”になるのは、フューズの状態(溶断/不溶断)に対応する不良アドレス情報の全ビットと入力されたロウアドレス情報の全ビットとが一致した場合である。

【0103】

アドレス比較部70は、その入力初段に、4つの3入力NORゲート71a~71dを有する。3つのNORゲート71a~71dの各入力端子に、不良アドレス情報記憶部60から出力された記憶部出力信号FA<0:8>が、それぞれ入力される。そして、残りの1つのNORゲート71dの3つの入力端子のうち、2つの入力端子に、2つの記憶部出力信号FA<9>, FA<10>がそれぞれ入力され、残りの1つの入力端子には、アドレス比較活性信号FRMが入力される。“L(0)”レベルのアドレス比較活性信号FAMが入力されると、記憶部出力信号FA<0:10>の論理状態(“0”又は“1”)に基づいた不良アドレス情報とロウアドレス情報との一致又は不一致の判定が、開始される。

40

【0104】

各NORゲート71a~71dの出力端子は、1つの4入力NANDゲート72の4つの入力端子にそれぞれ接続される。NANDゲート72の出力端子は、N型MISトランジスタ73のゲートに接続される。

50

N型MISトランジスタNT73の電流経路の一端には、P型MISトランジスタPT74の電流経路の一端が接続され、それらの電流経路の接続点は出力ノードngになっている。P型MISトランジスタPT74の電流経路の他端は、電源端子Vdd6に接続される。

【0105】

N型MISトランジスタNT73の電流経路の他端には、N型MISトランジスタNT74の電流経路の一端が接続されている。N型MISトランジスタNT74の電流経路の他端には、接地端子Vss6に接続されている。

P型MISトランジスタPT74とN型トランジスタNT74のゲートには、チップ活性化信号ACTが入力される。チップ活性化信号ACTは、データの書き込み又は読み出しを指示するアクセスコマンドがチップに入力されると、“L”レベルから“H”レベルに遷移する。チップ活性化信号ACTが“L”レベルから“H”レベルに遷移する期間、ノードngには、オン状態のP型MISトランジスタPT74の電流経路を経由して、電源電位Vdd6が供給される。これによって、ノードngは、電源電位Vdd6程度に充電される。

【0106】

N型MISトランジスタNT73とP型MISトランジスタPT74との出力ノードは、インバータ(NOTゲート)76Aの入力端子に接続される。

このインバータ76Aに対して、P型MISトランジスタPT75が並列に接続されている。P型MISトランジスタPT75のゲートは、インバータ76Aの出力端子に接続される。P型MISトランジスタPT75の電流経路の一端は、インバータ76Aの入力端子に接続され、P型MISトランジスタPT75の電流経路の他端は、電源端子Vdd6に接続される。このP型MISトランジスタPT75は、チップ活性化信号ACTを制御信号とするP型MISトランジスタPT74の動作を補償するために設けられ、出力ノードngがフローティング状態になるのを防ぐ。

【0107】

インバータ76Aの出力端子に、インバータ76Bの入力端子が接続されている。これによって、インバータ76Bの出力信号は、出力ノードngから出力された信号と同相の信号になる。

【0108】

インバータ76Bの出力端子は、インバータ77の入力端子に接続される。

【0109】

インバータ77は、入力された信号を反転し、その信号を比較信号RMH<0>として、後述の救済判定部80に出力する。

【0110】

記憶部出力信号FA<0:10>が全て“L(0)”レベルのとき、“L”レベルの出力信号が、N型MISトランジスタNT73のゲートに入力され、N型MISトランジスタNT73はオフになる。よって、ノードngの充電状態は保持され、ノードngの信号レベルは“H”レベルを示す。

【0111】

それゆえ、記憶部出力信号FA<0:10>が全て“L”レベルの場合、比較信号RMH<0>は、“L(0)”レベルを示す。すなわち、比較信号RMH<0>は、不良アドレス情報が選択口ウアドレス情報と一致した場合に対応して、“L”レベルになる。

【0112】

記憶部出力信号FA<0:10>のいずれか1つが“H”レベルのとき、“H”レベルの出力信号が、N型MISトランジスタNT73のゲートに入力され、N型MISトランジスタNT73はオンになる。また、N型MISトランジスタNT74は、チップ活性化信号ACTの“L”レベルから“H”レベルへの遷移によって、オンになっている。出力ノードngに充電された電位(電荷)は、オンになっているN型MISトランジスタNT73, NT74の電流経路を経由して、接地端子Vss6に放出される。よって、ノード

10

20

30

40

50

n g の信号レベルは “ L ” レベルになる。

それゆえ、記憶部出力信号 $FA < 0 : 10 >$ のいずれか 1 つ以上が “ H ” レベルの場合、比較信号 $RMH < 0 >$ は、“ H (0) ” レベルを示す。すなわち、“ H ” レベルの比較信号 $RMH < 0 >$ は、不良アドレス情報が選択ロウアドレス情報と一致しない場合に対応する。このように、比較信号 $RMH < 0 >$ は、チップ活性化信号 ACT が “ L ” レベルから “ H ” レベルに遷移するのと同期して、“ H ” レベルになる。

【 0 1 1 3 】

インバータ 7 6 B の出力端子は、2 入力 $NAND$ ゲート 7 8 の入力端子の一方に接続される。この $NAND$ ゲート 7 8 の入力端子の他方には、隣接して配置されている他のアドレス比較部からの比較信号 $RMH < 1 >$ が入力される。

$NAND$ ゲート 7 8 は、インバータ 7 6 B (ノード n g) からの出力信号と比較信号 $RMH < 1 >$ との演算結果を、インバータ 7 9 を経由して、一致信号 $SRDE < 0 >$ として、救済判定部 8 0 へ出力する。

【 0 1 1 4 】

アドレス比較部 7 0 が出力する一致信号 $SRDE < 0 >$ は、記憶部出力信号 $FA < 0 >$ と入力されたロウアドレス情報とが一致した状態を示す。この一致信号 $SRDE < 0 >$ が “ L ” レベルから “ H ” レベルに遷移した場合に、不良セルのロウ救済が要求される。“ L ” レベルの一致信号 $SRDE < 0 >$ は、その信号を出力したアドレス比較部 7 0 に対応する冗長ワード線を用いての救済は実行されないことに対応する。

【 0 1 1 5 】

一致信号 $SRDE < 0 >$ を “ L ” レベルから “ H ” レベルに遷移させるのは、隣接して配置された比較部 7 0 からの比較信号 $RMH < 1 >$ が “ L ” レベルから “ H ” レベルへ遷移するのを利用して実現できる。これは、2 つの比較信号 $RMH < 0 >$, $RMH < 1 >$ が同時に “ L ” レベル (一致状態) にならない、つまり、1 つアクセスサイクルで 1 つのメモリセル (不良セル) を 2 つの冗長セルで救済することはありえないためである。

【 0 1 1 6 】

図 6 に示されるアドレス比較回路 7 0 の説明から明らかなように、不良セルのアドレス情報が “ 0 ” の場合、不良アドレス記憶部 6 0 内のフューズ 6 2 A , 6 2 B を溶断せず、不良セルのアドレス情報が “ 1 ” の場合、不良アドレス記憶部 6 0 内フューズ 6 2 A , 6 2 B を溶断しておくことによって、アドレス比較部 7 0 は、不良セルのアドレス情報と入力された選択アドレス情報とが一致するか否かを検出できる。

【 0 1 1 7 】

図 7 は、救済判定部 8 0 の回路構成の一例を示している。

図 7 に示される救済判定部 8 0 は、アドレス比較部 7 0 から出力された複数の情報を統合して、アクセス対象のメモリセル (ワード線) を活性化するか非活性化するかを、最終的に判定する。図 7 の救済判定部 8 0 には、16 個のアドレス比較部 7 0 の出力信号 $RMH < 0 : 15 >$, $SRDE < 0 : 15 >$ が入力される。尚、アドレス比較部 7 0 の個数は、チップの救済自由度の数に相当するため、図 7 に示される救済判定部 8 0 は、救済自由度が 16 の場合に用いる回路構成になっている。

【 0 1 1 8 】

この場合、救済判定部 8 0 を構成する演算部 8 1 A , 8 1 B , 8 6 A , 8 6 B は、16 個の比較信号 $RMH < 0 : 15 >$ と 16 個の一致信号 $SRDE < 0 : 15 >$ とを、演算する。ここで、比較信号 $RMH < 0 : 15 >$ は、比較信号 $RMH < 0 >$, $RMH < 1 >$, \dots , $RMH < 14 >$, $RMH < 15 >$ を示している。また、一致信号 $SRDE < 0 : 15 >$ も、比較信号 $RMH < 0 : 15 >$ と同様である。

【 0 1 1 9 】

救済判定部 8 0 において、16 個の比較信号 $RMH < 0 : 15 >$ は、演算部 8 1 A , 8 1 B によって、演算される。

16 個の比較信号 $RMH < 0 : 15 >$ は、演算部 8 1 A に入力される。1 つの演算部 8 1 A は、1 つの 4 入力 $NAND$ ゲート 8 2 と、その出力端子に接続されるインバータ (N

10

20

30

40

50

OTゲート) 83 とから構成される。本例においては、16個の比較信号 $RMH < 0 : 15 >$ に対して、4つの演算部 81A が、救済判定部 80 内に設けられる。比較信号 $RMH < 0 : 15 >$ のそれぞれは、NANDゲートの入力端子のそれぞれに入力される。図7においては、図示の簡単化のため、1つの演算部 81A の内部構成を図示し、1つの端子にそれぞれ入力される比較信号を、 $RMH < 0 : 3 >$ 、 $RMH < 4 : 7 >$ 、 $RMH < 8 : 11 >$ 、 $RMH < 12 : 15 >$ と図示している。

【0120】

4つの比較信号が、1つのNANDゲート 82 によって論理演算される。

1つのNANDゲート 82 による演算結果は、インバータ (NOTゲート) 83 を経由して、出力信号 $RMHIT < 0 >$ として出力される。よって、4つの演算部 81A によって、4つの出力信号 $RMHIT < 0 : 3 >$ が出力される。

10

【0121】

出力信号 $RMHIT < 0 : 3 >$ は、演算部 81B に入力される。この演算部 81B は、1つの4入力NANDゲート 84 と1つのインバータ (NOTゲート) 85 とから構成されている。4つの出力信号 $RMHIT < 0 : 3 >$ は、NANDゲート 84 によって、論理演算される。

【0122】

NANDゲート 84 による演算結果は、インバータ 85 を経由して、出力信号 $XMISSHIT$ として、救済判定部 80 の外部へ出力される。

【0123】

20

本例において、出力信号 $XMISSHIT$ は、比較信号 $RMH < 0 : 15 >$ が全て“H”レベルの場合に、“H”レベルを示す。この“H”レベルの出力信号 $XMISSHIT$ は、不良アドレス情報と選択口ウアドレス情報とが一致しない場合に対応している。

このように、冗長セルを使用しない場合、つまり、チップ内に入力されたアドレス情報に対して、不良セルの救済が必要ない場合に、出力信号 $XMISSHIT$ は“H”レベルを示す。

【0124】

これによって、出力信号 $XMISSHIT$ が“H”レベルの場合、入力されたアドレス情報が示すメモリセルアレイ内のワード線が活性化され、そのワード線に接続されたメモリセルがアクセスの対象となる。尚、不良セルの救済が実行される場合には、出力信号 $XMISSHIT$ は“L”レベルを示す。

30

【0125】

救済判定部 80 において、一致信号 $SRDE < 0 : 15 >$ は、演算部 86A、86B によって、演算される。

16個の一致信号 $SRDE < 0 : 15 >$ は、演算部 81A に入力される。1つの演算部 81A は、1つの4入力NORゲート 87 から構成される。この場合、16個の一致信号 $SRDE < 0 : 15 >$ に対して、4つの演算部 81A が、救済判定部 80 内に設けられる。

【0126】

40

一致信号 $SRDE < 0 : 15 >$ のそれぞれは、NORゲート 87 の入力端子のそれぞれに入力される。尚、図7においては、図示の簡単化のため、1つの演算部 86A の内部構成を図示し、1つの端子にそれぞれ入力される一致信号を、 $SRDE < 0 : 3 >$ 、 $SRDE < 4 : 7 >$ 、 $SRDE < 8 : 11 >$ 、 $SRDE < 12 : 15 >$ と図示している。

NORゲート 87 による演算結果は、出力信号 $bSRDE < 0 : 3 >$ として、出力される。4つの出力信号 $RMHIT < 0 : 3 >$ が、4つの演算部 86A から演算部 86B に出力される。

【0127】

出力信号 $bSRDE < 0 : 3 >$ は、演算部 86B に入力される。この演算部 86B は、1つの4入力NANDゲート 84 から構成されている。4つの出力信号 $bSRDE < 0 : 3 >$ は、NANDゲート 84 によって、論理演算される。

50

【 0 1 2 8 】

NANDゲート84による演算結果は、出力信号X H I Tとして、救済判定部80の外部へ出力される。

【 0 1 2 9 】

本例において、出力信号X H I Tは、複数の一致信号R M H < 0 : 1 5 >のうち、少なくとも1つが“ H (1) ”レベルの場合に、“ H (1) ”レベルを示す。この“ H ”レベルの出力信号X H I Tは、不良アドレス情報と入力されたアドレス情報とが一致した場合に対応している。

このように、冗長セルを使用する場合、つまり、チップ内の不良セルの救済が必要な場合に、出力信号X H I Tは“ H ”レベルを示す。

これによって、出力信号X H I Tが“ H ”レベルの場合、冗長セルアレイ内のある冗長ワード線が活性化され、その冗長ワード線に接続された冗長セルがアクセスの対象となる。尚、不良セルの救済がない場合には、出力信号X H I Tは“ L ”レベルを示す。

【 0 1 3 0 】

以上のように図7に示される救済判定部80が出力する信号X M I S S H I Tは、比較信号R M H < 0 : 1 5 >のNAND論理の演算結果を示す。また、救済判定部80が出力する信号X H I Tは、一致信号S R D E < 0 : 1 5 >のOR論理の演算結果を示す。

これによって、入力されたロウアドレス情報が、複数の不良アドレス情報の全てと一致しなければ、不良セルの救済は行われなように、制御される。また、入力されたロウアドレス情報が、複数の不良アドレス情報のうちいずれか1つと一致していれば、カラムアドレス情報と組み合わせたロウ救済法によって、不良セルが救済されるように、ワード線及び冗長ワード線の動作が、ロウデコーダによって制御される。

【 0 1 3 1 】

以上の構成によって、本発明の第1の実施形態の抵抗変化型不揮発性半導体メモリにおいて、カラムアドレス情報を組み合わせて、不良セルが接続されたワード線の一部分と冗長ワード線の一部分とを置き換え、不良セルを救済できる。

【 0 1 3 2 】

(b) 動作

以下、図8を用いて、本発明の第1の実施形態に係る不揮発性半導体メモリの動作について、説明する。尚、ここでは、図8と共に、図1乃至図7に示される等価回路図を用いて、説明する。

【 0 1 3 3 】

図1乃至図7に示された回路を有するメモリチップにおいて、そのメモリチップの製造後に、テスト工程が実行され、メモリセルアレイ1A ~ 1D内の不良セルが検知される。本実施形態においては、不良セルのアドレス情報が、図4に示される不良セル情報記憶部60内のフューズ62A, 62Bに記憶される。また、不良セル(ワード線)と冗長セル(冗長ワード線)との対応関係も、あらかじめ設定される。

【 0 1 3 4 】

図8に示されるように、メモリチップに、電源電位V d dが投入される。電源電位V d dを投入した初期段階においては、チップ起動信号であるパワーオン信号P W R O Nは、“ L ”レベルを示す。

【 0 1 3 5 】

そして、電源電位V d dが、チップを駆動できる所定の電位に達すると、チップ起動信号P W R O Nが“ L ”レベルから“ H ”レベルへ遷移する。

図4に示される不良アドレス情報記憶部60内において、チップ起動信号P W R O Nの信号レベルが“ L ”レベルから“ H ”レベルへ遷移している間、フューズ62A, 62Bが溶断されている場合、ノードn a, n bは、電源電位V d d 1, V d d 2によって、充電される。よって、CMOSインバータの出力ノードn a, n bの信号レベルは、“ H ”レベルを示す。一方、フューズ62A, 62Bが溶断されていない場合、ノードn a, n bに供給された電位は、そのフューズ62A, 62Bを経由して、接地電位V s sへ放出

10

20

30

40

50

される。よって、インバータの出力ノード n_a , n_b の信号レベルは、“ L ” レベルを示す。

【 0 1 3 6 】

そして、チップの動作時、ノード n_a , n_b の信号 (“ H ” 又は “ L ” レベル) は、ラッチ回路 6 3 A , 6 3 B の出力ノード n_a' , n_b' において、ノード n_a , n_b の反転信号として保持される。このように、チップの動作時、ノード n_a' , n_b' にラッチされた状態が不良セルのアドレス情報を読み出すための初期状態となって、そのフューズの溶断 / 不溶断を示す情報が保持される。

【 0 1 3 7 】

次に、書き込み動作又は読み出し動作がチップに対して指示された時、そのアクセスの対象となるメモリセルの位置を示すアドレス情報 (選択アドレス情報) が、チップ内に入力される。この選択アドレス情報は、ワード線 (ロウ) を示すロウアドレス情報とビット線 (カラム) を示すカラムアドレス情報とを含んでいる。

【 0 1 3 8 】

本実施形態において、1ビット分のカラムアドレス情報 $C A_n$ (“ 0 (L) ” 又は “ 1 (H) ”) により、フューズ 6 2 A , 6 2 B に対応したいずれか一方のクロックドインバータ $C I A$, $C I B$ が、オンになる。そして、ノード n_a' あるいはノード n_b' にそれぞれ保持されている信号 (“ H ” または “ L ”) のいずれか一方が、オンになった一方のクロックドインバータの出力ノード n_c , n_d に出力される。

カラムアドレス情報 $C A_n = “ 0 ”$ (= “ L ” レベル) の場合、ノード n_a' (n_a) の情報 (信号) がノード n_c に転送される。これに対して、カラムアドレス情報 $C A_n = “ 1 ”$ (= “ H ” レベル) の場合、ノード n_b' (n_b) の情報 (信号) がノード n_d に転送される。このように、本実施形態においては、ロウ救済式における不良アドレス情報の読み出しに対して、不良セルのカラムアドレス情報 $C A_n$ が反映される。

転送されたノード n_a' , n_b' の信号は、オンになっているクロックドインバータ $C I A$, $C I B$ によって反転されて出力される。よって、出力ノード n_c , n_d の信号レベルは、ノード n_a , n_b における信号レベルと同相になっている。

【 0 1 3 9 】

出力ノード n_c , n_d に転送された信号は、ノード n_e , n_f に出力される。ノード n_e に出力された信号の信号レベルは、インバータ 6 4 によって、出力ノード n_c , n_d における信号レベルと反対にされる。ノード n_f に出力された信号の信号レベルは、出力ノード n_c , n_d における信号レベルと同じになっている。

【 0 1 4 0 】

フューズ 6 2 A , 6 2 B が溶断されていない場合、つまり、出力ノード n_c , n_d から出力される信号のレベルが “ L ” レベルの場合、トランスファークロップゲートとしてのトランジスタ $P T 6 8 B$, $N T 6 8 B$ はオフになり、クロックドインバータ $C I C$ がオフになる。一方、スイッチ $S W$ を構成する2つのトランジスタ $P T 6 9$, $N T 6 9$ はオンになる。

【 0 1 4 1 】

よって、ロウアドレス情報 $R A < 0 >$ がスイッチ $S W$ を経由して出力されるので、図 8 に示すように、記憶部出力信号 $F A < 0 >$ はロウアドレス情報 $R A < 0 >$ と同相の信号を示す。つまり、フューズ 6 2 A , 6 2 B が溶断されていない場合、ロウアドレス情報 $R A < 0 >$ が “ 0 ” のとき、記憶部出力信号 $F A < 0 >$ は “ 0 ” (“ L ” レベル) を示し、ロウアドレス情報 $R A < 0 >$ が “ 1 ” のとき、記憶部出力信号 $F A < 0 >$ は “ 1 ” (“ H ” レベル) を示す。

【 0 1 4 2 】

フューズ 6 2 A , 6 2 B が溶断されている場合、つまり、出力ノード n_c , n_d から出力される信号のレベルが “ H ” レベルの場合、クロックドインバータ $C I C$ はオン (転送可能状態) になり、スイッチ $S W$ はオフになる。よって、ロウアドレス情報 $R A < 0 >$ がクロックドインバータ $C I C$ を経由して出力されるので、記憶部出力信号 $F A < 0 >$ はロウアドレス情報 $R A < 0 >$ の反転信号を示す。つまり、フューズ 6 2 A , 6 2 B が溶断さ

10

20

30

40

50

れている場合、ロウアドレス情報 $RA < 0 >$ が “ 0 ” のとき、記憶部出力信号 $FA < 0 >$ は “ 1 ” (“ H ” レベル) を示し、ロウアドレス情報 $RA < 0 >$ が “ 1 ” のとき、記憶部出力信号 $FA < 0 >$ は “ 0 ” (“ L ” レベル) を示す。

上述のように、フューズ 6 2 A , 6 2 B が溶断されていないのは、ロウアドレス情報 $RA < 0 >$ が “ 0 ” であることに対応し、フューズ 6 2 A , 6 2 B が溶断されているのは、ロウアドレス情報 $RA < 0 >$ が “ 1 ” であることに対応する。よって、読み出されたフューズ 6 2 A , 6 2 B の状態 (溶断 / 不溶断) が示す信号 (不良ロウアドレス情報) と入力されたロウアドレス情報 $RA < 0 >$ が一致した場合に、“ 0 ” レベルの記憶部出力信号 $FA < 0 >$ が出力される。

【 0 1 4 3 】

このような動作が、ロウアドレス情報が 1 1 ビットである場合、1 1 個の不良アドレス情報記憶部 6 0 によって、実行される。また、救済自由度に応じた個数の不良アドレス記憶部群で、同様の動作が実行される。

【 0 1 4 4 】

以上のように、フューズの溶断の有無によって、不良セルのロウアドレス情報 $RA < 0 >$ (“ 0 ” 又は “ 1 ”) が示される。また、カラムアドレス情報 CAn に基づいて、複数 (本例では、2 つ) のフューズ 6 2 A , 6 2 B のうち、いずれか 1 つのフューズの情報が、選択的に出力される。このため、不良セルが、ロウアドレス情報に対応したどのワード線に接続され、且つ、メモリセルアレイ内のカラムアドレス情報に対応したどの領域に存在しているか、不良アドレス情報記憶部 6 0 の出力信号によって示される。

【 0 1 4 5 】

図 6 に示すように、1 1 個の不良アドレス情報記憶部 6 0 のそれぞれから出力された記憶部出力信号 $FA < 0 : 1 0 >$ は、1 つのアドレス比較部 7 0 に入力される。

【 0 1 4 6 】

1 1 個の記憶部出力信号 $FA < 0 : 1 0 >$ は、4 つの 3 端子 NOR ゲート 7 1 a ~ 7 1 d の入力端子にそれぞれ入力され、それらの NOR ゲート 7 1 a ~ 7 1 d の入力端子の 1 つに、アドレス比較活性信号 FRM が入力される。電源電圧がチップに投入されると、アドレス比較活性信号 FRM は “ H (1) ” レベルから “ L (0) ” レベルへ遷移する。これに同期して、入力された記憶部出力信号 $FA < 0 : 1 0 >$ が一致するか否かの判定が開始される。

電源電圧がチップに投入された後、アクセスコマンドがチップに入力されると、チップ活性化信号 ACT も、“ L ” レベルから “ H ” レベルへ遷移する。このチップ活性化信号 ACT の信号レベルが遷移する期間において、ノード ng の信号レベルは “ L ” レベルから “ H ” レベルに遷移する。

【 0 1 4 7 】

上述のように、複数の不良アドレス記憶部 6 0 のそれぞれにおいて、読み出されたフューズ 6 2 A , 6 2 B の状態 (溶断 / 不溶断) が示す信号と入力されたロウアドレス情報 $RA < 0 : 1 0 >$ が一致した場合に、記憶部出力信号 $FA < 0 : 1 0 >$ は、全て “ 0 ” (“ L ” レベル) になる。

【 0 1 4 8 】

複数の記憶部出力信号 $FA < 0 : 1 0 >$ が全て “ 0 (L) ” であるとともに、アドレス比較活性信号 FRM が “ 0 ” であるとき、各 NOR ゲート 7 1 a ~ 7 1 d から演算結果 “ 1 (H) ” が、NAND ゲート 7 2 に出力される。この結果として、NAND ゲート 7 2 は、“ 0 (L) ” の信号を、N 型 M I S トランジスタ NT 7 3 のゲートに出力する。これによって、N 型 M I S トランジスタ NT 7 3 はオフになり、ノード ng が示す信号レベルは “ H (1) ” レベルに保持される。

【 0 1 4 9 】

複数の記憶部出力信号 $FA < 0 : 1 0 >$ が 1 つでも “ 1 (H) ” を含む場合、NOR ゲート 7 1 a ~ 7 1 d のいずれか 1 つは “ 0 ” を出力する。このため、NAND ゲート 7 2 の出力は、“ 1 ” (“ H ” レベル) になる。よって、N 型 M I S トランジスタ NT 7 3 は

10

20

30

40

50

、オンになる。また、チップ活性信号 ACT が “H” レベルであると、P型MISトランジスタPT74はオフになり、N型MISトランジスタNT74はオンになる。これによって、ノードngの電位は、接地端子Vss6と同じ電位になる。

したがって、記憶部出力信号 $FA<0:10>$ が “1” を含む場合、ノードngの信号レベルは、“L(0)” レベルになる。尚、アドレス比較活性信号 FRM が “H(1)” レベルを示している間、NANDゲート72は、“0(L)” の信号を出力するため、N型MISトランジスタNT73はオフになっている。

【0150】

ノードngの出力信号は、3つのインバータ76A, 76B, 77を経由して、比較信号 $RMH<0>$ として、判定部80に出力される。よって、ノードngの信号レベルが “L” レベルの場合、比較信号 $RMH<0>$ は、“H” レベルを示す。この “H” レベルの比較信号 $RMH<0>$ は、不良セルのロウアドレス情報と選択ロウアドレス情報とが不一致である場合に相当するので、不良セルの救済は要求されない。

一方、ノードngの信号レベルが “H” レベルの場合、比較信号 $RMH<0>$ は、“L” レベルを示す。“L” レベルの比較信号 $RMH<0>$ は、不良セルのアドレス情報と入力されたロウアドレス情報とが一致する場合に相当する。

【0151】

ノードngの出力信号は、2つのインバータ76A, 76Bを経由して、NANDゲート78に入力される。そして、NANDゲート78によって、ノードngの出力信号は、隣接するアドレス比較部からの比較信号 $RMH<1>$ と演算される。NANDゲート78による演算結果は、一致信号 $SRDE<0>$ として、インバータ79を経由し、判定部80に出力される。一致信号 $SRDE<0>$ が、“L(0)” レベルから “H(1)” レベルへ遷移する場合に、不良セルの救済が要求される。

【0152】

以上のように、アドレス比較部70に入力された記憶部出力信号 $FA<0:10>$ が、全て “L” レベルを示す場合、それは、不良セルのロウアドレス情報と選択されたメモリセルのロウアドレス情報が一致する、つまり、不良セルが接続されたワード線が選択されたことを示す。それゆえ、比較信号 $RMH<0>$ が “L” レベル、一致信号 $SRDE<0>$ が “H” レベルとなり、不良セルの救済が実行される。

また、記憶部出力信号 $FA<0:10>$ が少なくとも1つ “H” レベルを含む場合、それは、不良セルが接続されたワード線は選択されていないことを意味し、比較信号 $RMH<0>$ が “H” レベルになるので、不良セルの救済は行われない。

【0153】

不良セルの救済自由度が16の場合、16個のアドレス比較回路70がチップ内に設けられる。そして、上記のアドレス比較部70の動作によって、アドレス比較回路70のそれぞれから、比較信号 $RMH<0:15>$ 及び一致信号 $SEDE<0:15>$ が、図7に示される判定回路70に出力される。

【0154】

16個の比較信号 $RMH<0:15>$ は、判定回路80内の演算部81A, 81Bによって、演算される。16個の比較信号 $RMH<0:15>$ は、演算部81A, 81Bによって、NAND論理が演算される。

よって、入力された比較信号 $RMH<0:15>$ が全て “H(1)” レベルのとき、つまり、16個の不良アドレス情報の全てと入力されたロウアドレス情報とが一致しなかったとき、出力信号 $XMISSHIT$ は、“H(1)” レベルを示す。“H(1)” レベルの出力信号 $XMISSHIT$ が出力された場合、不良セルの救済は実行されない。

【0155】

一方、16個の一致信号 $SRDE<0:15>$ は、判定回路80内の演算部81A, 81Bによって、演算される。16個の一致信号 $SRDE<0:15>$ は、演算部81A, 81Bによって、OR論理が演算される。

よって、入力された一致信号 $SRDE<0:15>$ のうち、いずれか1つが “H(1)”

10

20

30

40

50

”レベルのとき、つまり、記憶された複数の不良アドレス情報のうち、1つの不良アドレス情報と入力されたロウアドレス情報とが一致した場合、出力信号X H I Tは、“H (1)”レベルを示す。“H (1)”レベルの出力信号X H I Tが出力された場合、不良セルの救済が実行される。

【 0 1 5 6 】

この動作によって、不良セルを救済すると判定された場合、入力されたロウアドレス情報が示すワード線の代わりに、冗長ワード線が活性化される。そして、活性化された冗長ワード線に接続された複数の冗長セルにおいて、不良セルと同じ1ビット分のカラムアドレス情報（セグメント）に対応した冗長セルに対して、データの書き込み又はデータの読み出しが実行される。

【 0 1 5 7 】

以上のように、複数の不良アドレス情報記憶部60において、フューズの溶断の有無によって、不良アドレス情報（ワード線のアドレス）が記憶される。各不良アドレス情報記憶部のフューズの数、カラムアドレス情報に基づくメモリセルアレイのセグメントと同じ数、設けられている。そして、カラムアドレス情報に基づいて、2以上のフューズのうち、いずれか1つのフューズの情報が出力される。このように、不良アドレス情報は、不良アドレス情報記憶部60内に、カラムアドレス情報C A nに対応させた領域（セグメント）毎に記憶され、入力されたカラムアドレス情報に基づいて、個別に読み出される。

これによって、本実施形態のように、ロウ救済方式を採用した場合において、不良セルがメモリセルアレイ内のどこカラムに存在するか、換言すると、1つのワード線のどこの部分に接続されているかを特定することができる。

【 0 1 5 8 】

そして、カラムアドレス情報に対応させた不良アドレス情報に基づいて、アドレス比較部70及び判定部80によって、不良セルの救済が必要か否か、判定される。

【 0 1 5 9 】

よって、メモリセルアレイ内に、カラムアドレス情報に基づいた2つ以上のセグメントを設定することによって、セグメントに対応したワード線の一部分を、救済単位として、ワード線の不良セルが接続された一部分と冗長ワード線の一部分とを置換できる。

尚、不良セルが接続されたワード線において、そのワード線の不良セルが存在しないセグメント内のメモリセルがアクセスの対象となった場合、そのワード線が活性化され、通常通りに、そのワード線に接続されたメモリセルが用いられる。

【 0 1 6 0 】

例えば、本実施形態の抵抗変化型不揮発性半導体メモリが、ランダムアクセスメモリである場合には、上記の動作が、書き込み／読み出しのためのアドレス情報が入力されるたびに、随時実行される。

【 0 1 6 1 】

以上のように、ワード線をカラムアドレス情報に基づいて論理的に分割して制御することで、冗長ワード線の本数の増加及び冗長セルアレイの占有面積の増大を伴わないで、救済できる不良セルの個数を増加できる。

【 0 1 6 2 】

したがって、本発明の第1の実施形態の抵抗変化型不揮発性半導体メモリによれば、不良セルの救済効率を向上できる。

【 0 1 6 3 】

[第2の実施形態]

図9及び図10を用いて、本発明の第2の実施形態について、説明する。尚、図9及び図10において、第1の実施形態と実質的に同じ構成要素については、同じ符号を付し、詳細な説明は必要に応じて行う。

【 0 1 6 4 】

図9は、階層ワード線方式と呼ばれるワード線の構成を有する半導体メモリのメモリセルアレイ近傍の回路構成を示している。

10

20

30

40

50

【 0 1 6 5 】

図 9 に示す階層ワード線方式のメモリセルアレイ 9 A ~ 9 D において、ワード線の構成は、2 つの階層を有している。そのため、本実施形態のワード線は、メインワード線 M W L とメインワード線 M W L に接続されるサブワード線 S W L とから構成される。

【 0 1 6 6 】

1 つのメモリセルアレイ 9 A ~ 9 D は、物理的に分割されている複数の領域 9 0 A ~ 9 0 D , 9 1 A ~ 9 1 D から構成されている。本実施形態において、物理的に分割されている領域 9 0 A ~ 9 0 D , 9 1 A ~ 9 1 D のことを、ブロック 9 0 A ~ 9 0 D , 9 1 A ~ 9 1 D と呼ぶ。

【 0 1 6 7 】

図 9 に示す例においては、メモリセルアレイ 9 A ~ 9 D のそれぞれは、2 つのブロック 9 0 A ~ 9 0 D , 9 1 A ~ 9 1 D を有している。1 つのメモリセルアレイ 9 A ~ 9 D において、2 つのブロック 9 0 A ~ 9 0 D , 9 1 A ~ 9 1 D は、X 方向に並んで配置されている。

【 0 1 6 8 】

各メモリセルアレイ 9 A ~ 9 D 内に、複数のメインワード線 M W L が設けられている。メインワード線 M W L は、例えば、Y 方向に延在し、X 方向に並んで配置されている。複数のメインワード線 M W L は、Y 方向に隣接している 2 つのブロック 9 0 A ~ 9 0 D , 9 1 A ~ 9 1 D に跨っている。

複数のサブワード線 S W L は、ブロック 9 0 A ~ 9 0 D , 9 1 A ~ 9 1 D 毎に、設けられている。複数のサブワード線 S W L は、1 つのメインワード線 M W L に対して、共通に接続されている。サブワード線 S W L は、Y 方向に延在し、X 方向に並んで配置される。

【 0 1 6 9 】

メインロウデコーダ 2 0 A は、1 つのメモリセルアレイ 9 A ~ 9 D に対して、1 つ設けられ、メインワード線 M W L を共有する複数のブロック 9 0 A ~ 9 0 D , 9 1 A ~ 9 0 D によって共通に用いられる。メインロウデコーダ 2 0 A は、入力されたロウアドレス情報に基づいて、メインワード線 M W L の活性化及び非活性化を制御する。

【 0 1 7 0 】

サブロウデコーダ 2 1 A ~ 2 1 D , 2 2 A ~ 2 2 D は、ブロック 9 0 A ~ 9 0 D , 9 1 A ~ 9 1 D の Y 方向に隣接して設けられている。サブロウデコーダ 2 1 A ~ 2 1 D , 2 2 A ~ 2 2 D は、各ブロック 9 0 A ~ 9 0 D , 9 1 A ~ 9 1 D に対して、1 つずつ設けられる。そして、サブロウデコーダ 2 1 A ~ 2 1 D , 2 2 A ~ 2 2 D は、サブワード線 S W L の活性化及び非活性化を制御する。

【 0 1 7 1 】

複数の冗長セルを備える冗長セルアレイ 1 0 0 は、メモリセルアレイ 9 A ~ 9 D と同様に、階層ワード線方式が採用されている。1 つの冗長セルアレイ 1 0 0 は、物理的に分割されている 2 つの冗長ブロック 1 0 1 , 1 0 2 から構成されている。

【 0 1 7 2 】

複数の冗長メインワード線 R M W L は、Y 方向に隣接する 2 つの冗長ブロック 1 0 1 , 1 0 2 に跨って、配設される。冗長メインワード線 R M W L は、Y 方向に延在し、X 方向に並んで配置されている。複数の冗長サブワード線 R S W L は、冗長ブロック 1 0 1 , 1 0 2 毎に、設けられている。冗長サブワード線 R S W L は、Y 方向に延在し、X 方向に並んで配置される。複数のサブワード線 R S W L が、1 つの冗長メインワード線 R M W L に対して、共通に接続されている。

【 0 1 7 3 】

冗長メインロウデコーダ 5 0 は、1 つの冗長セルアレイ 1 0 0 に対して 1 つ設けられ、2 つの冗長ブロック 1 0 1 , 1 0 2 に対して、共通に用いられる。冗長サブロウデコーダ 5 1 , 5 2 は、冗長ブロック 1 0 1 , 1 0 2 毎に、1 つずつ設けられる。

【 0 1 7 4 】

冗長メインワード線 R M W L は、冗長メインロウデコーダ 5 0 によって、その活性化 /

10

20

30

40

50

非活性化が制御される。冗長サブワード線 R S W L は、冗長サブロウデコーダ 5 1 , 5 2 によって、その活性化 / 非活性化が制御される。

【 0 1 7 5 】

本実施形態のように、階層ワード線方式を採用することによって、メモリセルアレイの規模が増大することに伴って、ワード線長が増大した場合、その配線長の増大に起因する配線遅延の増大や製造歩留まりの低下を抑制できる。

【 0 1 7 6 】

図 1 0 は、階層ワード線方式を採用した場合における、ロウデコーダ 2 0 A , 2 1 A , 2 2 A の内部構成の一例を示している。

図 1 0 に示される例では、1本のメインワード線 M W L は、2つのブロック 9 0 A , 9 1 A に跨って配設され、そのメインワード線 M W L が、複数のサブワード線 S W L によって共通に用いられる。サブワード線 S W L は、各ブロック 9 0 A , 9 1 A に対して、4本設けられている。尚、図 1 0 においては、説明の簡単化のため、1本のメインワード線のみを図示しているが、メモリセルアレイに対して、2本以上のメインワード線が配設されてもよいのは、もちろんである。これと同様に、サブワード線の本数及びメモリセルアレイの個数も、図 1 0 に示される数に限定されない。

10

【 0 1 7 7 】

メインロウデコーダ 2 0 A は、例えば、N A N D ゲート 2 から構成される。メインワード線 M W L は、N A N D ゲート 2 の出力端子に接続される。そして、N A N D ゲート 2 の入力端子には、ロウアドレス情報が入力される。ロウアドレス情報は、選択されたメインワード線のロウアドレス情報を示している。入力されたロウアドレス情報は、N A N D ゲート 2 により論理演算される。その演算結果に基づいて、メインワード線 W M L の活性化 / 非活性化が制御される。

20

【 0 1 7 8 】

サブロウデコーダ 2 1 A , 2 2 A 内には、複数のドライバユニット 2 5 が設けられている。1つのサブロウデコーダ 2 1 A , 2 2 A 内に設けられるドライバユニットの個数は、1つのサブロウデコーダ 2 1 A , 2 2 A 内に設けられる。サブワード線 S W L の本数に対応している。1つのドライバユニット 2 5 は、1つのサブワード線 S W L に接続されている。

30

【 0 1 7 9 】

また、サブロウデコーダ 2 1 A , 2 2 A 内には、第 1 の駆動線 W D R V < 0 : 3 > と第 2 の駆動線 b W D R V < 0 : 3 > が設けられている。駆動線 W D R V < 0 : 3 > , b W D R V < 0 : 3 > の本数は、各サブロウデコーダ 2 1 A , 2 2 A 内に設けられたドライバユニットの個数及びサブワード線 S W L の本数に対応している。図 1 0 に示す例において、4個のドライバユニットが設けられているので、4本の駆動線 W D R V < 0 : 3 > と、4本の駆動線 b W D R V < 0 : 3 > が設けられている。チップの駆動時において、第 1 の駆動線 W D R V < 0 : 3 > と第 2 の駆動線 b W D R V < 0 : 3 > は対をなして駆動され、互いに反対の信号レベルに設定される。

【 0 1 8 0 】

各ドライバユニット 2 5 は、簡素な回路構成を有し、1つの P 型 M I S トランジスタ 2 8 と 2 つの N 型トランジスタ 2 9 a , 2 9 b とから構成されている。

40

【 0 1 8 1 】

1つのサブロウデコーダ 2 1 A , 2 2 A において、各ドライバユニット 2 5 を構成する P 型 M I S トランジスタ 2 8 の電流経路の一端は、それぞれ異なる駆動線 W D R V < 0 : 3 > に接続されている。

P 型 M I S トランジスタの電流経路の他端は、N 型 M I S トランジスタ 2 9 a , 2 9 b の電流経路の一端に接続される。この P 型 M I S トランジスタと N 型 M I S トランジスタ 2 9 a , 2 9 b との接続点 (ノード) に、サブワード線 S W L が接続される。

N 型 M I S トランジスタ 2 9 a , 2 9 b の電流経路の他端は、接地端子に接続される。

【 0 1 8 2 】

50

P型MISトランジスタ28のゲートとN型MISトランジスタ29aのゲートは、メインワード線MWLに接続されている。

N型MISトランジスタ29bのゲートは、駆動線WDRV<0:3>に接続される。1つのサブロウデコーダ21A, 22Aにおいて、各ドライバユニット25を構成するN型MISトランジスタ29bのゲートは、それぞれ異なる駆動線bWDRV<0:3>に接続されている。

サブロウデコーダ21A, 22Aは、2つの駆動線WDRV<0:3>, bWDRV<0:3>の信号レベルを制御することによって、ドライバユニット25を駆動し、サブワード線SMLの活性化/非活性化を制御する。駆動線WDRV<0:3>, bWDRV<0:3>に入力される信号は、サブワード線のアドレス情報である。

10

【0183】

メモリセルMCは、サブワード線SWLのそれぞれに、複数個接続される。各メモリセルMCは、第1の実施形態と同様に、1つの抵抗変化型記憶素子MTJと1つの選択トランジスタTrとから構成されている。本実施形態においては、選択トランジスタTrのゲートは、サブワード線SWLに接続される。

【0184】

ワード線階層方式を用いたメモリセルアレイの動作は、以下のようになる。

【0185】

メモリセルへアクセスするためのロウアドレス情報は、メインロウデコーダ20A内に、入力される。

20

【0186】

メモリセルのロウアドレス情報は、メインロウデコーダ20A内のNANDゲート2によって、論理演算される。このNANDゲート2の演算結果に基づいて、メインロウデコーダ20Aは、メインワード線MWLを活性化又は非活性化する。

そして、活性化されたメインワード線MWLの信号レベルは、“H”レベルから“L”レベルへ遷移する。尚、非活性化されたメインワード線MWLの信号レベルは、“L”レベルを示す。

【0187】

この状態で、サブロウデコーダ21A, 22A内に設けられた駆動線WDRV<0:3>, bWDRV<0:3>が、入力されたロウアドレス情報に基づいて、選択的に活性化される。

30

【0188】

メインワード線MWLの信号レベルが“L”レベルになると、P型MISトランジスタ28はオンになり、一方のN型MISトランジスタ29aはオフになる。

【0189】

そして、駆動線bWDRV<0:3>の1つが“L”レベルに設定された場合、他方のN型MISトランジスタ29bはオフになる。“L”レベルに設定された駆動線bWDRV<0:3>と対をなす駆動線WDRV<0:3>は、“H”レベルに設定される。このため、P型MISトランジスタ29の電流経路とN型MISトランジスタの電流経路との接続点は、オン状態のP型MISトランジスタの電流経路を経由して、駆動線WDRV<0:3>の設定電位によって、充電される。

40

これによって、ロウアドレス情報が示すサブワード線SWLの信号レベルは“L”レベルから“H”レベルに遷移し、そのサブワード線SWLは活性化される。

【0190】

尚、選択されていない残りの駆動線bWDRV<0:3>は、“H”レベルに設定され、残りの駆動線WDRV<0:3>は、“L”レベルに設定される。それゆえ、選択されていないサブワード線SWLは活性化されない。

【0191】

以上のように、メインワード線MWL及びサブワード線SWLに接続されたメモリセルに対して、アクセスが可能になる。これと同様の動作によって、冗長メインワード線RM

50

WL及び冗長サブワード線RSWLに接続されたメモリセルに対して、アクセスが実行される。

【0192】

本発明の第2の実施形態においては、階層ワード線方式が採用された不揮発性半導体メモリに対して、メインワード線をロウ救済法の対象として、不良セルを救済する。

本実施形態においては、1つのメモリセルアレイ9A~9Dを構成している複数の物理的な領域(ブロック)90A~90Dに対して、カラムアドレス情報CANが割り付けられる。

メモリセルへのアクセス時、不良セルを救済するか否かが、判定される。不良セルを救済する場合、1本のメインワード線MWLは、カラムアドレス情報CANに基づいて、2つに分割されて制御される。そして、分割されたメインワード線MWLの部分毎に、それに対応する冗長メインワード線RMWLの部分と置き換えられる。

例えば、メモリセルアレイ9A内において、不良セルbMC₁は、メインワード線MWLaに接続されたサブワード線SWLaに含まれている。不良セルbMC₁は、カラムアドレス情報CAN="0"に対応するブロック90Aに存在している。

また、メモリセルアレイ9C内において、不良セルbMC₂は、メインワード線MWLcに接続されたサブワード線SWLcに含まれている。不良セルbMC₂は、カラムアドレス情報CAN="1"に対応するブロック91Cに存在している。

【0193】

不良セルbMC₁、bMC₂の不良アドレス情報は、カラムアドレス情報CANに対応させて、例えば、第1の実施形態で述べた図4乃至図7とほぼ同様な構成の回路60~70を用いて、記憶され、チップ内に入力されたアドレス情報と一致するか否かが判定される。

本実施形態においては、不良セルbMC₁、bMC₂を含むメインワード線MWLa、MWLcの一部分MWLa<0>、MWLc<1>は、不良セルが存在するブロックがカラムアドレス情報に基づいて判別されることによって、そのカラムアドレス情報(ブロック)に対応する1本の冗長メインワード線RMWLの部分RMWL<0>、RMWL<1>と、それぞれ置き換えられる。

【0194】

不良アドレス情報と入力されたアドレス情報が一致した場合、上記のメインワード線の一部分と冗長メインワード線との置き換えにより、冗長メインワード線RMWLが活性化され、所定の冗長セルが利用される。よって、不良セルの救済が実行される。

【0195】

一方、メインワード線MWLaにおいて、カラムアドレス情報CAN="1"に対応する部分MWLa<1>は、不良セルを含まない。よって、カラムアドレス情報CAN="1"に対応するメインワード線MWLaの部分MWLa<1>に対して、アクセスが生じた場合、メインワード線MWLaの部分MWLa<1>は、メインロウデコード20Aによって、活性化され、通常どおりに、サブワード線SWLに接続されたメモリセルが用いられる。これと同様に、カラムアドレス情報CAN="0"に対応するメインワード線MWLcの部分MWLc<0>は、アクセスの対象として用いられ、その部分MWLb<0>を示すアドレス情報が入力された場合、メインワード線MWLcは活性化される。

【0196】

このように、本実施形態において、不良セルが救済される場合、2本のメインワード線MWLがそれぞれ含む一部分を、1本の冗長メインワード線RWMLを用いて、置き換えることができる。例えば、1本の冗長メインワード線RWLと1ビット分のカラムアドレス情報CANとを用いた場合において、その救済自由度は2になる。

それゆえ、必要な冗長ワード線の本数、換言すると、冗長セル数の増加及び冗長セルアレイの占有面積の増加を伴わないで、救済できる不良セルの個数を増加できる。

【0197】

したがって、第2の実施形態の階層ワード線方式を用いた不揮発性半導体メモリのよう

に、１つのメモリセルアレイ内に設けられた複数の物理的な領域（ブロック）に対して、カラムアドレス情報を割り付けて、ワード線に接続された不良セルを救済する場合においても、第１の実施形態と同様に、不良セルの救済効率を向上できる。

【０１９８】

３． その他

本発明の実施形態に係る抵抗変化型不揮発性半導体メモリにおいて、第１の実施形態と第２の実施形態を組み合わせた構成、すなわち、１つのブロック内にカラムアドレス情報に基づいた複数のセグメントを設定しても良いのはもちろんである。この場合においても、不良セルの救済効率を向上できる。

本発明の実施形態に係る抵抗変化型不揮発性半導体メモリは、例えば、ランダムアクセスメモリに適用される。

10

【０１９９】

本発明の例は、上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【０２００】

【図１】第１の実施形態に係る抵抗変化型不揮発性半導体メモリの構成を示すブロック図。

20

【図２】第１の実施形態の応用例を説明するための図。

【図３】メモリセルアレイの内部構成の一例を示す等価回路図。

【図４】不良セルを救済するための回路の構成例を説明するためのブロック図。

【図５】不良セルを救済するための回路の一例を示す等価回路図。

【図６】不良セルを救済するための回路の一例を示す等価回路図。

【図７】不良セルを救済するための回路の一例を示す等価回路図。

【図８】不良セルを救済するための回路の動作を説明するためのタイミングチャート。

【図９】第２の実施形態に係る抵抗変化型不揮発性半導体メモリの構成を示すブロック図。

30

【図１０】メモリセルアレイの内部構成の一例を示す等価回路図。

【符号の説明】

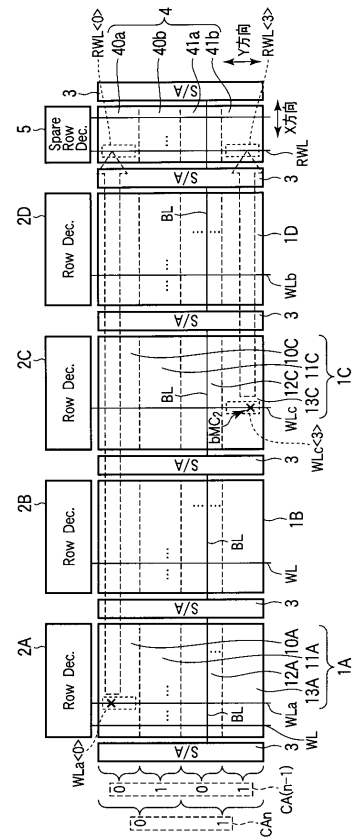
【０２０１】

１Ａ～１Ｄ，９Ａ～９Ｄ：メモリセルアレイ、２Ａ～２Ｄ：ロウデコーダ、３：センスアンプ、４，１００：冗長セルアレイ、５：冗長ロウデコーダ、１０Ａ～１０Ｄ，１１Ａ～１１Ｄ、４０，４１：セグメント、２０Ａ～２０Ｄ：メインロウデコーダ、２１Ａ～２１Ｄ，２２Ａ～２２Ｄ：スペアロウデコーダ、５０：冗長メインロウデコーダ、５１，５２：冗長サブロウデコーダ、６０：不良アドレス情報記憶部、７０：アドレス比較部、８０：救済判定部、９０Ａ～９０Ｄ，９１Ａ～９１Ｄ，１１０，１１１：ブロック、ＷＬ，ＷＬ_ａ，ＷＬ_ｂ，ＷＬ_０～ＷＬ_{ｎ－１}：ワード線、ＢＬ，ＢＬ_０～ＢＬ_{ｍ－１}：ビット線、ＭＷＬ，ＭＷＬ_ａ，ＭＷＬ_ｂ：メインワード線、ＳＷＬ，ＳＷＬ_ａ，ＳＷＬ_ｂ：サブワード線、ＲＷＬ：冗長ワード線、ＲＭＷＬ：冗長メインワード線、ＳＲＷＬ：冗長サブワード線、ＭＣ：メモリセル、ＭＴＪ：抵抗変化型記憶素子、Ｔ_ｒ：選択トランジスタ。

40

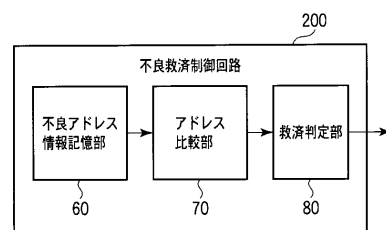
【 図 2 】

图 2

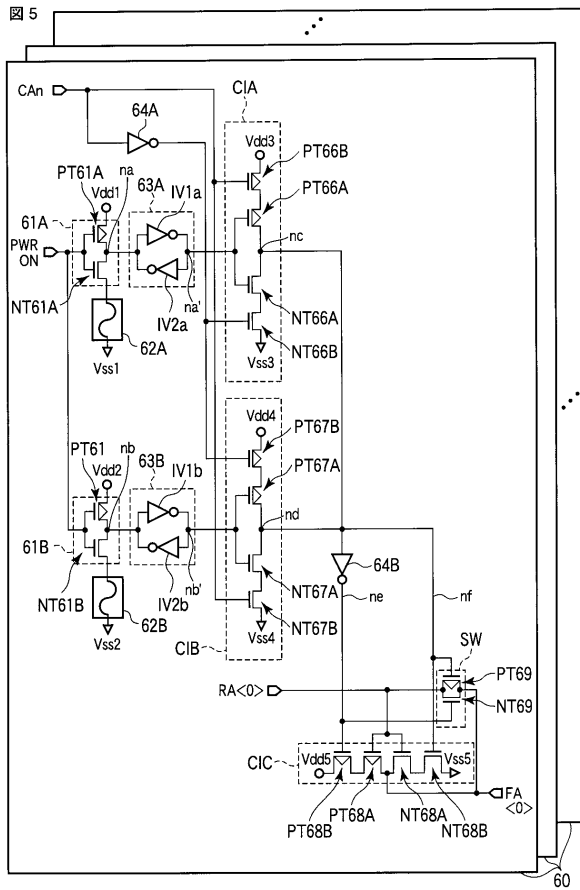


【 図 4 】

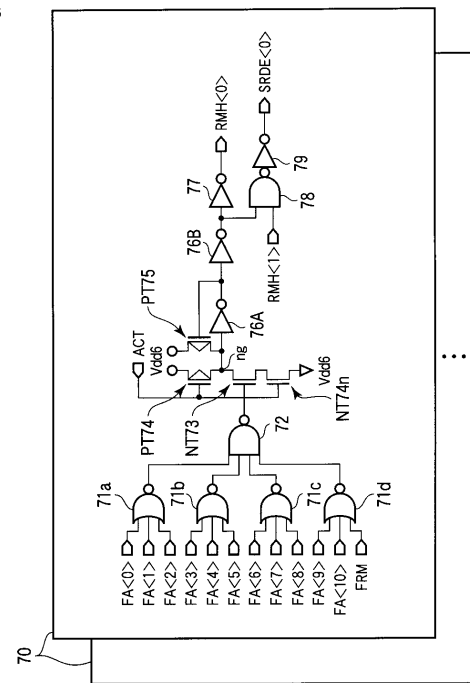
图 4



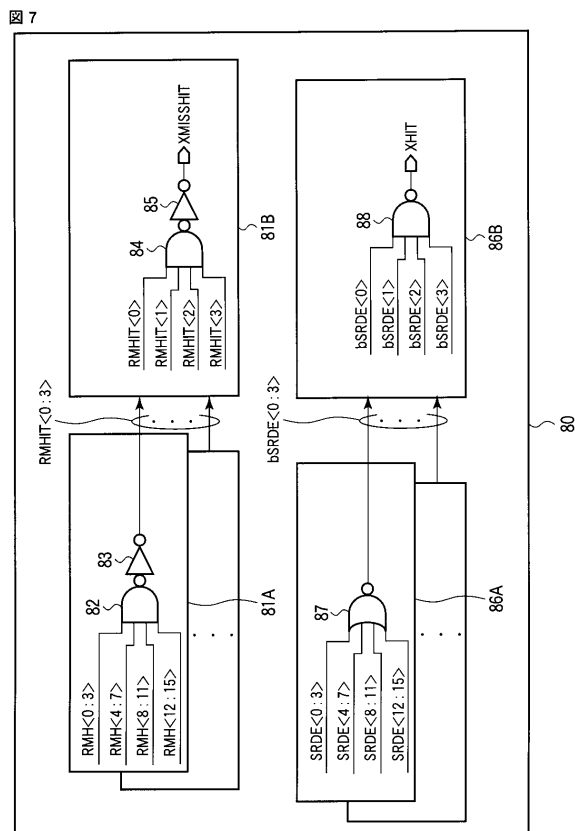
【図 5】



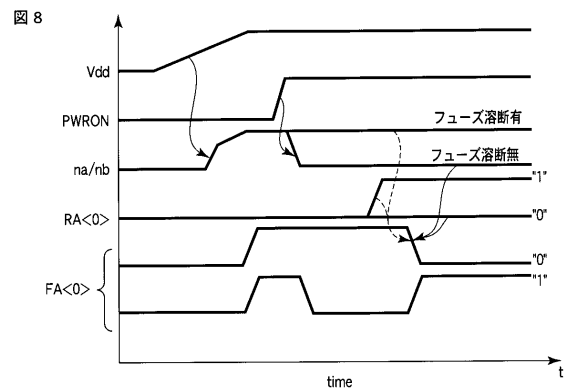
【図 6】



【図 7】

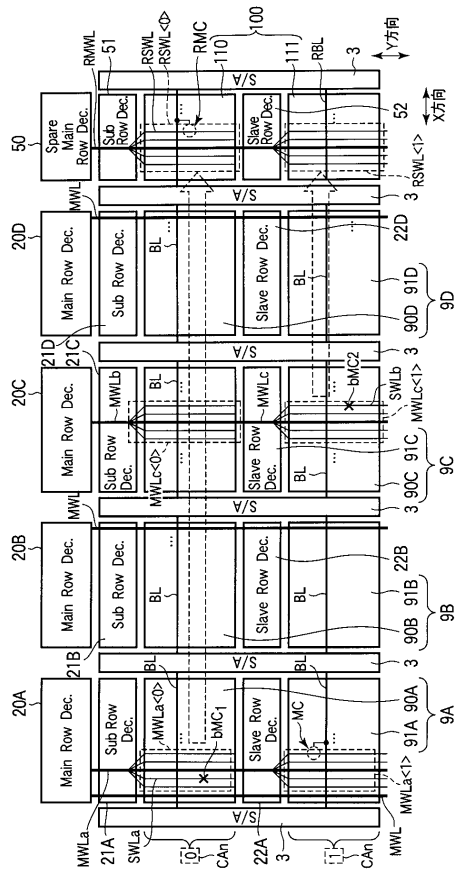


【図 8】



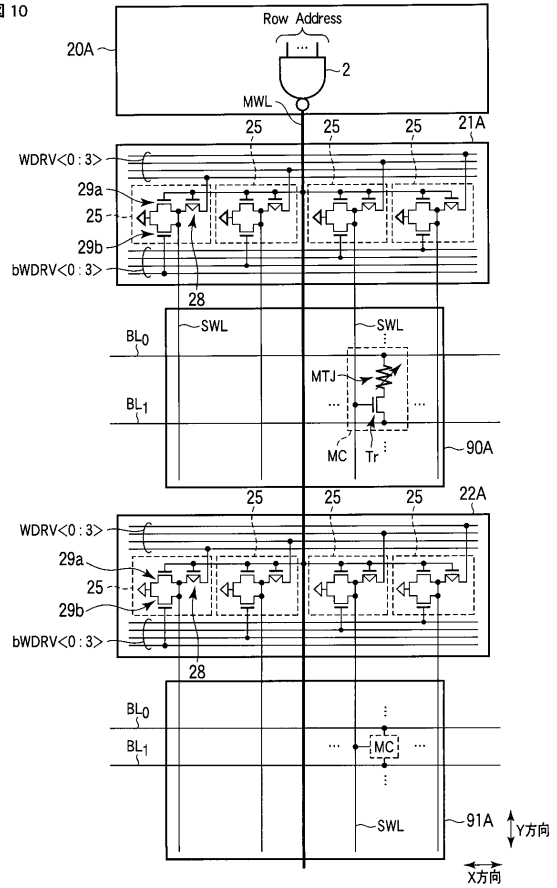
【図 9】

図 9



【図 10】

図 10



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100100952
弁理士 風間 鉄也
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100070437
弁理士 河井 将次
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元
(72)発明者 土田 賢二
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5L106 AA00 CC02 CC17 CC32 EE07 FF04 FF05 GG01