

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3961578号
(P3961578)

(45) 発行日 平成19年8月22日(2007.8.22)

(24) 登録日 平成19年5月25日(2007.5.25)

(51) Int.C1.

G02F 1/133 (2006.01)

F 1

G02F 1/133 560

請求項の数 43 (全 30 頁)

(21) 出願番号 特願平10-548455
 (86) (22) 出願日 平成10年5月6日(1998.5.6)
 (65) 公表番号 特表2000-514932(P2000-514932A)
 (43) 公表日 平成12年11月7日(2000.11.7)
 (86) 國際出願番号 PCT/US1998/009259
 (87) 國際公開番号 WO1998/050804
 (87) 國際公開日 平成10年11月12日(1998.11.12)
 審査請求日 平成17年5月6日(2005.5.6)
 (31) 優先権主張番号 08/852,319
 (32) 優先日 平成9年5月7日(1997.5.7)
 (33) 優先権主張国 米国(US)

(73) 特許権者
 ケント ステイト ユニバーシティ
 アメリカ合衆国、オハイオ 44242,
 ケント、イースト メイン アンド リン
 カーン ストリーツ
 (74) 代理人
 弁理士 浜田 治雄
 (74) 代理人
 弁理士 下道 晶久
 (74) 代理人
 弁理士 戸田 利雄
 (74) 代理人
 弁理士 西山 雅也
 (74) 代理人
 弁理士 樋口 外治

最終頁に続く

(54) 【発明の名称】双安定液晶ディスプレイ用のダイナミック駆動方法および装置

(57) 【特許請求の範囲】

【請求項1】

双安定カイラルネマチック液晶材料の各側に配置されると共に前記液晶材料を貫通する電界を選択的に印加し得る電極間に配設された前記双安定カイラルネマチック液晶材料をアドレスする方法であって、

準備段階の間において、前記電極を励起して前記液晶を横切る準備電圧を確立するステップと、

準備後段階の間において、前記電極を励起して前記液晶を横切る準備後電圧を確立するステップと、

前記液晶に対する最終表示状態を選択する選択段階の間において、前記電極を励起して前記液晶を横切る選択電圧を確立するステップと、

前記選択段階の後における選択後段階において、前記電極を励起して前記液晶を横切る選択後電圧を確立し前記表示状態の達成を促進するステップと、

進展段階において前記電極を励起して前記液晶を横切る進展電圧を確立し、その後に前記液晶が最終表示状態を呈するのを許容するステップとを備える双安定カイラルネマチック液晶材料のアドレス方法。

【請求項2】

前記進展段階の後、前記各電極に対する進展電圧は減少されて前記液晶がその最終表示状態の内のひとつを呈することを許容する請求項1に記載の方法。

【請求項3】

前記進展段階の後、前記各電極に対する電圧は除去されて前記液晶がその最終表示状態の内のひとつを呈するのを許容する請求項1に記載の方法。

【請求項4】

前記準備電圧は所定の大きさであり、かつ、前記準備段階は前記液晶材料がホメオトロピック的に整列するに十分な持続時間を有する請求項1に記載の方法。

【請求項5】

前記選択電圧の大きさは、前記液晶をホメオトロピック構造に維持するか、または、前記液晶が過渡ツィステッドプレーナ構造への遷移を開始するのを許容すべく選択される請求項1に記載の方法。

【請求項6】

前記選択電圧はフォーカルコニックまたはツィステッドプレーナ最終表示状態の内のひとつを確立するに十分な大きさである請求項1に記載の方法。

【請求項7】

前記進展電圧は所定の大きさであり、前記進展段階は、ホメオトロピック構造にある液晶を前記ホメオトロピック構造に維持し、かつ、過渡ツィステッドプレーナ構造にある液晶が前記進展段階の間にフォーカルコニック構造に進展するのを許容するに有効な持続時間を有する請求項1に記載の方法。

【請求項8】

前記進展電圧は所定の大きさであり、前記進展段階は、過渡ツィステッドプレーナ構造にある液晶がフォーカルコニック構造に弛緩するのを許容すると共に、ホメオトロピック構造にある液晶が進展段階の間にホメオトロピック構造に留まりその後に反射的ツィステッドプレーナ構造になるのを許容するに有効な持続時間を有する請求項1に記載の方法。

【請求項9】

前記準備段階は、前記準備電圧をオン／オフ変調して前記準備段階の持続時間を短縮化することを有する請求項1に記載の方法。

【請求項10】

前記液晶は、可視スペクトルの光を反射するに有効な前記ツィステッドプレーナ構造のピッチ長を有するカイラルネマチック液晶である請求項1に記載の方法。

【請求項11】

前記準備後電圧の大きさは、前記液晶材料をホメオトロピック構造から過渡的プレーナ構造へと弛緩させる大きさである請求項1に記載の方法。

【請求項12】

前記選択段階の後における選択後段階において、前記液晶を横切る選択後電圧を確立して前記液晶材料の極性角度を調節するために前記各電極を励起するステップをさらに備える請求項1に記載の方法。

【請求項13】

前記選択電圧は、前記液晶材料をホメオトロピックまたは過渡プレーナ構造のいずれかとする請求項1に記載の方法。

【請求項14】

前記各電極を励起する前記ステップは、前記選択段階の間に前記各電極を時間変調して前記液晶材料にグレースケール特性を呈せしめるステップを有する請求項1に記載の方法。

【請求項15】

前記各電極を励起する前記ステップは、前記選択段階の間に前記各電極を振幅変調して前記液晶材料にグレースケール特性を呈せしめるステップを有する請求項1に記載の方法。

【請求項16】

a)双安定カイラルネマチック液晶材料の層を用意すると共に、前記液晶材料の各側に電極を配置して表示要素の配列を形成するステップと、

b)前記電極を、該電極を励起することにより前記配列の各表示要素を第1および第2の最終表示状態の一方に選択的に起動する駆動回路に結合するステップと、

c)選択された表示要素箇所における前記液晶材料を準備段階の間に準備信号で励起し、前

10

20

30

40

50

記準備信号を準備後段階の間に準備後信号まで減少し、選択段階の間において、所望の最終表示状態を選択するための選択信号へと前記準備後信号を調節し、前記選択信号の後に、前記表示要素を横切るようにして選択後信号を印加し、進展段階の間において、前記表示要素にわたる選択後信号を進展信号へと変更し、次に、前記表示要素が前記所望の最終表示状態を呈するのを許容することを順次に行うことにより前記配列の選択された前記表示要素をアドレスするステップと、
を備える情報の表示方法。

【請求項 17】

前記第1の最終表示状態は前記液晶材料のツイステッドプレーナ構造であり、前記第2の最終表示状態は前記液晶材料のフォーカルコニック構造である請求項16に記載の方法。 10

【請求項 18】

可視スペクトルの光を反射するに有効なピッチ長を有するカイラルネマチック液晶材料の層を提供するステップをさらに備える請求項16に記載の方法。

【請求項 19】

前記液晶層の一側の前記各電極を概ね平行な行に構成すると共に、前記液晶層の逆側における各電極を前記行と実質的に直交する概ね平行な列に構成するステップをさらに備え、これにより、同一平面であったときには前記行および列が交差するであろう箇所にて前記表示要素は前記行および列上の点により画定され、さらに、前記準備段階において複数の行の表示要素が同時に存在する請求項16に記載の方法。

【請求項 20】

前記液晶層の一側の前記各電極を概ね平行な行に構成すると共に、前記液晶層の逆側における電極を前記行と実質的に直交する概ね平行な列に構成するステップをさらに備え、これにより、同一平面であったときには前記行および列が交差するであろう箇所にて前記表示要素は前記行および列上の点により画定され、さらに、前記進展段階において複数の行の表示要素が同時に存在する請求項16に記載の方法。 20

【請求項 21】

前記選択後信号は、前記最終表示状態の達成を促進するステップを有する請求項16に記載の方法。

【請求項 22】

前記選択段階において前記表示要素をアドレスする前記ステップは、前記選択電圧を時間変調して前記液晶材料にグレースケール特性を呈せしめるステップを含む請求項16に記載の方法。 30

【請求項 23】

前記選択段階において前記表示要素をアドレスする前記ステップは、前記選択電圧を振幅変調して前記液晶材料にグレースケール特性を呈せしめる段階を含む請求項16に記載の方法。

【請求項 24】

- a) 双安定カイラルネマチック液晶材料の層と、
- b) 前記液晶層の各側で離間され、前記液晶層の複数の画素を横切るようにして選択された起動電圧を印加する複数の電極と、
- c) i) 準備段階の間において、選択された画素を横切るようにして印加し、
ii) 準備後段階の間において、前記選択された画素を横切るようにして準備後信号を印加し、
iii) 選択段階の間において、前記選択された画素を横切るようにして選択信号を印加して所定の最終表示状態を選択し、
iv) 選択後段階の間において、前記選択された画素にわたる選択後信号を印加して前記表示状態の達成を促進し、
v) 進展段階の間において、前記選択された画素を横切るようにして進展信号を印加する、
ための回路を備え、前記液晶層の複数の画素の表示状態を順次に設定する制御電子機器と 50

を備えるディスプレイ装置。

【請求項 25】

前記液晶層の一側の前記各電極は概ね平行な行に構成されると共に、前記液晶層の逆側における各電極は前記行と実質的に直交する概ね平行な列に構成され、同一平面であったときには前記行および列が交差するであろう箇所にて前記画素は前記行および列上の点により画定され、前記制御電子機器が行電極に対して電圧信号を印加したときにはその行の全ての画素が電気的に同一電圧信号に接続され、前記制御電子機器が列電極に対して電圧信号を印加したときにはその列の全ての画素が同一電圧信号に接続される請求項24に記載の装置。

【請求項 26】

前記制御電子機器回路は前記選択段階の間に、前記所定最終表示状態と異なる状態に前記双安定カイラルネマチック液晶材料層を予備配列する請求項24に記載の装置。

【請求項 27】

前記制御電子機器は、前記選択後信号を前記複数の画素に印加する回路と、前記選択後信号の持続時間を制御するタイマとを更に備える請求項24に記載の装置。

【請求項 28】

前記制御電子機器は、前記選択信号の印加を時間変調することにより前記所定最終表示状態はグレースケール特性を呈する請求項24に記載の装置。

【請求項 29】

前記制御電子機器は前記選択信号の印加を振幅変調することにより前記所定最終表示状態はグレースケール特性を呈する請求項24に記載の装置。

【請求項 30】

双安定カイラルネマチック液晶材料の各側に配置されると共に前記液晶材料を貫通する電界を選択的に印加し得る電極間に配設された前記双安定カイラルネマチック液晶材料をアドレスする方法であって、

準備段階の間において、前記各電極を励起して前記液晶を横切る準備電圧を確立するステップと、

前記液晶に対する2つの最終表示状態の内の一方を選択する選択段階の間において、前記電極を励起して前記液晶を横切る選択電圧を確立するステップと、

前記液晶が最終表示状態を呈するのを許容するステップと、を備え、

前記最終表示状態の少なくとも一方は前記選択段階の間における前記液晶材料の準備状態とは異なる双安定カイラルネマチック液晶材料をアドレスする方法。

【請求項 31】

前記カイラルネマチック液晶材料は可視スペクトルにおける光を反射するに有効なピッチ長を有する請求項30に記載の方法。

【請求項 32】

前記準備電圧を確立する前記ステップは、前記液晶材料にフォーカルコニック構造を呈せしめる請求項30に記載の方法。

【請求項 33】

前記選択電圧を確立する前記ステップは、前記液晶材料にフォーカルコニック構造またはホメオトロピック構造の一方を呈せしめる請求項30に記載の方法。

【請求項 34】

前記許容ステップは、前記電極にわたる前記選択電圧を除去し、前記液晶材料がその最終表示状態の内のひとつを呈するのを許容するステップを有し、前記選択電圧は、前記液晶材料にフォーカルコニック構造またはホメオトロピック構造の一方を達成せしめ、前記除去ステップは、フォーカルコニック構造にある前記液晶材料をフォーカルコニック構造に留まらせると共に、ホメオトロピック構造にある前記液晶材料にプレーナ構造を呈せしめる請求項30に記載の方法。

【請求項 35】

a)双安定カイラルネマチック液晶材料の層を用意すると共に、前記液晶材料の各側に電極

10

20

30

40

50

を配置して表示要素の配列を形成するステップと、

b)前記電極を、該電極を励起することにより前記配列の各表示要素を第1および第2の最終表示状態の一方に選択的に起動する駆動回路に結合するステップと、

c)選択された表示要素箇所における前記液晶材料を準備段階の間に準備信号で励起し、選択段階の間ににおいて所望の最終表示状態を選択する選択信号を提供し、次に、前記表示要素が所望の前記最終表示状態を呈するのを許容することを順次に行うことにより前記配列の選択表示要素をアドレスするステップとを備える情報の表示方法。

【請求項36】

前記第1の最終表示状態は前記液晶材料のツイステッドプレーナ構造であると共に前記第2の最終表示状態は前記液晶材料のフォーカルコニック構造であり、

10

可視スペクトルにおける光を反射するに有効なピッチ長を有するカイラルネマチック液晶材料の層を提供するステップを更に備える請求項35に記載の方法。

【請求項37】

前記液晶層の一側の前記各電極を概ね平行な行に構成すると共に、前記液晶層の逆側における各電極を前記行と実質的に直交する概ね平行な列に構成するステップを更に備え、これにより、同一平面であったときには前記行および列が交差するであろう箇所にて前記表示要素は前記行および列上の点により画定され、さらに、前記準備段階において複数の行の表示要素が同時に存在する請求項35に記載の方法。

【請求項38】

前記液晶層の一側の前記電極を一般的に平行な行に構成すると共に、前記液晶層の逆側における電極を前記行と実質的に直交する一般的に平行な列に配置するステップを更に備え、

20

これにより、同一平面であったときには前記行および列が交差するであろう箇所にて前記表示要素は前記行および列上の点により画定され、

更に、前記進展段階において複数の行の表示要素が同時に存在する請求項35に記載の方法。

【請求項39】

a)双安定カイラルネマチック液晶材料の層と、

b)前記液晶層の各側で離間され、選択された起動電圧を前記液晶層の複数の画素を横切るようにして印加する複数の電極と、

30

c) i) 準備段階の間ににおいて、選択された画素を横切るようにして印加して前記液晶層に準備構造を呈せしめ、且つ、

ii) 選択段階の間ににおいて、前記選択された画素を横切るようにして選択信号を印加して所定の最終表示状態を選択する、

ための回路を備え、前記液晶層の複数の画素の表示状態を順次に設定する制御電子機器とを備え、

所定最終表示状態の少なくともひとつは前記選択段階の間ににおける前記液晶材料の準備構造と異なるディスプレイ装置。

【請求項40】

前記制御電子機器は、準備および選択の双極信号を前記複数の画素に印加する回路を備える請求項39に記載の装置。

40

【請求項41】

前記液晶層の一側の前記電極は一般的に平行な行に構成されると共に、前記液晶層の逆側における電極は前記行と実質的に直交する一般的に平行な列に構成され、同一平面であったときには前記行および列が交差するであろう箇所にて前記画素は前記行および列上の点により画定され、

前記制御電子機器が行電極に対して電圧信号を印加したときにはその行の全ての画素が電気的に同一電圧信号に接続され、前記制御電子機器が列電極に対して電圧信号を印加したときにはその列の全ての画素が同一電圧信号に接続される請求項39に記載の装置。

【請求項42】

50

前記制御電子機器は、前記選択信号を前記画素の複数の行に同時に印加するための回路を含む請求項3_9に記載の装置。

【請求項4_3】

前記制御電子機器回路は前記選択段階の間に、前記所定最終表示状態と異なる状態に前記双安定カイラルネマチック液晶材料層を予備配列する請求項3_9に記載の装置。

【発明の詳細な説明】

関連出願に対する相互参照

本願は、1995年2月17日に出願されると共に「双安定液晶ディスプレイ用のダイナミック駆動方法および装置」と称される米国特許出願第08/390,068号の一部継続出願である。

発明の分野

10

本発明は、コレステリックとも称されるカイラルネマチックな反射性双安定液晶材料を利用した視認用ディスプレイ、および、ディスプレイを高速更新するために効率的な操作を用いてディスプレイを駆動するための電子駆動システムに関する。

背景技術

長年にわたり、フラットパネルディスプレイに情報を表示するために液晶が使用されてきたが、これは一般的には、時計の表示面、または、ラップトップ・コンピュータのハーフページサイズのディスプレイなどである。

現在におけるディスプレイ技術のひとつとしては、スーパーツイステッドネマティック(STN)タイプがある。このタイプのデバイスは比較的に安価であるが、アドレスされ得るライン数において制限されている。と言うのも、それらの電気光学的曲線の峻度(steepleness)および電圧許容範囲の厳密さを維持する必要があるからである。現在、技術は相当に進歩しているが、現在のデバイスは約500ラインまでに制限されている。また、これらのディスプレイは偏光子(polarizer)を必要とするが、これは輝度を制限すると共に、ディスプレイの重量を増加しあつ破碎し易いガラス材を必要とする欠点がある。現在における更なるディスプレイ技術は、いわゆる薄膜トランジスタ(TFT)タイプである。このデバイスにおいて電気光学的液晶素子は、いわゆるアクティブ・マトリクスにおける各ピクセルに存在する薄膜トランジスタにより駆動される。しかし、このタイプのディスプレイの製造は費用がかかる。既存のハーフページサイズのTFTディスプレイをフルページサイズまで増大すると、トランジスタの個数および基板の面積は2倍になり、現在では高価過ぎて受入れられない。

20

ゆえに、現世代のディスプレイの主な欠点は、それらが本質的にフルページではなくハーフページの機能に限られていることである。したがって依然として、ページ切換速度にて更新され得る効率のよいコストでページサイズディスプレイを可能とする技術への要望がある。

30

双安定カイラルネマチック材料で作成された液晶ディスプレイは、継続的な更新またはリフレッシュを必要としない。ディスプレイ上のデータまたは情報が変化したとき、電子機器がディスプレイを更新する。しかし、もしディスプレイ情報が変化しないのであれば、ディスプレイは一旦書き込まれればディスプレイ・プロセッサの介在無しで長期間にわたりその情報伝達配置構成に留まる。長期間にわたり安定状態に留まる能力の結果、カイラルネマチック液晶ディスプレイは、比較的に長時間にわたり低速で更新され得る標識に対して使用されている。ディスプレイ情報が変化しないことから、ディスプレイに対する最初の情報の書き込みが長くなる、という事実は重要ではない。

40

有利には、アドレス可能なライン数の制限の無いカイラルネマチック双安定デバイスが調製され得ることから、このデバイスは、必要とされるページサイズディスプレイを提供するための有力な候補となる。しかし、これらのディスプレイの更新速度は、電子マニュアルまたは電子新聞などの、多くのページサイズディスプレイ用途に対しては遅過ぎる。これらのタイプの用途に対してこのデバイスは約1秒あるいはそれより短い時間でアドレスされる必要があるが、これは、手でページをめくるために必要な時間に適合するためである。しかし、1,000ラインのページサイズディスプレイに対し、現在のカイラルネマチック・ディスプレイ技術の更新リフレッシュ速度は10秒を超えており、明らかに、ページサ

50

イズの、ビューワ、電子ブック、ページヤおよび電話ディスプレイならびに標識等の、更に迅速にアドレスされるべき情報伝達装置に使用される市販の実行可能なディスプレイに対する要望がある。しかし、従来技術の液晶ディスプレイでは、例えば1秒あるいはそれより短い時間の、市場で受け入れられるに十分な高速度でパッシブマトリクス液晶ディスプレイ上で情報を更新することには問題があった。

液晶ディスプレイの情報を更新する際の問題に取り組んだ従来技術の特許はいくつかある。従来技術においては、いわゆる液晶ディスプレイドライバまたは電子回路が知られており、液晶ディスプレイを更新する上で種々の技術を利用している。Doane et al.に対して1993年10月5日に発行された米国特許第5,251,048号は、反射式カラーディスプレイシステムを電子的に切換える方法および装置に関する。この特許は、基板間に閉じ込められた液晶製の光変調材料の使用を開示している。各基板の対向部位に支持された長寸の導電経路は、制御位置における画素を起動し、ディスプレイ画面を使用状態としている。Doane et al.に対する5,251,048号特許の開示は参考することにより本願に編入する。

一方、Tani et al.に対する「記憶タイプ液晶マトリクスディスプレイ」と称された論文 (SID 79ダイジェスト、114~115頁) は、カイラルネマチック液晶材料の種々の状態間の遷移を考慮して作用する液晶ディスプレイドライバ・システムを提案している。この論文は、ディスプレイ上の情報のリフレッシュまたは更新を不要となる長時間記憶の利点を有する新しい記憶タイプ液晶ディスプレイを説明している。しかし、Tani et al.の駆動体系は、その解像度および情報密度伝達能力において制限されている。その駆動波形および技術は、ざっと100ラインでアドレスされ得るライン数に限定されており、ページサイズビューワ用途に対して必要な1,000ラインからは程遠い。同様に、Tani et al.が説明したラインあたり8ms以上の書き込み時間は、市場で受け入れられるページサイズビューワには不十分である。フラットパネルディスプレイなどにおいて、液晶ディスプレイの100ラインの情報はテキストを伝達する上で受け入れられるものでなく、ライン当たり8msでは多くの用途に対して遅過ぎる。

発明の開示

本発明の主な態様は、双安定液晶から成る高解像度の大型ディスプレイをページ切換速度でアドレスする方法である。本発明は、双安定カイラルネマチック液晶材料の一つの光学的状態または構造から別の光学的状態または構造への遷移に関する発見を利用するものである。本発明の実施により達成される高速な切換時間により、1,000走査線/秒より大きなアドレス速度を有するパッシブマトリクスシステムで双安定カイラルネマチック液晶を使用することが可能となる。このようなリフレッシュ速度は、ページサイズビューワ、電子ブックなどのフラットパネルディスプレイで使用する上での重要な改良である。

本発明によれば、セル壁間に配設された双安定カイラルネマチック液晶材料の層を有するディスプレイに対して制御される。カイラルネマチック液晶材料は、薄層内に備えられ、材料の向かい合う側における電極により境界を定められ、この電極はディスプレイの画素を選択的に起動するものである。このような起動は、異なる電界状態に応答して液晶に種々の液晶構造を呈せしめる。特に、理論に拘泥することを意図しなければ、高電圧において液晶はホメオトロピック構造を取り、液晶ディレクタはセル表面に対して垂直に整列される。Grandjean構造とも称されるツイステッドプレーナ構造においては、液晶は、存在するカイラル材料の量にそのピッチ長が依存する螺旋構造により特徴付けられる。ツイステッドプレーナ構造のヘリカル軸は、セルに依存して、セル表面に直交しており、この構造は電界が無くても安定している。過渡ツイステッドプレーナ構造(過渡Grandjean構造)におけるピッチ長は、ツイステッドプレーナ構造のざっと2倍である。この状態は、材料をホメオトロピック構造に維持するために印加された電界が急激に減少または除去されたときに生ずる。この状態は、存在する状態に依存し、ツイステッドプレーナ構造またはフォーカルコニック構造のいずれかへの過渡的なものである。最後に、フォーカルコニック状態があり、ヘリカル軸は殆どの部分でランダムに整列されている。セルに依存し、この状態は電界が存在しなくとも安定であり得る。

本発明の方法において使用される双安定カイラルネマチック液晶により、プレーナ状態お

10

20

30

40

50

およびフォーカルコニック状態の両者が存在し得ると共に、両者共にゼロ電界で安定である。十分に低い電界またはゼロ電界においてホメオトロピック状態は過渡プレーナ状態またはフォーカルコニック状態のいずれかへ弛緩するが、前者はその後、存在する状態に依存しプレーナ状態またはフォーカルコニック状態へと弛緩する。ホメオトロピックから過渡プレーナへの遷移は特に速く、約2ms未満である。本発明の双安定表示操作は、この事実、および、ツイステッドプレーナ状態とフォーカルコニック状態との間の光学的識別に基づくものである。それは、有利な成果を得ることを可能とする本発明の駆動体系における適切な段階において、ホメオトロピックが過渡プレーナへと遷移するのを許容もしくは阻止することである。材料のピッチ長が可視スペクトル内の光を反射すべく調節されたとき、プレーナ状態は着色光を反射すると共に、他の状態は透明またはほとんど透明に見える。セルの後面が黒色に塗装されたディスプレイ装置においては、プレーナ状態は、ピッチ長に依存し任意の所望の色の光が反射可能とされ、残りの状態は観察者からは黒色に見える。

本発明の好適な実施例によれば、表示プロセスのリフレッシュまたは更新ステージの間ににおいて、カイラルネマチック液晶表示要素は、それらの遷移を制御する一連のステップで起動される。

本願において、第1のステップは準備段階と称され、この段階の間においては、1個のパルスもしくは一連のパルスが、画素内の液晶をホメオトロピック状態に整列せしめる。有利には、準備ステップの間においては、多数のラインが同時にアドレスされる。

本願において第2ステップは選択段階またはステップと称される。選択段階の間において画素内の液晶に印加される電圧は、ピクセルの最終的光学状態がフォーカルコニックまたはツイステッドプレーナのいずれかとなるように選択される。実際には、選択段階の間において電圧は、ホメオトロピック状態を維持するか、過渡ツイステッドプレーナ状態への遷移を開始するのに十分なほど減少すべく選択される。

次のステップはいわゆる進展段階 (evolution phase) であるが、この段階の間においては、過渡ツイステッドプレーナ状態に転化すべく選択ステップの間に選択された液晶は、フォーカルコニック状態に進展し、ホメオトロピック状態に留まるために選択段階で選択された液晶は、ホメオトロピック状態であり続ける。この進展段階の電圧レベルは、ホメオトロピック状態を維持すると共に過渡プレーナ状態がフォーカルコニック状態に進展するのを許容するのに十分なほど高くしなければならないが、過渡プレーナ状態がホメオトロピック状態に進展しないように十分に低くしなければならない。別の好適な実施例においては進展段階に対して一層低い電圧を選択してもよいが、これは、選択段階から帰着する最終状態を変化する効果を有する。この実施例において、選択段階の終了時において印加される進展電圧は、過渡ツイステッドプレーナ状態にあるピクセルはツイステッドプレーナ状態に進展するのを許容し、ホメオトロピック状態にあるピクセルはフォーカルコニック状態に進展するのを許容するような大きさを有している。従って、この進展電圧は、ホメオトロピック状態が過渡プレーナ状態に転化しないように十分に高いものであり、過渡プレーナ状態がフォーカルコニック状態に進展せずかつホメオトロピック状態がフォーカルコニック状態に転化するように十分に低くなるように、注意深く選択されねばならない。重要な点は、この駆動体系は、進展用の高電圧または低電圧の一方または他方を用いて実現されることである。いずれの進展電圧が選択されるにせよ、それは全てのピクセルに対して同様である。このことは、ピクセル毎に変化し得る選択電圧と対照的である。

最終的な保持状態の間において、電圧は、ほとんどゼロとされまたは画素から完全に除去される。フォーカルコニック状態にある液晶領域は、電圧の除去の後にフォーカルコニック状態に留まり、ホメオトロピック状態にあるものは、安定な光反射ツイステッドプレーナ状態へと転化する。低い進展電圧が使用された場合、進展段階の終了時においてフォーカルコニック状態にあるあらゆるピクセルはその状態に留まり、かつ、ツイステッドプレーナ状態にあるあらゆるピクセルはその状態に留まる。その後、再度のアドレスまで、ピクセルはそれらの状態に留まる。全てのピクセルが同一の準備電圧および進展電圧を必要とすることから、パイプラインアルゴリズムを採用することにより準備段階および進展段

10

20

30

40

50

階の間において、時間を共有することができる。複数のラインが準備電圧により同時にアドレスされ、次に、選択後、複数のラインが進展電圧により同時にアドレスされる。アドレスされるべきラインの数が大きいとき、ライン当りの平均アドレス時間は選択段階の時間に等しい。

画素を構成する液晶に対するこのパルスまたは電圧シーケンスの成果は、フォーカルコニック状態と光反射ツィステッドプレーナ状態との間を選択することである。もちろん、アドレスステップの各々に対して必要とされる特定の電圧は、使用されるセル厚および特定の材料に依存することから、セル次第で変化する。しかし当業者であれば、特定のセルにおいて本発明の駆動体系を実現するに適切な電圧を選択することは本開示内容に鑑みて明らかであろう。本発明の実施により達成される主な利点は、選択パルスを短縮化することにより、受入れることができる速度にて更新され得る画素の個数および密度を増大することである。本発明によれば、ディスプレイは1秒あるいはそれより短い時間のオーダーでページ切換速度にてリフレッシュされ得ると共に、解像度および表示サイズは所望の値に増大され得る。

代わりの実施例においては、準備段階の後に準備後段階が含められて各状態間の遷移を更に高速化する。準備後段階の間において、液晶に印加される電圧は比較的に低く、ピクセル内の液晶材料が過渡プレーナ状態に弛緩するのを許容する。第1の実施例の選択段階を本実施例の準備後段階および選択段階に置換することにより、ページサイズビューワのフラットパネルディスプレイのリフレッシュ速度における更なる時間の節約が達成される。更に別の代わりの実施例において、各状態間の全体的な遷移時間を更に減少するために、選択段階の後に選択後段階が含められる。この選択後段階は、液晶材料の極性角度 (polar angle) を調節するために比較的低電圧を提供するものである。これは、選択段階において選択された構造への遷移を促進するものである。選択後段階をに入れることにより、ページサイズビューワに対するフラットパネルディスプレイのリフレッシュ速度は約22msへと更に減少される。

カイラルネマチック材料の各状態間の遷移を促進する更なる実施例は、2つのステップまたは段階のみにより達成され得る。双安定コレステリック液晶ディスプレイに対する2段階駆動体系もまた、複数のラインを同時にアドレスし、各状態間の遷移を促進する。準備段階では、液晶材料に電圧を印加してフォーカルコニック構造に駆動し、その後、選択段階では、液晶材料の最終外観を最終的に決定する電圧を印加する。選択段階の間において印加された比較的高い電圧は材料をホメオトロピック構造に駆動し、これは選択電圧の除去時に反射的プレーナ構造に弛緩する。また、選択段階の間において印加された比較的低い電圧は材料を、僅かに散乱するフォーカルコニック構造に維持し、これは印加電圧の除去の後でもそのままである。これは、相當に簡素な駆動波形を提供する一方、アドレスシーケンスの合計時間を約16msまで減少する。この短縮化されたアドレスシーケンスは、フラットパネルディスプレイのビデオ速度操作を許容する。

上記の方法のいずれかを適用する際には、1個の行電極と1個の列電極との間に小型のピクセルサイズ領域の液晶材料が挟持されるように、液晶材料が2個のセル壁または表面間に配設される。液晶材料の各側の電極は、ディスプレイを周期的に更新する回路により起動される。配列の各画素は、最初に準備信号により順次に励起される。次に、第2の好適な実施例においては、信号は減少されて材料が過渡プレーナ状態に弛緩するのを許容する。両実施例に関し、画素を横切るように、すなわち電極間にはさまれた画素にかかるようにして印加された信号は次に、選択段階の間に調節される。この選択段階の間においては、液晶に対して別個の制御電圧が印加され、ツィステッドプレーナ状態(反射的)またはフォーカルコニック状態(透明または僅かに散乱を行う)の間でピクセルを選択する。進展段階の間において信号は画素を横切るようにして再度変更され、最終的に、液晶は選択電圧に依存した自身の最終所定状態に入る。

従来において多くの場合にそうであるように、ひとつの行が一度に「選択され」、この行における各ピクセルのみについての状態が、選択段階の間において列に印加される「データ」電圧により影響を受ける。列に印加されたデータ電圧の結果として、選択行の各ピクセル

10

20

30

40

50

クセルは所望の状態または構造に設定される。しかし、従来とは異なり、特定の行に対する選択段階の前後に、特定行の行電極には特定の電圧が印加される。選択段階の前、すなわち、準備段階の間において行に印加される電圧は、その行の全てのピクセルをホメオトロピック状態へと書込むに十分なものである。選択段階の後、すなわち、進展段階の間においてこの行に印加される電圧は、ピクセルを所望の最終状態に「進展 (evolve)」させるために選択される。

液晶ディスプレイを起動する制御電子機器は、最も好適には、フラットパネルディスプレイに結合された行列配列電極に対して制御電圧を印加する専用プロセッサである。

マトリクスタイプの液晶ディスプレイの直交配置電極を起動する好適な機構は、以下において論ずる。本発明のこの典型的実施例によって、本発明に従って構成された液晶ディスプレイの作用を更に良好に説明する。

【図面の詳細な説明】

図1は、携帯ドキュメント・ビューワ上にイメージを表示するフラットパネル液晶ディスプレイを示す斜視図である。

図2Aおよび2Bは、フラットパネルディスプレイの行および列画素を励起する配置構成の概略図である。

図3Aおよび2Bは、2種類の別個の液晶ディスプレイ状態を達成するために液晶材料を横切るようにして印加される電圧シーケンスである。

図3Cは、変化する選択段階電圧に関する液晶材料の最終状態における変化する進展段階電圧の効果を示すプロット図である。

図4A～4Fは、電極間に挟持された液晶材料の表示状態を制御する電極配列を示す概略図である。

図5および6は、液晶画素を起動する上で使用される一連の波形である。

図7は、液晶ディスプレイを起動する駆動信号を提供するディスプレイドライバ回路のブロック図である。

図8および9は、図7におけるブロック図の形式で示されたディスプレイドライバ回路のボードレイアウトを示す図である。

図10は、ディスプレイドライバ回路を構成すべく使用されるアナログスイッチの概略図である。

図11Aおよび11Bは、2種類の別個の液晶ディスプレイ状態を達成するために液晶材料を横切るようにして印加される電圧シーケンスである。

図12は、準備後期間の間における液晶材料に対する時間の関数としての極性角度を示すプロット図である。

図13は、電極間に挟持された液晶材料の表示状態を制御する電極配列の概略図である。

図14および15は、液晶画素を起動する上で使用される波形である。

図16は、変化する選択段階電圧に関する液晶材料の最終状態における変化する進展段階電圧の効果を示すプロット図である。

図17は、液晶材料のグレースケールを得る時間変調の概略図である。

図18は、図17に示された時間変調技術を使用した液晶材料の反射率と時間間隔のプロット図である。

図19Aおよび19Bは、2種類の別個の液晶ディスプレイ状態を達成するために液晶材料を横切るようにして印加される電圧シーケンスである。

図20は、電極間に配設されて液晶材料の表示状態を制御する電極配列を示す概略図である。

図21Aおよび21Bは、2種類の別個の液晶ディスプレイ状態を達成するために液晶材料を横切るようにして印加される電圧シーケンスである。

図22は、2段階駆動体系に対するパイプラインアルゴリズムの概略図である。

図23は、代表的な2段階駆動体系による反射率および選択電圧のプロット図である。

図24は、電極間に配設されて液晶材料の表示状態を制御する電極配列を示す概略図である。

10

20

40

50

発明の最良の実施の形態

本発明の例示的用途として、一方のセル表面の内側にパターン形成された行電極と他方のセル表面の内側にパターン形成された列電極とを有する、公知のマトリクスディスプレイを考慮する。

説明されるように、本発明の好適なアドレスサイクルは、次のように列および行に対して電圧が印加される4つの状態を含んでいる。第1に、特定行内のピクセルが行電極により高電圧でアドレスされ、それらの全てがホメオトロピック状態に切換える準備段階がある。次に、いわゆる選択段階においては、ひとつの選択行に印加された電圧の値は、ディスプレイの列に印加されたデータ電圧と組み合わされたときに、選択行内の特定のピクセルに印加されてピクセルを列電極に印加された値に対応する状態に切換える効果を有するものである。この状態は、過渡プレーナまたはホメオトロピックのいずれかである。第3に、いわゆる進展段階においては、選択段階後の過渡プレーナ構造にあるピクセルは、フォーカルコニック構造に進展し、選択段階後のホメオトロピック状態にあるピクセルは、ホメオトロピック状態に留まる。最後に保持段階すなわち記憶段階があり、この段階の間、電圧は減少されもしくはゼロとされると共に、フォーカルコニック状態にあるピクセルは、その状態に留まる一方、ホメオトロピック状態にあるピクセルは、反射を行うツイステッドプレーナ状態へと弛緩する。

図面に戻ると、図1は、上述の方法を使用し得るドキュメント・ビューワ12と共に使用するフラットパネル液晶ディスプレイ10を示している。図1に示された特定のビューワ12は、書籍、ニュースまたは類似の文書に対する携帯用電子ビューワであり、これは、ユニットと一体的なページ選択スイッチ14、および、ドキュメント・ビューワ12上で視認されるべき情報を保持するメモリカードまたはフロッピーディスク16を含んでいる。このようなビューワ12は、ハードディスクドライブ、フロッピーディスクドライブ、および/または他の種々の入出力装置を含み得ると好都合である。

ディスプレイ10は最も好適には、イメージおよびテキストを表示し得るものである。イメージおよびテキストを表示するためには、ディスプレイ10を約1秒あるいはそれより短い時間でリフレッシュまたは更新し、更新プロセスに対するユーザの知覚を制限する必要がある。ディスプレイ10の解像度は、ディスプレイ画面上の垂直ラインおよび水平ラインに関して定量化される。ページサイズドキュメント・ビューワに対する現在の最小解像度要件は1,000ラインであり、これは約1秒未満でアドレスされなければならない。

本発明はドキュメント・ビューワ12に関して開示されるが、本発明は、パームトップコンピュータ、ページヤ、特定情報、標識、電子ブック、および新聞などの特定情報を伝達するコンピュータなどに使用される他のディスプレイに適用可能であり、これらのものは本開示内容に鑑みた場合に当業者には自明であろう。これに加え、高速道路標識などの大型ディスプレイも、本発明の方法および装置を取り入れることが可能である。

ディスプレイ10は反射形双安定カイラルネマチック液晶材料を用いて構成されるが、その表示状態は、液晶材料を横切るようにして制御電圧を印加することにより制御され得る。適切なカイラルネマチック液晶材料およびセル、並びに、それらの調製方法は、本発明の開示内容に鑑みれば当業者には公知であろう。好適なカイラルネマチック液晶材料およびセルは、例えば、米国特許第5,453,863号および米国特許第5,437,811号に開示されているが、それらの開示内容を参照することにより編入する。制御電圧の大きさおよび持続時間に依存して、画素（ピクセル）は、光反射ツイステッドプレーナ構造、ホメオトロピック構造またはフォーカルコニック構造を呈し得るものである。ディスプレイの各画素に対する制御は、高速に更新されるカイラルネマチック液晶材料の性能により可能となる。

図2Aの概略的な斜視図は、ディスプレイ10の小セグメントを示している。（5ミクロン厚みの）カイラルネマチック液晶材料の層50は、材料50の光反射または透過特性に影響を与えない透明な2枚の収納プレート52、54の間に挟持される。

プレート52、54の各側には、以下に記述される電極励起用の回路（図7）に結合された電極配列が取付られる。図2Aに見られるように、プレート52は相互接続された電極の整然配列を支持する。プレート52上の電極は相互接続され、同一の電気的ポテンシャルに全て

10

20

20

30

40

40

50

が維持された相互接続電極の列を画定する。一例として、電極のひとつの列を形成する電極60aおよび他の全ての電極は、ディスプレイ10の底縁に沿った入力70aにて励起される電気リード線62に結合される。同様に、入力70bにより、電極60bはその列における他の相互接続電極と同一の電気的ポテンシャルに維持される。そして最後に、第3の代表的な電極60cは、入力70cにより励起される列に沿った他の電極と相互接続される。

以下に更に詳述されるように、電極60aの直下の画素の表示状態は、電極60aと、プレート54により支持された液晶層50の他側上の電極80aの電圧との間の電圧差により制御される。ディスプレイ10の裏側には、3個の電極80a、80b、80cが破線位置で示されている。これらの電極80a、80b、80cは、収納プレート54の縁部における入力90に結合された電気リード線82により電気的に相互接続されている。

電極60a、80aに印加される電圧の選択制御は、これらの電極60a、80aの下側の画素またはピクセルを画定する液晶材料を横切るようにして印加される電気的ポテンシャルを決定する。入力70a、90に印加される電圧の制御により、このポテンシャルは調節され得、より詳細には、フォーカルコニック構造にある画素とツィステッドプレーナ構造にある画素とから選択する方法に従って制御される。ディスプレイ10を構成する各画素の光学的特性を選択的に制御することにより、駆動回路58はディスプレイ上にイメージを表わし、または、テキストを表示することができる。

このようなディスプレイは、少なくとも500走査線/秒の速度で更新され得る。図2Aにおいては例えば電極60aを円により概念的に示しているが、これは、図4A～4Fに示されたディスプレイの種々の状態の論議を容易にするためである。

図2Bは、本発明の方法を適用するパッシブマトリクス形ディスプレイの構造を更に正確に反映する第2の表現である。図2Bに見られるように、プレート152、154は、基板上にラインとして被覆された透明電極182a、182bを支持する。図2Aにおける60aなどの円は図2Bにおいては190aおよび190bにて示されたピクセルを表しているが、これらはそれぞれ、導電電極162と導電電極182aおよび182bとの交差箇所にて生ずるものである。

3段階駆動体系

図3Aおよび3Bは、画素の表示状態を制御する手法を示している。当業界で公知のカイラルネマチック液晶材料は、電圧を印加することにより励起され、複数の光学的状態または構造を呈する。液晶材料に対する3種類の代表的な構造は、ホメオトロピック、ツィステッドプレーナ、およびフォーカルコニックである。ホメオトロピック状態にあるとき、液晶材料は液晶材料に入射する入射光に対して透明である。フォーカルコニック状態にあるとき、液晶材料は光を僅かに散乱するが、もし経路長が十分に短ければ状態は透明となり得ると共に、背景基板が黒色に塗装されているときには黒色に見える。ツィステッドプレーナ状態にある時には、液晶材料は光を反射する。ディスプレイ10を構成する液晶材料の画素の最終表示状態は、本発明の方法に従い、フォーカルコニック状態またはツィステッドプレーナ状態に選択される。プレーナ構造にある液晶は、ディスプレイに入射する光を反射すると共に、フォーカルコニック構造にある液晶は、透明に見えるかまたは僅かに散乱を行い、プレーナ構造との十分なコントラストを提供する。バックライトは必要でない。

図3Aおよび3Bは、フォーカルコニック状態(図3A)またはツィステッドプレーナ状態(図3B)のいずれかを達成するため画素(ピクセル)を横切るようにして印加される時間の関数としての実効値(rms)電圧を表している。図3Aおよび3Bに見られるように、液晶材料に印加される制御電圧の各々は、持続時間T1の準備段階110により開始し、この間に液晶材料はホメオトロピック状態に進められる。準備段階の間の電圧Vpおよびこの段階の持続時間T1は、材料が完全にホメオトロピック構造に転化させるのに十分なものとする必要がある。また、材料をホメオトロピック状態に駆動するための上限値は存在しないが、それらが低過ぎる場合、アドレスサイクルの完了後に当該装置は反射状態において可及的に高い反射率を有さなくなる。しかし、理論的には、一旦、材料を完全にホメオトロピック状態に駆動するに十分なだけVpが高くかつT1が十分に長くなれば、準備ステップは本質的に満足されると共に、ピクセルの最終状態は準備段階より以前のピクセルの状

10

20

30

40

50

態には依存しなくなる。実際の用途においては、 V_p の最大値はハードウェアにより制限される。更に、過剰に長い T_1 は、ディスプレイを高速に更新するという目的と相反する。従って、理想的には、任意の所定のディスプレイに対するパラメータは、できるだけ低い V_p を採用してドライバハードウェアおよびディスプレイ設計を簡素化すると共に、 T_1 をできるだけ短くして駆動速度を最適化すべきである。 V_p の値を増大すれば、一般的には T_1 の値は短くなる。

一実施例において、準備ステージを修正し、準備段階に入る前に液晶の初期状態からのイメージ保持を更に少なくすることができるが、これは、装置の最終反射率を低下するものである。典型的には、このイメージ保持効果を回避するために、 V_p の値を大きくすると共に T_1 の持続時間を長くする。準備段階の間ににおいて、高電圧を数回にわたり断続し、更に短い時間間隔 T_1 で液晶材料を完全にホメオトロピック状態とする。換言すると、準備段階の持続時間は短縮しても良い。

本発明の好適な実施例においては、約40ミリ秒とされる適切な時間間隔 T_1 の後、この方法はいわゆる選択段階に入り、フォーカルコニック状態とツィステッドプレーナ最終状態とのいずれかを選択するための選択電圧 V_s により液晶材料が起動される。本発明の重要な様は、このいわゆる選択段階114は、準備段階110よりも遙かに短い(約1~2ミリ秒の)短時間 T_2 だけ存続することである。本発明のアドレスシーケンスの適用においては、選択電圧は一度に1ラインに印加され、パイプライン様式で各行を下方に進んで行く。

理論に拘泥することを意図しなければ、ディスプレイ上において複数の選択行をパイプライン様式で下降する様にして、同時に数ラインを選択することも考えられる。理論的には、一度に1本より多いラインを選択する能力は、例えば V_E が31ボルトの場合に対して図3Cに示されるように選択パルス対最終強度の曲線の峻度により可能とされる。図3Cに見られる様に、ピクセルを反射状態に駆動するには14ボルトが十分な選択電圧であると共に、ピクセルをフォーカルコニック状態に駆動するには11ボルトが十分な低さである。選択されたラインに対して公知のAltおよびPleshko波形を適用すると、同時に選択され得るラインの数は、ピクセルを反射状態に駆動するために必要な選択電圧(V_{s-R})と、ピクセルをフォーカルコニック状態に駆動するために必要な選択電圧(V_{s-FC})との比率に依存し、次の関係による。ライン数 = $[((V_{s-R} / V_{s-FC})^2 + 1) / ((V_{s-R} / V_{s-FC})^2 - 1)]^2$ 。14ボルトに等しい V_{s-R} の値および11ボルトに等しい V_{s-FC} の値に対し、この関係は、図3Cを生成すべく使用された材料およびセルに対して、約18ラインが一度に選択され得ることを示している。 V_{s-R} と V_{s-FC} との間の電圧値を印加することにより、液晶材料はグレースケール特性を呈する。

進展段階116の間ににおいて液晶材料は、準備電圧より小さくかつ選択電圧よりも大きい進展電圧 V_E にて期間 T_3 にわたり励起される。進展段階116において、液晶材料はホメオトロピック配置構成に維持されるか、または、フォーカルコニック状態に進展する。図3Aおよび3Bの進展電圧 V_E が除去されたとき、液晶材料はフォーカルコニック(図3A)あるいはツィステッドプレーナ最終状態(図3B)に入るが、これは、選択段階114の間に選択された電圧に依存する。図3Aおよび3Bの波形を比較することにより理解されるように、唯一の電圧の差異は選択段階114の間ににおいて生ずるが、この間において、 V_s は比較的低電圧 V_{s-FC} 120(図3A)あるいは高電圧 V_{s-R} 122のいずれかを有し、これにより、それぞれ、画素の最終状態がフォーカルコニックまたは光反射ツィステッドプレーナとなることが決定される。

選択電圧はピクセルの最終状態を決定するが、進展電圧はピクセルの外観に影響し得ることも注目に値する。図3Cは、選択電圧対最終デバイス反射率のグラフ上における V_E の選択の効果を示している。34ボルトより大きい V_E に対しては、11ボルト未満の選択電圧 V_s は低反射率には帰着せず、25ボルト未満の進展電圧 V_E に対しても同様の問題が生じ、14ボルトより大きな V_s から帰着する反射はその最大値から減少することがわかる。従って、この装置では、好適な実施例によるアドレス体系の適切な作用に対し、 V_E は25ボルトと34ボルトとの間とせねばならず、31ボルトが好適である。 T_3 すなわち進展段階の持続時間を増大することにより、ツィステッドプレーナ状態とフォーカルコニック状態との間のコントラ

10

20

30

40

50

スト比を改善し得ることも注目に値する。しかし、これは駆動速度を低下させる影響もある。逆に、 V_E の値を増大することにより速度は高められるが、コントラスト比は低下する。この点、詳細な最適電圧は使用される特定材料とセル構成とに依存して変わることはもちろんであるが、本開示内容に鑑みてこのようなパラメータを最適化することは当業者の範囲内である。

図3 A および 3 B に記述された波形は、実効値電圧を示すものである。実際の波形は図5 および 6 に示されている。波形は接地電圧の上下に振動する双極信号であり、2枚のプレート52、54間に挟持された液晶材料に対するイオン伝導を回避している。液晶材料を横切る実効値電圧は、準備段階110の間は約50ボルトであると共に進展段階116の間は31ボルトであり、選択段階114の間は、所望の最終状態に依存して11ボルトもしくは27ボルトのいずれかが選択される。

図5 および 6 に示されるように、列電圧は、正に最後の行の進展ステージが終了するまで、アドレス時間間隔の全体にわたってディスプレイに印加される。高反射率を有するツイステッドプレーナ状態を得るために、列電圧 V_{col} は一定値より小さくなければならない。列電圧が高過ぎる場合、ホメオトロピック状態からツイステッドプレーナ状態への遷移が生じ得ず、および/または、既にツイステッドプレーナ状態に書き込まれたピクセルは、フォーカルコニック状態へと切り替わり得る。列電圧に対する別の制限は、所望の最終状態を得るべく $2V_{col}$ は十分に大きくすべきことである。図3 C に見られるように、 $V_E = 31$ ボルト曲線に対し、 $2V_{col}$ は約5ボルトより大きいことが必要である。

準備段階および進展段階における電圧が列電圧と同一の周波数を有する場合、準備段階および進展段階におけるピクセルへのデータ電圧の効果は「クロストーク (cross-talking)」として知られる装置の不適切な作動を引き起こし得ることが観察されている。進展段階の間に印加される電圧の値に対する装置作用の感度により、この効果は特に大きくなり得る。しかし、準備段階および進展段階においてピクセルの行に印加される電圧の周波数が、列に印加されるものと異なる周波数である場合、クロストーク効果は減少されることが発見されている。クロストーク効果を更に防止するために、選択段階における行電圧の周波数 (f_s) は、列電圧の周波数 (f_{col}) と同一とされるが、準備段階および進展段階においては、周波数 f_p および f_E は f_{col} と異なり、好適には、以下の関係の値を有する。

$$f_s = f_{col}$$

$$f_p = n f_{col} \text{ または } f_p = (1/n) f_{col}$$

$$f_E = m f_{col} \text{ または } f_E = (1/m) f_{col}$$

式中、 n および m は 1 より大きな整数である。図5 および 6 に示された例においては、 $f_s = f_{col} = 500\text{Hz}$ であり、 $f_p = f_E = 2f_{col} = 1,000\text{Hz}$ である。

図4 A ~ 4 F は、これらの電圧が、図2に示される電極への縁部入力部にて図7の駆動回路により印加される手法を例示している。図4 A に戻ると、この図は電極の平面図を示しているが、収納プレート52、54および液晶材料の中間構造は図示を容易にすべく省略されている。図4 A の上部左隅における電極60aは電極80aと重なり合い、同様にして、2個の電極60bおよび60cは電極80b、80cと重なり合っている。

R1 ~ R20の20行の各々は、準備段階110の間に50ボルトの実効値信号を同時に受信する。3個の代表的な列電極60a、60b、60cにより画定された第1の行R1は、その準備段階110を完了せんとしているところであり、行R20はその準備段階を丁度開始しているところである。-8ボルト、+8ボルトである列電極への印加電圧、および、縁部入力部70a、70b、70cにおける+8ボルトは、これらの20行を構成する準備画素を破壊させるほどに大きくはなく、従って、これらの行の全てのピクセルはホメオトロピック状態に転化されつつある。

図4 B を参照すると、駆動回路は、50ボルトの実効値信号を、図4 B に見られるように1行だけ下方にシフトさせていることから、図4 A に示された20行の内の19行が準備段階110に留まっている。この層の反対側において、電極対60a、80a、60b、80b、60c、80cを含む電極の行R1は、今や選択段階114に対して適切な双極電圧により励起されている。縁部入力部90には、19ボルトの実効値信号が印加される。縁部入力部70a、70b、70cに結合された駆動回路は、制御された極性にて8ボルトの実効値信号を印加して、この行R1における

10

20

30

40

50

る電極により画定された画素の状態を選択する。

電極60a、80aにより画定された画素は、ちょうど選択段階に入ったところである。-8ボルトの電圧の印加は、この画素をホメオトロピック状態に維持する。図3Bに見られるように、これは最終状態に対してツィステッドプレーナ配置構成を生成する。電極60b、80bにより画定された画素は励起され、これらの電極間のピクセルを過渡ツィステッドプレーナ状態へと切換える。図3Aに見られるように、これは最終状態における画素のフォーカルコニック配置構成に帰着する。

図4Aおよび4Bに示された各電極により画定された画素は、ホメオトロピックに対しては「H」、ツィステッドプレーナに対しては「P」、または、過渡プレーナに対しては「P^{*}」と標識化され、電極の下側の液晶の現在状態を表している。従って、2個の電極60b、80bにより画定された画素は、図4Bの表示では「P^{*}」と表されている。

図5および6には、フォーカルコニックまたはツィステッドプレーナ終端状態のいずれかを選択するための波形が示されている。これらの図中に見られるように、矩形波実効値信号が駆動回路により印加され、画素を横切る適切な電圧を選択段階時間間隔T2の間に印加する。3種の異なる波形が示されている。第1の波形W1は、例えば、入力90に沿った入力信号を表す。第2の波形W2は、入力部70a、70b、70cの内のひとつにおける信号などの列入力を表す。第3の波形W3は、画素を横切る合計のまたは結果的な信号を表している。

図5の波形は、選択段階の間に液晶をホメオトロピック状態に維持する。上記で論じたように、これにより液晶はツィステッドプレーナ最終状態に帰着する。また、図6は電圧起動波形W4、W5、W6を示しているが、これらは、準備段階110の間ににおけるホメオトロピック状態から選択段階114の間ににおける過渡ツィステッドプレーナ状態へと液晶材料が変化するのを許容する。これは、進展段階の後で液晶をフォーカルコニック状態に切換えるものである。

図4C～4Fは、液晶層50を画定する電極配列に対する制御電圧の継続的な印加を示している。図4Cにおいて、行R1における各電極は、進展段階に入りつつある液晶材料を画定している（図3A、3B参照）。図4Bの図示内容において電極60b、80bは、入力70bにおける制御電圧がツィステッドプレーナ状態への遷移を許容する箇所で画素を画定していたことを想起されたい。進展段階の間にこの画素はフォーカルコニック状態に入り、最終的に、進展ステージが終了した後に「F」により表されるフォーカルコニック配置構成を達成する。電極60a、80aにより画定された画素はホメオトロピック状態に留まる。なぜなら、行R1に対する図4Bの選択段階の間、列制御電圧はその画素をホメオトロピック状態に維持するために印加されたからである。

図4Eは、行R1の各ピクセルが進展段階に遭遇した後の行R1を示している。入力90における制御電圧は0ボルトに減少される。列入力部70a、70b、70cは依然として、準備段階を完了したばかりの行R22を起動すべく選択的に切換えられている。この行R22は、第1行R1から他の20行だけ離間されている。図4Fは、2個の行R1、R2が、それらに対する行入力に沿った0ボルトの印加により表されるように終端状態に到達した状況を示している。列入力部70a、70b、70cは、行R22の直下の行R23の所望のピクセル状態に依存して変化し続けている。

好適な実施例の変形においては、準備ステージを修正し、準備段階に入る前に液晶の初期状態からのイメージ保持を更に少なくし得るが、これは、この装置の最終反射率を低下するものである。この更なる実施例において準備ステージは、-高電圧を数回断続する-予備整列シーケンス-を有し、選択段階に先立って液晶をホメオトロピック構造に更に完全に整列すべく適合させても良い。この実施例に従って、準備段階の間に材料を更に完全にホメオトロピック構造に切換えることにより、準備段階以前の初期状態における差異により引き起こされるピクセルの最終的光学状態の外観に関する一切の影響は本質的に排除される。これは、コントラスト比を改善するものである。

本発明の別の好適な実施例においては、進展電圧V_Eは例えば10～15ボルトに比較的低く選択し、セルの最終状態または外観を変更する。この実施例において、進展ステージは、選択電圧により得られた過渡プレーナ構造をフォーカルコニックではなく反射的なプレーナ

10

20

30

40

50

に進展させる電圧を用いても良い。この実施例においては、選択段階から帰着した最終状態は、進展電圧が更に大きい場合に帰着したものと異なっている。この実施例の利点は、進展時間間隔の終端にて存在する状態が最終状態であり、進展段階の終結時に遷移が一切生じないことである。従って、この実施例は、選択段階に引続いて印加される電圧においてのみ、ゆえに、結果的な液晶状態においてのみ、先の実施例と異なっている。選択段階の終結時にはあるレベルを有する電圧が各ピクセルに印加されるが、このレベルは、過渡プレーナ状態にあるピクセルは反射的ツィステッドプレーナ状態に進展し、ホメオトロピック状態にあるピクセルはフォーカルコニック状態に進展するようなものである。従って、この進展段階における電圧レベルは、ホメオトロピック状態が過渡プレーナ状態に転化しない様に十分に高いレベルであり、過渡プレーナ状態はフォーカルコニック構造に進展せずかつホメオトロピック状態はフォーカルコニック構造に転化するに十分な程度に低いレベルに選択されねばならない。

この付加的実施例の進展段階の後、ピクセルに印加された電圧はゼロまで減少され得るが、これらの材料のゼロ電界双安定性のゆえに、プレーナ構造へと進展したピクセルはその状態に留まり、フォーカルコニック構造に進展したピクセルはゼロ電界で留まる。従って、この実施例による方法は、前述のものと同様の準備段階および選択段階を用いる。しかし、保持状態において、電圧は低い値に低下しもしくは完全に除去され得ると共に、進展段階の間に得られたプレーナ状態またはフォーカルコニック状態に留まる。

4段階駆動体系

本発明の代わりの実施例においては、アドレスシーケンスに対して付加的な段階を加えることによりその時間が更に節約され得ることがわかる。図11Aおよび11Bに示されたこの駆動体系において、アドレスシーケンスは4つの段階から成っている。すなわち準備、準備後、選択および進展である。図3Aおよび3Bに示された先の実施例においては、選択段階に対する時間間隔は約1ミリ秒であった。この実施例においては、選択段階と、付加された準備後段階に対する時間間隔は、約0.5ミリ秒である。

図11Aおよび11Bは、図3Aおよび3Bに類似した手法で画素の表示状態を示している。図11Aおよび11Bは、フォーカルコニック状態(図11A)またはツィステッドプレーナ状態(図11B)のいずれかを達成すべくピクセルを横切る実効値(RMS)電圧を時間の関数として示している。いずれかの状態を得るために、持続時間T1を有する準備段階300の間に、液晶材料をホメオトロピック状態に進める制御電圧が液晶材料に印加される。前述と同様に、電圧V_pおよび持続時間T1は、材料を完全にホメオトロピック構造に転化せしめるに十分なものとせねばならない。もちろん、電圧V_pおよび持続時間T1に対して選択される値は、先の実施例で論じた設計考察に基づいて選択される。

準備後期間312において、準備電圧V_pより相当に低い電圧V_jが液晶材料に印加され、ホメオトロピック構造からの遷移を開始する。この遷移をより良く理解すべく、図12を参照する。ホメオトロピック状態から過渡プレーナ状態への遷移において、液晶材料の極性角度θは0°から90°へと変化する。可視光を反射するコレステリック液晶材料に対しては、遷移時間は約0.5msである。図12から明らかのように、この遷移θは遷移の開始においては比較的低速で変化する。この低速の間隔はt₁として定義される。遷移θは次に極めて迅速に変化するが、この高速の間隔はt₂として定義される。この実施例において、緑色光を反射するコレステリック材料に対しては、t₁+t₂は約0.5msに等しく、t₁は約0.2msの持続時間を持つ準備後段階312であり、t₂は選択段階である。前述の実施例(図3)においては、選択期間(T2)は間隔t₁+t₂を包含している。準備後段階312において、印加された電圧V_iは比較的低く、材料はコニックヘリカル構造を介した過渡プレーナ状態への弛緩が許容される。時間間隔t₁の間、極性角度θは0°から僅かに逸れている。

選択段階314において、電圧V_sはフォーカルコニック状態とツィステッドプレーナ最終状態との間の選択を行うべく液晶材料に印加される。この電圧V_sは、極性角度θの増加を停止すると共に材料をホメオトロピック状態に戻し切換える高電圧V_r316とされ得る。電圧V_rの値はV_iに対する値より相当に大きい。代替的に、電圧V_sは、極性角度θを90°まで連続的に増加させることにより前離を更に過渡プレーナ状態へと弛緩させる低電圧V_b318と

10

20

30

40

50

され得る。電圧 V_b に対する値は、 V_i に対する値よりも僅かに大きいだけである。図 12 に見られるように、可視光を反射するコレステリック液晶材料に対し、極性角度が 5° から 90° まで変化する時間間隔 t_2 は約 0.2ms である。材料をホメオトロピック構造に戻し切換える電圧は、材料の極性角度に依存する。大きな極性角度を有するコレステリック材料は、材料をホメオトロピック構造に進める為に高電圧を要する。

進展段階 320においては、材料が選択段階において過渡プレーナ構造に選択されている場合、フォーカルコニック構造へと進めるために液晶材料に対して電圧 V_e が印加され、あるいは、選択段階において材料がホメオトロピック構造に選択されている場合、材料はホメオトロピック構造に維持される。電圧 V_e に対する値は準備電圧よりも小さいが準備後電圧より大きい。前述の実施例のように、選択電圧 V_e および持続時間 $T3$ に対する値を選択するときには、コントラスト比および駆動速度などの種々の要因を考慮する必要がある。10

進展段階の後、印加された電圧は、プレーナ - フォーカルコニック遷移に対する電圧である V'_{p_f} より小さい。液晶材料がホメオトロピック構造にある場合、それは反射的プレーナ状態へと弛緩する。材料がフォーカルコニック状態に切換えられる場合、材料は実質的に透明なフォーカルコニック状態に留まる。

図 13 は、図 2 に示された各電極に対して電圧を印加するシーケンスを示している。図 4 A ~ 4 F に示された手法とほぼ同様に、図 13 はそれぞれの行電極および列電極に対して適用されるアドレス方法を示している。電圧 V_0 および $-V_0$ は列電極に印加される一方、行電極には準備、準備後、選択および進展電圧が順次に印加される。図 13 に示された電極により画定されたピクセルは、「F」または「P^{*}」と標識化され、アドレスを行う間における各電極間の液晶材料の状態を表している。当業者であれば、「F」は液晶材料がフォーカルコニック状態にあるときにピクセルが最終的に黒色に見えることを表すと共に、「P^{*}」は材料がプレーナ状態にあるときにピクセルが最終的に反射して見えることを表すことを理解し得よう。 $V_b = V_s - V_0 < V_{p+h}$ であるとき、当該ピクセルは、最終的にフォーカルコニック構造を有するピクセルに帰着する過渡プレーナ状態を呈することは理解されよう。また、 $V_r = V_s - (-V_0) > V_{p+h}$ であるとき、当該ピクセルは、最終的にプレーナ構造を有するピクセルに帰着するホメオトロピック構造を呈する。電圧値 V_{p+h} は、液晶材料をホメオトロピック構造に進めるに必要な電圧値を表す。20

電極に印加される実際の波形は図 14 および 15 に示されている。これらの波形は、液晶材料のイオン状態をさけるために振動する双極信号である。波形 W7 は行入力電圧を示し、波形 W8 は列入力電圧を示し、波形 W9 は、画素を横切る W7 および W8 の合成または組み合わせ信号を示している。図 14 に示された各波形により、液晶材料は準備段階 300 の間のホメオトロピック状態から選択段階 314 の間の過渡プレーナ状態へ変化することができる。これは、進展段階 320 の後において液晶材料をフォーカルコニック状態に切換えるものである。図 15 において、波形 W10 は行入力電圧を示し、波形 W11 は列入力電圧を示し、波形 W12 は、画素を横切る W10 および W11 の合成または組み合わせ信号を示している。波形 W10 ~ W12 は、液晶材料を選択段階の間にホメオトロピック状態に維持するが、これはピクセルに対するツィステッドプレーナ最終状態に帰着するものである。下方に示されているのは、上述のように液晶セルに印加される電圧シーケンスの例である。この例は限定的なものでなく、改良された遷移時間の一例に過ぎない。30

例

PMMA被覆を有する緑色 (green) 反射サンプルが形成されると共に、次のシーケンスで電圧信号が印加された。

準備段階 : 40ms, 60V

準備後段階 : 0.2ms, 6V

選択段階 : 0.2ms

進展段階 : 40ms, 29V

最終的な反射と選択電圧のグラフ表示は、図 16 に示されている。選択電圧が 27V より高ければ高い反射値が得られる。また、選択電圧が 15V より低ければ低い反射値が得られる。従って、15V ~ 27V の範囲の選択電圧によりグレースケールが得られる。40

図17に示されるように、時間変調技術を用いてもグレースケールを得ることができる。選択段階の開始時に、準備後電圧 V_i と同一の電圧が印加され、次に更に高い電圧 V_s が t の間に印加される。 $V_s = 35V$ が上述の例に印加された場合、別のグレースケールを示す最終反射と t との関係は図18に示される。

5段階駆動体系

この実施例においては、アドレスシーケンスに対して更に別の段階を加えることにより時間が更に節約され得ることが見出される。図19Aおよび19Bに示されたこの駆動体系においては、選択段階318と進展段階320との間に選択後段階330が挿入されている。選択後段階の挿入により、フラットパネルディスプレイに対する全体的なアドレス時間は約22msまで減少され得る。

図19Aおよび19Bは、適切な電極を横切る実効値(rms)電圧に関する画素の表示状態を時間の関数として示している。4段階駆動体系と類似したシーケンスにおいて、準備段階300は t_p の間に十分に高い V_p を印加して液晶材料をホメオトロピック構造に駆動するが、これは液晶材料のディレクタの極性角度を0°位置に回転せしめるものである。印加された電圧は主として、行電極に電力を与える行ドライバにより提供される。

準備後段階312において、印加電圧、 V_{pp} は t_{pp} の間に十分に低くまたは減少され、液晶材料が弛緩するのを許容する。液晶ディレクタの極性角度は僅かに増大した値を示す。

選択段階314においては、 t_s の間に、液晶材料の最終外観を最終的に決定する電圧 V_s が印加される。高電圧316は液晶材料が過渡プレーナ構造へ弛緩するのを停止すると共に、この材料をホメオトロピック構造に戻す。低電圧318により、液晶材料が過渡プレーナ構造に弛緩し続けることができ、ディレクタの極性角度は比較的大きくなる。電圧 V_s の印加は、行ドライバおよび列電極に電力を与える列ドライバにより生成された電圧を組み合わせることにより達成される。

選択後段階330において、 t_{as} の間に電圧 V_{as} が印加されるがこれは比較的に低いものである。印加電圧 V_s に依存して、液晶材料は次の様に挙動する。選択段階314においてホメオトロピック構造が選択されている場合、選択後段階330により液晶材料は僅かに過渡プレーナ構造に向けて弛緩せしめられる。換言すると、極性角度は小さな非ゼロ値に戻る。しかし、選択段階314において過渡プレーナ構造が選択されている場合、選択後段階330は液晶材料を、ディレクタの極性角度がほとんど90°となる過渡プレーナ構造にほとんど完全に転化する。列ドライバは電圧 V_{as} を供給する。

進展段階320においては、比較的中間の電圧 V_e が印加される。図19Bに見られるように、もし液晶材料が選択後段階330においてホメオトロピック構造からわずかに逸れれば、この材料はホメオトロピック構造に戻し切換えるか、または、ホメオトロピック構造から僅かに逸れた状態に維持される。進展段階320の後、電圧が十分に低ければ、材料は過渡プレーナ構造に弛緩してから安定プレーナ構造になる。しかし、図19Aに見られるように、選択後段階330において液晶材料が過渡プレーナ構造に弛緩する場合、液晶材料は進展段階320においてフォーカルコニック構造に切換わる。従って、液晶材料はフォーカルコニック構造に留まり、この材料は透明または僅かに散乱して見える。進展段階において供給された電圧は、ほとんどは行ドライバから供給されるものである。

例

	準備	準備後	選択	選択後	進展
電圧(V)	60	8	32/48	8	30
パルス幅(ms)	5	0.5	0.05	0.5	15
周波数(Hz)	1 k	20 k	20 k	20 k	1 k

5 μmのセルが、黄色光を反射するピッチ長を有するコレステリック液晶材料により作成された。上記の表に示されたように、選択段階314における電圧 V_s が32ボルトまたはそれ

10

20

30

40

50

以下であるとき、進展段階320の後にフォーカルコニック構造が得られる。また、選択段階314における電圧 V_s が48ボルトまたはそれ以上であるとき、プレーナ構造が得られる。持続時間 t_s は約0.05msである。勿論、これらのおよび上記表に列挙された他の値は、液晶材料および他の要因により変更され得る。この例において印加される電圧は矩形波または正弦波のいずれかとし得ることは理解されよう。

5段階駆動体系に対する列電圧および行電圧は、図20に示されている。5段階を通し、列電圧は、「C」により表されて最終的にフォーカルコニック構造に帰着するコニックヘリカル構造を選択するような $V_0 = 8V$ 、または、「H」により表されて最終的にプレーナ構造に帰着するホメオトロピック構造を選択するような $-V_0 = -8V$ のいずれかであり、一方、周波数は20KHzである。

行電圧の値は、所望の構造に従い、5段階の間に変化する。準備段階の間ににおいて、行電圧は $V_p = 59.5V$ であり周波数は1KHzである。当業者であれば、適切な行電極および列電極の間のピクセルの実効値電圧は $(59.5^2 + 8^2) = 60V$ であることを理解し得よう。準備後段階および選択後段階の間ににおいて、印加された行電圧は $V_{pp} = V_{as} = 0V$ である。従って、準備後段階および選択後段階においてピクセルを横切る電圧は8Vである。

選択段階の間ににおいて、行電圧の周波数は20KHz(列電圧と同じ)であり、行電圧は $(32 + 48) / 2 = 40V$ である。従って、もしフォーカルコニック構造が所望であれば、列電圧は8Vであり、且つ、ピクセルを横切る電圧は $40 - 8 = 32V$ である。もしプレーナ構造が所望であれば、列電圧は-8Vであり、ピクセルを横切る電圧は $40 - (-8) = 48V$ である。

進展段階において行電圧は29Vであり、1KHzの周波数で印加される。従って、各ピクセルを横切る実効値電圧は約30Vである。5段階の完了の後、行電圧は0Vであり、アドレスシーケンスの後で各ピクセルを横切る電圧は8Vでクロストークの影響はない。

5段階駆動体系は、液晶ディレクタの極性角度を予備配設することにより、他の駆動体系と比較して改良を与えている。5段階駆動体系においては、選択間隔は4段階駆動体系よりも短い。これは、画像をアドレスする全般的なフレーム時間を減少するものである。

2段階駆動体系

背景技術の箇所で論じたように、双安定液晶ディスプレイに対する従来の駆動体系は、一度に1ラインをアドレスするものである。従来の駆動体系により反射外観を得るには、比較的高電圧が印加されて材料をホメオトロピック構造に切換える。高電圧の除去時に、材料はプレーナ構造へと弛緩する。透明外観または僅かに散乱する外観を得るためにには、中間電圧が印加されて材料をフォーカルコニック構造へと切換える。電圧の除去時に、材料はフォーカルコニック構造に留まる。材料をホメオトロピック構造に切換えるための時間間隔は、液晶材料に対して高電圧を印加することにより減少され得る。残念ながら、材料をフォーカルコニック構造に切換えるための時間間隔は高電圧を印加することによっては減少され得ない。と言うのも、高電圧は液晶材料を不都合なホメオトロピック構造に進めてしまうからである。この駆動体系により1ラインをアドレスする最短時間間隔は約20msである。

本実施例においては図21Aおよび21Bに示されるように、液晶材料が所望の状態へと弛緩するのを待つという問題は、準備段階において、ホメオトロピック構造と対照的にフォーカルコニック構造を採用することにより克服される。材料をフォーカルコニック構造に切換えるために必要とされる時間は約15msであるが、準備段階において多くのラインを同時にアドレスすべく図22に示されたパイプラインアルゴリズムが採用され得る。nラインをアドレスするためのフレーム時間または合計時間は、 $t_p + n \cdot t_s$ である。

準備段階350においては、持続時間 t_p の間に電圧 V_p が印加され、フォーカルコニック構造が得られる。選択段階352においては、選択電圧 V_s が印加され、液晶材料をその所望の最終外観に進める。比較的高電圧354の印加は、材料にホメオトロピック構造を達成せしめる。選択段階352の後、ホメオトロピック構造はプレーナ構造へと弛緩する。比較的低電圧356の印加は、材料をフォーカルコニック構造に留まらせるが、この構造は選択電圧 V_s の除去後もそのままである。

代表的なセルが、黄色光を反射するコレステリック液晶材料BL061/E44を使用して作成された。また、約15msの持続時間 t_p の間、約30Vの電圧 V_p がピクセルを横切るようにして印加された。図23においては、アドレスシーケンスの後における液晶材料の反射率と選択電圧が示されている。「P」による白丸は、初期状態が - 準備段階350に先立って - プレーナ構造にあった場合の材料の反射率を示すマークである。また、「F」による黒丸は、初期状態がフォーカルコニック構造であった場合の材料の反射率を示すマークである。この例においては約2msの持続時間である選択段階352において、選択電圧354はプレーナ構造を得るために約63Vであると共に、選択電圧356はフォーカルコニック構造を得るために約45Vである。

図24は、この実施例に対する行電圧および列電圧によるアドレスシーケンスを示している。選択段階の間ににおいて、行電圧は $(45 + 63) / 2 = 54V$ であると共に周波数は1KHzである。フォーカルコニック構造を選択するためには、列電圧は $V_0 = (63 - 45) / 2 = 9V$ であり、これはピクセルを横切る電圧 $(54 - 9) = 45V$ に帰着する。プレーナ構造を選択するためには、列電圧は $-V_0 = -9V$ であり、これはピクセルに亘る $V_0 L (54 - (-9)) = 63V$ に帰着する。選択段階の間にクロストーク効果はない。準備段階に対する電圧 V_p は約28.6Vであり、周波数は500Hzである。従って、ピクセルを横切る電圧は $(28.6^2 + 9^2) = 30V$ である。

上述の記述からは、2段階駆動体系は、先に示された他の複数段階駆動体系と比較して少なくとも2つの利点を有することが理解され得る。すなわち、このアドレスシーケンスの合計時間 ($t_p + t_s$) は約17msであるが、他のアドレスシーケンスは80msもの長い間になり得る。従って、この駆動体系はビデオ速度作動に極めて好都合である。本実施例のもうひとつの利点は、他の複数段階駆動体系よりも駆動波形が相当に単純なことである。

図11～24に示されると共に記述された代わりの実施例はまた、図1～6に示された第1の実施例の変形を有しても良い。従って、第1の実施例からの作用特徴を取り入れて以下で論ずる回路を活用することは、代わりの実施例の範囲内である。

制御電子機器

図7は、ディスプレイ10からの指定出力を達成するために縁部接点を励起する回路200のブロック図である。図7に示された特定のディスプレイは、 320×320 画素のマトリクスである。従って、このディスプレイは320行を有すると共に、各行は320の独立制御可能な画素を有している。

上述の論議からは、ディスプレイ10の各行および各列は、ディスプレイにわたり延伸する電極に対して制御電圧を結合するためにディスプレイの縁部における接点またはコネクタを有することが明らかである。図7のブロック図は、ディスプレイの外周の回りで離間されたグループに分割されたこれらの縁部接点を、励起または駆動する回路を示している。ディスプレイの一側における行ドライバのグループ210は、ディスプレイの偶数行 (0, 2, 4など) に結合された縁部接点を起動すると共に、ディスプレイの他側における行ドライバの第2のグループ212はディスプレイの奇数行 (1, 3, 5など) に結合された縁部接点を起動する。同様に、列ドライバのグループ214は偶数列を起動すると共に、列ドライバの第2のグループ216は奇数列を起動する。

行ドライバおよび列ドライバの組のそれぞれは、ディスプレイ10上のデータの表示を制御する制御/ロジック回路220に電気的に接続される。制御/ロジック回路220からのデータおよび制御信号は、2つの制御/データバス222、224上に提示される。これらの2つのバス上のデータは、2個の電子的にプログラム可能なメモリ回路226、228から出力される。制御信号は、回路220のロジック部分から生成される。

図7においてディスプレイの左側にある行ドライバ210は、直列接続された160個のアナログスイッチ240から構成される。これらのスイッチの内のひとつの機能ブロック図は、図10に示されている。行ドライバを構成する上で使用される好適なアナログスイッチは、Supertexから市販されている型式HV204アナログスイッチである。

図10の機能ブロック図に見られるように、各アナログスイッチ240は、データ入力242、データ出力244、および、データを保持するための8ビットシフトレジスタ246を有する。

10

20

30

40

50

データは、二値状態データビットから成る。データ入力242におけるデータは、クロック入力248をトグルすることによりシフトレジスタ246内にクロック的に入力される。

シフトレジスタは8本のパラレル出力246a～246hを有している。これらの出力におけるデータは、8個のラッチ回路250a～250hに示される。これらのラッチ回路の各々は、制御/データバス222の制御部分に接続されたクリア入力CLおよびラッチイネーブル入力NTOLEを有している。ラッチは、クリア入力への信号の印加に際してクリアされ、ロードイネーブル信号の受信時にラッチ回路のD入力に示されたデータをラッチする。このラッチ回路にラッチされたデータは、ラッチからの出力に示されると共に、8個のレベルシフタ252a～252hの内の連携されたものを介して通信を行う。

アナログスイッチ240の各々はまた、8個のスイッチまたは出力部254a～254hを有する。ラッチのステータスは、アナログスイッチの連携された出力部またはスイッチ部分の状態を決定する。もしラッチが高ビットを含めばスイッチ出力は閉じ、ラッチが低ビットを有せばスイッチ出力は開く。特定の例として、ラッチ250hがシフトレジスタからラッチされた高ビットを有する場合、スイッチ部分254hは図10に示された2個の接点260、262を相互に接続する。

データバス222からのデータが直列接続アナログスイッチ240を介していかにクロック的に入力されるべきかを理解するためには、アナログスイッチ240の各々が、±50V波形と接続された2個の入力ピンと、±30V波形に接続された2個のピンと、±19V波形に接続された2個のピンと、接地された2個のピンとを有していることを理解せねばならない。これらの4つの異なる電圧入力と連携された各出力は、相互に結合される。これは図10に見られるものであり、スイッチ部254aは±50V信号に接続され、スイッチ部254bは±30V信号に接続され、スイッチ部254cは±19V信号に接続され、スイッチ部254cへの入力は接地されている。これらのスイッチ部の各々からの出力は、相互に接続されると共にディスプレイ10の行0に接続されていることも注意されたい。

行319として示された行(図7)が準備段階110に遭遇するとき、シフトレジスタにはビットパターンがロードされ、ラッチイネーブル入力がトグルされたときにラッチ250a内に高ビットがラッチされるのを確かなものとする。3個のラッチ250b、250c、250dへの出力は、準備段階の間は“ロー”としなければならない。図7に見られるように、ディスプレイ10は底部から頂部に向けて順番に更新されることから、所定の行に対して適切な行励起信号は、短時間後の次の行に対して適切であり、ゆえに、制御回路220は、各シフトレジスタに対して4個のクロック信号を適切に印加することによりシフトレジスタ内のデータをシフトすることのみが必要である。20回の準備サイクル、1回の選択サイクル、およびその後の20回の進展サイクルを達成するために適切な一連のビットは、最底部のアナログスイッチ240にシフト入力されると共に、シフトレジスタに対するクロック入力の適切なクロック操作により全ての行ドライバにわたリシフトアップされて行く。各クロック信号の後に制御回路220は、ラッチに対し、縁部接点を励起するに適切なデータを同時にラッチする。制御回路220は、行ドライバが適切なデータを受信するように、データの表示およびクロック操作を調整する。

ディスプレイ更新中の任意の時点において、ディスプレイ内の320行の内の単に1行のみが双極選択信号により励起される。その行における各ピクセルの状態(ツイステッドプレーナまたはフォーカルコニック)は電子的にプログラム可能な第2のメモリ228に記憶される。行ドライバの配置構成が変化するとき毎に、制御回路220は正しい列データを2個の列ドライバ214、216にロードする必要がある。図5および6に見られるように、列ドライバ214、216の目的は、選択段階に遭遇している行の320個のピクセルの各々に対する±8V信号の位相を制御することである。

好適な列ドライバ214、216は、(部品番号SED1191fにより指定される)SMOS列ドライバ集積回路を用いて構築される。2個の列ドライバの各々は、ディスプレイ10の代表的接点70a、70b、70cなどの列縁部接点を駆動する+8ボルトおよび-8ボルト入力270, 272を有する回路ボード220上に構築される。

図8には、40個のアナログスイッチ240を支持する行ドライバ・プリント回路ボード274 50

のレイアウトが示されている。行ドライバ210はこのようなアナログスイッチを160個必要とすることから、ドライバ210は4個の回路ボード274、275、276、277から作成されている(図9)。

図8における回路ボードは、回路ボード274上にある他の40個のアナログスイッチに対して双極信号を提供する波形生成器である3個のアナログスイッチ280、282、284を有する。アナログスイッチ280は、アナログスイッチ240の各々に接続された矩形波の双極(±)50ボルト信号を提供する。アナログスイッチ282は、双極(±)30ボルト信号を提供すると共に、アナログスイッチ284は双極(±)19ボルト信号を提供する。

波形生成器からの矩形波出力は、適切な大きさの正電圧および負電圧を2個のアナログスイッチ入力に接続すると共に、これらの入力に連携された出力を相互に接続することにより達成される。アナログスイッチ回路のシフトレジスタ内にクロック的に入力されたデータの適切な調節により、スイッチからの双極出力が提供される。

回路ボード274は、インターフェースを行うための多数の入力および出力を有する。ひとつのコネクタ290は、制御/データバス222を接続し、ボードに対して制御およびデータ信号を供給する。電源供給コネクタ292は、図9に示された調整済電源300から回路ボードに対して適切な電力信号を提供する。ボードの対向側に於ける縁部コネクタ294a~294hは、行駆動信号を遷移部プリント回路ボード296(図9)に出力するが、この回路ボード296は行駆動信号をディスプレイ10の適切な行電極に対して多重化する。一例として、コネクタ294aは、ディスプレイの20行を駆動するために20個の信号を供給する。これらの20個の信号は、コネクタ294a~294hの内のひとつに係合する一端に接点を有する柔軟な複数導体プリント回路ケーブル298に結合される。ケーブル298の各端部は、遷移部プリント回路ボード296上のコネクタに係合する接点を有している。

列ドライバに対する回路は、2枚の回路ボード274、276上に実装される。これらの回路ボードは、選択段階下にあるディスプレイの行にわたるピクセルに対して適切な段階信号を印加する回路を支持するだけでなく、この回路からディスプレイ10の縁部接点へと信号を経路付ける回路も有する。

列ドライバボード214、216は各々、3個のSMOS 1191fディスプレイドライバ集積回路、および、必要なキャパシタ、抵抗、レベル変換器、並びに、接地スイッチの役割を果たすアナログスイッチを有する。SMOS回路の各々はそれ自体、8ビット・パラレルデータバス224からデータ入力を受ける。列ドライバボードの各クロックパルスの各々は、6個のドライバ集積回路の各々が各クロック信号において1データビットを獲得し得るように、バイトデータを集結する。集積回路は64個の出力を有することから、それは行を完全に配置構成するためにバス224上に64データバイトを必要とする。従って、選択段階が新たな行に到達するとき、ドライバボード214、216内には64バイトの列データがロードされ、ドライバボード214、216からの±8ボルト矩形波信号出力の適切な段階を制御する。

本発明をある程度の詳細性を以て記述してきたが、添付の請求項の精神あるいは範囲内にある開示された設計態様からの修正および変更の全てを含むことを意図していることは理解される。

【図1】

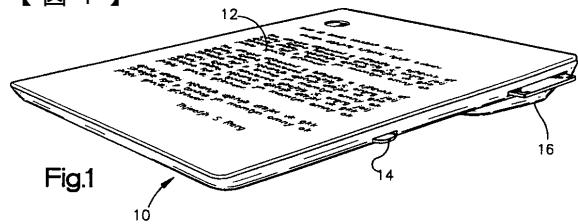


Fig.1

【図2B】

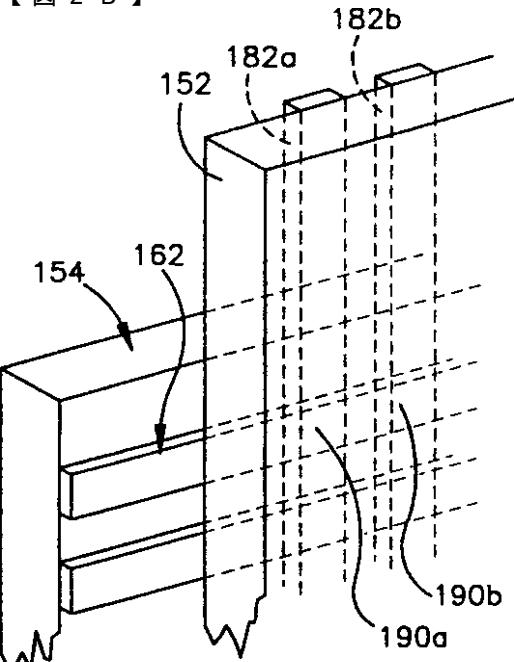


Fig.2B

【図2A】

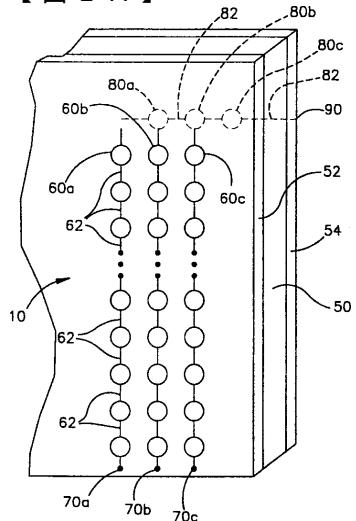


Fig.2A

【図3A】

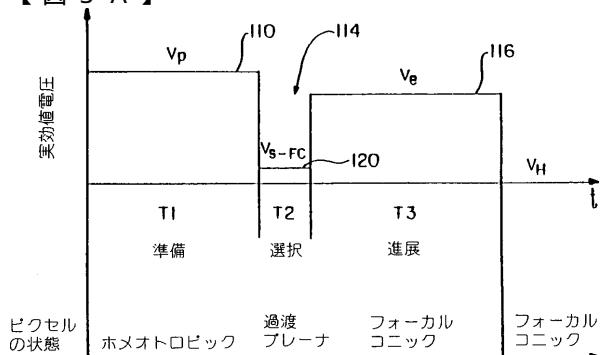


Fig.3A

【図3C】

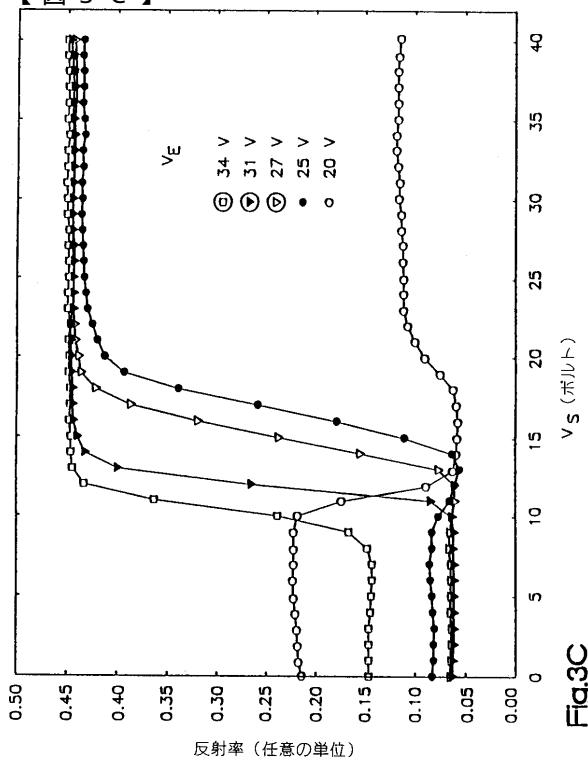


Fig.3C

【図3B】

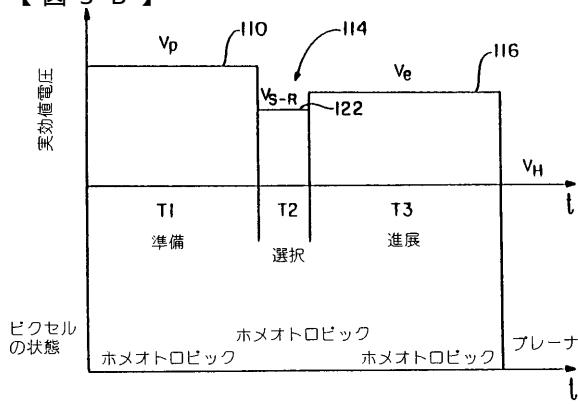


Fig.3B

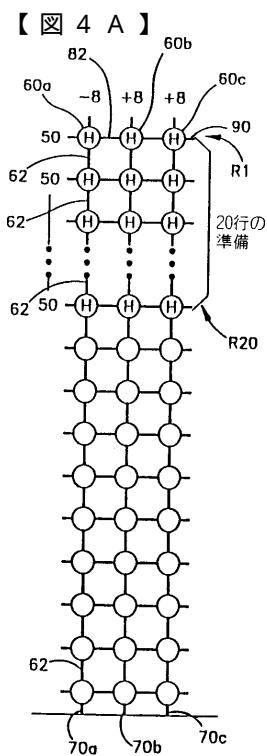


Fig.4A

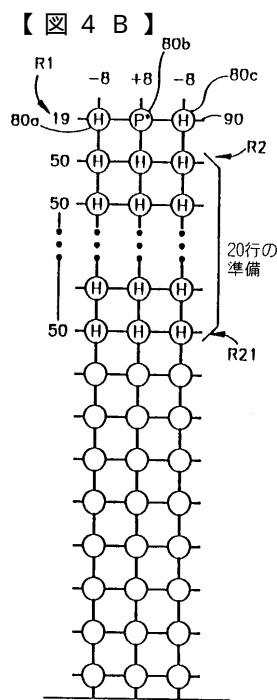


Fig.4B

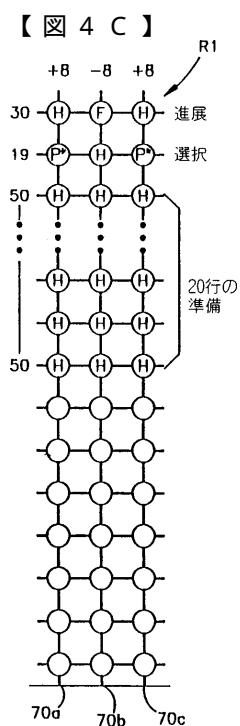


Fig.4C

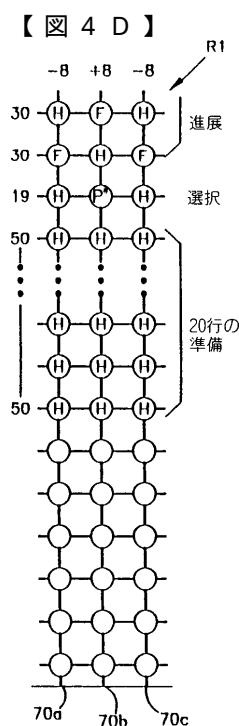


Fig.4D

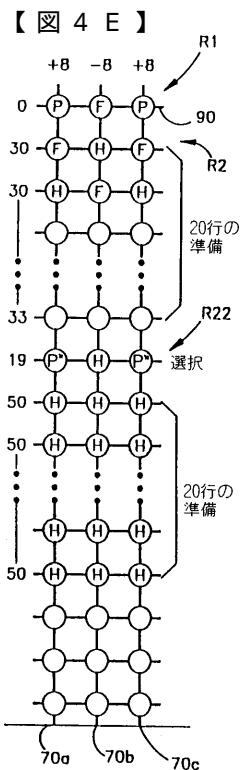


Fig.4E

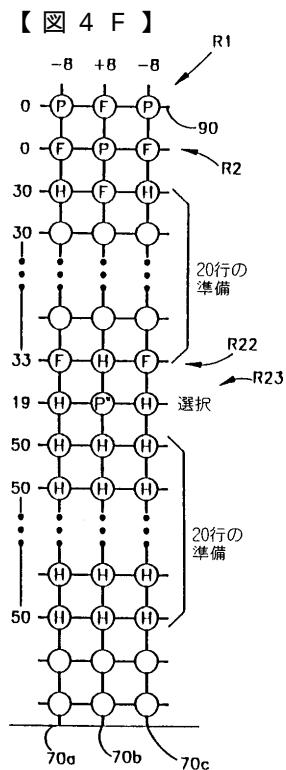


Fig.4F

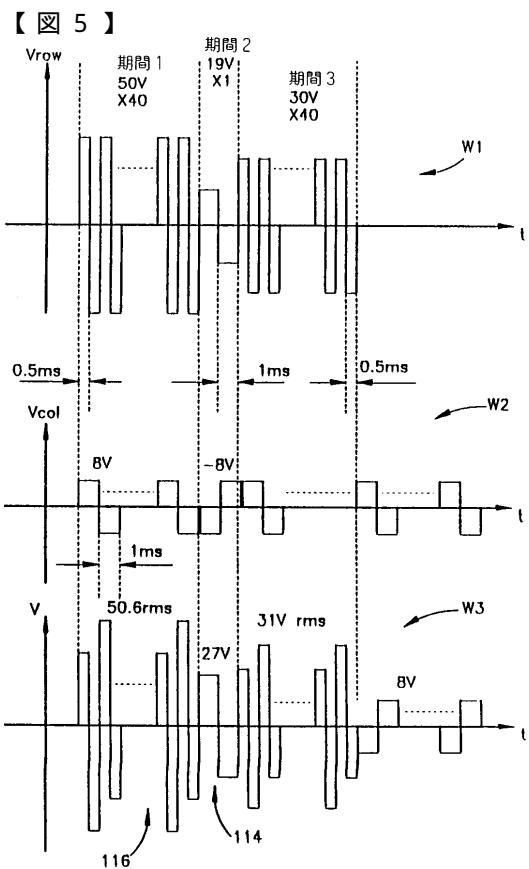


Fig.5

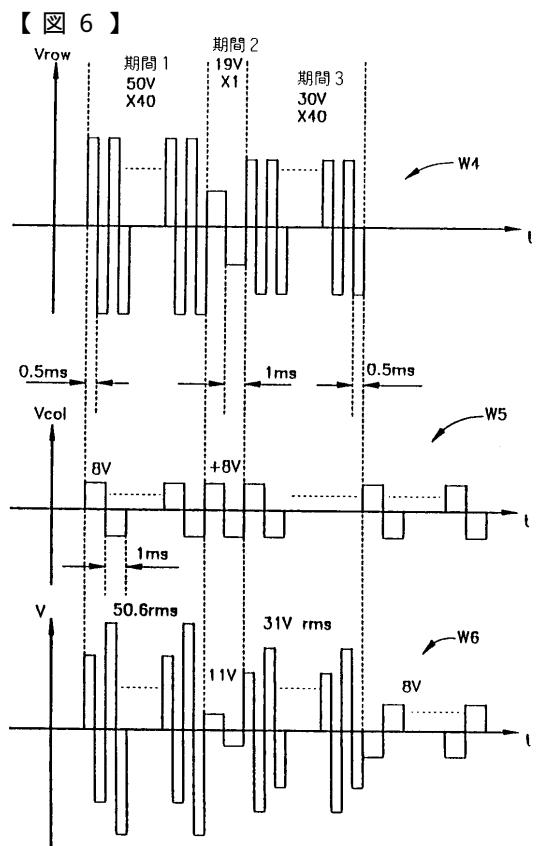
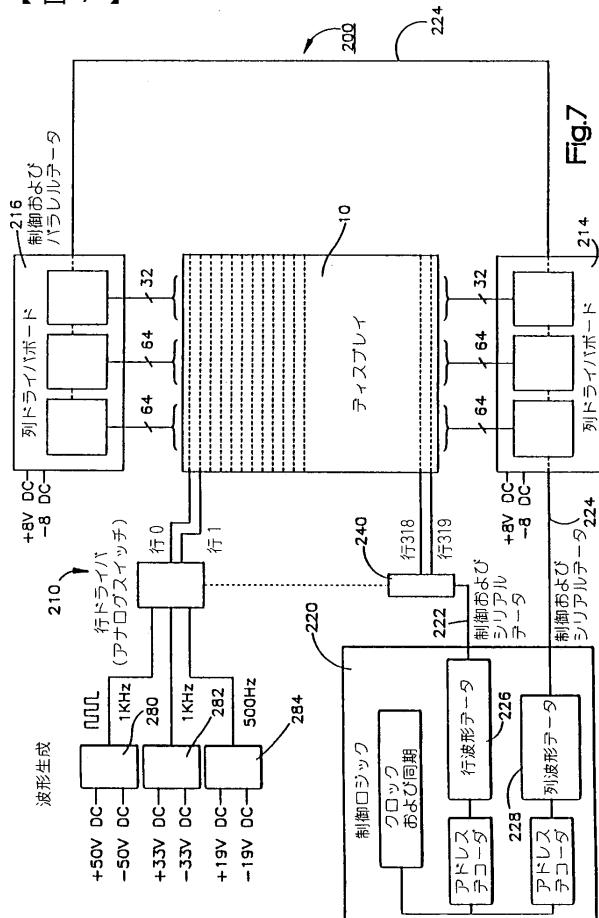


Fig.6

【図7】



【図8】

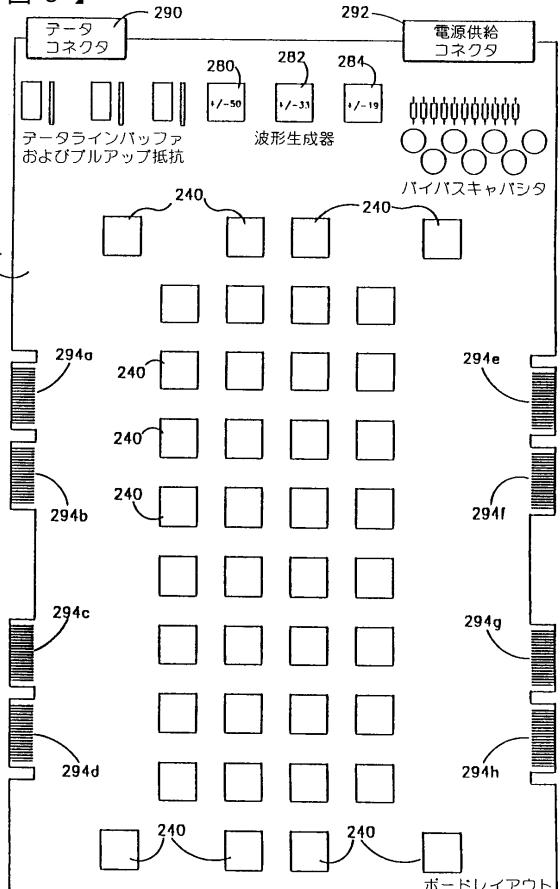


Fig.8

【図9】

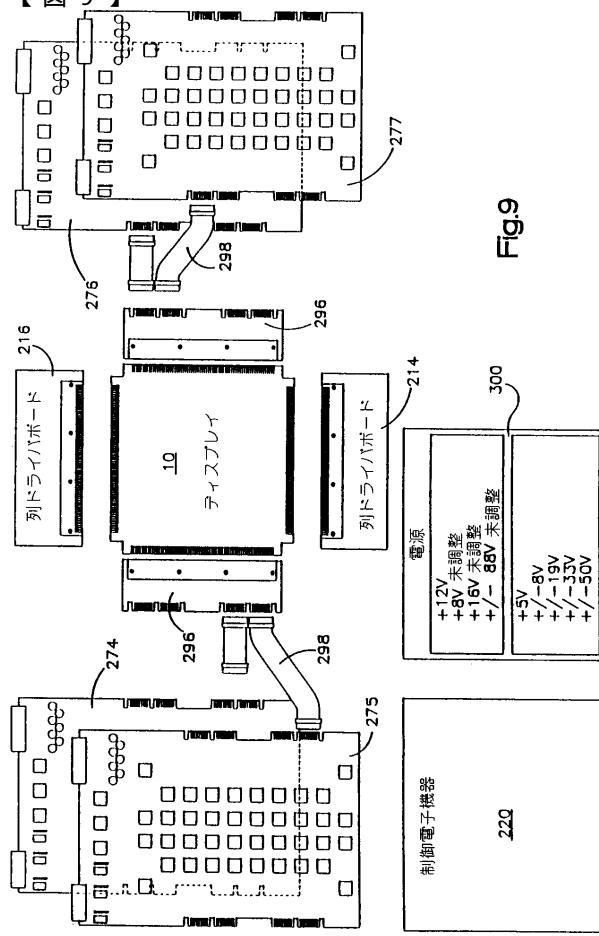


Fig.9

【図10】

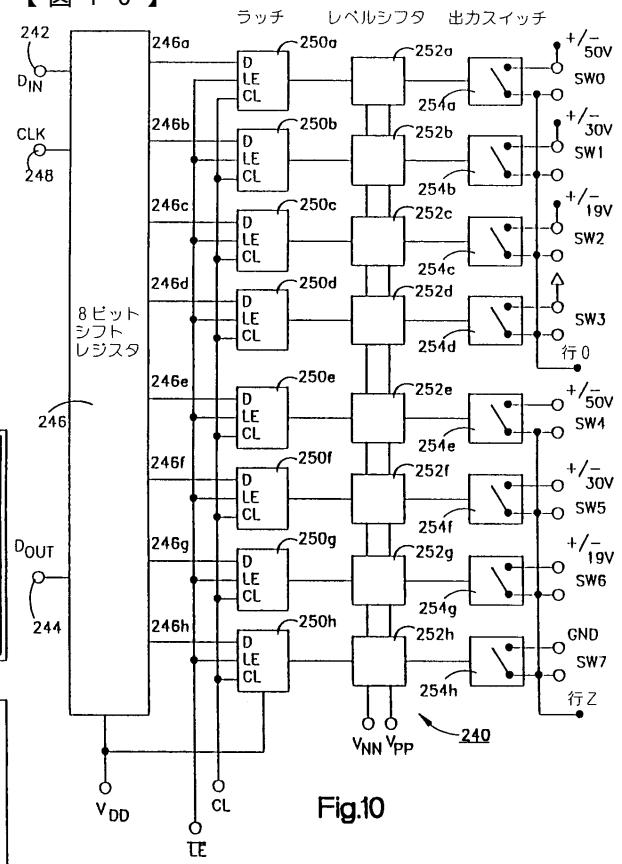


Fig.10

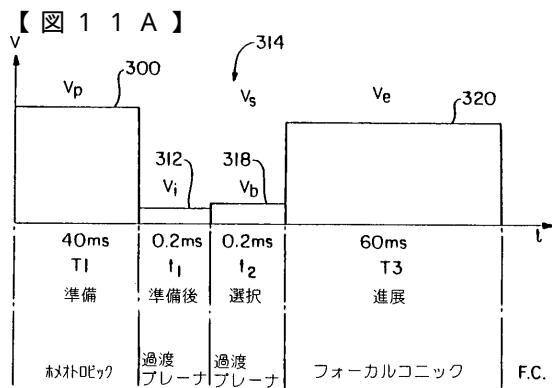


Fig.11A

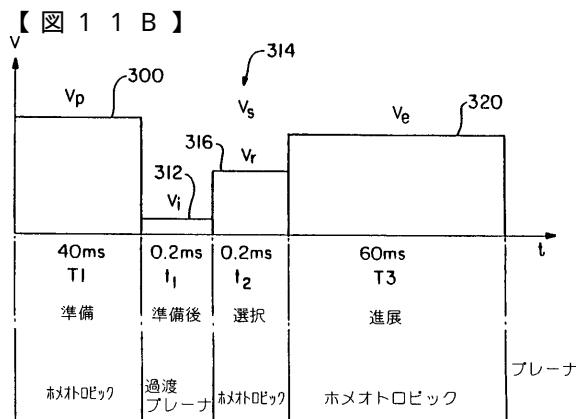
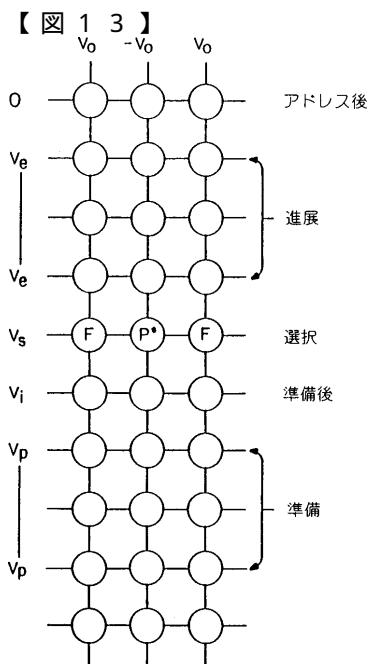


Fig.11B



$V_b = V_s - V_0 < V_{hp}$ は過渡プレーナ状態に帰着
 $V_r = V_s - (-V_0) > V_p$ はホメオトロビック状態に帰着

Fig.13

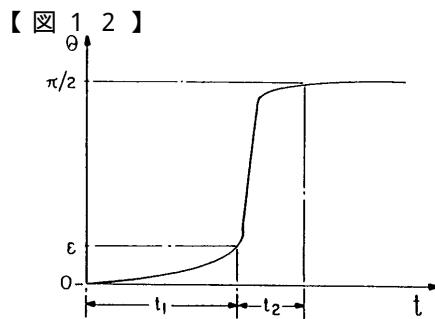


Fig.12

【図 1 6】

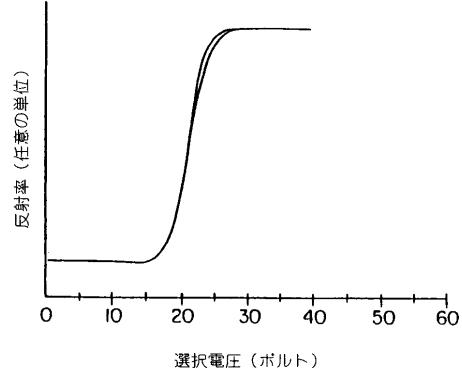


Fig.16

【図 1 4】

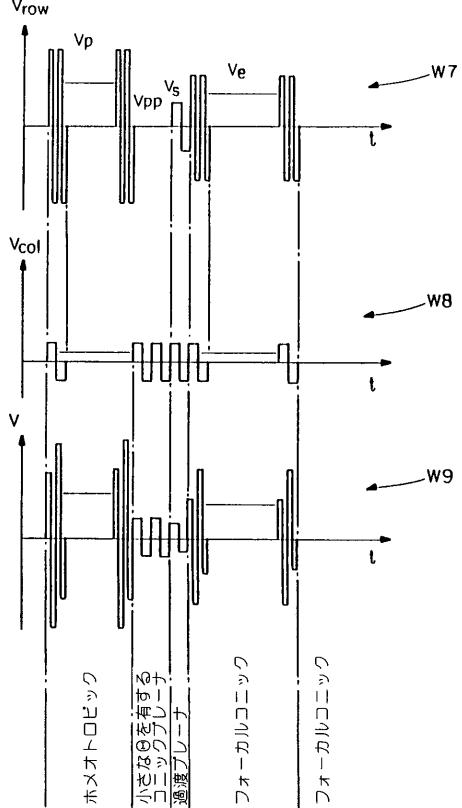


Fig.14

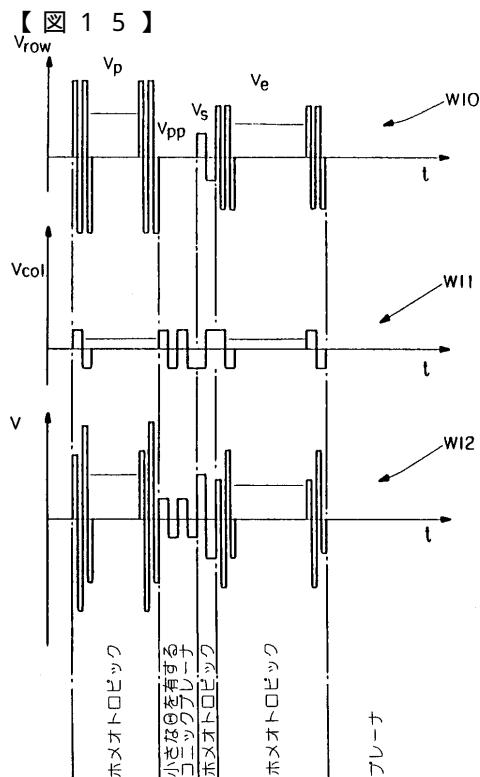


Fig. 15

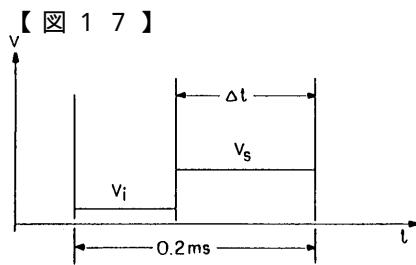


Fig. 17

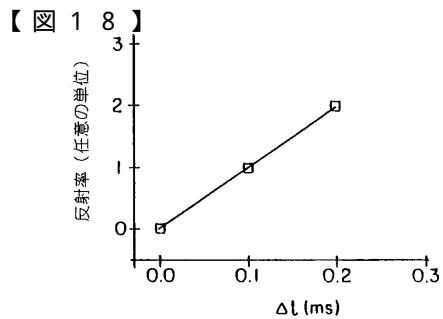


Fig. 18

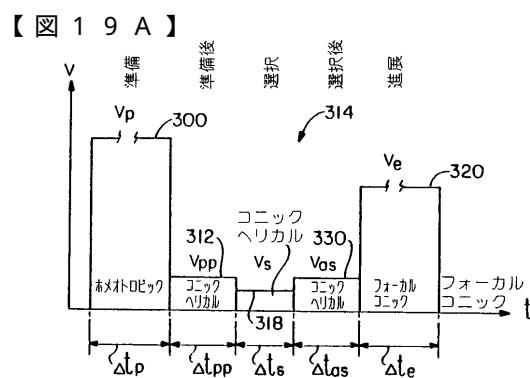


Fig.19A

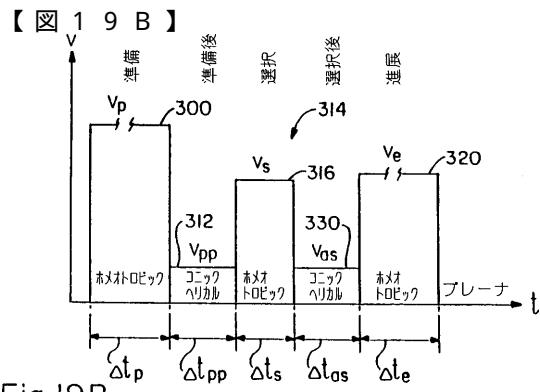


Fig.19B

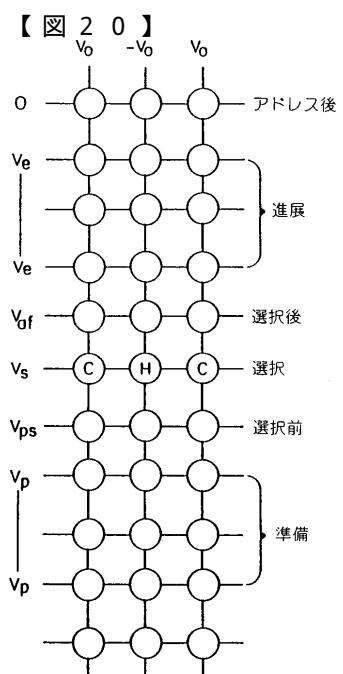


Fig. 20

【図 2 1 A】

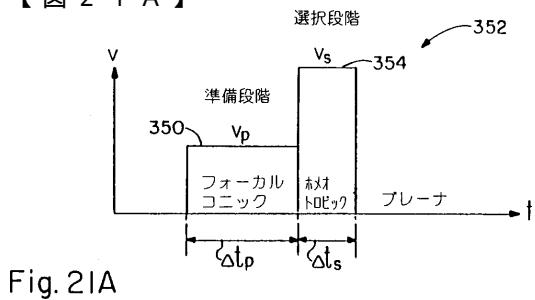


Fig. 21A

【図 2 1 B】

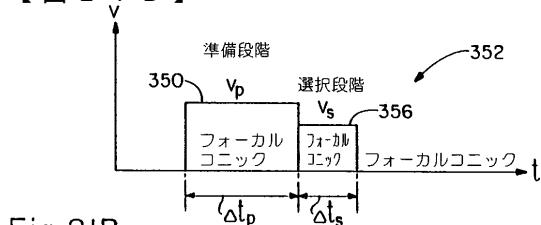


Fig. 21B

【図 2 2】

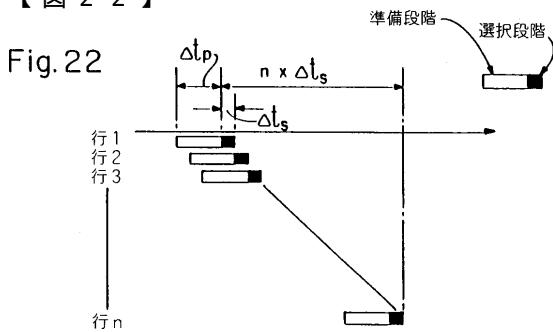


Fig. 22

【図 2 3】

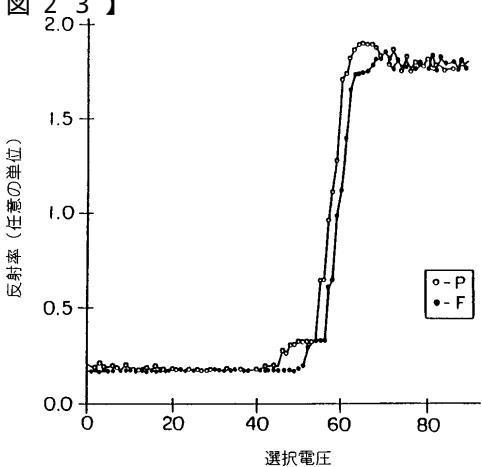


Fig. 23

【図 2 4】

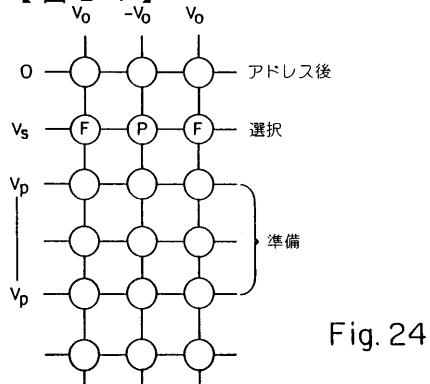


Fig. 24

フロントページの続き

(72)発明者 ヤン, デン ケ

アメリカ合衆国, オハイオ 44236, ハドソン, インディペンデンス ドライブ 6122

(72)発明者 ズー, ヤン ミン

アメリカ合衆国, オハイオ 44240, ケント, ローデス ロード 1800 アールエム 3
05

(72)発明者 フアン, シャオ ヤン

アメリカ合衆国, オハイオ 44240, ケント, アラートン ストリート1414

審査官 藤田 都志行

(56)参考文献 特開平10-206882 (JP, A)

特開平10-287873 (JP, A)

特開平10-260388 (JP, A)

特開平10-090646 (JP, A)

国際公開第98/043129 (WO, A1)

国際公開第98/031002 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/133