



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I821777 B

(45)公告日：中華民國 112 (2023) 年 11 月 11 日

(21)申請案號：110141000

(22)申請日：中華民國 102 (2013) 年 09 月 12 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2012/09/24 日本

2012-210230

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201230030A1

TW 201234598A1

JP 2002-192646A

審查人員：施喻懷

申請專利範圍項數：2 項 圖式數：27 共 121 頁

(54)名稱

半導體裝置

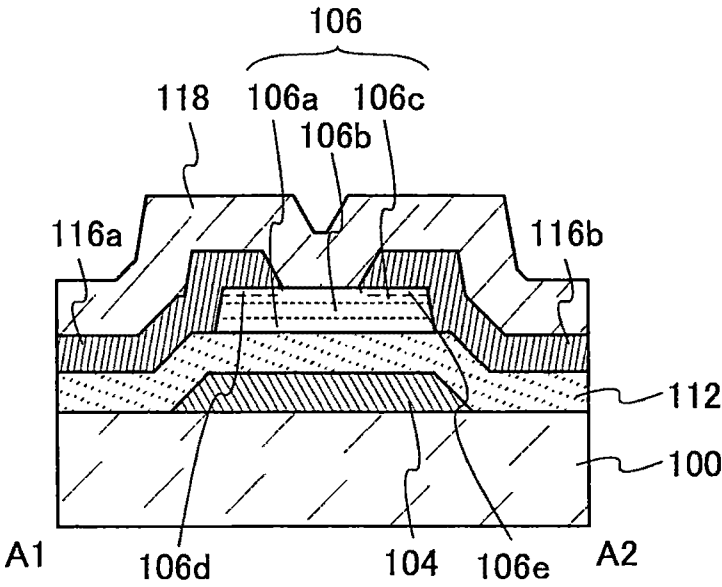
(57)摘要

本發明的課題是使使用氧化物半導體層的電晶體具有穩定的電特性。另外，本發明提供一種具有上述電晶體的高可靠性的半導體裝置。該半導體裝置包括包含氧化物層和氧化物半導體層的多層膜、與多層膜接觸地設置的閘極絕緣膜、隔著閘極絕緣膜與多層膜重疊地設置的閘極電極，其中氧化物半導體層包含銦並與氧化物層接觸地設置，氧化物層是其能隙比氧化物半導體層大的層並且包含銦。

A transistor including an oxide semiconductor layer can have stable electrical characteristics. In addition, a highly reliable semiconductor device including the transistor is provided. A semiconductor device includes a multi-layer film including an oxide layer and an oxide semiconductor layer, a gate insulating film in contact with the multi-layer film, and a gate electrode overlapping with the multi-layer film with the gate insulating film provided therebetween. In the semiconductor device, the oxide semiconductor layer contains indium, the oxide semiconductor layer is in contact with the oxide layer, and the oxide layer contains indium and has a larger energy gap than the oxide semiconductor layer.

指定代表圖：

圖 16B



符號簡單說明：

- 100:基板
- 104:閘極電極
- 106:多層膜
- 106a:氧化物層
- 106b:氧化物半導體層
- 106c:氧化物層
- 106d:源極區域
- 106e:汲極區域
- 112:閘極絕緣膜
- 116a:源極電極
- 116b:汲極電極
- 118:保護絕緣膜

發明摘要

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明的課題是使使用氧化物半導體層的電晶體具有穩定的電特性。另外，本發明提供一種具有上述電晶體的高可靠性的半導體裝置。該半導體裝置包括包含氧化物層和氧化物半導體層的多層膜、與多層膜接觸地設置的閘極絕緣膜、隔著閘極絕緣膜與多層膜重疊地設置的閘極電極，其中氧化物半導體層包含銦並與氧化物層接觸地設置，氧化物層是其能隙比氧化物半導體層大的層並且包含銦。

【英文】

A transistor including an oxide semiconductor layer can have stable electrical characteristics. In addition, a highly reliable semiconductor device including the transistor is provided. A semiconductor device includes a multi-layer film including an oxide layer and an oxide semiconductor layer, a gate insulating film in contact with the multi-layer film, and a gate electrode overlapping with the multi-layer film with the gate insulating film provided therebetween. In the semiconductor device, the oxide semiconductor layer contains indium, the oxide semiconductor layer is in contact with the oxide layer, and the oxide layer contains indium and has a larger energy gap than the oxide semiconductor layer.

【代表圖】

【本案指定代表圖】：圖 16B

【本代表圖之符號簡單說明】：

100：基板

104：閘極電極

106：多層膜

106a：氧化物層

106b：氧化物半導體層

106c：氧化物層

106d：源極區域

106e：汲極區域

112：閘極絕緣膜

116a：源極電極

116b：汲極電極

118：保護絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

[0001] 本發明係關於一種半導體裝置及其製造方法。

[0002] 另外，在本說明書中半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置，因此電光裝置、半導體電路以及電子裝置等都是半導體裝置。

【先前技術】

[0003] 使用形成在具有絕緣表面的基板上的半導體層構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路或顯示裝置等的半導體裝置。作為可用於電晶體的半導體層，已知矽膜。

[0004] 關於用於電晶體的半導體層的矽膜，根據用途分別使用非晶矽膜或多晶矽膜。例如，當用於構成大型的顯示裝置的電晶體時，較佳為使用已有大面積基板上進行成膜的技術的非晶矽膜。另一方面，當用於構成一起形成有驅動電路的高功能的顯示裝置的電晶體時，較佳為使用可以製造具有高場效移動率的電晶體的多晶矽膜。作為

形成多晶矽膜的方法，已知藉由對非晶矽膜進行高溫下的加熱處理或雷射處理形成的方法。

[0005] 並且，近年來氧化物半導體層受到關注。例如，公開了一種使用載子密度低於 $10^{18}/\text{cm}^3$ 的包含銦、鎵及鋅的氧化物半導體層的電晶體（參照專利文獻 1）。

[0006] 氧化物半導體層可以利用濺射法形成，所以可以將它應用於構成大型的顯示裝置的電晶體。另外，使用氧化物半導體層的電晶體具有高場效移動率，從而可以實現一起形成有驅動電路的高功能的顯示裝置。另外，因為使用氧化物半導體層的電晶體可以改良使用非晶矽膜的電晶體的生產裝置的一部分而利用，所以該電晶體在可以抑制生產投資的方面上優勢。

[0007] 另外，已知在使用氧化物半導體層的電晶體處於關閉狀態下，其洩漏電流極小。例如，公開了一種應用使用氧化物半導體層的電晶體的低洩漏特性的低耗電的 CPU 等（參照專利文獻 2）。

[0008]

[專利文獻 1]日本專利申請公開第 2006-165528 號公報

[專利文獻 2]美國專利申請公開第 2012/0032730 號說明書

【發明內容】

[0009] 隨著擴大使用氧化物半導體層的電晶體的應

用範圍，對於可靠性的要求也多樣化了。於是，本發明的一個方式的課題之一是使使用氧化物半導體層的電晶體具有穩定的可靠性。另外，本發明的一個方式的課題之一是提供一種包括上述電晶體的高可靠性的半導體裝置。

[0010] 本發明的一個方式是一種半導體裝置，該半導體裝置包括包含氧化物層和氧化物半導體層的多層膜、與多層膜接觸地設置的閘極絕緣膜、隔著閘極絕緣膜與多層膜重疊地設置的閘極電極，其中氧化物半導體層包含銦並與氧化物層接觸地設置，氧化物層是其能隙比氧化物半導體層大的層並包含銦。

[0011] 另外，作為包含銦的氧化物半導體層或氧化物層的典型例子，可以舉出 In-Ga 氧化物、In-Zn 氧化物或 In-M-Zn 氧化物（M 為 Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd 或 Hf）。

[0012] 另外，本發明的一個方式是一種半導體裝置，該半導體裝置包括包含氧化物層和氧化物半導體層的多層膜、與多層膜接觸地設置的閘極絕緣膜、隔著閘極絕緣膜與多層膜重疊地設置的閘極電極，其中氧化物半導體層包含銦並與氧化物層接觸地設置，氧化物層是其導帶底端的能量比起氧化物半導體層的導帶底端的能量近於真空能階的層並包含銦。注意，將真空能階和導帶底端的能量之間的能量差也稱為電子親和力。

[0013] 另外，本發明的一個方式是一種半導體裝置，該半導體裝置包括：包含第一氧化物層、第二氧化物

層以及氧化物半導體層的多層膜；與多層膜接觸地設置的閘極絕緣膜；隔著閘極絕緣膜與多層膜重疊地設置的閘極電極，其中，氧化物半導體層包含銦並與第一氧化物層接觸地設置，第一氧化物層包含銦並是其能隙比氧化物半導體層大的層，氧化物半導體層與對置於第一氧化物層的第二氧化物層接觸地設置，第二氧化物層包含銦並是其能隙比氧化物半導體層大的層。

[0014] 另外，本發明的一個方式是一種半導體裝置，該半導體裝置包括：包含第一氧化物層、第二氧化物層以及氧化物半導體層的多層膜；與多層膜接觸地設置的閘極絕緣膜；隔著閘極絕緣膜與多層膜重疊地設置的閘極電極，其中，氧化物半導體層包含銦與第一氧化物層接觸地設置，第一氧化物層包含銦並是其導帶底端的能量比起氧化物半導體層的導帶底端的能量近於真空能階的層，氧化物半導體層與對置於第一氧化物層的第二氧化物層接觸地設置，第二氧化物層包含銦並是其導帶底端的能量比起氧化物半導體層的底端的能量近於真空能階的層。

[0015] 為了使在氧化物半導體層中形成通道的電晶體具有穩定的電特性，降低氧化物半導體層的雜質濃度而實現高純度本質是有效的。實現高純度本質是指使氧化物半導體層實現本質或實際上實現本質。注意，當實際上實現本質時，氧化物半導體層的載子密度低於 $1 \times 10^{17}/\text{cm}^3$ 、低於 $1 \times 10^{15}/\text{cm}^3$ 或低於 $1 \times 10^{13}/\text{cm}^3$ 。在氧化物半導體層中，氫、氮、碳、矽以及除了主成分以外的金屬元素都是

雜質，有時這導致增大載子密度。為了降低氧化物半導體層的雜質濃度，較佳為還降低接近於氧化物半導體層的第一氧化物層和第三氧化物層。

[0016] 例如，在氧化物半導體層中，矽形成雜質能階。另外，有時該雜質能階成為陷阱，使得電晶體的電特性劣化。具體地，氧化物半導體層的矽濃度低於 1×10^{19} atoms/cm³、較佳為低於 5×10^{18} atoms/cm³，更佳為低於 1×10^{18} atoms/cm³。另外，作為電晶體的閘極絕緣膜，在很多情況下使用氧化矽膜、氧氮化矽膜、氮化矽膜、氮氧化矽膜等包含矽的絕緣膜，所以較佳為不使氧化物半導體層與閘極絕緣膜接觸。

[0017] 另外，在氧化物半導體層中氫及氮形成施體能階，使得載子密度增大。

[0018] 另外，當在閘極絕緣膜和氧化物半導體層之間的介面形成通道時，在該介面產生介面散射，由此電晶體的場效移動率變低。從上述觀點來看，較佳為以不與閘極絕緣膜接觸的方式形成氧化物半導體層而將通道從閘極絕緣膜離開。

[0019] 因此，藉由將電晶體的通道從閘極絕緣膜離開，可以實現具有穩定的電特性和高場效移動率的電晶體。因為該電晶體具有穩定的電特性，所以藉由使用該電晶體作為顯示裝置的切換元件，可以實現高可靠性的顯示裝置。

[0020] 為了將電晶體的通道從閘極絕緣膜離開，例

如作為包含氧化物半導體層的多層膜可以採用如下結構。另外，氧化物半導體層較佳為至少包含銦，因為載子移動率變高。

[0021] 包含氧化物半導體層的多層膜至少包括氧化物半導體層（方便起見，稱為第二氧化物層）以及設置在第二氧化物層和閘極絕緣膜之間的第一氧化物層（也稱為阻擋層）。第一氧化物層由構成第二氧化物層的氧以外的元素中的一種以上構成。另外，第一氧化物層是其導帶底端的能量比起第二氧化物層的導帶底端的能量近於真空能階 0.05eV 以上、 0.07eV 以上、 0.1eV 以上或 0.15eV 以上的氧化物層，並且，是近於真空能階 2eV 以下、 1eV 以下、 0.5eV 以下或 0.4eV 以下的氧化物層。此時，當對閘極電極施加電場時，在包含氧化物半導體層的多層膜中，通道形成在導帶底端的能量較小的第二氧化物層。就是說，藉由在第二氧化物層和閘極絕緣膜之間具有第一氧化物層，可以將電晶體的通道形成在不與閘極絕緣膜接觸的層（在此第二氧化物層）中。另外，由構成第二氧化物層的氧以外的元素中的一種以上構成第一氧化物層，由此在第一氧化物層和第二氧化物層之間的介面不容易產生介面散射。因此，在該介面不阻礙載子的移動，從而可以提高電晶體的場效移動率。

[0022] 例如，第一氧化物層也可以包含其原子個數比比第二氧化物層高的鋁、矽、鈦、鎵、鍺、鉕、鋅、錫、鏷、銻或鉛。具體地，作為第一氧化物層，使用包含

其原子個數比與第二氧化物層相比高 1.5 倍以上、較佳為 2 倍以上、更佳為 3 倍以上的上述元素的氧化物層。上述元素與氧堅固地接合，所以具有抑制氧缺損產生在第一氧化物層中的功能。就是說，與第二氧化物層相比，第一氧化物層不容易產生氧缺損。

[0023] 或者，在第二氧化物層和第一氧化物層都是 In-M-Zn 氧化物的情況下，當將第一氧化物層設定為 In : M : Zn = x_1 : y_1 : z_1 [原子個數比] 並且將第二氧化物層設定為 In : M : Zn = x_2 : y_2 : z_2 [原子個數比] 時，選擇 y_1/x_1 比 y_2/x_2 大的第一氧化物層及第二氧化物層。注意，元素 M 是其與氧的接合力比 In 與氧的接合力大的金屬元素，例如可以舉出 Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd 或 Hf 等。較佳的是，選擇 y_1/x_1 比 y_2/x_2 大 1.5 倍以上的第一氧化物層及第二氧化物層。更佳的是，選擇 y_1/x_1 比 y_2/x_2 大 2 倍以上的第一氧化物層及第二氧化物層。進一步佳的是，選擇 y_1/x_1 比 y_2/x_2 大 3 倍以上的第一氧化物層及第二氧化物層。此時，在第二氧化物層中，如果 y_1 為 x_1 以上就可以使電晶體具有穩定的電特性，所以是較佳的。但是，如果 y_1 為 x_1 的 3 倍以上就電晶體的場效移動率變低，所以較佳為 y_1 等於 x_1 或小於 x_1 的 3 倍。

[0024] 將第一氧化物層的厚度設定為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。另外，將第二氧化物層的厚度設定為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以

下。

[0025] 此外，包含氧化物半導體層的多層膜也可以在與閘極絕緣膜對置的一側包括與絕緣膜及第二氧化物層接觸的第三氧化物層（也稱為阻擋層）。第三氧化物層由構成第二氧化物層的氧以外的元素中的一種以上構成。另外，第三氧化物層是其導帶底端的能量比起第二氧化物層的導帶底端的能量近於真空能階 0.05eV 以上、 0.07eV 以上、 0.1eV 以上或 0.15eV 以上的氧化物層，並且，是近於真空能階 2eV 以下、 1eV 以下、 0.5eV 以下或 0.4eV 以下的氧化物層。此時，即使對閘極電極施加電場也在第三氧化物層中不形成通道。另外，由構成第二氧化物層的氧以外的元素中的一種以上構成第三氧化物層，由此在第二氧化物層和第三氧化物層之間的介面不容易形成介面能階。當該介面具有介面能階時，有時形成將該介面作為通道的臨界電壓不同的第二電晶體，使得電晶體的外觀上的臨界電壓發生變動。因此，藉由設置第三氧化物層，可以降低電晶體的臨界電壓等電特性的不均勻。注意，在包含氧化物半導體層的多層膜包括第三氧化物層的情況下，有時包含氧化物半導體層的多層膜必不需要包括第一氧化物層。

[0026] 例如，第三氧化物層也可以包含其原子個數比比第二氧化物層高的鋁、矽、鈦、鎵、鍺、釷、鉛、錫、鐳、銻或鉛。具體地，作為第三氧化物層，使用包含其原子個數比與第二氧化物層相比高 1.5 倍以上、較佳為 2 倍以上、更佳為 3 倍以上的上述元素的氧化物層。上述

元素與氧堅固地接合，所以具有抑制氧缺損產生在第三氧化物層中的功能。就是說，與第二氧化物層相比，第三氧化物層不容易產生氧缺損。

[0027] 或者，在第二氧化物層和第三氧化物層都是 In-M-Zn 氧化物的情況下，當將第二氧化物層設定為 In : M : Zn = x_2 : y_2 : z_2 [原子個數比] 並且將第三氧化物層設定為 In : M : Zn = x_3 : y_3 : z_3 [原子個數比] 時，選擇 y_3/x_3 比 y_2/x_2 大的第二氧化物層及第三氧化物層。注意，元素 M 是其與氧的接合力比 In 與氧的接合力大的金屬元素，例如可以舉出 Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd 或 Hf 等。較佳的是，選擇 y_3/x_3 比 y_2/x_2 大 1.5 倍以上的第二氧化物層及第三氧化物層。更佳的是，選擇 y_3/x_3 比 y_2/x_2 大 2 倍以上的第二氧化物層及第三氧化物層。進一步佳的是，選擇 y_3/x_3 比 y_2/x_2 大 3 倍以上的第二氧化物層及第三氧化物層。此時，在第二氧化物層中，如果 y_2 為 x_2 以上就可以使電晶體具有穩定的電特性，所以是較佳的。但是，如果 y_2 為 x_2 的 3 倍以上就電晶體的場效移動率變低，所以較佳為 y_2 等於 x_2 或小於 x_2 的 3 倍。

[0028] 將第三氧化物層的厚度設定為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。

[0029] 另外，第一氧化物層或第三氧化物層與電晶體的源極電極（源極區域）及汲極電極（汲極區域）接觸地設置。

[0030] 另外，藉由至少與氧化物半導體層的側端部

接觸地設置電晶體的源極電極（源極區域）及汲極電極（汲極區域），源極電極（源極區域）及汲極電極（汲極區域）與通道形成區域接觸，所以是較佳的。

[0031] 根據本發明的一個方式，藉由使用包含氧化物半導體層的多層膜，可以使電晶體具有穩定的電特性。另外，可以提供一種具有該電晶體的高可靠性的半導體裝置。

【圖式簡單說明】

[0032]

在圖式中：

圖 1 是根據本發明的一個方式的多層膜的剖面圖；

圖 2 是示出根據本發明的一個方式的多層膜的 ToF-SIMS 的結果的圖；

圖 3A 至 3C 是示出根據本發明的一個方式的多層膜中的氧的擴散的圖；

圖 4 是示出根據本發明的一個方式的氧化物層、氧化物半導體層的微粒數的圖；

圖 5A 和 5B 是說明根據本發明的一個方式的多層膜的帶結構的圖；

圖 6A 和 6B 是說明根據本發明的一個方式的多層膜的帶結構的圖；

圖 7 是說明根據本發明的一個方式的多層膜的帶結構的圖；

圖 8A 至 8D 是利用 TEM 觀察根據本發明的一個方式的多層膜的透射電子影像；

圖 9A 至 9D 是利用 TEM 觀察根據本發明的一個方式的多層膜的透射電子影像；

圖 10A 和 10B 是示出從靶材剝離濺射粒子的情況的圖；

圖 11A 和 11B 是示出 In-Ga-Zn 氧化物的結晶結構一個例子的圖；

圖 12A 和 12B 是示出濺射粒子到達被形成面並沉積的情況的示意圖；

圖 13A 和 13B 是示出根據本發明的一個方式的多層膜的 CPM 測定結果的圖；

圖 14 是示出成膜裝置的一個例子的俯視圖；

圖 15A 至 15C 是示出成膜室等的一個例子的剖面圖；

圖 16A 至 16D 是說明根據本發明的一個方式的半導體裝置的俯視圖及剖面圖；

圖 17A 至 17C 是說明根據本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 18A 和 18B 是說明根據本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 19A 至 19C 是說明根據本發明的一個方式的半導體裝置的俯視圖及剖面圖；

圖 20A 至 20C 是說明根據本發明的一個方式的半導體

體裝置的製造方法的剖面圖；

圖 21A 和 21B 是說明根據本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 22A 和 22B 是示出電晶體的 V_g - I_d 特性的圖；

圖 23A 和 23B 是示出閘極 BT 測試的結果的圖；

圖 24 是示出根據本發明的一個方式的半導體裝置的一個例子的方塊圖；

圖 25 是示出根據本發明的一個方式的半導體裝置的一個例子的剖面圖；

圖 26A 至 26C 是示出根據本發明的一個方式的半導體裝置的一個例子的方塊圖；

圖 27A 至 27C 是示出根據本發明的一個方式的電子裝置的一個例子的圖。

【實施方式】

[0033] 下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，所屬發明所屬之技術領域的普通技術人員可以很容易地理解一個事實，就是其方式和詳細內容可以被變換為各種各樣的形式。此外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。注意，當利用圖式簡單說明發明結構時，表示相同目標的元件符號在不同的圖式中共同使用。另外，有時使用相同的陰影圖案表示相同的部分，而不特別附加標記。

[0034] 為方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。此外，本說明書中的序數不表示特定發明的事項的固有名稱。

[0035] 注意，電壓大多指某個電位與標準電位（例如，接地電位（GND）或源電位）之間的電位差。由此，可以將電壓改稱為電位。

[0036] 注意，即使記載為“電連接”時，有時在現實的電路中沒有物理連接的部分而只是佈線延伸。

[0037] 注意，在電路工作的電流方向發生變化的情況等下，“源極”及“汲極”的功能有時互相調換。因此，在本說明書中，“源極”及“汲極”可以互相調換。

[0038] 另外，本實施方式所記載的內容可以適當地組合而使用。

[0039]

<1.包含氧化物半導體層的多層膜>

下面，參照圖 1 說明用於電晶體的包含氧化物半導體層的多層膜。

[0040]

<1-1.多層膜的結構>

在本節中，說明多層膜的結構。

[0041] 圖 1 所示的多層膜 106 包括氧化物層 106a、設置在氧化物層 106a 上的氧化物半導體層 106b 以及設置在氧化物半導體層 106b 上的氧化物層 106c。另外，下面說明多層膜 106 為三層的情況，但是也可以多層膜 106 為

兩層或四層以上。例如，多層膜 106 也可以為包含氧化物層 106a 和設置在氧化物層 106a 上的氧化物半導體層 106b 的兩層膜。或者，多層膜 106 也可以為包含氧化物半導體層 106b 和設置在氧化物半導體層 106b 上的氧化物層 106c 的兩層膜。

[0042]

<1-2.組成及雜質>

在本節中，參照圖 2 說明構成多層膜 106 的各層的矽濃度。

[0043] 在此，氧化物層 106a 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：3：2[原子個數比]）的靶材利用濺射法來形成的氧化物層。另外，在如下條件下形成氧化物層 106a：作為成膜氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體；將壓力設定為 0.4Pa；將基板溫度設定為 200℃；施加 0.5kW 的 DC 功率。

[0044] 另外，氧化物半導體層 106b 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：1：1[原子個數比]）的靶材利用濺射法來形成的氧化物半導體層。此外，在如下條件下形成氧化物半導體層 106b：作為成膜氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體；將壓力設定為 0.4Pa；將基板溫度設定為 300℃；施加 0.5kW 的 DC 功率。

[0045] 另外，氧化物層 106c 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：3：2[原子個數比]）的靶材利用濺射法來形成的氧化物層。此外，在如下條件下形成氧化物層

106c：作為成膜氣體使用 30sccm 的氫氣體及 15sccm 的氧氣體；將壓力設定為 0.4Pa；將基板溫度設定為 200℃；施加 0.5kW 的 DC 功率。

[0046] 圖 2 示出如下強度和濃度：在矽晶片上設置多層膜 106，準備沒有進行加熱處理的樣本和以 450℃ 進行了 2 小時的加熱處理的樣本，利用飛行時間二次離子質譜分析（ToF-SIMS:Time-of-flight secondary ion mass spectrometry）來示出深度方向的表示 In 的二次離子強度、表示 Ga 的二次離子強度、表示 Zn 的二次離子強度以及根據表示 SiO_3 的二次離子強度換算的 Si 濃度 [atoms/cm^3]。多層膜 106 包括厚度為 10nm 的氧化物層 106a、設置在氧化物層 106a 上的厚度為 10nm 的氧化物半導體層 106b 以及設置在氧化物半導體層 106b 上的厚度為 10nm 的氧化物層 106c。

[0047] 從圖 2 可知，根據成膜時的靶材的組成，構成多層膜 106 的各層的組成發生變化。注意，只是參照圖 2 不能對各層的結構進行比較。關於各層的結構，參照圖 2 不能進行單純的比較。

[0048] 從圖 2 可知，在多層膜 106 的矽晶片和氧化物層 106a 之間的介面以及氧化物層 106c 的上表面 Si 濃度變高。另外，也可知氧化物半導體層 106b 的 Si 濃度為 ToF-SIMS 的檢測下限的 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 左右。這可以認為是因為如下緣故：由於存在氧化物層 106a 和氧化物層 106c，因此起因於矽晶片或表面污染等的矽不影響到

了氧化物半導體層 106b。

[0049] 另外，藉由對圖 2 所示的“as-depo”（沒有進行加熱處理的樣本）的樣本和進行了加熱處理的樣本進行比較，可知因加熱處理而矽的擴散的影響小，當進行成膜時主要發生矽的混入。

[0050] 為了使使用多層膜 106 的電晶體具有穩定的電特性，使氧化物半導體層 106b 實現高純度本質是有效的。具體地，將氧化物半導體層 106b 的載子密度低於 $1 \times 10^{17}/\text{cm}^3$ 、低於 $1 \times 10^{15}/\text{cm}^3$ 或低於 $1 \times 10^{13}/\text{cm}^3$ ，即可。在氧化物半導體層 106b 中，氫、氮、碳、矽以及除了主成分以外的金屬元素都是雜質。為了降低氧化物半導體層 106b 中的雜質濃度，較佳為將接近於氧化物半導體層 106b 的氧化物層 106a 中和氧化物層 106c 中的雜質濃度還降低到與氧化物半導體層 106b 中的雜質濃度同樣的程度。

[0051] 尤其是，由於氧化物半導體層 106b 包含高濃度的矽，在氧化物半導體層 106b 中起因於矽的雜質能階被形成。有時該雜質能階成為陷阱，使得電晶體的電特性劣化。為了降低電晶體的電特性的劣化，氧化物半導體層 106b 的矽濃度低於 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 、較佳為低於 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ ，更佳為低於 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 。氧化物層 106a 和氧化物半導體層 106b 之間的介面及氧化物半導體層 106b 和氧化物層 106c 之間的介面的矽濃度也低於 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 、較佳為低於 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ ，更佳為低於

$1 \times 10^{18} \text{ atoms/cm}^3$ 。

[0052] 另外，在氧化物半導體層 106b 中氫及氮形成施體能階，使得載子密度增大。為了使氧化物半導體層 106b 實現本質或實際上本質，將利用 SIMS 測量的氧化物半導體層 106b 的氫濃度為 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下，進一步佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。另外，將利用 SIMS 測量的氮濃度低於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，進一步佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。

[0053] 另外，由於氧化物半導體層 106b 包含高濃度的矽及碳，有時使得降低氧化物半導體層 106b 的結晶性。為了不使氧化物半導體層 106b 的結晶性降低，將氧化物半導體層 106b 的矽濃度低於 $1 \times 10^{19} \text{ atoms/cm}^3$ 、較佳為低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為低於 $1 \times 10^{18} \text{ atoms/cm}^3$ 。另外，為了不使氧化物半導體層 106b 的結晶性降低，將氧化物半導體層 106b 的碳濃度低於 $1 \times 10^{19} \text{ atoms/cm}^3$ 、較佳為低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為低於 $1 \times 10^{18} \text{ atoms/cm}^3$ 。後面說明多層膜 106 的結晶性。

[0054] 有時，氧化物半導體層及氧化物層中的氧缺損具有雜質的作用。在此，參照圖 3A 至 3C 說明在進行 350°C 或 450°C 的加熱處理之後多層膜 106 中的氧擴散的情況。

[0055] 圖 3A 至 3C 表示一個結果，該結果是如下：

對使用 $^{18}\text{O}_2$ 氣體形成多層膜 106 中的任一層的樣本進行 SIMS 測量，測定深度方向的 ^{18}O 的濃度分佈。

[0056] 在此，氧化物層 106a 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：1：1[原子個數比]）的靶材利用濺射法來形成的氧化物層。

[0057] 另外，氧化物半導體層 106b 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=3：1：2[原子個數比]）的靶材利用濺射法來形成的氧化物半導體層。

[0058] 另外，氧化物層 106c 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：1：1[原子個數比]）的靶材利用濺射法來形成的氧化物層。

[0059] 在此，圖 3A 示出如下濃度分佈：對氧化物層 106a 的成膜使用 $^{18}\text{O}_2$ 氣體並對其他層的成膜不使用 $^{18}\text{O}_2$ 氣體的樣本的包含氧化物層 106a、氧化物半導體層 106b 以及氧化物層 106a 和氧化物半導體層 106b 之間的介面的深度方向的 ^{18}O 的濃度分佈。可知與沒有進行加熱處理（記載為“as-depo”，由虛線表示）的樣本相比，在進行 350℃ 的加熱處理之後（記載為“350℃ 的加熱處理之後”，由實線表示）的樣本以及進行 450℃ 的加熱處理之後（記載為“450℃ 的加熱處理之後”，由短劃線表示）的樣本中 ^{18}O 從氧化物層 106a 擴散到氧化物半導體層 106b。

[0060] 另外，圖 3B 示出如下濃度分佈：對氧化物半導體層 106b 的成膜使用 $^{18}\text{O}_2$ 氣體並對其他層的成膜不使

用 $^{18}\text{O}_2$ 氣體的樣本的包含氧化物半導體層 106b、氧化物層 106c 以及氧化物半導體層 106b 和氧化物層 106c 之間的介面的深度方向的 ^{18}O 的濃度分佈。可知與沒有進行加熱處理（記載為“as-depo”，由虛線表示）的樣本相比，在進行 350°C 的加熱處理之後（記載為“ 350°C 的加熱處理之後”，由實線表示）的樣本以及進行 450°C 的加熱處理之後（記載為“ 450°C 的加熱處理之後”，由短劃線表示）的樣本中 ^{18}O 從氧化物半導體層 106b 擴散到氧化物層 106c。

[0061] 另外，圖 3C 示出如下濃度分佈：對氧化物半導體層 106b 的成膜使用 $^{18}\text{O}_2$ 氣體並對其他層的成膜不使用 $^{18}\text{O}_2$ 氣體的樣本的包含氧化物半導體層 106b、氧化物層 106a 以及氧化物半導體層 106b 和氧化物層 106a 之間的介面的深度方向的 ^{18}O 的濃度分佈。可知與沒有進行加熱處理（記載為“as-depo”，由虛線表示）的樣本相比，在進行 350°C 的加熱處理之後（記載為“ 350°C 的加熱處理之後”，由實線表示）的樣本以及進行 450°C 的加熱處理之後（記載為“ 450°C 的加熱處理之後”，由短劃線表示）的樣本中 ^{18}O 從氧化物半導體層 106b 擴散到氧化物層 106a。

[0062] 如圖 3A 至 3C 表示，可知在多層膜 106 中氧彼此移動而擴散。

[0063]

<1-3.氧化物層>

接著，利用濺射法形成多層膜 106 所使用的可應用於氧化物層 106a 和氧化物層 106c 的氧化物層，測定 $1\mu\text{m}$ 以上的微粒數。

[0064] 對於使用氧化鎵靶材形成的樣本、使用 Ga-Zn 氧化物（Ga：Zn=2：5[原子個數比]）靶材形成樣本、使用 In-Ga-Zn 氧化物（In：Ga：Zn=3：1：2[原子個數比]）靶材形成的樣本、使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：1：1[原子個數比]）靶材形成的樣本以及使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：3：2[原子個數比]）靶材形成的樣本進行測量。

[0065] 由圖 4 可知，在使用氧化鎵靶材形成的樣本及使用 Ga-Zn 氧化物靶材形成的樣本中，隨著氧化物層變厚，顯著增大 $1\mu\text{m}$ 以上的微粒數。另一方面，可知當使用 In-Ga-Zn 氧化物的靶材進行成膜時，即使氧化物層變厚也較不容易增大 $1\mu\text{m}$ 以上的微粒數。

[0066] 因此，當利用濺射法進行成膜時，從微粒數的增大的觀點來看，較佳為使用包含銦的靶材。另外，可知較佳為使用銦、鎵以及鋅的原子個數比中鎵所占的比率比較少的氧化物靶材。尤其是，當使用包含銦的靶材時，可以提高靶材的導電率並容易進行 DC 放電及 AC 放電，從而容易對應於大面積的基板上的成膜。由此，可以提高半導體裝置的生產率。

[0067]

<1-4.帶結構>

在本節中，參照圖 5A 和 5B 以及圖 6A 和 6B 說明多層膜 106 的帶結構。

[0068] 另外，使用能隙為 3.15eV 的 In-Ga-Zn 氧化物作為氧化物層 106a，使用能隙為 2.8eV 的 In-Ga-Zn 氧化物作為氧化物半導體層 106b，使用具有與氧化物層 106a 同樣的物性的氧化物層作為氧化物層 106c。另外，氧化物層 106a 和氧化物半導體層 106b 之間的介面近旁的能隙為 3eV ，氧化物層 106c 和氧化物半導體層 106b 之間的介面近旁的能隙為 3eV 。利用光譜橢圓偏光計（HORIBA JOBIN YVON 公司製造的 UT-300）測量能隙。另外，將氧化物層 106a 的厚度、氧化物半導體層 106b 的厚度以及氧化物層 106c 的厚度都設定為 10nm 。

[0069] 圖 5A 是示出在從氧化物層 106c 對多層膜 106 進行蝕刻的同時，測量各層的真空能階和價帶頂端之間的能量差並將該能量差的值由點表示出的圖。關於真空能階和價帶頂端之間的能量差，利用紫外線光電子能譜（UPS：Ultraviolet Photoelectron Spectroscopy）裝置（PHI 公司製造的 VersaProbe）進行測定。

[0070] 圖 5B 是示出藉由真空能階和價帶頂端之間的能量差減各層的能隙計算出真空能階和導帶底端之間的能量差並將該能量差的值由點表示出的圖。

[0071] 示意性地示出圖 5B 的帶結構的一部分就是圖 6A。在圖 6A 中，說明與氧化物層 106a 以及氧化物層 106c 接觸地設置氧化矽膜的情況。在此， E_{c11} 表示氧化

矽膜的導帶底端的能量， E_{cS1} 表示氧化物層 106a 的導帶底端的能量， E_{cS2} 表示氧化物半導體層 106b 的導帶底端的能量， E_{cS3} 表示氧化物層 106c 的導帶底端的能量， E_{cI2} 表示氧化矽膜的導帶底端的能量。

[0072] 如圖 6A 所示那樣，在氧化物層 106a、氧化物半導體層 106b 以及氧化物層 106c 中，導帶底端的能量連續地變化。根據在氧化物層 106a 和氧化物半導體層 106b 之間以及氧化物半導體層 106b 和氧化物層 106c 之間氧彼此擴散的圖 3A 至 3C 所示的結果，也可以理解上述變化。

[0073] 另外，雖然圖 6A 示出氧化物層 106a 和氧化物層 106c 是具有同樣的物性的氧化物層的情況，但是也可以氧化物層 106a 和氧化物層 106c 是具有不同的物性的氧化物層。例如，當 E_{cS1} 的能量比 E_{cS3} 大時，帶結構的一部分表示為圖 6B 所示的帶結構。另外，雖然在圖 6A 和 6B 中沒表示，但是也可以 E_{cS3} 的能量比 E_{cS1} 大。

[0074] 從圖 5A 和 5B 以及圖 6A 和 6B 可知，多層膜 106 的氧化物半導體層 106b 成為阱 (well)，在使用多層膜 106 的電晶體中通道形成在氧化物半導體層 106b。另外，由於多層膜 106 的導帶底端的能量連續地變化，也可以將多層膜 106 稱為 U 字形阱 (U-shaped well)。

[0075] 另外，如圖 7 所示那樣，在氧化物層 106a 以及氧化物層 106c 與氧化矽膜等絕緣膜之間的介面近旁，雖然有可能形成起因於雜質或缺陷的陷阱能階，但是藉由

具有氧化物層 106a 及氧化物層 106c，可以使氧化物半導體層 106b 和該陷阱能階遠離。注意，當 EcS1 或 EcS3 和 EcS2 之間的能量差小時，有時電子超過該能量差到達陷阱能階。電子被陷阱能階俘獲，使得在絕緣膜的介面產生負的固定電荷，這導致電晶體的臨界電壓漂移到正的方向。

[0076] 因此，藉由將 EcS1 與 EcS2 之間的能量差及 EcS3 與 EcS2 之間的能量差都設定為 0.1eV 以上，較佳為 0.15eV 以上，減少電晶體的臨界電壓的變動而使電晶體具有穩定的電特性，所以是較佳的。

[0077]

<1-5.結晶性>

在多層膜 106 中，較佳為至少氧化物半導體層 106b 具有結晶性。藉由氧化物半導體層 106b 具有結晶性，與氧化物半導體層 106b 不具有結晶性的情況相比，可以使用多層膜 106 的電晶體具有穩定的電特性。在本節中，說明多層膜 106 的氧化物半導體層 106b 具有結晶性的一個例子。

[0078]

<1-5-1.利用 TEM 的結晶排列的評估>

在此，關於多層膜 106 的結晶性，利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）評價原子排列等。下面，參照圖 8A 至 8D 以及圖 9A 至 9D 進行說明。

[0079] 在此，氧化物層 106a 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：3：2[原子個數比]）的靶材利用濺射法來形成的氧化物層。另外，在如下條件下形成氧化物層 106a：作為成膜氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體；將壓力設定為 0.4Pa；將基板溫度設定為 200℃；施加 0.5kW 的 DC 功率。

[0080] 另外，氧化物半導體層 106b 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：1：1[原子個數比]）的靶材利用濺射法來形成的氧化物半導體層。另外，在如下條件下形成氧化物半導體層 106b：作為成膜氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體；將壓力設定為 0.4Pa；將基板溫度設定為 300℃ 或 400℃；施加 0.5kW 的 DC 功率。

[0081] 另外，氧化物層 106c 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：3：2[原子個數比]）的靶材利用濺射法來形成的氧化物層。另外，在如下條件下形成氧化物層 106c：作為成膜氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體；將壓力設定為 0.4Pa；將基板溫度設定為 200℃；施加 0.5kW 的 DC 功率。

[0082] 圖 8A 至 8D 以及圖 9A 至 9D 是包含設置在基板的矽晶片上的氧化矽膜上的多層膜 106 的各樣本的透射電子影像。另外，在圖 8A 至 8D 與圖 9A 至 9D 中進行評價的各樣本的不同之處只在於形成氧化物半導體層 106b 時的基板溫度，即圖 8A 至 8D 的基板溫度為 300℃，在圖 9A 至 9D 的基板溫度為 400℃。另外，對各樣本沒有進行

成膜後的加熱處理。利用日立穿透式電子顯微鏡 H-9500 得到透射電子影像。

[0083] 在此，在多層膜 106 中，使用厚度為 20nm 的 In-Ga-Zn 氧化物作為氧化物層 106a，使用厚度為 15nm 的 In-Ga-Zn 氧化物作為氧化物半導體層 106b，使用厚度為 5nm 的 In-Ga-Zn 氧化物作為氧化物層 106c。圖 8A 示出包括氧化物層 106a、氧化物半導體層 106b 以及氧化物層 106c 的透射電子影像。圖 8B 為氧化物半導體層 106b 和氧化物層 106c 之間的介面近旁的放大圖，圖 8C 為氧化物層 106a 和氧化物半導體層 106b 之間的介面近旁的放大圖，圖 8D 為氧化矽膜和氧化物層 106a 之間的介面近旁的放大圖。同樣地，圖 9A 示出包括氧化物層 106a、氧化物半導體層 106b 以及氧化物層 106c 的透射電子影像。圖 9B 為氧化物半導體層 106b 和氧化物層 106c 之間的介面近旁的放大圖，圖 9C 為氧化物層 106a 和氧化物半導體層 106b 之間的介面近旁的放大圖，圖 9D 為氧化矽膜和氧化物層 106a 之間的介面近旁的放大圖。

[0084] 從圖 8A 至 8D 以及圖 9A 至 9D 可知，氧化物層 106a 和氧化物層 106c 不具有明確的結晶部。另外，氧化物半導體層 106b 是在從與氧化物層 106a 之間的介面到與氧化物層 106c 之間的介面的整個區域中具有高結晶性的結晶。另外，可知氧化物半導體層 106b 的結晶部的原子排列形成與氧化物半導體層 106b 的上表面平行的面上的層狀的排列。另外，在氧化物半導體層 106b 的結晶部

彼此之間觀察不到明確的晶界。此外，可知與圖 8A 至 8D 所示的氧化物半導體層 106b 相比，圖 9A 至 9D 所示的氧化物半導體層 106b 的結晶性較高。

[0085] 氧化物半導體層 106b 為結晶的事實與圖 2 所示的 ToF-SIMS 的結果也適合。就是說，可以認為藉由存在氧化物層 106a 和氧化物層 106c，對氧化物半導體層 106b 的矽的混入變少，從而不產生氧化物半導體層 106b 的結晶性的降低。

[0086] 如此，可以認為通道被形成的氧化物半導體層 106b 具有高結晶性並且起因於雜質或缺陷等的能階少，由此可知使用多層膜 106 的電晶體具有穩定的電特性。

[0087]

<1-5-2.結晶成長的模型>

在此，參照圖 10A 至圖 12B 說明具有高結晶性的氧化物半導體層 106b 的結晶成長的模型。

[0088] 圖 10A 是示出離子 1001 碰撞到包含具有高配向性的多晶氧化物半導體的靶材 1000 而使具有結晶性的濺射粒子 1002 剝離的狀態的示意圖。晶粒具有平行於靶材 1000 的表面的劈開面和原子之間的接合弱的部分。當離子 1001 碰撞到晶粒時，原子之間的接合弱的部分的原子間接合被切斷。由此，由劈開面及原子之間的接合弱的部分切斷，以平板狀（或者顆粒狀）剝離而產生濺射粒子 1002。另外，濺射粒子 1002 具有的平面的圓當量直徑為

晶粒的平均粒徑的 $1/3000$ 以上且 $1/20$ 以下，較佳為 $1/1000$ 以上且 $1/30$ 以下。注意，面的圓當量直徑是指等於面的面積的正圓形的直徑。

[0089] 或者，由於晶粒的一部分從劈開面作為粒子剝離並暴露於等離子，從原子之間的接合弱的部分開始切斷接合，由此生產多個濺射粒子 1002。

[0090] 藉由作為離子 1001 使用氧的陽離子，可以減輕成膜時的電漿損傷。因此，可以抑制離子 1001 碰撞到靶材 1000 的表面時的靶材 1000 的結晶性的下降或靶材 1000 的非晶化。

[0091] 在此，作為包含具有高配向性的多晶氧化物半導體的靶材 1000 的一個例子，圖 11A 示出從平行於結晶的 a-b 面的方向看時的 In-Ga-Zn 氧化物的結晶結構。另外，圖 11B 示出放大圖 11A 中的由短劃線圍繞的部分。

[0092] 例如，包含在 In-Ga-Zn 氧化物中的晶粒中，在圖 11B 所示的含有銻原子和/或鋅原子及氧原子的第一層與含有銻原子和/或鋅原子及氧原子的第二層之間的面就是劈開面。這是因為在第一層和第二層中具有負電荷的氧原子之間的距離近（參照圖 11B 的圍繞的部分）。如此，劈開面是平行於結晶的 a-b 面的面。另外，在圖 11A 和 11B 所示的 In-Ga-Zn 氧化物的結晶是六方晶，所以上述平板狀晶粒容易成為具有內角為 120° 的正六角形面的六方柱狀。

[0093] 較佳為使濺射粒子 1002 帶正電。對濺射粒子

1002 的帶正電的時機沒有特別的限制，明確而言，當離子 1001 碰撞時濺射粒子接受電荷而帶正電，即可。或者，當產生等離子時，使濺射粒子 1002 暴露於等離子而帶正電，即可。或者，作為氧的陽離子的離子 1001 與濺射粒子 1002 的側面、上表面或者下表面接合而使濺射粒子 1002 帶正電，即可。

[0094] 下面，參照圖 12A 和 12B 說明濺射粒子沉積到被形成面上的情況。另外，在圖 12A 和 12B 中，由虛線表示已沉積的濺射粒子。

[0095] 圖 12A 示出被形成面 1003 具有幾層的氧化物半導體層沉積了的表面的情況。如圖 12A 所示，當濺射粒子 1002 帶正電時，在被形成面 1003 上濺射粒子 1002 移動到沒有沉積其他濺射粒子 1002 的區域而在該區域中沉積。這是因為由於濺射粒子 1002 帶正電而濺射粒子 1002 與其他濺射粒子 1002 互相排斥。

[0096] 圖 12B 是對應於圖 12A 的點劃線 X-Y 的剖面圖。如上述那樣沉積的濺射粒子 1002 的 c 軸在垂直於被形成面 1003 的方向上一致，由此氧化物半導體層 106b 形成為 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體) 層。

[0097] 像這樣，藉由沉積得到的氧化物半導體層具有均勻的厚度以及一致的晶體配向。濺射粒子不是不規則地沉積，而是以結晶的 c 軸在垂直於被形成面的方向上一致的方式帶正電了的濺射粒子彼此作用並規則地沉積。

[0098] 藉由利用上述方法使用包含具有高配向性的多晶氧化物半導體的濺射靶材，可以形成具有均勻的厚度以及一致的晶體配向的氧化物半導體層 106b。另外，將在後面說明濺射裝置的詳細內容。

[0099] CAAC-OS 層是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 層中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。CAAC-OS 層的缺陷態密度低。下面，對 CAAC-OS 層進行詳細的說明。

[0100] 在 CAAC-OS 層的 TEM 影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 層中，不容易發生起因於晶界的電子遷移率的降低。

[0101] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 層的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 層的面（也稱為被形成面）或 CAAC-OS 層的頂面的凸凹的形狀並以平行於 CAAC-OS 層的被形成面或頂面的方式排列。

[0102] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 層的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0103] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 層的結晶部具有配向性。

[0104] 使用 X 射線繞射(XRD:X-Ray Diffraction)裝置對 CAAC-OS 層進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 層時，在繞射角 (2θ) 為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO_4 結晶的 (009) 面，由此可知 CAAC-OS 層中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 層的被形成面或頂面的方向。

[0105] 另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 層時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 InGaZnO_4 結晶的 (110) 面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的條件下進行分析 (ϕ 掃描)。當該樣本是 InGaZnO_4 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於 (110) 面的結晶面。另一方面，當該樣本是 CAAC-OS 層時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

[0106] 由上述結果可知，在具有 c 軸配向的 CAAC-OS 層中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0107] 注意，結晶部在形成 CAAC-OS 層或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 層的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 層的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 層的被形成面或頂面的法線向量。

[0108] 此外，CAAC-OS 層中的晶化度不一定均勻。例如，當 CAAC-OS 層的結晶部是由 CAAC-OS 層的頂面近旁的結晶成長而形成時，有時頂面附近的晶化度高於被形成面附近的晶化度。另外，當對 CAAC-OS 層添加雜質時，被添加了雜質的區域的晶化度改變，所以有時 CAAC-OS 層中的晶化度根據區域而不同。

[0109] 注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 層時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 層的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 層中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0110] 在使用 CAAC-OS 層的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

[0111]

<1-6.局部能階密度>

藉由降低多層膜 106 中的局部能階密度，可以使使用

多層膜 106 的電晶體具有穩定的電特性。在本節中，利用恆定光電流法（CPM：Constant Photocurrent Method）對多層膜 106 的局部能階密度進行評價。

[0112] 另外，為了使電晶體具有穩定的電特性，將由利用 CPM 測定獲得的多層膜 106 的局部能階的吸收係數設定為小於 $1 \times 10^{-3} \text{cm}^{-1}$ ，較佳為小於 $3 \times 10^{-4} \text{cm}^{-1}$ ，即可。

[0113] 下面，說明進行了 CPM 測定的樣本。

[0114] 氧化物層 106a 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：3：2[原子個數比]）的靶材利用濺射法來形成的氧化物層。另外，在如下條件下形成氧化物層 106a：作為成膜氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體；將壓力設定為 0.4Pa；將基板溫度設定為 200℃；施加 0.5kW 的 DC 功率。

[0115] 另外，氧化物半導體層 106b 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：1：1[原子個數比]）的靶材利用濺射法來形成的氧化物半導體層。此外，在如下條件下形成氧化物半導體層 106b：作為成膜氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體；將壓力設定為 0.4Pa；將基板溫度設定為 200℃；施加 0.5kW 的 DC 功率。

[0116] 另外，氧化物層 106c 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：3：2[原子個數比]）的靶材利用濺射法來形成的氧化物層。此外，在如下條件下形成氧化物層 106c：作為成膜氣體使用 30sccm 的氬氣體及 15sccm 的氧

氣體；將壓力設定為 0.4Pa ；將基板溫度設定為 200°C ；施加 0.5kW 的 DC 功率。

[0117] 在此，為了提高 CPM 測定的精度，多層膜 106 需要某些厚度。具體地，將多層膜 106 中的氧化物層 106a 的厚度設定為 30nm ，將氧化物半導體層 106b 的厚度設定為 100nm ，將氧化物層 106c 的厚度設定為 30nm 。

[0118] CPM 測定是如下方法：在各波長上，在對與作為樣本的多層膜 106 接觸地設置的第一電極和第二電極之間施加電壓的狀態下以使光電流值固定的方式調整照射到樣本的表面的光量且根據照射光量得到吸收係數的方法。在 CPM 測定中，當樣本有缺陷時，對應於存在缺陷的能階的能量（根據波長換算）的吸收係數增加。藉由用常數乘以該吸收係數的增加值，可以得到樣本的缺陷密度。

[0119] 圖 13A 示出在多層膜 106 的各層的能隙以上的能量範圍中，將利用分光光度測量的吸收係數（短劃線）與進行 CPM 測定的吸收係數（實線）擬合的結果。另外，根據進行 CPM 測定的吸收係數得到的耳巴赫能量為 78.7meV 。在圖 13A 中的用短劃線的圓圍繞的能量範圍中，進行 CPM 測定的吸收係數減背景值（虛線），算出該能量範圍中的吸收係數的積分值（參照圖 13B）。從該結果可知，本樣本的起因於局部能階的吸收係數為 $2.02 \times 10^{-4}\text{cm}^{-1}$ 。

[0120] 可以認為這裡得到的局部能階是起因於雜質

或缺陷的能階。從此可知，多層膜 106 中的起因於雜質或缺陷的能階極少。就是說，使用多層膜 106 的電晶體具有穩定的電特性。

[0121]

<1-7.製造裝置>

在本節中，說明用來形成結晶性高的氧化物半導體層 106b 的成膜裝置。

[0122] 首先，參照圖 14 以及圖 15A 至 15C 說明成膜時膜中的雜質混入少的成膜裝置的結構。

[0123] 圖 14 示意性地示出枚葉式多室的成膜裝置 4000 的俯視圖。成膜裝置 4000 包括具備收納基板的盒式介面 (cassette port) 4101 和進行對準基板的處理的對準介面 (alignment port) 4102 的大氣側基板供給室 4001、將基板從大氣側基板供給室 4001 傳送的大氣側基板傳送室 4002、進行基板的搬入且將室內的壓力從大氣壓切換為減壓或從減壓切換為大氣壓的裝載閉鎖室 4003a、進行基板的搬出且將室內的壓力從減壓切換為大氣壓或從大氣壓切換為減壓的卸載閉鎖室 4003b、進行真空中的基板的傳送的傳送室 4004、對基板進行加熱的基板加熱室 4005 以及配置靶材進行成膜的成膜室 4006a、4006b、4006c。

[0124] 另外，也可以如圖 14 所示那樣具有多個（在圖 14 中三個）盒式介面 4101。

[0125] 另外，大氣側基板傳送室 4002 與裝載閉鎖室 4003a 以及卸載閉鎖室 4003b 連接，裝載閉鎖室 4003a 以

及卸載閉鎖室 4003b 與傳送室 4004 連接，傳送室 4004 與基板加熱室 4005、成膜室 4006a、成膜室 4006b 以及成膜室 4006c 連接。

[0126] 另外，在各室的連接部設置有閘閥 4104，可以使除了大氣側基板供給室 4001、大氣側基板傳送室 4002 以外的各室獨立地保持真空狀態。另外，大氣側基板傳送室 4002 及傳送室 4004 具有傳送機器人 4103，可以傳送玻璃基板。

[0127] 另外，基板加熱室 4005 較佳為兼作電漿處理室。成膜裝置 4000 可以在處理與處理之間以不暴露於大氣的方式傳送基板，由此可以抑制雜質吸附到基板上。另外，可以自由地決定成膜、加熱處理等的順序。另外，傳送室、成膜室、裝載閉鎖室、卸載閉鎖室以及基板加熱室的數目不侷限於上述數目，可以根據設置它們的空間或製程條件適當地決定個數。

[0128] 接著，圖 15A 至 15C 示出相當於圖 14 所示的成膜裝置 4000 的點劃線 X1-X2、點劃線 Y1-Y2 及點劃線 Y2-Y3 的剖面。

[0129] 圖 15A 示出基板加熱室 4005 和傳送室 4004 的剖面，基板加熱室 4005 具有可以收納基板的多個加熱載物台 4105。另外，在圖 15A 中示出加熱載物台 4105 具有 7 層的結構，但是不侷限於此，也可以採用 1 層以上且少於 7 層的結構或 8 層以上的結構。藉由增加加熱載物台 4105 的層數，可以同時對多個基板進行加熱處理以提高

生產率，所以是較佳的。此外，基板加熱室 4005 藉由閥與真空泵 4200 連接。作為真空泵 4200，例如可以使用乾燥泵、機械增壓泵等。

[0130] 另外，作為可以用於基板加熱室 4005 的加熱機構，例如也可以使用利用電阻發熱體等進行加熱的加熱機構。或者，還可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來進行加熱的加熱機構。例如，可以使用 GRTA (Gas Rapid Thermal Anneal: 氣體快速熱退火) 裝置、LRTA (Lamp Rapid Thermal Anneal: 燈快速熱退火) 裝置等的 RTA (Rapid Thermal Anneal: 快速熱退火) 裝置。LRTA 裝置是藉由鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光 (電磁波) 輻射來加熱被處理物的裝置。GRTA 裝置是利用高溫氣體進行加熱處理的裝置。氣體使用惰性氣體。

[0131] 另外，基板加熱室 4005 藉由質量流量控制器 4300 與精製器 4301 連接。注意，雖然按照氣體的種類的數目設置質量流量控制器 4300 和精製器 4301，但是為了便於理解只示出一個。作為導入到基板加熱室 4005 中的氣體，可以使用露點為 -80°C 以下，較佳為 -100°C 以下的氣體，例如可以使用氧氣體、氮氣體及稀有氣體 (氬氣體等)。

[0132] 傳送室 4004 具有傳送機器人 4103。傳送機器人 4103 具有多個可動部和保持基板的臂，能夠將基板傳送到各室。另外，傳送室 4004 藉由閥與真空泵 4200 以及

低溫泵 4201 連接。藉由採用上述結構，傳送室 4004 使用真空泵 4200 從大氣壓至低真空或中真空（0.1Pa 至幾百 Pa 程度）進行排氣，切換閥，使用低溫泵 4201 從中真空至高真空或超高真空（0.1Pa 至 1×10^{-7} Pa）進行排氣。

[0133] 另外，例如也可以使兩個以上的低溫泵 4201 與傳送室 4004 並聯連接。藉由採用上述結構，即使一個低溫泵在進行再生中也可以使用剩下的低溫泵進行排氣。注意，上述的再生是指釋放低溫泵中積存的分子（或原子）的處理。當低溫泵積存過多分子（或原子）時其排氣能力降低，由此定期進行再生。

[0134] 圖 15B 示出成膜室 4006b、傳送室 4004、裝載閉鎖室 4003a 的剖面。

[0135] 在此，參照圖 15B 說明成膜室（濺射室）的詳細內容。圖 15B 所示的成膜室 4006b 包括靶材 4106、防著板 4107、基板載物台 4108。另外，這裡在基板載物台 4108 上設置有基板 4109。雖然未圖示，但是基板載物台 4108 也可以具備保持基板 4109 的基板保持結構或從背面對基板 4109 進行加熱的背面加熱器等。

[0136] 另外，在成膜時使基板載物台 4108 保持為大致垂直於地板表面的狀態，當傳遞基板時使基板載物台 4108 保持為大致水平於地板表面的狀態。另外，在圖 15B 中，以短劃線表示的地方成為當傳遞基板時保持有基板載物台 4108 的位置。藉由採用上述結構，與使基板載物台 4108 保持為水平狀態的情況相比，可以使成膜時可能會

混入的塵屑或微粒附著於基板 4109 的概率降低。但是，當使基板載物台 4108 保持為大致垂直（ 90° ）於地板表面的狀態時，基板 4109 可能會落下，所以較佳為將基板載物台 4108 對地板表面的角度設定為 80° 以上且小於 90° 。

[0137] 另外，防著板 4107 可以抑制從靶材 4106 被濺射的粒子沉積在不希望進行濺射的區域。另外，較佳為對防著板 4107 進行加工來防止沉積的濺射粒子剝離。例如，也可以進行使表面粗糙度增加的噴砂處理或者在防著板 4107 的表面上設置凹凸。

[0138] 另外，成膜室 4006b 藉由氣體加熱機構 4302 與質量流量控制器 4300 連接，氣體加熱機構 4302 藉由質量流量控制器 4300 與精製器 4301 連接。利用氣體加熱機構 4302 可以將導入到成膜室 4006b 中的氣體加熱為 40°C 以上 400°C 以下，較佳為 50°C 以上 200°C 以下。注意，雖然按照氣體的種類的數目設置氣體加熱機構 4302、質量流量控制器 4300 和精製器 4301，但是為了便於理解只示出一個。作為導入到成膜室 4006b 的氣體，可以使用露點為 -80°C 以下，較佳為 -100°C 以下的氣體，例如可以使用氧氣體、氮氣體及稀有氣體（氬氣體等）。

[0139] 作為成膜室 4006b 也可以使用對向靶材式濺射裝置。在對向靶材式濺射裝置中，電漿侷限在靶材之間，所以可以減輕基板的電漿損傷。此外，根據靶材的傾斜可以使濺射粒子對基板的人射角度小，所以可以提高步驟覆蓋性。

[0140] 另外，作為成膜室 4006b，可以使用平行平板型濺射裝置、離子束濺射裝置。

[0141] 另外，當剛導入氣體的成膜室前使用精製器時，將從精製器到成膜室 4006b 的管道的長度設定為 10m 以下，較佳為 5m 以下，更佳為 1m 以下。藉由將管道的長度設定為 10m 以下、5m 以下或 1m 以下，可以對應管道長度減少來自管道的釋放氣體的影響。另外，氣體的管道較佳為使用內部由氟化鐵、氧化鋁或氧化鉻等覆蓋的金屬管道。例如與 SUS316L-EP 管道相比，上述管道釋放的包含雜質的氣體的量少，而可以降低雜質對氣體的混入。另外，作為管道的接頭，較佳為使用高性能超小型金屬墊片接頭（UPG 接頭）。此外，藉由使用金屬構成所有管道，與使用樹脂等構成所有管道的情況相比，可以降低所產生的釋放氣體及外部洩漏的影響，所以是較佳的。

[0142] 另外，成膜室 4006b 藉由閥與渦輪分子泵 4202 以及真空泵 4200 連接。

[0143] 成膜室 4006b 設置有低溫冷阱 4110。

[0144] 低溫冷阱 4110 是能夠吸附水等的相對來說熔點較高的分子（或原子）的機構。渦輪分子泵 4202 能夠對大分子（或原子）穩定地進行排氣且維修頻率低，因此在生產率上佔有優勢，但是排氫、排水的能力較低。於是，為了提高排出水等的的能力，採用低溫冷阱 4110 與成膜室 4006b 連接的結構。低溫冷阱 4110 的製冷機的溫度為 100K 以下，較佳為 80K 以下。另外，當低溫冷阱 4110

具有多個製冷機時，較佳為各個製冷機的溫度不同，這樣可以高效率地進行排氣。例如，可以將第一階段的製冷機的溫度設定為 100K 以下，將第二階段的製冷機的溫度設定為 20K 以下。

[0145] 另外，成膜室 4006b 的排氣方法不侷限於上述方法，也可以與上述所示的傳送室 4004 的排氣方法（利用低溫泵及真空泵的排氣方法）同樣。當然，也可以傳送室 4004 的排氣方法與成膜室 4006b 的排氣方法（利用渦輪分子泵及真空泵的排氣方法）同樣。

[0146] 另外，較佳為將上述的傳送室 4004、基板加熱室 4005 和成膜室 4006b 的背壓（全壓）以及各氣體分子（原子）的分壓設定為下述。尤其是，有可能雜質混入到形成的膜中，所以需要注意成膜室 4006b 的背壓以及各氣體分子（原子）的分壓。

[0147] 上述的各室的背壓（全壓）為 $1 \times 10^{-4} \text{Pa}$ 以下，較佳為 $3 \times 10^{-5} \text{Pa}$ 以下，更佳為 $1 \times 10^{-5} \text{Pa}$ 以下。另外，上述的各室的質量電荷比（ m/z ）=18 的氣體分子（原子）的分壓為 $3 \times 10^{-5} \text{Pa}$ 以下，較佳為 $1 \times 10^{-5} \text{Pa}$ 以下，更佳為 $3 \times 10^{-6} \text{Pa}$ 以下。上述的各室的 $m/z=28$ 的氣體分子（原子）的分壓為 $3 \times 10^{-5} \text{Pa}$ 以下，較佳為 $1 \times 10^{-5} \text{Pa}$ 以下，更佳為 $3 \times 10^{-6} \text{Pa}$ 以下。上述的各室的 $m/z=44$ 的氣體分子（原子）的分壓為 $3 \times 10^{-5} \text{Pa}$ 以下，較佳為 $1 \times 10^{-5} \text{Pa}$ 以下，更佳為 $3 \times 10^{-6} \text{Pa}$ 以下。

[0148] 另外，真空處理室內的全壓及分壓可以使用

質量分析器測量。例如，使用 ULVAC, Inc.製造的四極質量分析器（也稱為 Q-mass）Qulee CGM-051 即可。

[0149] 另外，作為上述的傳送室 4004、基板加熱室 4005 及成膜室 4006b，較佳為採用外部洩漏及內部洩漏少的結構。

[0150] 例如，上述的傳送室 4004、基板加熱室 4005 及成膜室 4006b 的洩漏率為 $3 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為 $1 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。另外， $m/z=18$ 的氣體分子(原子)的洩漏率為 $1 \times 10^{-7} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為 $3 \times 10^{-8} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。另外， $m/z=28$ 的氣體分子(原子)的洩漏率為 $1 \times 10^{-5} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為 $1 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。另外， $m/z=44$ 的氣體分子(原子)的洩漏率為 $3 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為 $1 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。

[0151] 另外，洩漏率可以根據利用上述質量分析器測量出的全壓及分壓算出。

[0152] 洩漏率由外部洩漏及內部洩漏決定。外部洩漏是指：由於微小的孔或密封不良等，氣體從真空系統的外部流入的現象。此外，內部洩漏是指來自真空系統中的閥等隔板的洩漏或內部構件的氣體釋放。為了將洩漏率設定為上述數值以下，需要從外部洩漏及內部洩漏的兩個方面採取措施。

[0153] 例如，較佳為使用金屬墊片對成膜室 4006b 的開閉部分進行密封。金屬墊片較佳為使用由氟化鐵、氧化鋁或氧化鉻覆蓋的金屬。金屬墊片的密合性比 O 形環

高，因此可以降低外部洩漏。此外，藉由利用鈍態的由氟化鐵、氧化鋁、氧化鉻等覆蓋的金屬，可以抑制從金屬墊片釋放的包含雜質的釋放氣體，由此可以降低內部洩漏。

[0154] 另外，作為構成成膜裝置 4000 的構件，使用包含雜質的釋放氣體少的鋁、鉻、鈦、銦、鎳或鈳。另外，也可以作為構件使用由上述材料覆蓋的含有鐵、鉻及鎳等的合金。含有鐵、鉻及鎳等的合金具有剛性，耐熱且適於加工。在此，藉由對表面的凹凸進行拋光處理等以縮小表面積，可以減少釋放氣體。

[0155] 或者，也可以使用氟化鐵、氧化鋁、氧化鉻等覆蓋上述成膜裝置 4000 的構件。

[0156] 較佳為成膜裝置 4000 的構件儘量只由金屬構成，例如當設置由石英等構成的觀察窗（viewing window）等時，為了抑制釋放氣體，較佳為表面由較薄的氟化鐵、氧化鋁或氧化鉻等覆蓋。

[0157] 雖然存在於成膜室內的吸附物吸附於內壁等而不影響成膜室的壓力，但是其是對成膜室進行排氣時產生的氣體釋放的主要原因。所以，雖然洩漏率與排氣速度不相關，但是使用排氣能力高的泵儘量地使存在於成膜室內的吸附物脫離預先進行排氣是十分重要的。另外，為了促進吸附物的脫離，也可以對成膜室進行烘烤。藉由進行烘烤，可以將吸附物的脫離速度提高到 10 倍左右。烘烤處理以 100℃ 以上且 450℃ 以下的溫度進行即可。此時，一邊將惰性氣體導入成膜室一邊去除吸附物，這樣可以提

高僅藉由排氣不容易脫離的水等的脫離速度。另外，藉由對導入的惰性氣體以與烘烤溫度相同程度的溫度進行加熱，可以進一步提高吸附物的脫離速度。這裡，作為惰性氣體較佳為使用稀有氣體。另外，根據成膜的膜的種類，也可以使用氧等代替惰性氣體。例如，當進行氧化物的成膜時，有時較佳為使用作為氧化物的主要成分的氧。

[0158] 或者，較佳為藉由導入被加熱的稀有氣體等的惰性氣體或氧等提高成膜室內的壓力，並在經過一定時間之後再次對成膜室進行排氣處理。藉由導入被加熱的氣體可以使成膜室內的吸附物脫離，由此減少存在於成膜室內的雜質。另外，較有效的是將該處理反復進行 2 次以上且 30 次以下，較佳為 5 次以上且 15 次以下。具體地，藉由導入溫度為 40°C 以上且 400°C 以下，較佳為 50°C 以上且 200°C 以下的惰性氣體或氧等來使成膜室內的壓力為 0.1Pa 以上且 10kPa 以下，較佳為 1Pa 以上且 1kPa 以下，更佳為 5Pa 以上且 100Pa 以下，並將保持壓力的期間設定為 1 分以上且 300 分以下，較佳為 5 分以上且 120 分以下，即可。然後，對成膜室進行 5 分以上且 300 分以下，較佳為 10 分以上且 120 分以下的排氣。

[0159] 另外，藉由進行偽成膜也可以進一步提高吸附物的脫離速度。偽成膜是指藉由濺射法等對偽基板進行成膜以在偽基板上及成膜室內壁沉積膜，由此將成膜室內的雜質及成膜室內壁的吸附物密封於膜中。偽基板較佳為使用釋放氣體少的基板。藉由進行偽成膜可以降低後面形

成的膜中的雜質濃度。另外，可以與烘烤同時進行偽成膜。

[0160] 接著，下面說明圖 15B 所示的傳送室 4004、裝載閉鎖室 4003a 以及圖 15C 所示的大氣側基板傳送室 4002、大氣側基板供給室 4001 的詳細內容。另外，圖 15C 示出大氣側基板傳送室 4002、大氣側基板供給室 4001 的剖面。

[0161] 關於圖 15B 所示的傳送室 4004，參照圖 15A 所示的傳送室 4004 的記載。

[0162] 裝載閉鎖室 4003a 具有基板遞送載物台 4111。裝載閉鎖室 4003a 將壓力從減壓上升到大氣壓，當將裝載閉鎖室 4003a 的壓力上升到大氣壓時，基板遞送載物台 4111 從設置在大氣側基板傳送室 4002 中的傳送機器人 4103 接收基板。然後，在使裝載閉鎖室 4003a 抽空氣並處於減壓狀態之後，設置在傳送室 4004 中的傳送機器人 4103 從基板遞送載物台 4111 接收基板。

[0163] 另外，裝載閉鎖室 4003a 藉由閥與真空泵 4200 以及低溫泵 4201 連接。關於真空泵 4200、低溫泵 4201 的排氣系統的連接方法，參照傳送室 4004 的連接方法可以連接，所以這裡省略說明。另外，圖 14 所示的卸載閉鎖室 4003b 可以採用與裝載閉鎖室 4003a 同樣的結構。

[0164] 大氣側基板傳送室 4002 具有傳送機器人 4103。藉由傳送機器人 4103 可以進行從盒式介面 4101 向

裝載閉鎖室 4003a 或從裝載閉鎖室 4003a 向盒式介面 4101 的基板的遞送。另外，也可以在大氣側基板傳送室 4002、大氣側基板供給室 4001 的上方設置用來抑制塵屑或微粒的混入的機構如 HEPA 濾器（High Efficiency Particulate Air Filter：高效率粒子空氣濾器）等。

[0165] 大氣側基板供給室 4001 具有多個盒式介面 4101。盒式介面 4101 可以收納多個基板。

[0166] 藉由利用上述成膜裝置形成氧化物層，可以抑制雜質對氧化物層的混入。並且，藉由利用上述成膜裝置形成接觸於該氧化物層的膜，可以抑制從接觸於氧化物層的膜向氧化物層的雜質混入。

[0167] 接著，說明利用上述成膜裝置的 CAAC-OS 層的成膜方法。

[0168] 濺射靶材的表面溫度為 100℃ 以下，較佳為 50℃ 以下，更佳為室溫（典型的是 25℃）程度。對應大面積基板的濺射裝置大多使用大面積的濺射靶材。但是，沒有接縫地製造具有對應大面積的尺寸的濺射靶材十分困難。在實際製造時，將多個濺射靶材以儘量沒有間隙的方式排列成較大的形狀，但是無論怎樣總會有微小的間隙。當濺射靶材的表面溫度升高時，有時 Zn 等從該微小的間隙揮發而導致間隙漸漸變大。當間隙變大時，有時用於底板及黏合的金屬也被濺射，這成為導致雜質濃度變高的主要原因。因此，較佳為充分冷卻濺射靶材。

[0169] 具體地，作為底板使用具有高導電性及高放

熱性的金屬（具體來說使用 Cu）。另外，藉由在底板內形成水路並使充分量的冷卻水流過水路，可以高效率地冷卻濺射靶材。

[0170] 將基板加熱溫度設定為 100℃ 以上且 600℃ 以下，較佳為 150℃ 以上且 550℃ 以下，更佳為 200℃ 以上且 500℃ 以下，並在氧氣體氛圍下形成氧化物層。氧化物層的厚度為 1nm 以上且 40nm 以下，較佳為 3nm 以上且 20nm 以下。成膜時的基板加熱溫度越高，得到的氧化物層的雜質濃度越低。另外，由於在被形成面容易發生濺射粒子的遷移，氧化物層中原子排列有序且高密度化而容易形成結晶性高的 CAAC-OS 層。並且，藉由在氧氣體氛圍下進行成膜，電漿損傷減輕並由於不含有稀有氣體等多餘的原子而容易形成結晶性高的 CAAC-OS 層。注意，也可以採用氧氣體與稀有氣體的混合氛圍，在該情況下將氧氣體的比例設定為 30vol.% 以上，較佳為 50vol.% 以上，更佳為 80vol.% 以上。

[0171] 另外，當濺射靶材含有 Zn 時，藉由在氧氣體氛圍下進行成膜，電漿損傷減輕，由此可以獲得不容易發生 Zn 的揮發的氧化物層。

[0172] 在成膜壓力為 0.8Pa 以下，較佳為 0.4Pa 以下，濺射靶材與基板之間的距離為 100mm 以下，較佳為 40mm 以下，更佳為 25mm 以下的條件下形成氧化物層。藉由在該條件下形成氧化物層，可以降低濺射粒子與其它的濺射粒子、氣體分子或離子發生碰撞的頻率。即，可以

藉由對應成膜壓力使濺射靶材與基板之間的距離小於濺射粒子、氣體分子或離子的平均自由徑，可以降低膜中的雜質濃度。

[0173] 例如，在將壓力設定為 0.4Pa 並將溫度設定為 25°C （絕對溫度為 298K ）的情況下的平均自由徑為：氫原子（ H_2 ）為 48.7mm 、氦原子（ He ）為 57.9mm 、水分子（ H_2O ）為 31.3mm 、甲烷分子（ CH_4 ）為 13.2mm 、氖原子（ Ne ）為 42.3mm 、氮分子（ N_2 ）為 23.2mm 、一氧化碳分子（ CO ）為 16.0mm 、氧分子（ O_2 ）為 26.4mm 、氩原子（ Ar ）為 28.3mm 、二氧化碳分子（ CO_2 ）為 10.9mm 、氪原子（ Kr ）為 13.4mm 、氙原子（ Xe ）為 9.6mm 。另外，當壓力變為 2 倍時平均自由徑變為 2 分之 1，當絕對溫度變為 2 倍時平均自由徑變為 2 倍。

[0174] 平均自由徑由壓力、溫度及分子（原子）的直徑決定。當將壓力及溫度設定為固定時，分子（原子）的直徑越大平均自由徑越短。另外，各分子（原子）的直徑為： H_2 為 0.218nm 、 He 為 0.200nm 、 H_2O 為 0.272nm 、 CH_4 為 0.419nm 、 Ne 為 0.234nm 、 N_2 為 0.316nm 、 CO 為 0.380nm 、 O_2 為 0.296nm 、 Ar 為 0.286nm 、 CO_2 為 0.460nm 、 Kr 為 0.415nm 、 Xe 為 0.491nm 。

[0175] 因此，分子（原子）的直徑越大平均自由徑越短，並且當被包含於膜中時，由於分子（原子）的直徑大而會使結晶性降低。為此，例如，可以說具有 Ar 以上的直徑的分子（原子）容易成為雜質。

[0176] 接著，進行加熱處理。加熱處理在減壓、惰性氛圍或氧化氛圍下進行。利用加熱處理可以降低 CAAC-OS 層中的雜質濃度。

[0177] 作為加熱處理，較佳為在減壓或惰性氛圍下進行加熱處理之後，在保持溫度的情況下將氛圍切換為氧化氛圍再進行加熱處理。這是因為如下緣故：當在減壓氛圍或惰性氛圍下進行加熱處理時，雖然可以降低 CAAC-OS 層中的雜質濃度，但是在同時產生氧缺損。藉由在氧化氛圍下進行加熱處理，可以減少此時產生的氧缺損。

[0178] 除了進行成膜時的基板加熱之外，藉由在成膜之後對 CAAC-OS 層進行加熱處理，可以降低 CAAC-OS 層中的雜質濃度。

[0179] 具體地，可以使利用二次離子質譜分析（SIMS：Secondary Ion Mass Spectrometry）測量的 CAAC-OS 層中的氫濃度為 2×10^{20} atoms/cm³ 以下，較佳為 5×10^{19} atoms/cm³ 以下，更佳為 1×10^{19} atoms/cm³ 以下，進一步佳為 5×10^{18} atoms/cm³ 以下。

[0180] 另外，可以使利用 SIMS 測量的 CAAC-OS 層中的氮濃度小於 5×10^{19} atoms/cm³，較佳為 5×10^{18} atoms/cm³ 以下，更佳為 1×10^{18} atoms/cm³ 以下，進一步佳為 5×10^{17} atoms/cm³ 以下。

[0181] 另外，可以使利用 SIMS 測量的 CAAC-OS 層中的碳濃度小於 5×10^{19} atoms/cm³，較佳為 5×10^{18} atoms/cm³ 以下，更佳為 1×10^{18} atoms/cm³ 以下，進一步

佳為 5×10^{17} atoms/cm³ 以下。

[0182] 另外，可以使 CAAC-OS 層中的根據熱脫附譜分析法（TDS:Thermal Desorption Spectroscopy）分析的 $m/z=2$ （氫分子等）的氣體分子（原子）、 $m/z=18$ 的氣體分子（原子）、 $m/z=28$ 的氣體分子（原子）及 $m/z=44$ 的氣體分子（原子）的釋放量分別為 1×10^{19} 個/cm³ 以下，較佳為 1×10^{18} 個/cm³ 以下。

[0183] 另外，利用 TDS 分析測量釋放量的方法參照後面說明的氧原子的釋放量的測量方法。

[0184] 藉由上述步驟，可以形成結晶性高的 CAAC-OS 層。

[0185]

<2.電晶體>

下面，說明使用多層膜 106 的電晶體。

[0186]

<2-1.電晶體結構（1）>

在本節中，說明底閘極型電晶體。

[0187]

<2-1-1.電晶體結構（1-1）>

在本節中，參照圖 16A 至 16D 說明一種底閘極型電晶體的底閘極頂接觸結構（BGTC 結構）的電晶體。

[0188] 圖 16A 至 16D 示出 BGTC 結構的電晶體的俯視圖及剖面圖。圖 16A 示出電晶體的俯視圖。圖 16B 示出對應於圖 16A 所示的點劃線 A1-A2 的剖面圖。圖 16C

示出對應於圖 16A 所示的點劃線 A3-A4 的剖面圖。

[0189] 圖 16B 所示的電晶體包括：設置在基板 100 上的閘極電極 104；設置在閘極電極 104 上的閘極絕緣膜 112；設置在閘極絕緣膜 112 上的包含氧化物層 106a、氧化物層 106a 上的氧化物半導體層 106b 以及氧化物半導體層 106b 上的氧化物層 106c 的多層膜 106；設置在閘極絕緣膜 112 和多層膜 106 上的源極電極 116a 及汲極電極 116b；設置在多層膜 106、源極電極 116a 以及汲極電極 116b 上的保護絕緣膜 118。

[0190] 另外，源極電極 116a 以及汲極電極 116b 與氧化物半導體層 106b 的側端部接觸地設置。

[0191] 另外，如圖 16B 所示那樣，根據用於源極電極 116a 及汲極電極 116b 的導電膜的種類，有可能從氧化物層 106c 的一部分奪取氧而在氧化物層 106c 中形成源極區域 106d 及汲極區域 106e。

[0192] 在圖 16A 所示的重疊於閘極電極 104 的區域中，將源極電極 116a 和汲極電極 116b 之間の間隔稱為通道長度。注意，當電晶體包括源極區域 106d 和汲極區域 106e 時，在重疊於閘極電極 104 的區域中，也可以將源極區域 106d 和汲極區域 106e 之間の間隔稱為通道長度。

[0193] 另外，通道形成區域是指多層膜 106 中的重疊於閘極電極 104 並且夾在源極電極 116a 和汲極電極 116b 的區域（參照圖 16B）。另外，通道區域是指通道形成區域中的電流主要流過的區域。在此，通道區域是通道

形成區域中的氧化物半導體層 106b 的部分。

[0194] 下面，說明多層膜 106 以及構成多層膜 106 的氧化物層 106a、氧化物半導體層 106b 和氧化物層 106c。另外，關於多層膜 106，參照其他一項的說明。

[0195] 氧化物層 106a 由構成氧化物半導體層 106b 的氧以外的元素中的一種以上構成。另外，氧化物層 106a 是其導帶底端的能量比起氧化物半導體層 106b 的導帶底端的能量近於真空能階 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上的氧化物層，並且，是近於真空能階 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下的氧化物層。另外，氧化物半導體層 106b 至少包含銦而載子移動率變高，所以是較佳的。此時，當對閘極電極 104 施加電場時，在多層膜 106 中通道形成在導帶底端的能量較小的氧化物半導體層 106b。就是說，藉由在氧化物半導體層 106b 和閘極絕緣膜 112 之間具有氧化物層 106a，可以將電晶體的通道形成在不與閘極絕緣膜 112 接觸的氧化物半導體層 106b。另外，由構成氧化物半導體層 106b 的氧以外的元素中的一種以上構成氧化物層 106a，由此在氧化物半導體層 106b 和氧化物層 106a 之間的介面不容易產生介面散射。因此，在該介面不阻礙載子的移動，從而提高電晶體的場效移動率。

[0196] 例如，氧化物層 106a 也可以包含其原子個數比比氧化物半導體層 106b 高的鋁、矽、鈦、鎳、鎳、鋅、鋁、鋁、鋁、鋁、鋁或鋁。具體地，作為氧化物層

106a，使用包含其原子個數比與氧化物半導體層 106b 相比高 1.5 倍以上、較佳為 2 倍以上、更佳為 3 倍以上的上述元素的氧化物層。上述元素與氧堅固地接合，所以具有抑制氧缺損產生在氧化物層 106a 中的功能。就是說，與氧化物半導體層 106b 相比，氧化物層 106a 不容易產生氧缺損。

[0197] 或者，在氧化物半導體層 106b 和氧化物層 106a 都是 In-M-Zn 氧化物的情況下，當將氧化物層 106a 設定為 In : M : Zn = x_1 : y_1 : z_1 [原子個數比] 並且將氧化物半導體層 106b 設定為 In : M : Zn = x_2 : y_2 : z_2 [原子個數比] 時，選擇 y_1/x_1 比 y_2/x_2 大的氧化物層 106a 及氧化物半導體層 106b。注意，元素 M 是其與氧的接合力比 In 與氧的接合力大的金屬元素，例如可以舉出 Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd 或 Hf 等。較佳的是，選擇 y_1/x_1 比 y_2/x_2 大 1.5 倍以上的氧化物層 106a 及氧化物半導體層 106b。更佳的是，選擇 y_1/x_1 比 y_2/x_2 大 2 倍以上的氧化物層 106a 及氧化物半導體層 106b。進一步佳的是，選擇 y_1/x_1 比 y_2/x_2 大 3 倍以上的氧化物層 106a 及氧化物半導體層 106b。此時，在氧化物半導體層 106b 中，如果 y_1 為 x_1 以上就可以使電晶體具有穩定的電特性，所以是較佳的。但是，如果 y_1 為 x_1 的 3 倍以上就電晶體的場效移動率變低，所以較佳為 y_1 等於 x_1 或小於 x_1 的 3 倍。

[0198] 將氧化物層 106a 的厚度設定為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。另外，將氧

化物半導體層 106b 的厚度設定為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0199] 氧化物層 106c 由構成氧化物半導體層 106b 的氧以外的元素中的一種以上構成。另外，氧化物層 106c 是其導帶底端的能量比起氧化物半導體層 106b 的導帶底端的能量近於真空能階 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上的氧化物層，並且，是近於真空能階 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下的氧化物層。另外，由構成氧化物半導體層 106b 的氧以外的元素中的一種以上構成氧化物層 106c，由此在氧化物半導體層 106b 和氧化物層 106c 之間的介面不容易產生介面能階。當該介面具有介面能階時，有時形成將該介面作為通道的臨界電壓不同的第二電晶體，使得電晶體的外觀上的臨界電壓發生變動。因此，藉由設置氧化物層 106c，可以降低電晶體的臨界電壓等電特性的不均勻。

[0200] 例如，氧化物層 106c 也可以包含其原子個數比比氧化物半導體層 106b 高的鋁、矽、鈦、鎵、銻、鉍、銦、錫、釧、銻或鉛。具體地，作為氧化物層 106c，使用包含其原子個數比與氧化物半導體層 106b 相比高 1.5 倍以上、較佳為 2 倍以上、更佳為 3 倍以上的上述元素的氧化物層。上述元素與氧堅固地接合，所以具有抑制氧缺損產生在氧化物層 106c 中的功能。就是說，與氧化物半導體層 106b 相比，氧化物層 106c 不容易產生氧

缺損。

[0201] 或者，在氧化物半導體層 106b 和氧化物層 106c 都是 In-M-Zn 氧化物的情況下，當將氧化物半導體層 106b 設定為 $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ [原子個數比] 並且將氧化物層 106c 設定為 $\text{In} : \text{M} : \text{Zn} = x_3 : y_3 : z_3$ [原子個數比] 時，選擇 y_3/x_3 比 y_2/x_2 大的氧化物半導體層 106b 及氧化物層 106c。注意，元素 M 是其與氧的接合力比 In 與氧的接合力大的金屬元素，例如可以舉出 Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd 或 Hf 等。較佳的是，選擇 y_3/x_3 比 y_2/x_2 大 1.5 倍以上的氧化物半導體層 106b 及氧化物層 106c。更佳的是，選擇 y_3/x_3 比 y_2/x_2 大 2 倍以上的氧化物半導體層 106b 及氧化物層 106c。進一步佳的是，選擇 y_3/x_3 比 y_2/x_2 大 3 倍以上的氧化物半導體層 106b 及氧化物層 106c。此時，在氧化物半導體層 106b 中，如果 y_2 為 x_2 以上就可以使電晶體具有穩定的電特性，所以是較佳的。但是，如果 y_2 為 x_2 的 3 倍以上就電晶體的場效移動率變低，所以較佳為 y_2 等於 x_2 或小於 x_2 的 3 倍。

[0202] 將氧化物層 106c 的厚度設定為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。

[0203] 另外，氧化物層 106a、氧化物半導體層 106b 和氧化物層 106c 具有利用 TEM 確認不到明確的結晶部的結構或者具有晶體結構。較佳的是，氧化物層 106a 採用利用 TEM 確認不到明確的結晶部的結構，氧化物半導體層 106b 具有晶體結構，以及氧化物層 106c 具有利用 TEM

確認不到明確的結晶部的結構或具有晶體結構。因為通道被形成的氧化物半導體層 106b 具有晶體結構，所以可以使電晶體具有穩定的電特性。

[0204] 下面，說明電晶體的其他結構。

[0205] 對於基板 100 沒有大的限制。例如，作為基板 100，也可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，作為基板 100，也可以採用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI（Silicon On Insulator：絕緣體上矽晶片）基板等，並且也可以使用在這些基板上設置有半導體元件的基板。

[0206] 另外，作為基板 100，在使用第五代（1000mm×1200mm 或 1300mm×1500mm）、第六代（1500mm×1800mm）、第七代（1870mm×2200mm）、第八代（2200mm×2500mm）、第九代（2400mm×2800mm）、第十代（2880mm×3130mm）等大型玻璃基板的情況下，由於半導體裝置的製程中的加熱處理等導致基板 100 的收縮，有時難以進行微細加工。因此，在作為基板 100 使用上述大型玻璃基板的情況下，較佳為使用起因於加熱處理的收縮少的基板。例如，作為基板 100 可以使用在 400℃，較佳為 450℃，更佳為 500℃ 的溫度下進行 1 小時的加熱處理之後的收縮量為 10ppm 以下，較佳為 5ppm 以下，更佳為 3ppm 以下的大型玻璃基板。

[0207] 此外，基板 100 也可以使用撓性基板。另

外，作為在撓性基板上設置電晶體的方法，也可以舉出如下方法：在不具有撓性的基板上形成電晶體之後，剝離電晶體並將該電晶體轉置到撓性基板的基板 100 上。在此情況下，較佳為在不具有撓性的基板和電晶體之間設置剝離層。

[0208] 作為閘極電極 104，使用包含鋁、鈦、鉻、鈷、鎳、銅、鈮、鋳、鉬、鈦、銀、鉕以及鎢中的一種以上的導電膜形成單層或疊層，即可。

[0209] 另外，如圖 16A 所示那樣，以多層膜 106 的端部位於閘極電極 104 的內側的方式設置閘極電極 104。藉由採用上述結構，當從基板 100 一側入射光時，可以抑制在多層膜 106 中因光而產生載子。注意，也可以多層膜 106 的端部位於閘極電極 104 的端部的外側。

[0210] 作為閘極絕緣膜 112，使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化銻、氧化鈮、氧化鋳、氧化釧、氧化鈐以及氧化鉕中的一種以上的絕緣膜形成單層或疊層，即可。

[0211] 例如，作為閘極絕緣膜 112，也可以使用第一層是氮化矽層以及第二層是氧化矽層的多層膜。此時，氧化矽層也可以為氧氮化矽層。另外，氮化矽層也可以為氮氧化矽層。氧化矽層較佳為使用缺陷密度小的氧化矽層。明確而言，使用如下氧化矽層：在利用電子自旋共振法（ESR：Electron Spin Resonance）的測定時，來源於 g 值為 2.001 的信號的自旋的自旋密度為 $3 \times 10^{17} \text{ spins/cm}^3$ 以

下，較佳為 $5 \times 10^{16} \text{spins/cm}^3$ 以下。氧化矽層較佳為使用包含過剩氧的氧化矽層。氮化矽層使用氫及氮的釋放量少的氮化矽層。氫及氮的釋放量藉由 TDS (Thermal Desorption Spectroscopy: 熱脫附譜分析法) 分析進行測定即可。

[0212] 作為源極電極 116a 及汲極電極 116b，使用包含鋁、鈦、鉻、鈷、鎳、銅、鉕、鎘、鉬、鈳、銀、鉍以及鎢中的一種以上的導電膜形成單層或疊層，即可。另外，源極電極 116a 及汲極電極 116b 可以為同一的組成或不同的組成。

[0213] 作為保護絕緣膜 118，使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化鉍、氧化鎘、氧化釷、氧化鈳以及氧化鉍中的一種以上的絕緣膜形成單層或疊層，即可。

[0214] 例如，作為保護絕緣膜 118，也可以使用第一層是氧化矽層以及第二層是氮化矽層的多層膜。此時，氧化矽層也可以為氧氮化矽層。另外，氮化矽層也可以為氮氧化矽層。氧化矽層較佳為使用缺陷密度小的氧化矽層。明確而言，使用如下氧化矽層：在 ESR 測定時，來源於 g 值為 2.001 的信號的自旋的自旋密度為 $3 \times 10^{17} \text{spins/cm}^3$ 以下，較佳為 $5 \times 10^{16} \text{spins/cm}^3$ 以下。氮化矽層使用氫及氮的釋放量少的氮化矽層。氫及氮的釋放量藉由 TDS 分析進行測定即可。另外，氮化矽層使用使氧不透過或幾乎不透過的氮化矽層。

[0215] 或者，例如，作為保護絕緣膜 118，也可以使用第一層為第一氧化矽層 118a，第二層為第二氧化矽層 118b 以及第三層為氮化矽層 118c 的多層膜（參照圖 16D）。此時，第一氧化矽層 118a 或/及第二氧化矽層 118b 也可以為氧氮化矽層。另外，氮化矽層也可以為氮氧化矽層。第一氧化矽層 118a 較佳為使用缺陷密度小的氧化矽層。明確而言，使用如下氧化矽層：在 ESR 測定時，來源於 g 值為 2.001 的信號的自旋的自旋密度為 $3 \times 10^{17} \text{ spins/cm}^3$ 以下，較佳為 $5 \times 10^{16} \text{ spins/cm}^3$ 以下。第二氧化矽層 118b 使用包含過剩氧的氧化矽層。氮化矽層 118c 使用氮及氧的釋放量少的氮化矽層。另外，氮化矽層使用使氧不透過或幾乎不透過的氮化矽層。

[0216] 包含過剩氧的氧化矽層是指藉由加熱處理等可以釋放氧的氧化矽層。此外，包含過剩氧的絕緣膜是指具有藉由加熱處理釋放氧的功能的絕緣膜。

[0217] 在此，藉由加熱處理釋放氧的膜有時釋放藉由 TDS 分析檢測出為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上或 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上的氧（換算為氧原子）。

[0218] 在此，以下說明利用 TDS 分析的氧的釋放量的測量方法。

[0219] 對測量樣本進行 TDS 分析時的氣體的總釋放量與釋放氣體的離子強度的積分值成比例。並且，藉由對該測量樣本與標準樣本進行比較，可以計算出氣體的總釋

放量。

[0220] 例如，根據作為標準樣本的含有既定密度的氫的矽晶片的 TDS 分析結果以及測量樣本的 TDS 分析結果，可以藉由算式 1 求出測量樣本中的氧分子的釋放量（ N_{O_2} ）。這裡，假定以藉由 TDS 分析得到的被檢測出為質量數 32 的氣體都來源於氧分子。作為質量數 32 的氣體，還有 CH_3OH ，但是 CH_3OH 存在的可能性較低，所以這裡不考慮。此外，包含作為氧原子的同位素的質量數 17 的氧原子及質量數 18 的氧原子的氧分子也在自然界的存在比率極低，所以也不考慮到該氧分子。

[0221]

[算式1]

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

[0222] N_{H_2} 是以密度換算從標準樣本脫離的氫分子的值。 S_{H_2} 是對標準樣本進行 TDS 分析而得到的離子強度的積分值。在此，將標準樣本的基準值設定為 N_{H_2}/S_{H_2} 。 S_{O_2} 是對測量樣本進行 TDS 分析而得到的離子強度的積分值。 α 是在 TDS 分析中影響到離子強度的係數。關於算式 1 的詳細說明，可以參照日本專利申請公開平 6-275697 公報。注意，使用由電子科學公司製造的熱脫附裝置 EMD-WA1000S/W，並將包含 1×10^{16} atoms/cm² 的氫原子的矽晶片用作標準樣本，來對上述氧的釋放量進行測量。

[0223] 此外，在 TDS 分析中，氧的一部分作為氧原

子被檢測出。氧分子與氧原子的比率可以從氧分子的電離率算出。另外，因為上述的 α 包括氧分子的電離率，所以藉由評估氧分子的釋放量，還可以估算出氧原子的釋放量。

[0224] 注意， N_{O_2} 是氧分子的釋放量。換算為氧原子時的釋放量是氧分子的釋放量的 2 倍。

[0225] 或者，藉由加熱處理釋放氧的膜有時包含過氧化自由基。明確而言，上述情況是指起因於過氧化自由基的自旋密度為 $5 \times 10^{17} \text{ spins/cm}^3$ 以上。另外，包含過氧化自由基的膜有時在 ESR 中當 g 值為 2.01 近旁時具有非對稱性的信號。

[0226] 另外，包含過剩氧的絕緣膜也可以是氧過剩的氧化矽 (SiO_x ($x > 2$))。在氧過剩的氧化矽 (SiO_x ($x > 2$)) 中，每單位體積中含有的氧原子數多於矽原子數的 2 倍。每單位體積的矽原子數及氧原子數為藉由拉塞福背散射光譜學法 (RBS: Rutherford Backscattering Spectrometry)測定的值。

[0227] 當閘極絕緣膜 112 及保護絕緣膜 118 中的至少一個包括包含過剩氧的絕緣膜時，可以減少氧化物半導體層 106b 的氧缺損。

[0228] 作為藉由上述步驟構成的電晶體，通道形成在多層膜 106 的氧化物半導體層 106b 中，由此該電晶體具有穩定的電特性和高場效移動率。

[0229]

<2-1-2.電晶體結構（1-1）的製造方法>

在此，參照圖 17A 至圖 18B 說明電晶體的製造方法。

[0230] 首先，準備基板 100。

[0231] 接著，形成用作閘極電極 104 的導電膜。用作閘極電極 104 的導電膜的成膜藉由濺射法、化學氣相沉積（CVD：Chemical Vapor Deposition）法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、原子層沉積（ALD：Atomic Layer Deposition）法或脈衝雷射沉積（PLD：Pulsed Laser Deposition）法使用作為閘極電極 104 所示的導電膜，即可。

[0232] 接著，對用作閘極電極 104 的導電膜的一部分進行蝕刻，形成閘極電極 104（參照圖 17A）。

[0233] 接著，形成閘極絕緣膜 112（參照圖 17B）。閘極絕緣膜 112 的成膜藉由濺射法、CVD 法、MBE 法、ALD 法或 PLD 法使用作為閘極絕緣膜 112 所示的絕緣膜，即可。

[0234] 接著，形成用作氧化物層 106a 的氧化物層。用作氧化物層 106a 的氧化物層的成膜藉由濺射法、CVD 法、MBE 法、ALD 法或 PLD 法使用作為氧化物層 106a 所示的氧化物層，即可。

[0235] 接著，形成用作氧化物半導體層 106b 的氧化物半導體層。關於氧化物半導體層 106b 的成膜方法，參照上一項的說明。

[0236] 接著，形成用作氧化物層 106c 的氧化物層。用作氧化物層 106c 的氧化物層的成膜藉由濺射法、CVD 法、MBE 法、ALD 法或 PLD 法使用作為氧化物層 106c 所示的氧化物層，即可。

[0237] 另外，藉由以不暴露於大氣的方式連續地形成用作氧化物層 106a 的氧化物層、用作氧化物半導體層 106b 的氧化物半導體層以及用作氧化物層 106c 的氧化物層，雜質被引入到各介面的情況變少，所以是較佳的。

[0238] 接著，對用作氧化物層 106a 的氧化物層、用作氧化物半導體層 106b 的氧化物半導體層以及用作氧化物層 106c 的氧化物層的一部分進行蝕刻，形成包含氧化物層 106a、氧化物半導體層 106b 以及氧化物層 106c 的多層膜 106（參照圖 17C）。

[0239] 接著，較佳為進行第一加熱處理。第一加熱處理也可以以 250℃ 以上且 650℃ 以下的溫度，較佳為以 300℃ 以上且 500℃ 以下的溫度進行即可。第一加熱處理在惰性氣體氛圍下，包含 10ppm 以上、1% 以上或 10% 以上的氧化氣體氛圍下或者減壓狀態下進行。或者，第一加熱處理在採用惰性氣體氛圍進行加熱處理之後，為了在填補脫離了的氧包含 10ppm 以上、1% 以上或 10% 以上的氧化氣體氛圍下進行，即可。藉由進行第一加熱處理，可以提高氧化物半導體層 106b 的結晶性，還可以從閘極絕緣膜 112 或/及多層膜 106 去除氫及水等雜質。

[0240] 接著，形成用作源極電極 116a 及汲極電極

116b 的導電膜。用作源極電極 116a 及汲極電極 116b 的導電膜的成膜藉由濺射法、CVD 法、MBE 法、ALD 法或 PLD 法使用作為源極電極 116a 及汲極電極 116b 所示的導電膜，即可。

[0241] 接著，對用作源極電極 116a 及汲極電極 116b 的導電膜的一部分進行蝕刻，形成源極電極 116a 及汲極電極 116b（參照圖 18A）。

[0242] 接著，較佳為進行第二加熱處理。關於第二加熱處理，參照第一加熱處理的說明進行即可。藉由進行第二加熱處理，可以從多層膜 106 去除氫及水等雜質。注意，水也是包含氫的化合物，所以有可能成為氧化物半導體層 106b 中的雜質。

[0243] 接著，形成保護絕緣膜 118（參照圖 18B）。保護絕緣膜 118 的成膜藉由濺射法、CVD 法、MBE 法、ALD 法或 PLD 法使用作為保護絕緣膜 118 所示的絕緣膜，即可。

[0244] 在此，說明將保護絕緣膜 118 形成為圖 16D 所示的三層結構的情況。首先，形成第一氧化矽層 118a。接著，形成第二氧化矽層 118b。然後，較佳為進行對第二氧化矽層 118b 添加氧離子的處理。添加氧離子的處理利用離子摻雜裝置或電漿處理裝置，即可。作為離子摻雜裝置，也可以利用具有質量分離功能的離子摻雜裝置。作為氧離子的原料，使用 $^{16}\text{O}_2$ 或 $^{18}\text{O}_2$ 等氧氣體、一氧化二氮氣體或臭氧氣體等，即可。接著，形成氮化矽層

118c。藉由上述步驟，形成保護絕緣膜 118，即可。

[0245] 接著，較佳為進行第三加熱處理。關於第三加熱處理，參照第一加熱處理的說明進行即可。藉由進行第三加熱處理，可以從閘極絕緣膜 112 或/及保護絕緣膜 118 釋放過剩氧，並且降低多層膜 106 的氧缺損。另外，在多層膜 106 中，由於氧缺損俘獲所相鄰的氧原子，在外觀上氧缺損移動。由此，過剩氧藉由氧化物層 106a 或氧化物層 106c 可以到達氧化物半導體層 106b。

[0246] 藉由上述步驟，可以製造 BGTC 結構的電晶體。

[0247] 在上述電晶體中，多層膜 106 的氧化物半導體層 106b 中的氧缺損被降低，所以該電晶體具有穩定的電特性。

[0248]

<2-2.電晶體結構（2）>

在本節中，說明頂閘極型電晶體。

[0249]

<2-2-1.電晶體結構（2-1）>

在本節中，參照圖 19A 至 19C 說明一種頂閘極型電晶體的頂閘極頂接觸結構（TGTC 結構）的電晶體。

[0250] 圖 19A 至 19C 示出 TGTC 結構的電晶體的俯視圖及剖面圖。圖 19A 示出電晶體的俯視圖。圖 19B 示出對應於圖 19A 所示的點劃線 B1-B2 的剖面圖。圖 19C 示出對應於圖 19A 所示的點劃線 B3-B4 的剖面圖。

[0251] 圖 19B 所示的電晶體包括：設置在基板 200 上的基底絕緣膜 202；設置在基底絕緣膜 202 上的包含氧化物層 206a、氧化物層 206a 上的氧化物半導體層 206b 以及氧化物半導體層 206b 上的氧化物層 206c 的多層膜 206；設置在基底絕緣膜 202 和多層膜 206 上的源極電極 216a 及汲極電極 216b；設置在多層膜 206、源極電極 216a 以及汲極電極 216b 上的閘極絕緣膜 212；設置在閘極絕緣膜 212 上的閘極電極 204；設置在閘極絕緣膜 212 和閘極電極 204 上的保護絕緣膜 218。另外，電晶體也可以不具有基底絕緣膜 202 或/及保護絕緣膜 218。

[0252] 另外，源極電極 216a 以及汲極電極 216b 與氧化物半導體層 206b 的側端部接觸地設置。

[0253] 另外，根據用於源極電極 216a 及汲極電極 216b 的導電膜的種類，有可能從氧化物層 206c 的一部分奪取氧而在氧化物層 206c 中形成源極區域及汲極區域。

[0254] 在圖 19A 所示的重疊於多層膜 106 的閘極電極 204 的區域中，將源極電極 216a 和汲極電極 216b 之間の間隔稱為通道長度。注意，當電晶體包括源極區域和汲極區域時，在重疊於閘極電極 204 的區域中，也可以將源極區域和汲極區域之間の間隔稱為通道長度。

[0255] 另外，通道形成區域是指多層膜 206 中的重疊於閘極電極 204 並且夾在源極電極 216a 和汲極電極 216b 的區域。另外，通道區域是指通道形成區域中的電流主要流過的區域。在此，通道區域是通道形成區域中的

氧化物半導體層 206b 的部分。

[0256] 關於多層膜 206，參照多層膜 106 的說明。具體地：關於氧化物層 206a，參照氧化物層 106c 的說明；關於氧化物半導體層 206b，參照氧化物半導體層 106b 的說明；關於氧化物層 206c，參照氧化物層 106a 的說明。

[0257] 關於基板 200，參照基板 100 的說明。另外，關於源極電極 216a 及汲極電極 216b，參照源極電極 116a 及汲極電極 116b 的說明。關於閘極絕緣膜 212，參照閘極絕緣膜 112 的說明。關於閘極電極 204，參照閘極電極 104 的說明。關於保護絕緣膜 218，參照保護絕緣膜 118 的說明。

[0258] 另外，在圖 19A 中，雖然多層膜 206 的端部位於閘極電極 204 的端部的的外側，但是，為了抑制在多層膜 206 中因光而產生載子，也可以多層膜 206 的端部位於閘極電極 204 的端部的內側。

[0259] 作為基底絕緣膜 202，使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鋅、氧化釷、氧化鋇、氧化釷、氧化鈦以及氧化鋇中的一種以上的絕緣膜形成單層或疊層，即可。

[0260] 例如，作為基底絕緣膜 202，也可以使用第一層是氮化矽層以及第二層是氧化矽層的多層膜。此時，氧化矽層也可以為氧氮化矽層。另外，氮化矽層也可以為氮氧化矽層。氧化矽層較佳為使用缺陷密度小的氧化矽層。明確而言，使用如下氧化矽層：在 ESR 測定時，來源於 g

值為 2.001 的信號的自旋的自旋密度為 $3 \times 10^{17} \text{spins/cm}^3$ 以下，較佳為 $5 \times 10^{16} \text{spins/cm}^3$ 以下。氮化矽層使用氫及氮的釋放量少的氮化矽層。氫及氮的釋放量藉由 TDS 分析進行測定即可。另外，氮化矽層使用使氧不透過或幾乎不透過的氮化矽層。

[0261] 另外，例如，作為基底絕緣膜 202，也可以使用第一層是氮化矽層、第二層是第一氧化矽層以及第三層是第二氧化矽層的多層膜。此時，第一氧化矽層或/及第二氧化矽層也可以為氧氮化矽層。另外，氮化矽層也可以為氮氧化矽層。第一氧化矽層較佳為使用缺陷密度小的氧化矽層。明確而言，使用如下氧化矽層：在 ESR 測定時，來源於 g 值為 2.001 的信號的自旋的自旋密度為 $3 \times 10^{17} \text{spins/cm}^3$ 以下，較佳為 $5 \times 10^{16} \text{spins/cm}^3$ 以下。第二氧化矽層使用包含過剩氧的氧化矽層。氮化矽層使用氫及氮的釋放量少的氮化矽層。另外，氮化矽層使用使氧不透過或幾乎不透過的氮化矽層。

[0262] 當閘極絕緣膜 212 及基底絕緣膜 202 中的至少一個包括包含過剩氧的絕緣膜時，可以減少氧化物半導體層 206b 的氧缺損。

[0263] 在藉由上述步驟構成的電晶體中，通道形成在多層膜 206 的氧化物半導體層 206b 中，由此該電晶體具有穩定的電特性和高場效移動率。

[0264]

<2-2-2.電晶體結構（2-1）的製造方法>

在此，參照圖 20A 至圖 21B 說明電晶體的製造方法。

[0265] 首先，準備基板 200。

[0266] 接著，形成用作氧化物層 206a 的氧化物層。關於用作氧化物層 206a 的氧化物層的成膜方法，參照氧化物層 106c 的說明。

[0267] 接著，形成用作氧化物半導體層 206b 的氧化物半導體層。關於用作氧化物半導體層 206b 的氧化物半導體層的成膜方法，參照氧化物半導體層 106b 的說明。

[0268] 接著，形成用作氧化物層 206c 的氧化物層。關於用作氧化物層 206c 的氧化物層的成膜方法，參照氧化物層 106a 的說明。

[0269] 接著，較佳為進行第一加熱處理。第一加熱處理也可以以 250℃ 以上且 650℃ 以下的溫度，較佳為以 300℃ 以上且 500℃ 以下的溫度進行即可。第一加熱處理在惰性氣體氛圍下，包含 10ppm 以上、1% 以上或 10% 以上的氧化氣體氛圍下或者減壓狀態下進行。或者，第一加熱處理在採用惰性氣體氛圍進行加熱處理之後，為了填補脫離了的氧在包含 10ppm 以上、1% 以上或 10% 以上的氧化氣體氛圍下進行，即可。藉由進行第一加熱處理，可以提高用作氧化物半導體層 206b 的氧化物半導體層的結晶性，還可以從基底絕緣膜 202、用作氧化物層 206a 的氧化物層、用作氧化物半導體層 206b 的氧化物半導體層或/及用作氧化物層 206c 的氧化物層去除氫及水等雜質。

[0270] 接著，對用作氧化物層 206a 的氧化物層、用作氧化物半導體層 206b 的氧化物半導體層以及用作氧化物層 206c 的氧化物層的一部分進行蝕刻，來形成包含氧化物層 206a、氧化物半導體層 206b 以及氧化物層 206c 的多層膜 206（參照圖 20A）。

[0271] 接著，形成用作源極電極 216a 及汲極電極 216b 的導電膜。關於用作源極電極 216a 及汲極電極 216b 的成膜方法，參照源極電極 116a 及汲極電極 116b 的說明。

[0272] 接著，對用作源極電極 216a 及汲極電極 216b 的導電膜的一部分進行蝕刻，形成源極電極 216a 及汲極電極 216b（參照圖 20B）。

[0273] 接著，較佳為進行第二加熱處理。關於第二加熱處理，參照第一加熱處理的說明進行即可。藉由進行第二加熱處理，可以從多層膜 206 去除氫及水等雜質。

[0274] 接著，形成閘極絕緣膜 212（參照圖 20C）。關於閘極絕緣膜 212 的成膜方法，參照閘極絕緣膜 112 的說明。

[0275] 接著，形成用作閘極電極 204 的導電膜。關於用作閘極電極 204 的導電膜的成膜方法，參照用作閘極電極 104 的導電膜的說明。

[0276] 接著，對用作閘極電極 204 的導電膜的一部分進行蝕刻，形成閘極電極 204（參照圖 21A）。

[0277] 接著，形成保護絕緣膜 218（參照圖 21B）。

關於保護絕緣膜 218 的成膜方法，參照保護絕緣膜 118 的說明。

[0278] 藉由上述步驟，可以製造電晶體。

[0279] 在該電晶體中，多層膜 206 的氧化物半導體層 206b 中的氧缺損被降低，所以該電晶體具有穩定的電特性。

[0280]

<2-2-3.電晶體結構（2-1）的電特性>

在此，製造 TGTC 結構的電晶體，測量其電特性。

[0281] 參照圖 19B 說明電晶體的結構。

[0282] 基板 200 使用玻璃基板。

[0283] 氧化物層 206a 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：3：2[原子個數比]）的靶材利用濺射法來形成的厚度為 5nm 的氧化物層。另外，在如下條件下形成氧化物層 206a：作為成膜氣體使用 30sccm 的氫氣體及 15sccm 的氧氣體；將壓力設定為 0.4Pa；將基板溫度設定為 200℃；施加 0.5kW 的 DC 功率。

[0284] 氧化物半導體層 206b 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：1：1[原子個數比]）的靶材利用濺射法來形成的厚度為 15nm 的氧化物半導體層。另外，在如下條件下形成氧化物半導體層 206b：作為成膜氣體使用 30sccm 的氫氣體及 15sccm 的氧氣體；將壓力設定為 0.4Pa；將基板溫度設定為 300℃ 或 400℃；施加 0.5kW 的 DC 功率。

[0285] 另外，氧化物層 206c 是使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：3：2[原子個數比]）的靶材利用濺射法來形成的厚度為 5nm 的氧化物層。此外，在如下條件下形成氧化物層 206c：作為成膜氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體；將壓力設定為 0.4Pa；將基板溫度設定為 200℃；施加 0.5kW 的 DC 功率。

[0286] 作為源極電極 216a 及汲極電極 216b，使用藉由濺射法形成的厚度為 100nm 的鎢膜。

[0287] 作為閘極絕緣膜 212，使用藉由 CVD 法形成的厚度為 20nm 的氧氮化矽膜。另外，在如下條件下形成閘極絕緣膜 212：作為成膜氣體使用 1sccm 的 SiH₄ 氣體及 800sccm 的 N₂O 氣體；將壓力設定為 100Pa；將基板溫度設定為 350℃；施加 150W 的 60MHz 的高頻功率。

[0288] 作為閘極電極 204，使用藉由濺射法依次層疊厚度為 30nm 的氮化鉭層和厚度為 135nm 的鎢層的多層膜。

[0289] 藉由如上步驟，製造電晶體。

[0290] 首先，在圖 22A 和 22B 中，重疊地表示在基板 200 的表面上 25 個點測量的電晶體的 V_g-I_d 特性。在此，在將汲極電壓 V_d 設定為 0.1V 或 3.3V 並將閘極電壓 V_g 從 -4V 掃描至 4V 的情況下，測量汲極電流 I_d。

[0291] 另外，汲極電壓是指以源電位為基準時的源電位與汲電位之間的電位差。此外，閘極電壓是指以源電位為基準時的源電位與閘電位之間的電位差。汲極電流是

指在源極和汲極之間流過的電流值。

[0292] 圖 22A 示出通道長度 L 為 $0.61\mu\text{m}$ ，通道寬度 W 為 $1\mu\text{m}$ 時的 V_g - I_d 特性。另外，圖 22B 示出通道長度 L 為 $1.06\mu\text{m}$ ，通道寬度 W 為 $1\mu\text{m}$ 時的 V_g - I_d 特性。此外，從圖表的右軸可知汲極電壓 V_d 為 0.1V 時的場效移動率 (μ_{FE})。

[0293] 從圖 22A 和 22B 可知電晶體的 V_g - I_d 特性的偏差小。

[0294] 接著，對電晶體進行正閘極 BT 測試及負閘極 BT 測試。

[0295] 在正閘極 BT 測試中，首先在將基板溫度設定為 40°C 的情況下測量 V_g - I_d 特性，然後，在將基板溫度設定為 150°C ，將閘極電壓 V_g 設定為 3.3V ，將汲極電壓 V_d 設定為 0V 的情況下，保持電晶體一個小時。接著，在將閘極電壓 V_g 設定為 0V 並將基板溫度設定為 40°C 的情況下，測量 V_g - I_d 特性。

[0296] 在負閘極 BT 測試中，首先在將基板溫度設定為 40°C 的情況下測量 V_g - I_d 特性，然後，在將基板溫度設定為 150°C ，將閘極電壓 V_g 設定為 -3.3V ，將汲極電壓 V_d 設定為 0V 的情況下，保持電晶體一個小時。接著，在將閘極電壓 V_g 設定為 0V 並將基板溫度設定為 40°C 的情況下，測量 V_g - I_d 特性。

[0297] 圖 23A 示出對電晶體進行正閘極 BT 測試的結果。另外，圖 23B 示出對電晶體進行負閘極 BT 測試的

結果。另外，在圖 23A 和 23B 中，以實線表示進行閘極 BT 測試之前得到的 V_g - I_d 特性，而以虛線表示進行閘極 BT 測試之後得到的 V_g - I_d 特性。由此可知，在進行任何可靠性測驗之後，電晶體的臨界電壓的變動量都極小，即 0.5V 以下。

[0298] 由此可知，電晶體具有穩定的電特性。

[0299]

<3.應用產品>

本說明書所公開的電晶體可以應用於各種電子裝置（也包括遊戲機）和電器。作為電子裝置，可以舉出電視機、顯示器等顯示裝置、照明設備、臺式或膝上型個人電腦、文字處理機、再現儲存在 DVD（Digital Versatile Disc：數位影音光碟）等儲存介質中的靜態影像或動態影像的影像再現裝置、可攜式 CD 播放機、收音機、磁帶答錄機、頭戴式耳機音響、音響、無繩電話子機、步話機、行動電話機、車載電話、可攜式遊戲機、計算器、可攜式資訊終端、電子筆記本、電子書閱讀器、電子翻譯器、聲音輸入器、攝影機、數位靜態照相機、電動剃鬚刀、IC 晶片等。作為電器，可以舉出微波爐等高頻加熱裝置、電鍋、洗衣機、吸塵器、空調器等空調設備、洗碗機、烘碗機、乾衣機、烘被機、電冰箱、電冷凍箱、電冷藏冷凍箱、DNA 保存用冰凍器、輻射計數器（radiation counters）、透析裝置等醫療設備等。另外，作為電器，也可以舉出煙霧檢測器、氣體警報裝置、防犯警報器等警

報裝置。再者，還可以舉出工業設備諸如引導燈、信號機、傳送帶、自動扶梯、電梯、工業機器人、蓄電系統等。另外，利用使用石油的引擎及來自非水類二次電池的電力藉由電動機推進的移動體等也包括在電器的範疇內。作為上述移動體，例如可以舉出電動汽車（EV）、兼具內燃機和電動機的混合動力汽車（HEV）、插電式混合動力汽車（PHEV）、使用履帶代替這些的車輪的履帶式車輛、包括電動輔助自行車的電動自行車、摩托車、電動輪椅、高爾夫球車、小型或大型船舶、潛水艇、直升機、飛機、火箭、人造衛星、太空探測器、行星探測器、太空船。圖 24、圖 25、圖 26A 至 26C 以及圖 27A 至 27C 示出上述電子裝置及電器的具體例子。

[0300] 說明以煙霧檢測器為代表的警報裝置的結構及動作。在本節中，參照圖 24、圖 25、圖 26A 至 26C 以及圖 27A 說明作為警報裝置的例子的火災警報器的結構。

[0301] 另外，在本說明書中，火災警報器是指發出火災發生的警報的所有裝置，其包括諸如住宅用火災警報器、自動火災警報設備、用於該自動火災警報設備的火災檢測器等。

[0302] 圖 24 所示的警報裝置至少包括微型電腦 500。在此，微型電腦 500 設置在警報裝置的內部。在微型電腦 500 中設置有與高電位電源線 VDD 電連接的電源閘控制器 503、與高電位電源線 VDD 及電源閘控制器 503 電連接的電源閘 504、與電源閘 504 電連接的 CPU

(Central Processing Unit) 505、以及與電源閘 504 及 CPU505 電連接的檢測部 509。另外，CPU505 包含揮發性記憶部 506 及非揮發性記憶部 507。

[0303] 另外，CPU505 藉由介面 508 與匯流排線 502 電連接。與 CPU505 同樣，介面 508 也與電源閘 504 電連接。作為介面 508 的匯流排線規格，可以使用 I²C 匯流排線等。另外，本節中所示的警報裝置中設置藉由介面 508 與電源閘 504 電連接的發光元件 530。

[0304] 作為發光元件 530 較佳為發射指向性強的光，例如可以使用有機 EL 元件、無機 EL 元件、LED (Light Emitting Diode) 等。

[0305] 電源閘控制器 503 具有計時器，根據該計時器控制電源閘 504。電源閘 504 根據電源閘控制器 503 的控制對 CPU505、檢測部 509 及介面 508 供應或關閉從高電位電源線 VDD 供應的電源。在此，作為電源閘 504 可以使用如電晶體等的切換元件。

[0306] 藉由使用這種電源閘控制器 503 及電源閘 504，可以在測量光量的期間中，進行對檢測部 509、CPU505 及介面 508 的電源供應，並且在測量期間的空閒期間可以關閉對檢測部 509、CPU505 及介面 508 的電源供應。藉由使警報裝置這樣工作，與對上述各個結構不間斷地供應電源的情況相比，能夠實現耗電量的降低。

[0307] 另外，在作為電源閘 504 使用電晶體的情況下，使用用於非揮發性記憶部 507 並且關態電流 (off-

state current) 極低的電晶體，例如較佳為使用氧化物半導體的電晶體。藉由使用這種電晶體，當由電源開 504 關閉電源時可以減少洩漏電流，而可以實現耗電量的降低。

[0308] 也可以在本節中所示的警報裝置中設置直流電源 501，從直流電源 501 對高電位電源線 VDD 供應電源。直流電源 501 的高電位一側的電極與高電位電源線 VDD 電連接，直流電源 501 的低電位一側的電極與低電位電源線 VSS 電連接。低電位電源線 VSS 與微型電腦 500 電連接。在此，對高電位電源線 VDD 供應高電位 H。此外，對低電位電源線 VSS 供應接地電位 (GND) 等的低電位 L。

[0309] 在作為直流電源 501 使用電池的情況下，例如可以採用在外殼中設置包括如下的電池箱的結構即可，即與高電位電源線 VDD 電連接的電極、與低電位電源線 VSS 電連接的電極、以及可以保持該電池的外殼。另外，在本節中所示的警報裝置不必設置直流電源 501，例如也可以採用從設置在該警報裝置的外部的交流電源藉由佈線供應電源的結構。

[0310] 此外，作為上述電池，也可以使用二次電池如鋰離子二次電池（也稱為鋰離子蓄電池、鋰離子電池）。另外，較佳為設置太陽能電池以對該二次電池進行充電。

[0311] 檢測部 509 測量有關異常的物理量而對 CPU505 發送檢測值。有關異常的物理量根據警報裝置的

使用目的不同，在用作火災警報器的警報裝置中，檢測有關火災的物理量。因此，檢測部 509 測量作為有關火災的物理量的光量而檢測出煙霧的存在。

[0312] 檢測部 509 包括與電源閘 504 電連接的光感測器 511、與電源閘 504 電連接的放大器 512、以及與電源閘 504 及 CPU505 電連接的 AD 轉換器 513。設置在發光元件 530 及檢測部 509 的光感測器 511、放大器 512 及 AD 轉換器 513 當電源閘 504 對檢測部 509 供應電源時工作。

[0313] 圖 25 示出警報裝置的剖面的一部分。在警報裝置中，在 p 型的半導體基板 201 上設置有元件分離區域 203，形成有包括閘極絕緣膜 207、閘極電極 209、n 型的雜質區域 211a、n 型的雜質區域 211b、絕緣膜 215 以及絕緣膜 217 的 n 型的電晶體 519。由於 n 型的電晶體 519 使用與氧化物半導體不同的諸如單晶矽等半導體形成，所以能夠進行充分高速的工作。由此，可以形成能夠實現充分高速的訪問的 CPU 的揮發性記憶部。

[0314] 另外，在對絕緣膜 215 和絕緣膜 217 的一部分選擇性地進行了蝕刻的開口部形成接觸插頭 219a 及接觸插頭 219b，在絕緣膜 217、接觸插頭 219a 以及接觸插頭 219b 上設置具有溝槽部分的絕緣膜 221。另外，在絕緣膜 221 的溝槽部分形成佈線 223a 及佈線 223b。此外，在絕緣膜 221、佈線 223a 以及佈線 223b 上藉由濺射法或 CVD 法等形成絕緣膜 220，在該絕緣膜 220 上形成具有溝

槽部分的絕緣膜 222。在絕緣膜 222 的溝槽部分形成電極 224。電極 224 是用作第二電晶體 517 的背閘極電極的電極。藉由設置該電極 224，可以控制第二電晶體 517 的臨界電壓。

[0315] 另外，在絕緣膜 222 及電極 224 上藉由濺射法或 CVD 法等形成絕緣膜 225。

[0316] 在絕緣膜 225 上設置第二電晶體 517 及光電轉換元件 514。第二電晶體 517 包括氧化物層 206a、氧化物半導體層 206b、氧化物層 206c、與氧化物層 206a、氧化物半導體層 206b 和氧化物層 206c 的疊層的頂面的源極電極 216a 及汲極電極 216b、閘極絕緣膜 212、閘極電極 204 以及保護絕緣膜 218。另外，設置覆蓋光電轉換元件 514 及第二電晶體 517 的絕緣膜 245，並將佈線 249 形成在絕緣膜 245 上而使佈線 249 與汲極電極 216b 接觸。佈線 249 用作使第二電晶體 517 的汲極電極 216b 與 n 型的電晶體 519 的閘極電極 209 電連接的節點。

[0317] 光感測器 511 包括光電轉換元件 514、電容元件、第一電晶體、第二電晶體 517、第三電晶體以及 n 型的電晶體 519。在此，例如，作為光電轉換元件 514 可以使用光電二極體等。

[0318] 光電轉換元件 514 的端子的一個與低電位電源線 VSS 電連接，該端子的另一個與第二電晶體 517 的源極電極和汲極電極中的一個電連接。對第二電晶體 517 的閘極電極供應電荷累積控制信號 Tx，源極電極和汲極

電極中的另一個與電容元件的一對電極中的一個、第一電晶體的源極電極和汲極電極中的一個以及 n 型的電晶體 519 的閘極電極電連接（下面，有時將該節點稱為節點 FD）。電容元件的一對電極中的另一個與低電位電源線 VSS 電連接。對第一電晶體的閘極電極供應重設信號 Res，第一電晶體的源極電極和汲極電極中的另一個與高電位電源線 VDD 電連接。n 型的電晶體 519 的源極電極和汲極電極中的一個與第三電晶體的源極電極和汲極電極中的一個以及放大器 512 電連接。另外，n 型的電晶體 519 的源極電極和汲極電極中的另一個與高電位電源線 VDD 電連接。對第三電晶體的閘極電極供應偏壓信號 Bias，第三電晶體的源極電極和汲極電極中的另一個與低電位電源線 VSS 電連接。

[0319] 另外，未必一定要設置電容元件，例如在 n 型的電晶體 519 等的寄生電容充分大的情況下也可以不設置電容元件。

[0320] 另外，第一電晶體及第二電晶體 517 較佳為使用關態電流極低的電晶體。此外，作為關態電流極低的電晶體，較佳為使用包含氧化物半導體的電晶體。藉由採用這種結構，能夠長時間保持節點 FD 的電位。

[0321] 另外，在圖 25 所示的結構中，光電轉換元件 514 與第二電晶體 517 電連接並設置在絕緣膜 225 上。

[0322] 光電轉換元件 514 包括設置在絕緣膜 225 上的半導體層 260、以及與半導體層 260 的表面接觸的源極

電極 216a、電極 216c。源極電極 216a 用作第二電晶體 517 的源極電極或汲極電極並使光電轉換元件 514 與第二電晶體 517 電連接。

[0323] 在半導體層 260、源極電極 216a 及電極 216c 上設置有閘極絕緣膜 212、保護絕緣膜 218 及絕緣膜 245。另外，在絕緣膜 245 上設置有佈線 256，佈線 256 藉由設置在閘極絕緣膜 212、保護絕緣膜 218 及絕緣膜 245 中的開口與電極 216c 接觸。

[0324] 電極 216c 可以藉由與源極電極 216a 及汲極電極 216b 相同的製程形成。佈線 256 可以藉由與佈線 249 相同的製程形成。

[0325] 作為半導體層 260，設置能夠進行光電轉換的半導體層即可，例如可以使用矽或鍺等。在對半導體層 260 使用矽的情況下，用作檢測可見光的光感測器。此外，因為矽和鍺能夠吸收的電磁波的波長彼此不同，所以在採用對半導體層 260 使用鍺的結構的情況下，能夠用作檢測紅外線的感測器。

[0326] 如上所述那樣，可以在微型電腦 500 中內藏包括光感測器 511 的檢測部 509，所以可以縮減部件數，而縮小警報裝置的外殼。

[0327] 在包含上述的 IC 晶片的火災警報器中，使用一種 CPU505，其中組合多個使用上述電晶體的電路並將該電路組裝一個 IC 晶片。

[0328] 圖 26A 至 26C 是示出將上述電晶體用於至少

其一部分的 CPU 的具體結構的方塊圖。

[0329] 圖 26A 所示的 CPU 在基板 1190 上包括：ALU (Arithmetic logic unit：算術邏輯單元) 1191；ALU 控制器 1192；指令解碼器 1193；中斷控制器 1194；時序控制器 1195；暫存器 1196；暫存器控制器 1197；匯流排介面 1198；可改寫的 ROM1199；以及 ROM 介面 1189。作為基板 1190，使用半導體基板、SOI 基板及玻璃基板等。ROM1199 和 ROM 介面 1189 可以設置在另一晶片上。當然，圖 26A 所示的 CPU 只是將其結構簡化而示出的一個例子，並且實際上的 CPU 根據其用途具有多種結構。

[0330] 藉由匯流排介面 1198 輸入到 CPU 的指令輸入到指令解碼器 1193 且被進行解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197 和時序控制器 1195。

[0331] 根據被解碼的指令，ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 進行各種控制。明確而言，ALU 控制器 1192 產生用來控制 ALU1191 的工作的信號。另外，當 CPU 在執行程式時，中斷控制器 1194 根據其優先度或遮罩狀態而判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求，且處理該要求。暫存器控制器 1197 產生暫存器 1196 的位址，並根據 CPU 的狀態進行從暫存器 1196 的讀出或對暫存器 1196 的寫入。

[0332] 另外，時序控制器 1195 產生控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具備根據基準時脈信號 CLK1 產生內部時脈信號 CLK2 的內部時脈產生部，將內部時脈信號 CLK2 供應到上述各種電路。

[0333] 在圖 26A 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用上述電晶體。

[0334] 在圖 26A 所示的 CPU 中，暫存器控制器 1197 根據來自 ALU1191 的指示，進行暫存器 1196 中的保持工作的選擇。換言之，在暫存器 1196 所具有的記憶單元中，選擇利用正反器進行資料的保持還是利用電容元件進行資料的保持。當選擇利用正反器進行資料的保持時，進行對暫存器 1196 中的記憶單元的電源電壓的供應。當選擇利用電容元件進行資料的保持時，進行對電容元件的資料的改寫，而可以停止對暫存器 1196 內的記憶單元的電源電壓的供應。

[0335] 如圖 26B 或 26C 所示那樣，藉由在記憶單元群與被供應有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件，可以停止電源電壓的供應。以下說明圖 26B 及 26C 的電路。

[0336] 在圖 26B 及 26C 中示出一種記憶體電路的結構的一個例子，其中作為控制對記憶單元的電源電位的供

應的切換元件包含上述電晶體中的任一。

[0337] 圖 26B 所示的記憶體裝置包括切換元件 1141 以及具有多個記憶單元 1142 的記憶單元群 1143。明確而言，各記憶單元 1142 可以使用上述電晶體。藉由切換元件 1141，高位準的電源電位 VDD 供應到記憶單元群 1143 所具有的各記憶單元 1142。並且，信號 IN 的電位和低位準的電源電位 VSS 的電位供應到記憶單元群 1143 所具有的各記憶單元 1142。

[0338] 在圖 26B 中，作為切換元件 1141 使用上述電晶體中的任一，該電晶體的開關受控於供應到其閘極電極層的信號 SigA。

[0339] 此外，在圖 26B 中，示出切換元件 1141 只具有一個電晶體的結構，但是沒有特別的限制，也可以具有多個電晶體。當切換元件 1141 具有多個用作切換元件的電晶體時，既可以將上述多個電晶體並聯，又可以將上述多個電晶體串聯，還可以組合並聯和串聯。

[0340] 另外，在圖 26B 中，雖然因切換元件 1141 而控制對記憶單元群 1143 所具有的各記憶單元 1142 的高位準的電源電位 VDD 的供給，但是也可以因切換元件 1141 而控制低位準的電源電位 VSS 的供給。

[0341] 另外，圖 26C 示出記憶體裝置的一個例子，其中藉由切換元件 1141 低位準的電源電位 VSS 被供應到記憶單元群 1143 所具有的各記憶單元 1142。由切換元件 1141 可以控制對記憶單元群 1143 所具有的各記憶單元

1142 的低位準的電源電位 VSS 的供應。

[0342] 在記憶單元群與被施加電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件，當暫時停止 CPU 的工作，停止電源電壓的供應時也可以保持資料，由此可以降低耗電量。明確而言，例如，在個人電腦的使用者停止對鍵盤等輸入裝置輸入資訊的期間中也可以停止 CPU 的工作，由此可以降低耗電量。

[0343] 在此，以 CPU 為例子進行說明，但是也可以應用於 DSP (Digital Signal Processor：數位訊號處理器)、定製 LSI、FPGA(Field Programmable Gate Array：現場可程式邏輯閘陣列)等的 LSI。

[0344] 在圖 27A 的電視機 8000 中，外殼 8001 組裝有顯示部 8002，利用顯示部 8002 可以顯示影像，並且從揚聲器部 8003 可以輸出聲音。可以將上述電晶體用於顯示部 8002。

[0345] 作為顯示部 8002，可以使用液晶顯示裝置、在各個像素中具備有機 EL 元件等發光元件的發光裝置、電泳顯示裝置、DMD (Digital Micromirror Device：數位微鏡裝置)、PDP (Plasma Display Panel：電漿顯示面板)等半導體顯示裝置。

[0346] 此外，電視機 8000 也可以具備用來進行資訊通信的 CPU8004、記憶體等。藉由作為 CPU8004 或記憶體使用上述電晶體、記憶體裝置或 CPU，可以實現低耗電量化。

[0347] 在圖 27A 中，警報裝置 8100 是住宅用火災警報器，該警報裝置包括檢測部和微型電腦 8101。微型電腦 8101 是利用使用上述電晶體的 CPU 的電器的一個例子。

[0348] 在圖 27A 中，具有室內機 8200 和室外機 8204 的空調器是利用使用上述電晶體的 CPU 的電器的一個例子。明確地說，室內機 8200 具有外殼 8201、送風口 8202、CPU8203 等。在圖 27A 中，例示出 CPU8203 設置在室內機 8200 中的情況，但是 CPU8203 也可以設置在室外機 8204 中。或者，在室內機 8200 和室外機 8204 的兩者中設置有 CPU8203。藉由將上述電晶體用於空調器的 CPU，可以實現低耗電量化。

[0349] 在圖 27A 中，電冷藏冷凍箱 8300 是具備使用氧化物半導體的 CPU 的電器的一個例子。明確地說，電冷藏冷凍箱 8300 包括外殼 8301、冷藏室門 8302、冷凍室門 8303 及 CPU8304 等。在圖 27A 中，CPU8304 設置在外殼 8301 的內部。藉由將上述電晶體用於電冷藏冷凍箱 8300 的 CPU8304，可以實現低耗電量化。

[0350] 在圖 27B 和 27C 中，例示出電器的一個例子的電動汽車。電動汽車 9700 安裝有二次電池 9701。二次電池 9701 的電力由控制電路 9702 調整輸出而供應到驅動裝置 9703。控制電路 9702 由具有未圖示的 ROM、RAM、CPU 等的處理裝置 9704 控制。藉由將上述電晶體用於電動汽車 9700 的 CPU，可以實現低耗電量化。

[0351] 驅動裝置 9703 是利用直流電動機或交流電動機的，或者將電動機和內燃機組合而構成的。處理裝置 9704 根據電動汽車 9700 的駕駛員的操作資訊（加速、減速、停止等）、行車資訊（爬坡、下坡等，或者行車中的車輪受到的負載等）等的輸入資訊，向控制電路 9702 輸出控制信號。控制電路 9702 利用處理裝置 9704 的控制信號調整從二次電池 9701 供應的電能控制驅動裝置 9703 的輸出。當安裝交流電動機時，雖然未圖示，但是還安裝有將直流轉換為交流的逆變器。

[0352]

【符號說明】

100：基板

104：閘極電極

106：多層膜

106a：氧化物層

106b：氧化物半導體層

106c：氧化物層

106d：源極區域

106e：汲極區域

112：閘極絕緣膜

116a：源極電極

116b：汲極電極

118：保護絕緣膜

118a：氧化矽層
 118b：氧化矽層
 118c：氮化矽層
 200：基板
 201：半導體基板
 202：基底絕緣膜
 203：元件分離區域
 204：閘極電極
 206：多層膜
 206a：氧化物層
 206b：氧化物半導體層
 206c：氧化物層
 207：閘極絕緣膜
 209：閘極電極
 211a：雜質區域
 211b：雜質區域
 212：閘極絕緣膜
 215：絕緣膜
 216a：源極電極
 216b：汲極電極
 216c：電極
 217：絕緣膜
 218：保護絕緣膜
 219a：接觸插頭

219b：接觸插頭
220：絕緣膜
221：絕緣膜
222：絕緣膜
223a：佈線
223b：佈線
224：電極
225：絕緣膜
245：絕緣膜
249：佈線
256：佈線
260：半導體層
500：微型電腦
501：直流電源
502：匯流排線
503：電源閘控制器
504：電源閘
505：CPU
506：揮發性記憶部
507：非揮發性記憶部
508：介面
509：檢測部
511：光感測器
512：放大器

513：AD 轉換器
 514：光電轉換元件
 517：電晶體
 519：電晶體
 530：發光元件
 1000：靶材
 1001：離子
 1002：濺射粒子
 1003：被形成面
 1141：切換元件
 1142：記憶單元
 1143：記憶單元群
 1189：ROM 介面
 1190：基板
 1191：ALU
 1192：ALU 控制器
 1193：指令解碼器
 1194：中斷控制器
 1195：時序控制器
 1196：暫存器
 1197：暫存器控制器
 1198：匯流排介面
 1199：ROM
 4000：成膜裝置

- 4001：大氣側基板供給室
- 4002：大氣側基板傳送室
- 4003a：裝載閉鎖室
- 4003b：卸載閉鎖室
- 4004：傳送室
- 4005：基板加熱室
- 4006a：成膜室
- 4006b：成膜室
- 4006c：成膜室
- 4101：盒式介面
- 4102：對準介面
- 4103：傳送機器人
- 4104：閘閥
- 4105：加熱載物台
- 4106：靶材
- 4107：防著板
- 4108：基板載物台
- 4109：基板
- 4110：低溫冷阱
- 4111：載物台
- 4200：真空泵
- 4201：低溫泵
- 4202：渦輪分子泵
- 4300：質量流量控制器

4301：精製器
4302：氣體加熱機構
8000：電視機
8001：外殼
8002：顯示部
8003：揚聲器部
8004：CPU
8100：警報裝置
8101：微型電腦
8200：室內機
8201：外殼
8202：送風口
8203：CPU
8204：室外機
8300：電冷藏冷凍箱
8301：外殼
8302：冷藏室門
8303：冷凍室門
8304：CPU
9700：電動汽車
9701：二次電池
9702：控制電路
9703：驅動裝置
9704：處理裝置

申請專利範圍

【請求項 1】一種半導體裝置，包含：

包含通道區中的矽以及第一閘極電極的第一電晶體；

該第一電晶體上包含第一開口的絕緣膜；

該絕緣膜上的第二電晶體；以及

導電層，

其中該第二電晶體包含第二閘極電極、該第二閘極電極上的氧化物半導體層、該氧化物半導體層上的第三閘極電極以及該第三閘極電極上的保護絕緣膜，

其中該保護絕緣膜包含第二開口，

其中該第二閘極電極和該第三閘極電極彼此重疊，並且

其中該導電層透過該第一開口和該第二開口直接電連接至該第一閘極電極。

【請求項 2】根據請求項 1 之半導體裝置，其中該保護絕緣膜是氧化矽膜，該氧化矽膜起因於電子自旋共振法（ESR：Electron Spin Resonance）中具有 2.001 的 g 值的信號之自旋密度為 $3 \times 10^{17} \text{ spins/cm}^3$ 以下。

圖 式

圖 1

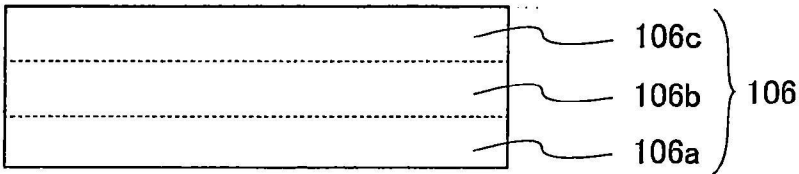


圖 2

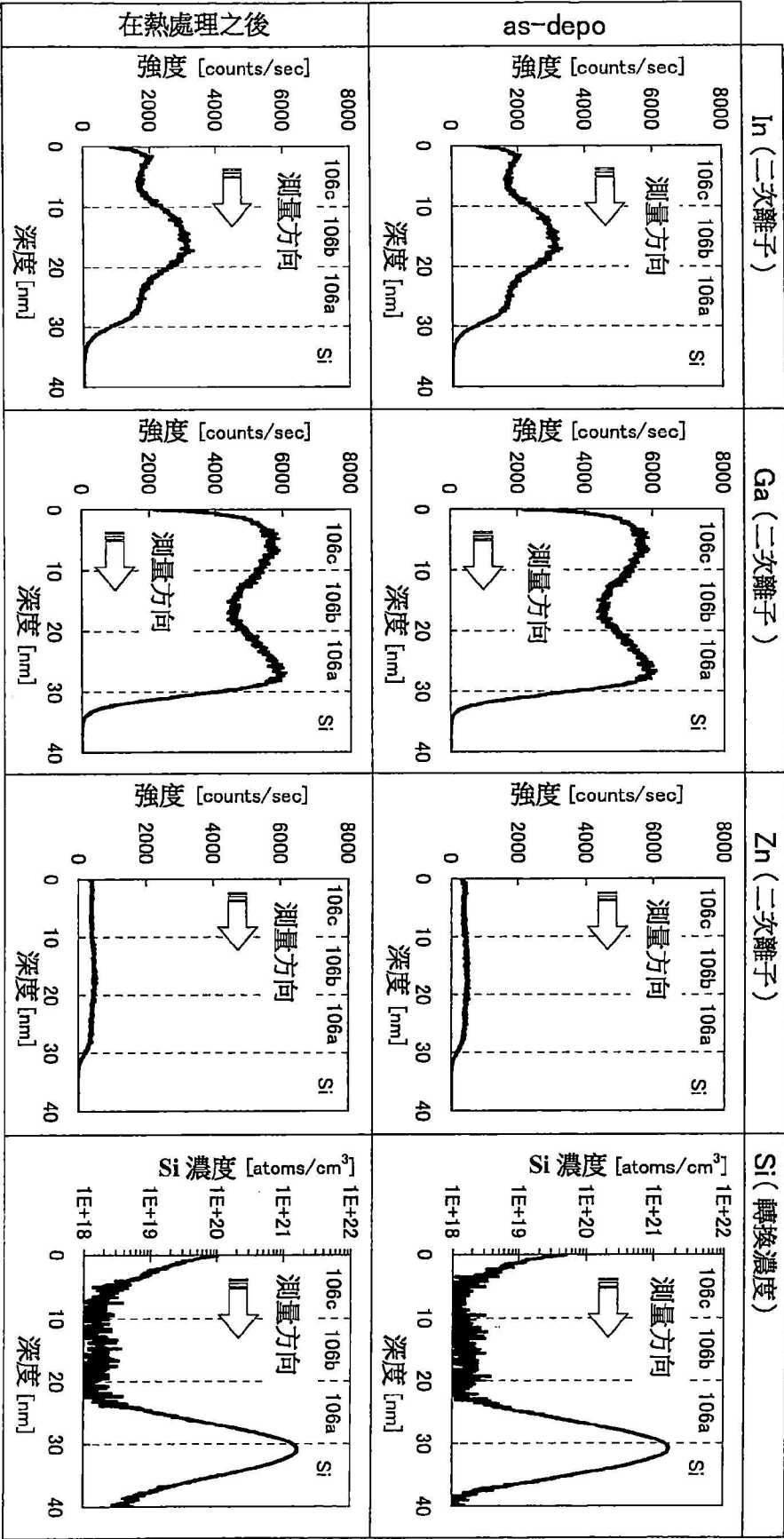


圖 3A

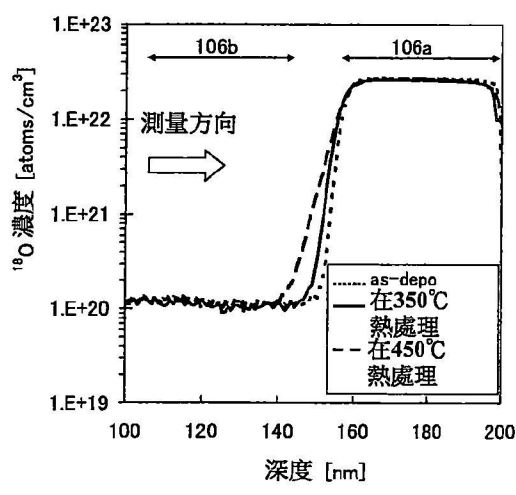


圖 3B

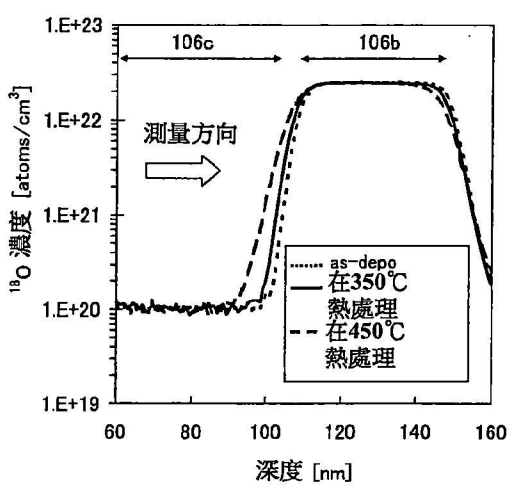


圖 3C

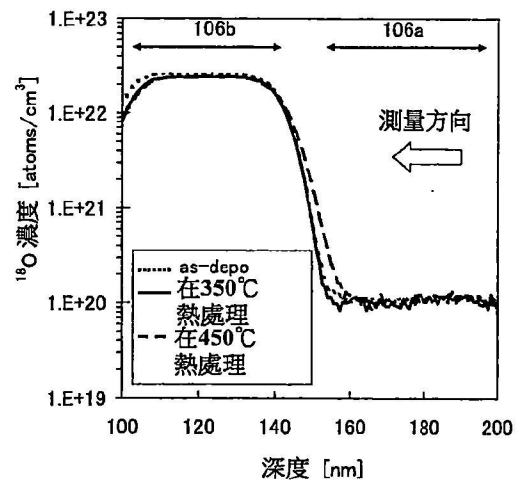


圖 4

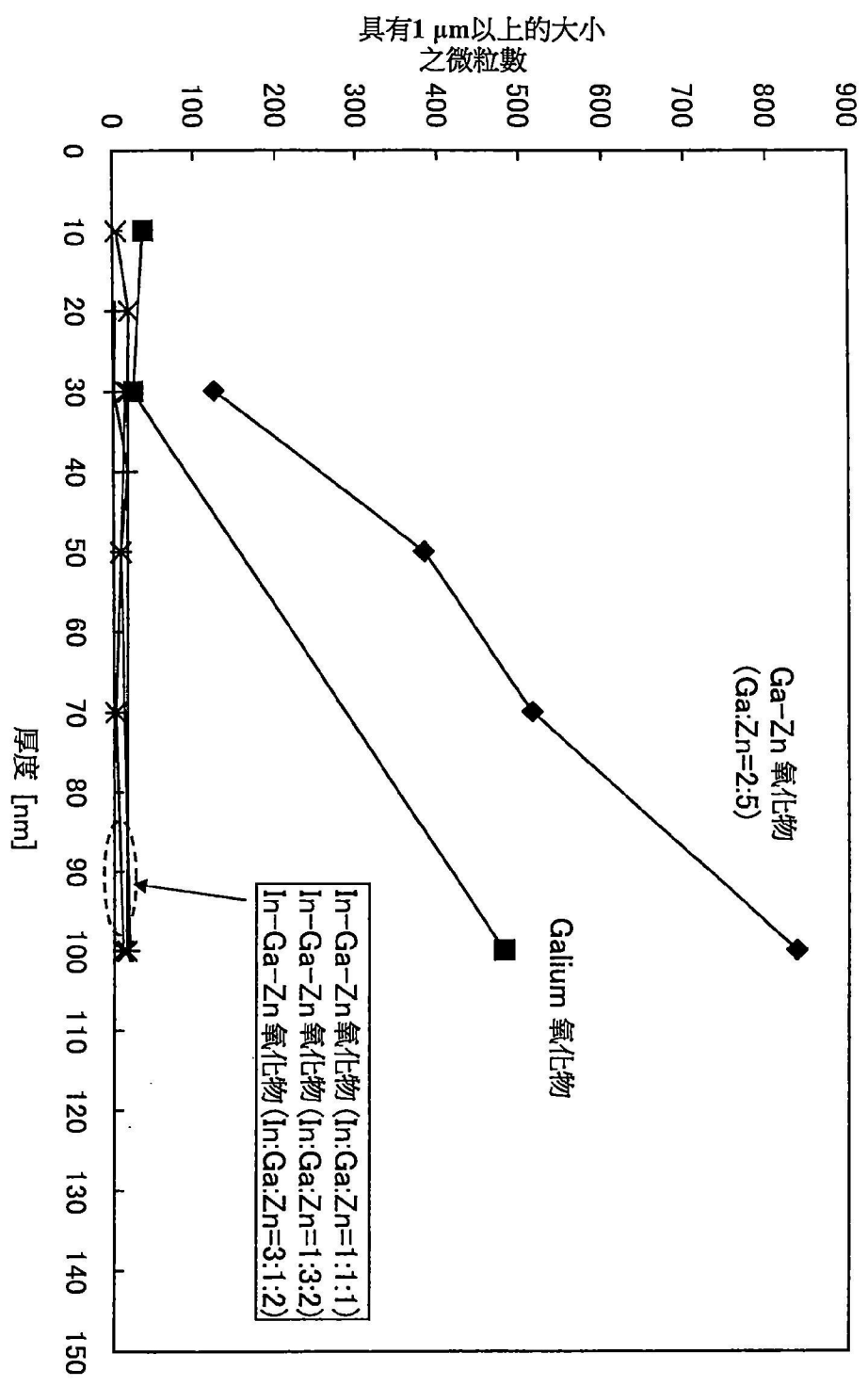


圖 5A

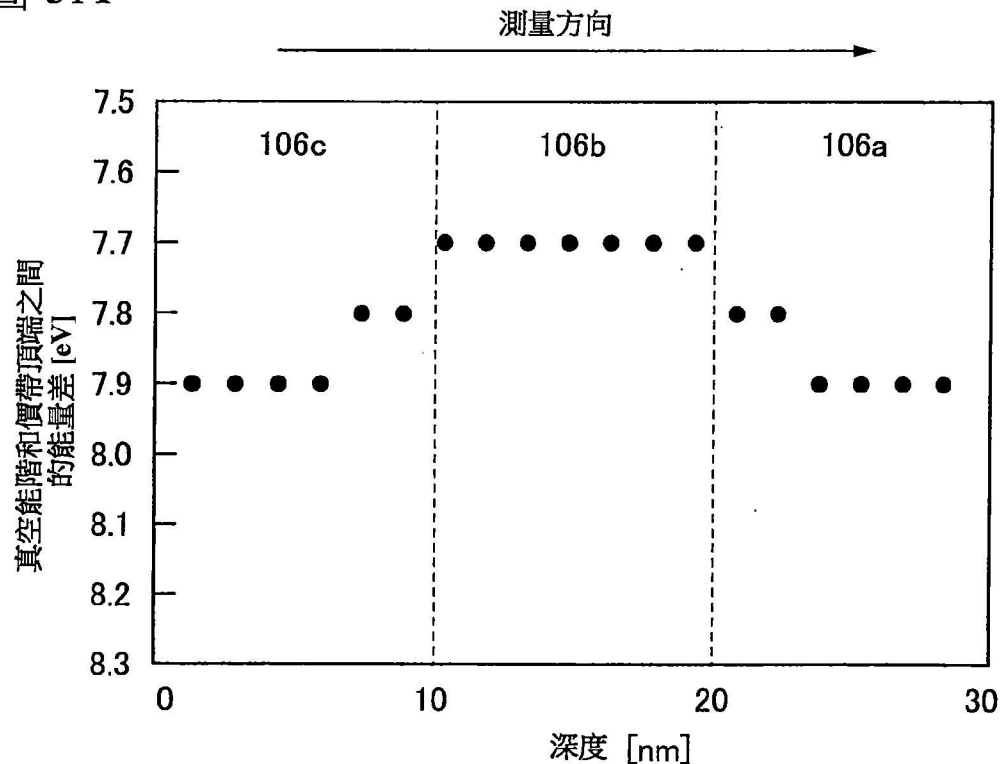


圖 5B

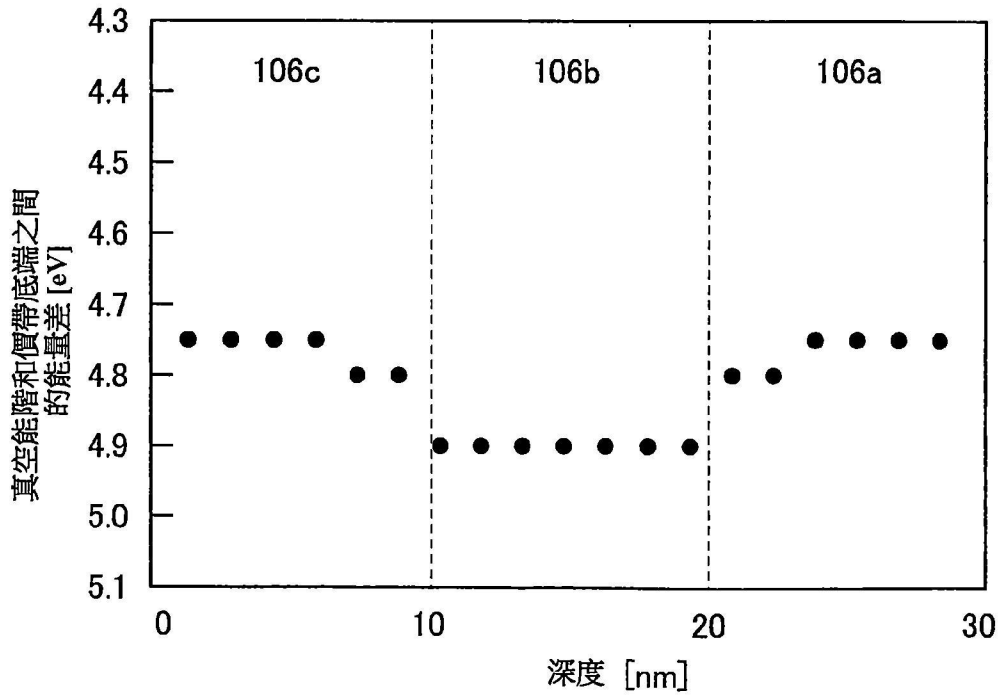


圖 6A

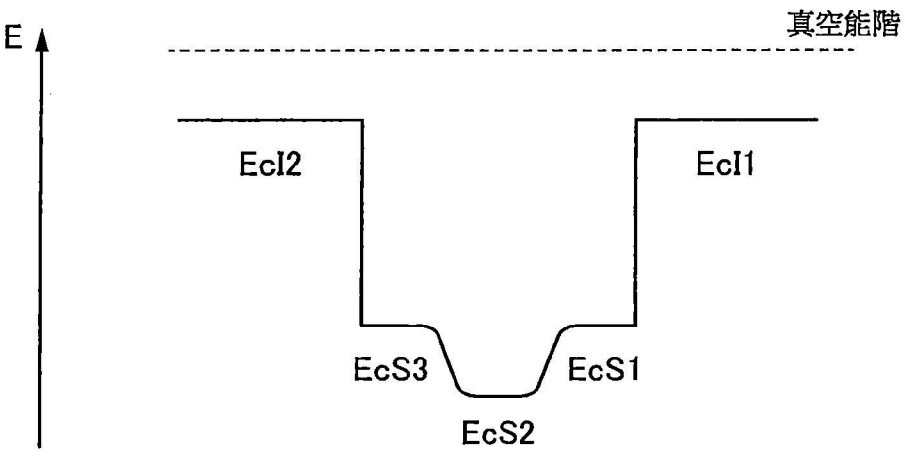


圖 6B

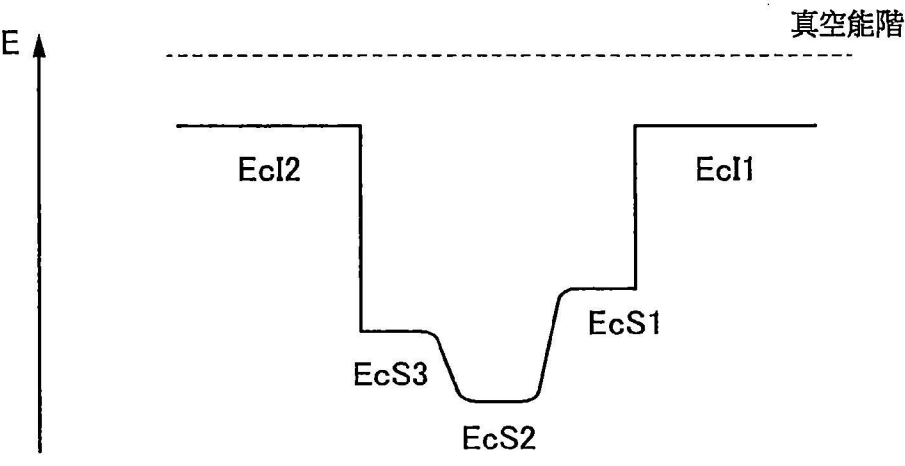


圖 7

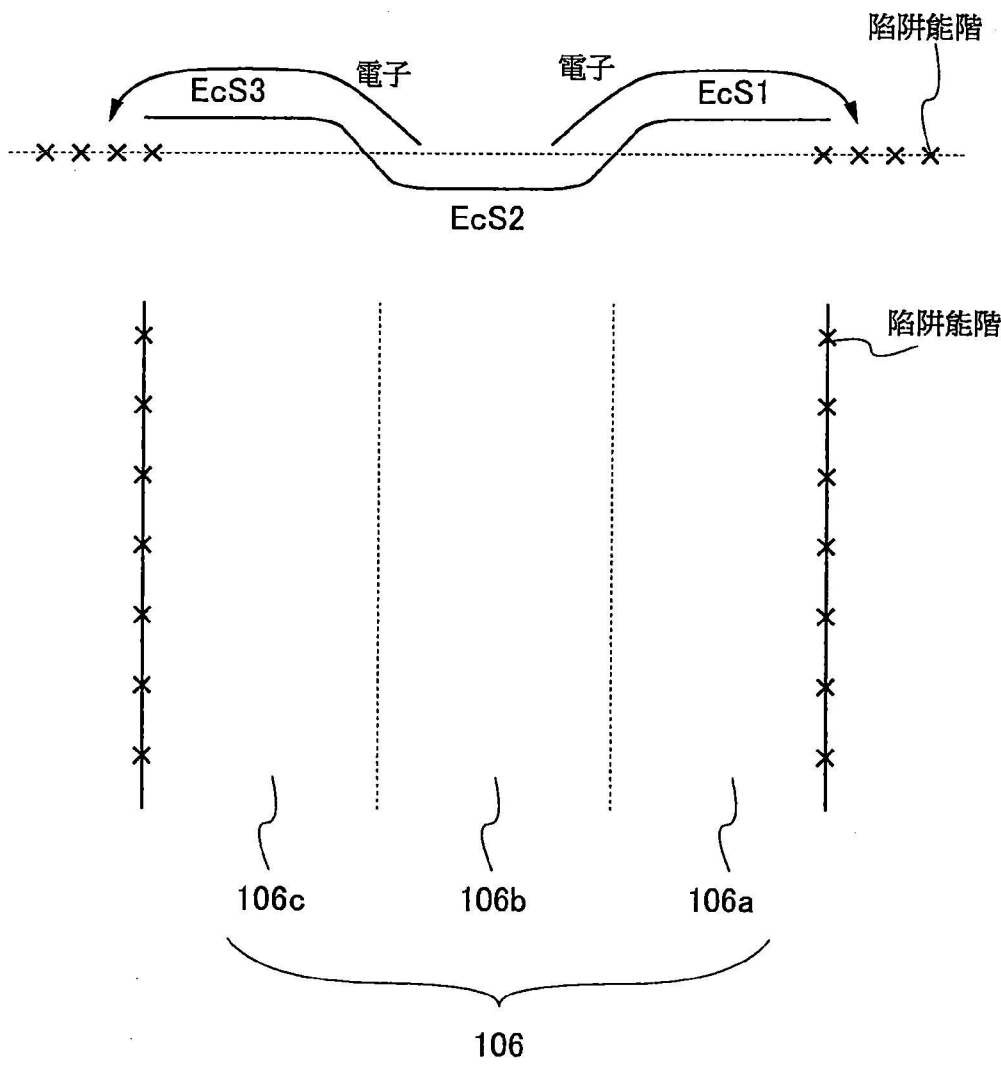


圖 8A

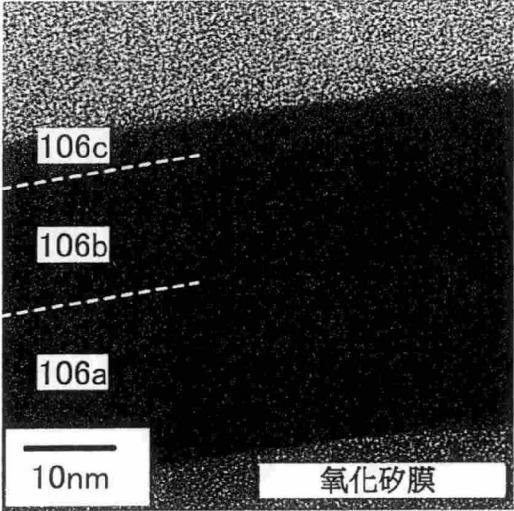


圖 8C

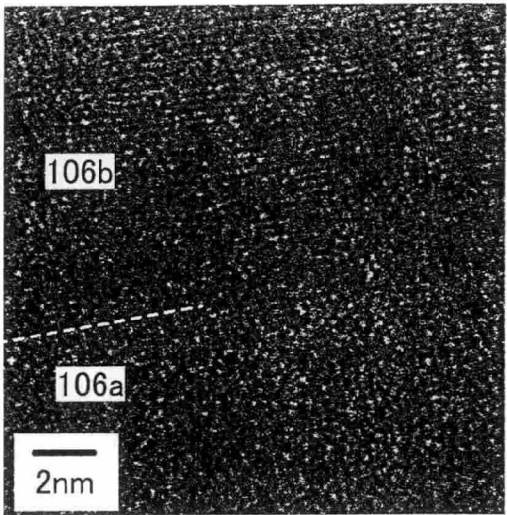


圖 8B

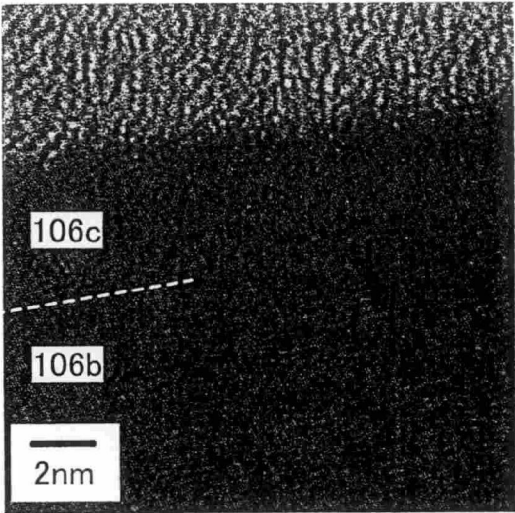


圖 8D

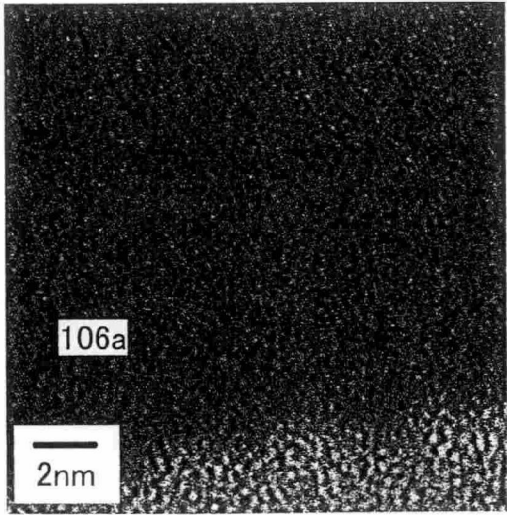


圖 9A

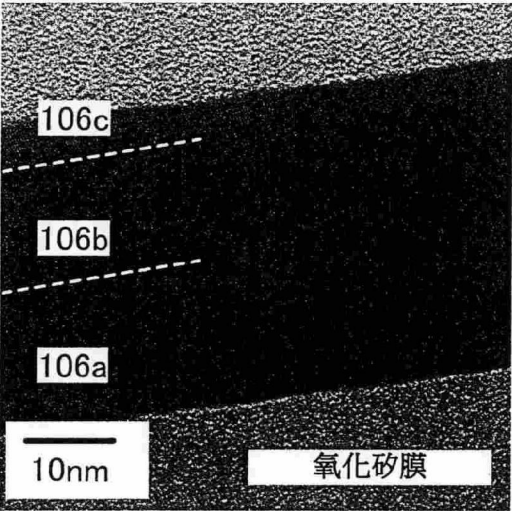


圖 9C

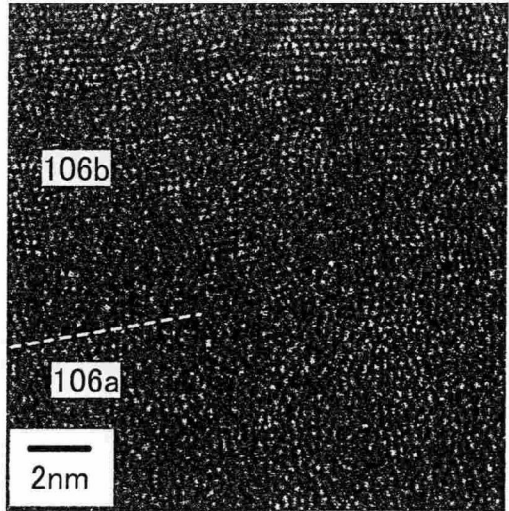


圖 9B

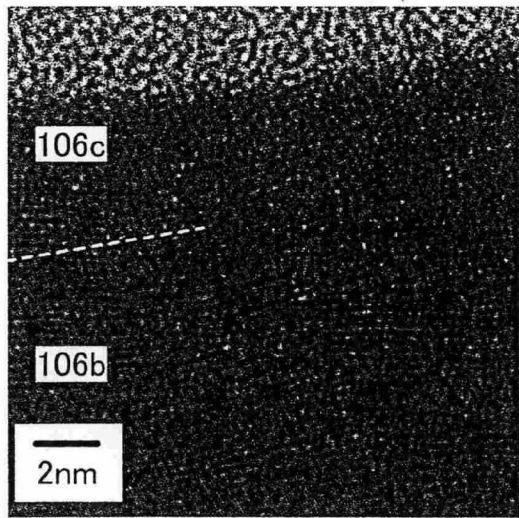


圖 9D

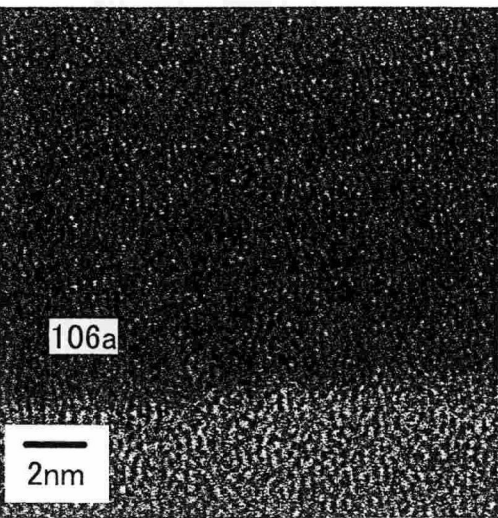


圖 10A

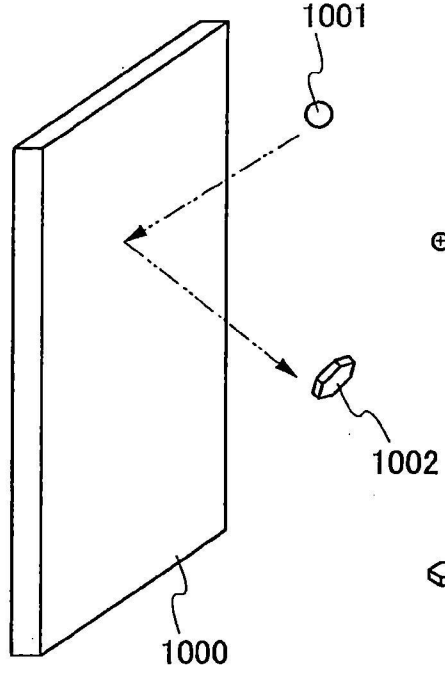


圖 10B

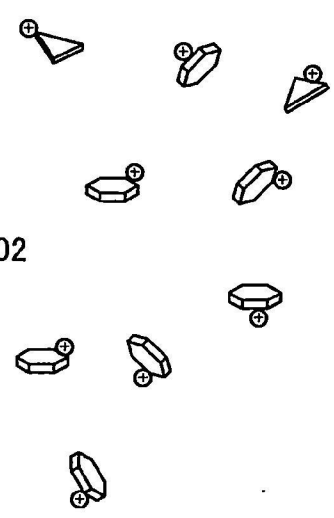
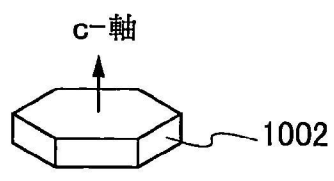


圖 11A

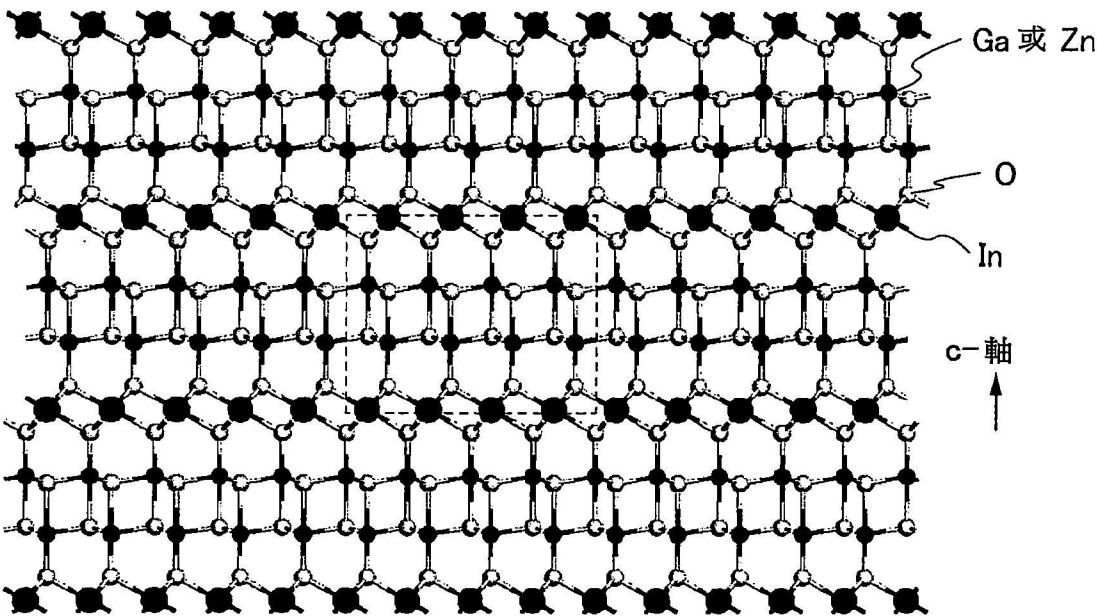


圖 11B

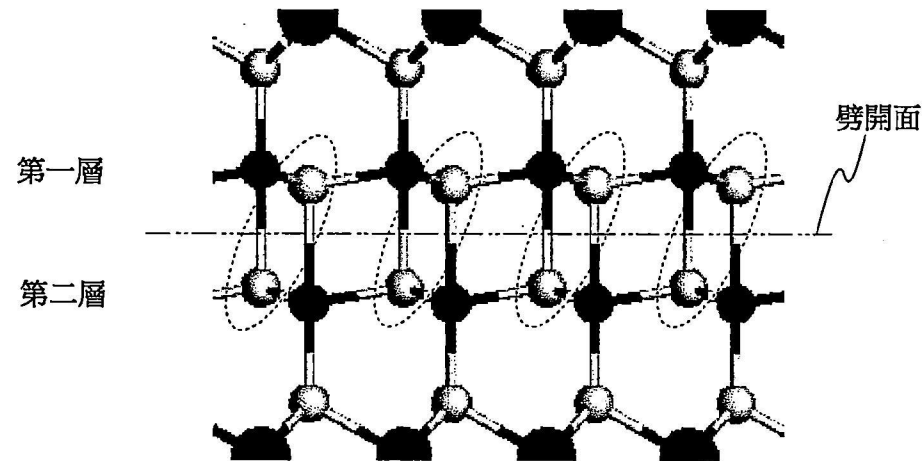


圖 12A

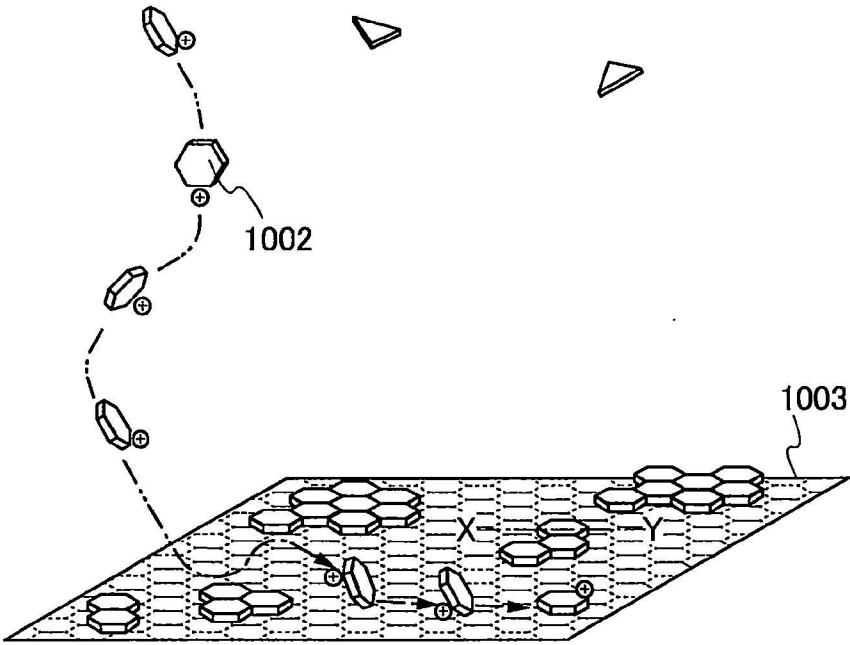


圖 12B

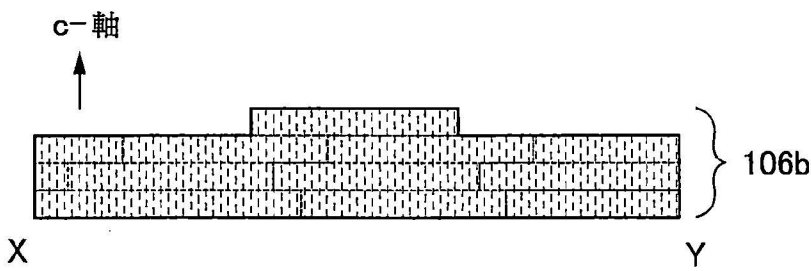


圖 13A

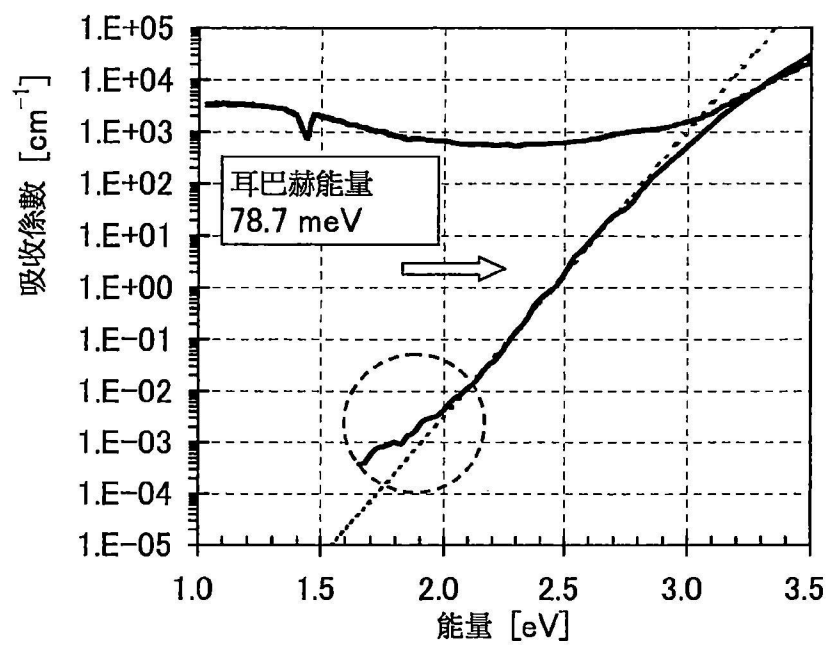


圖 13B

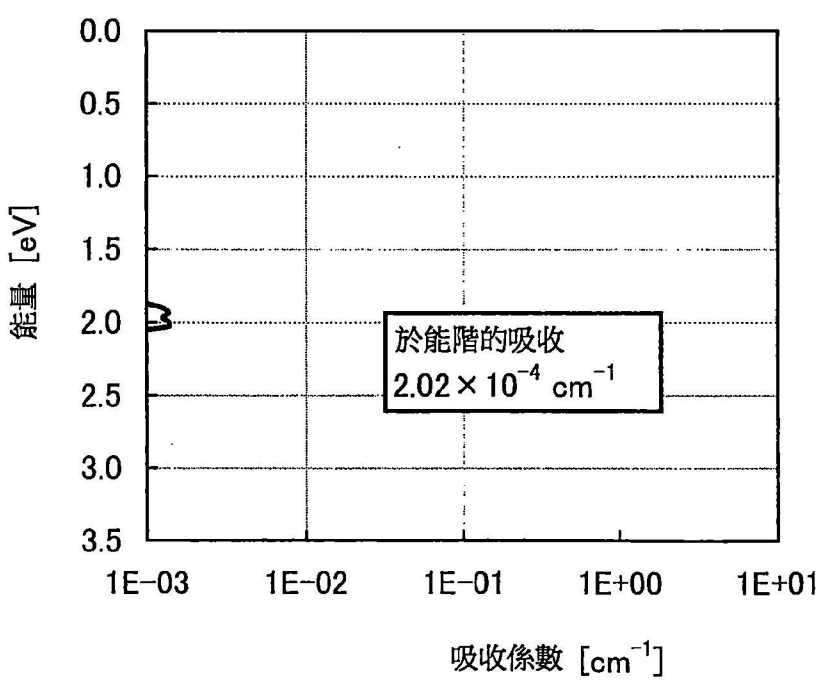


圖 14

4000

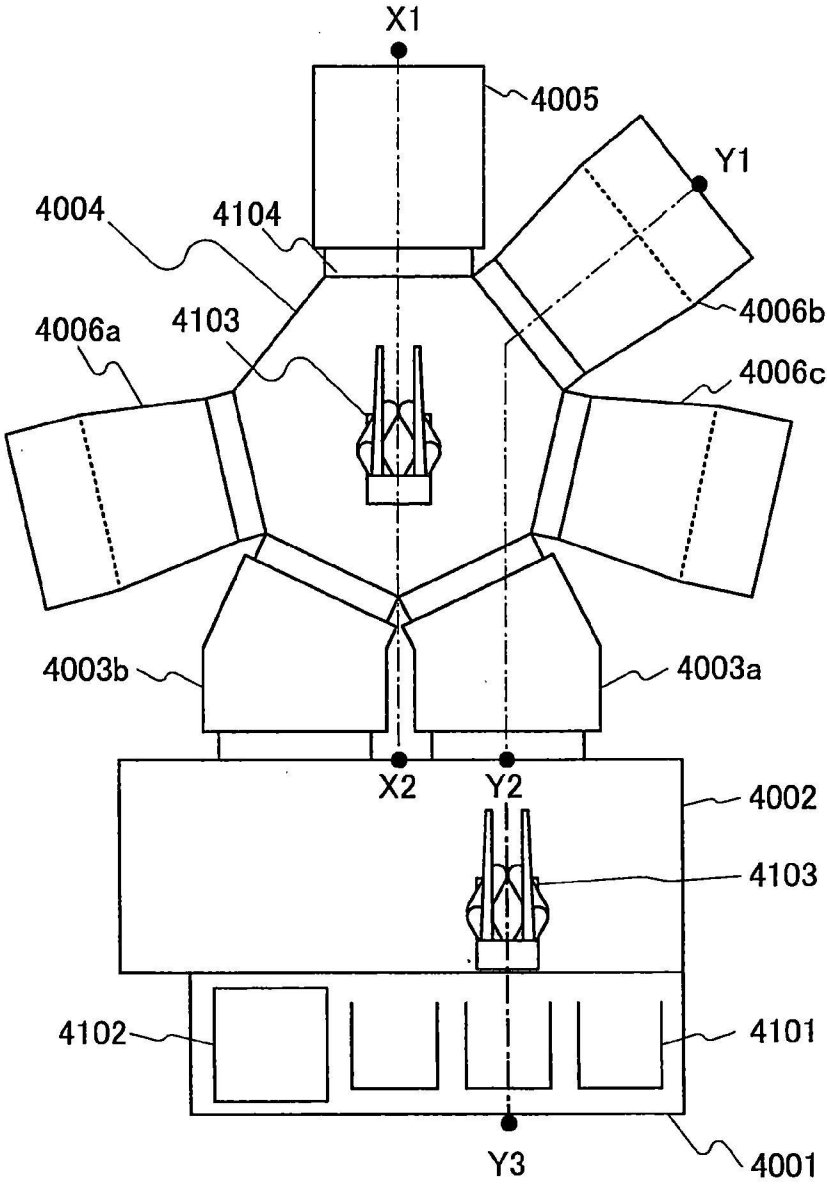


圖 15A

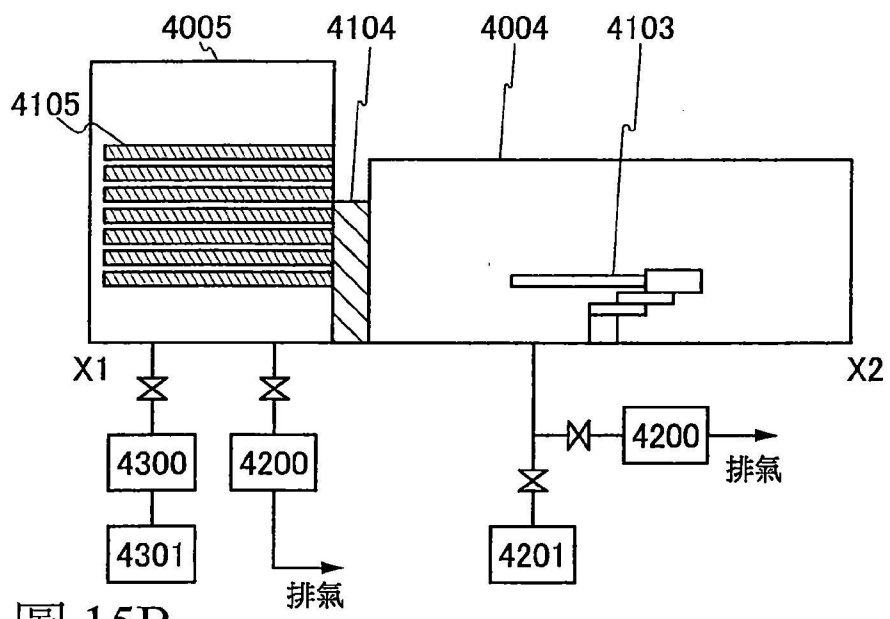


圖 15B

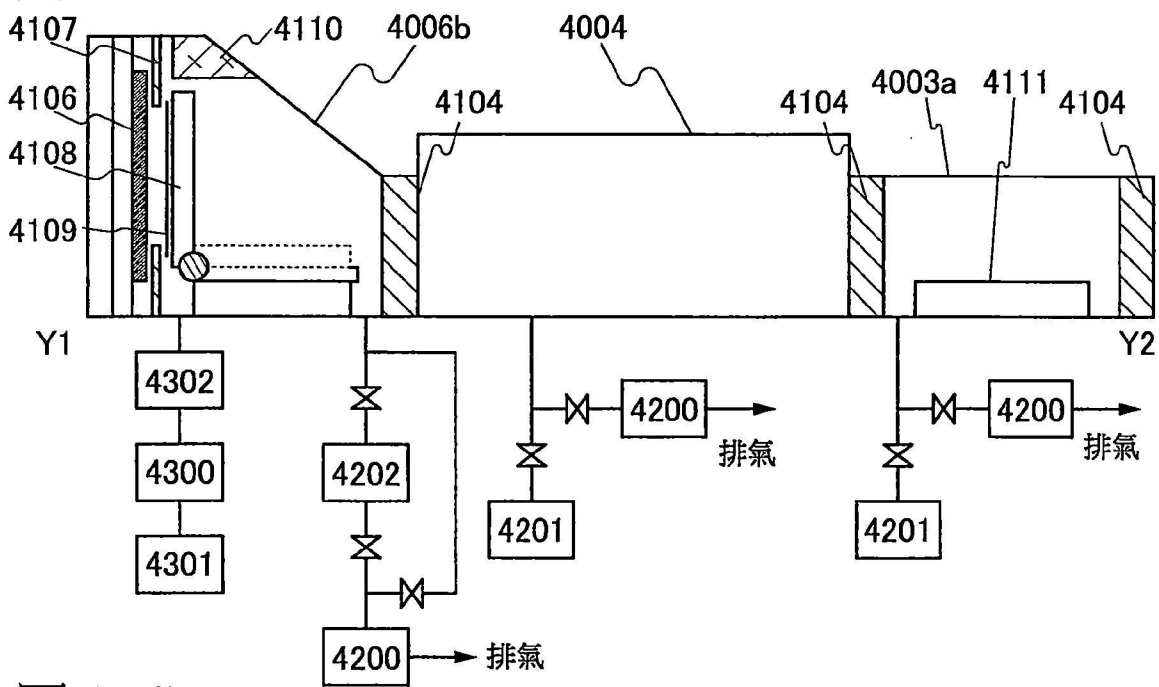


圖 15C

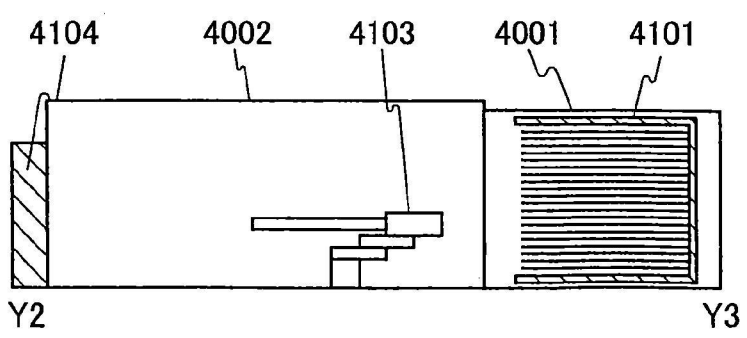


圖 16A

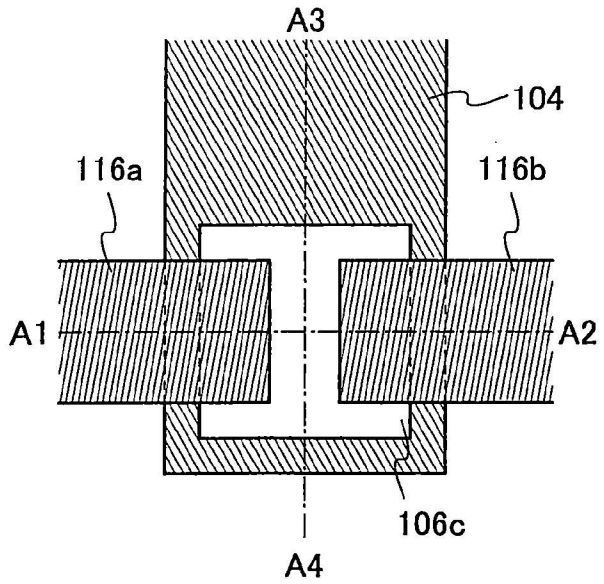


圖 16C

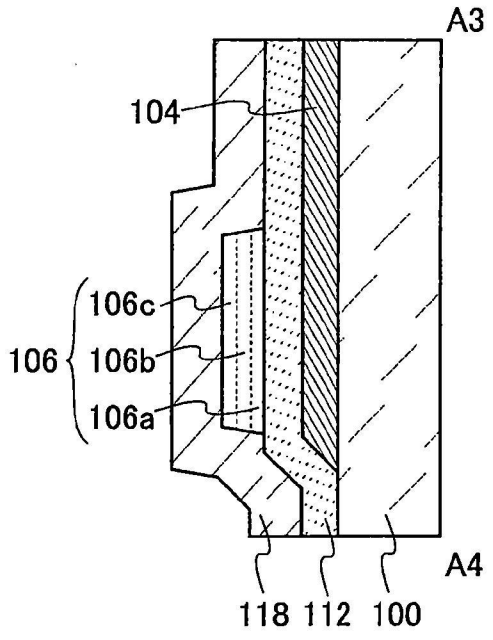


圖 16B

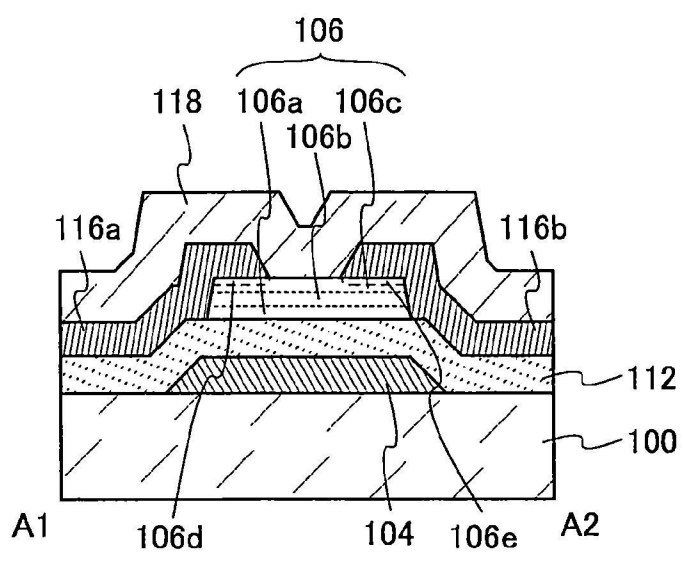


圖 16D

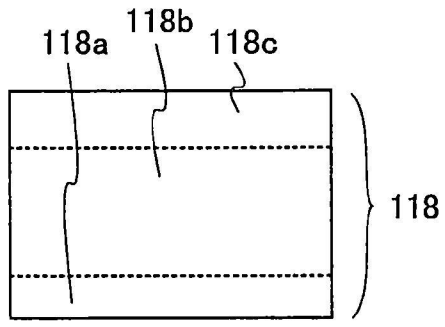


圖 17A

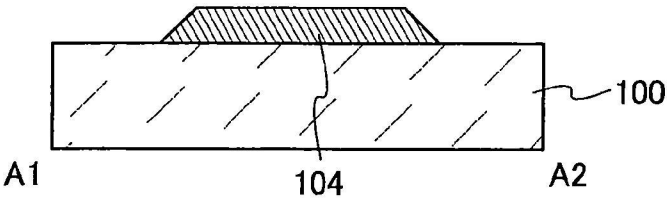


圖 17B

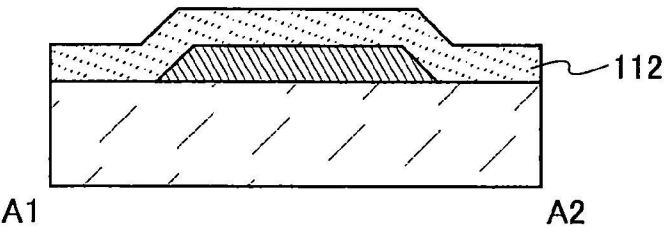


圖 17C

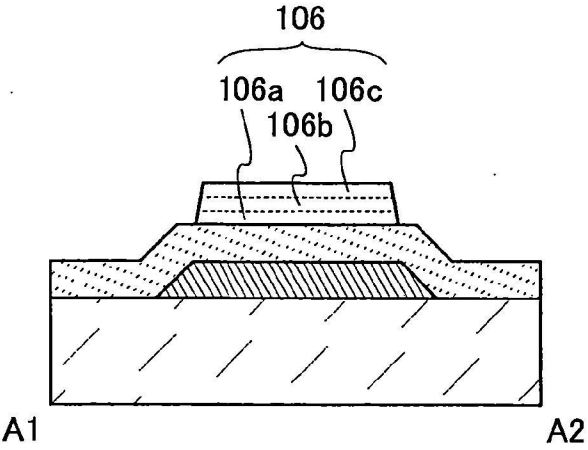


圖 18A

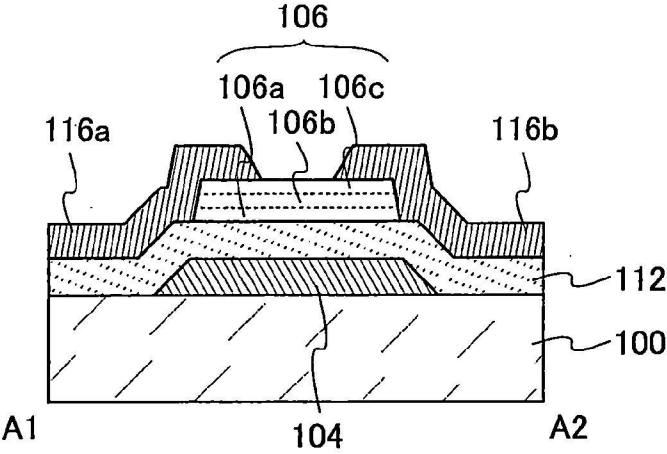


圖 18B

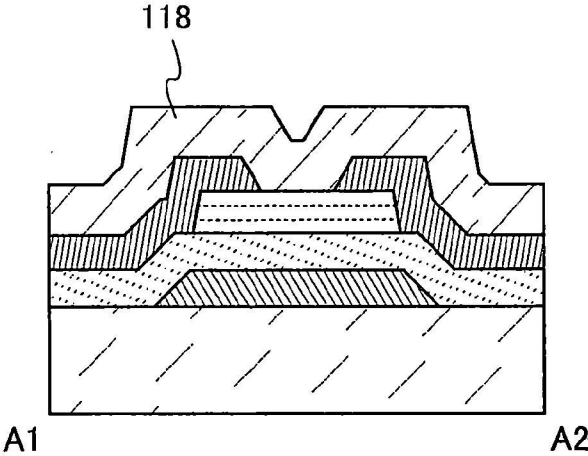


圖 19A

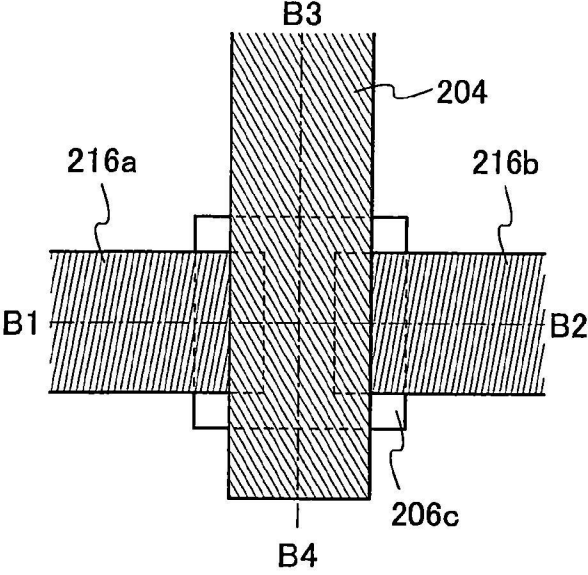


圖 19C

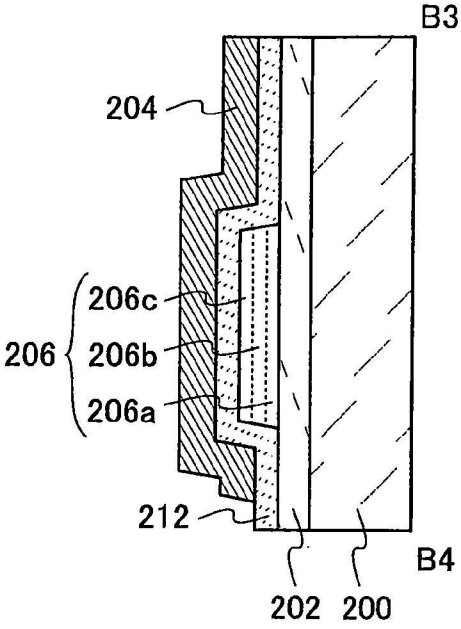


圖 19B

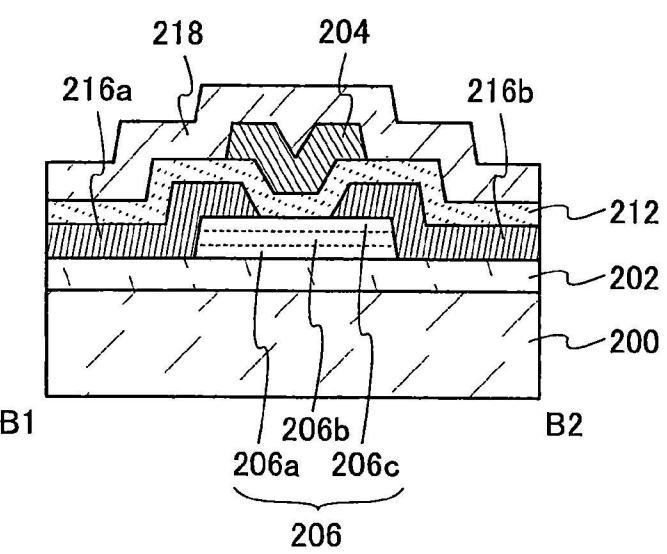


圖 20A

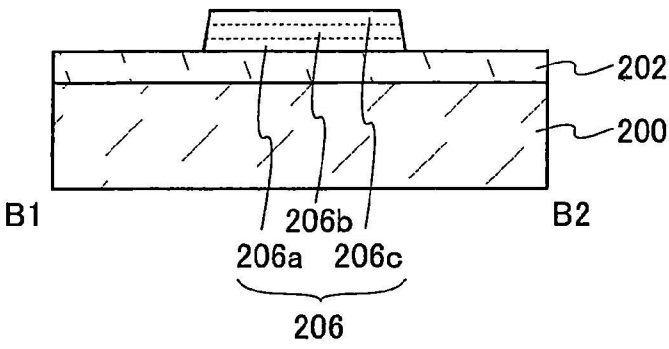


圖 20B

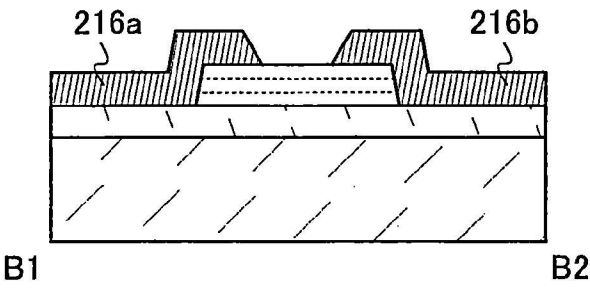


圖 20C

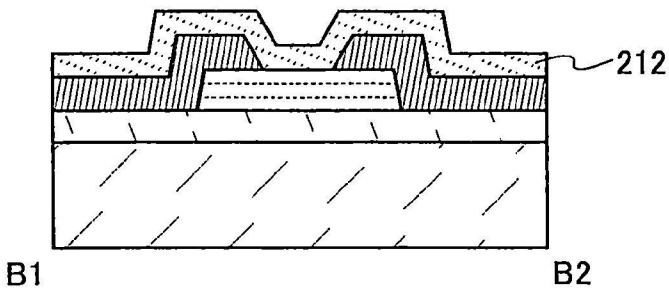


圖 21A

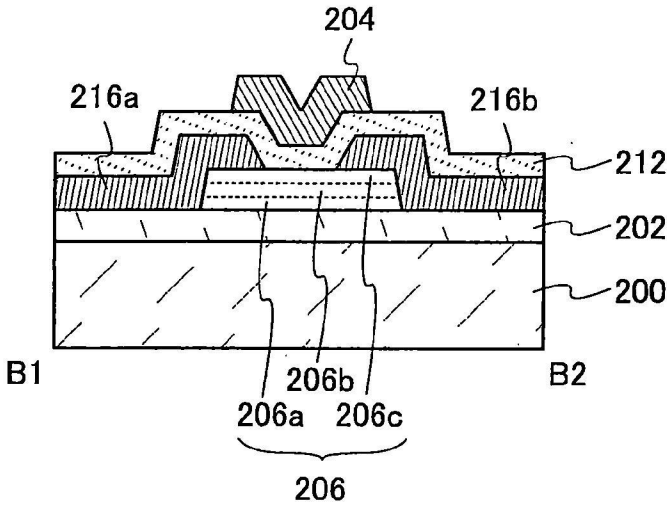


圖 21B

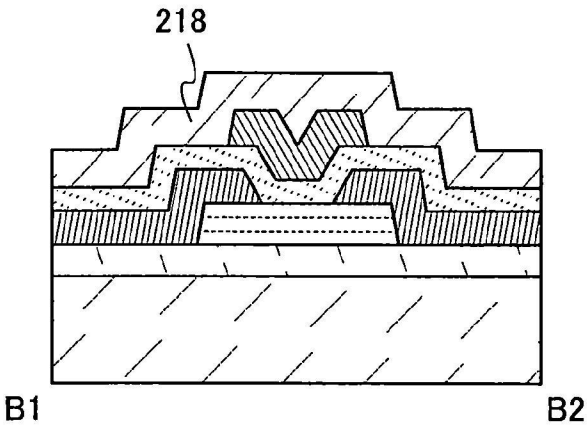


圖 22A

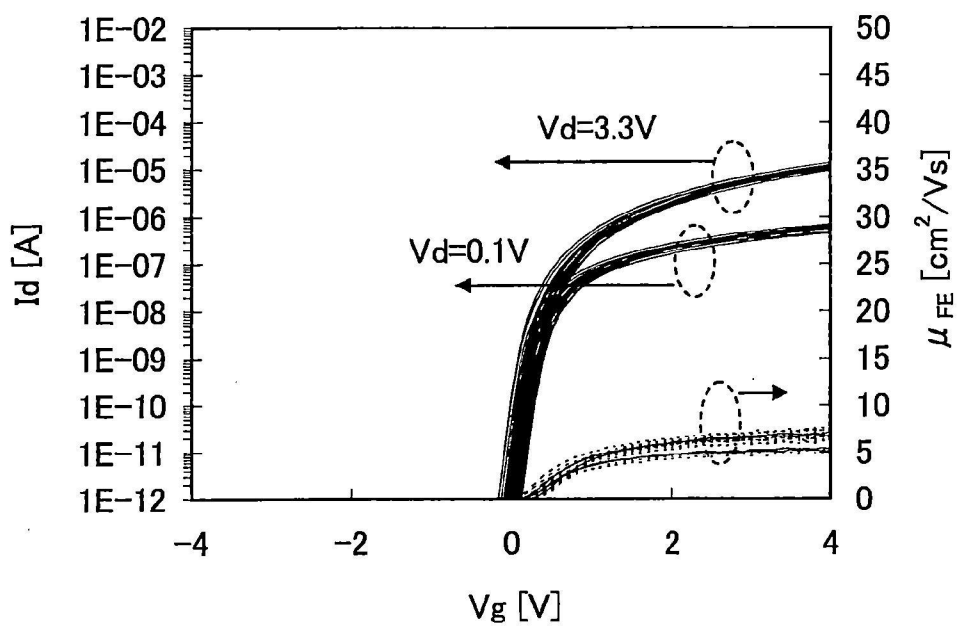


圖 22B

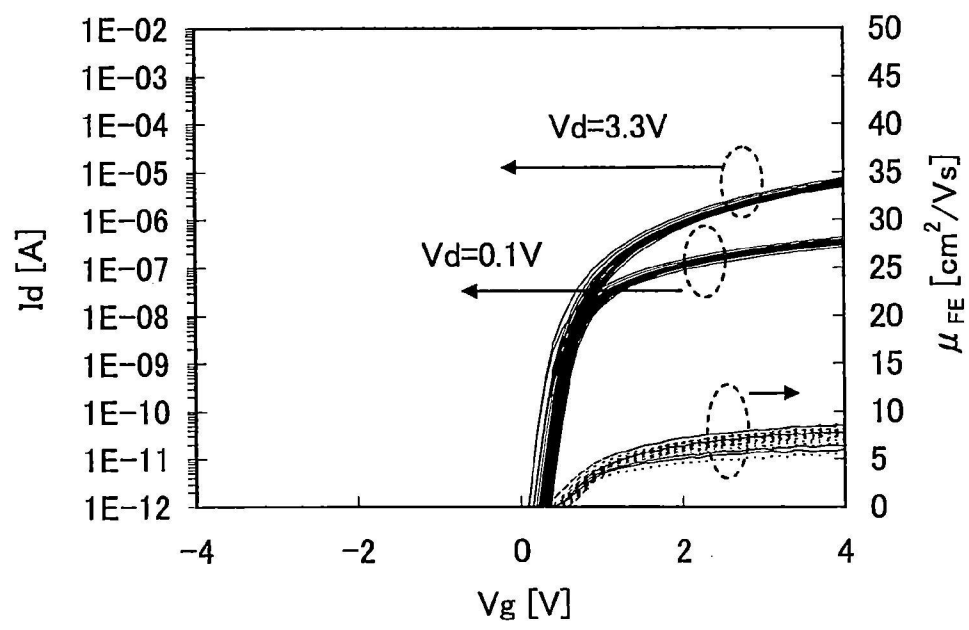


圖 23A

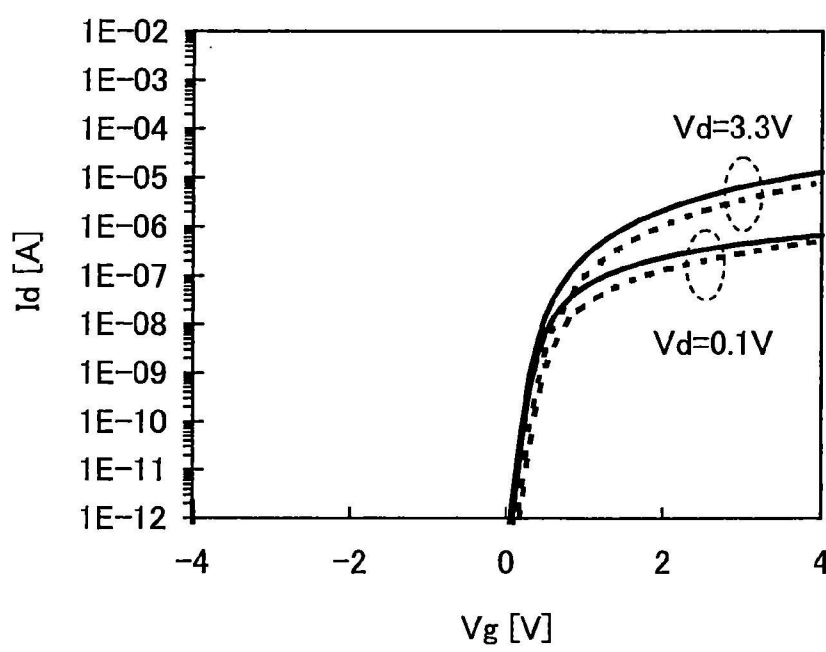


圖 23B

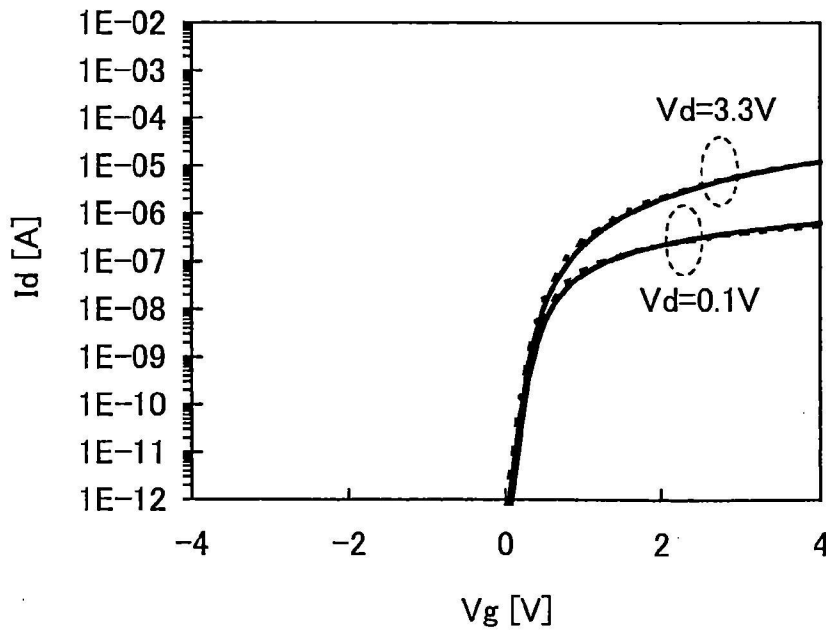


圖 24

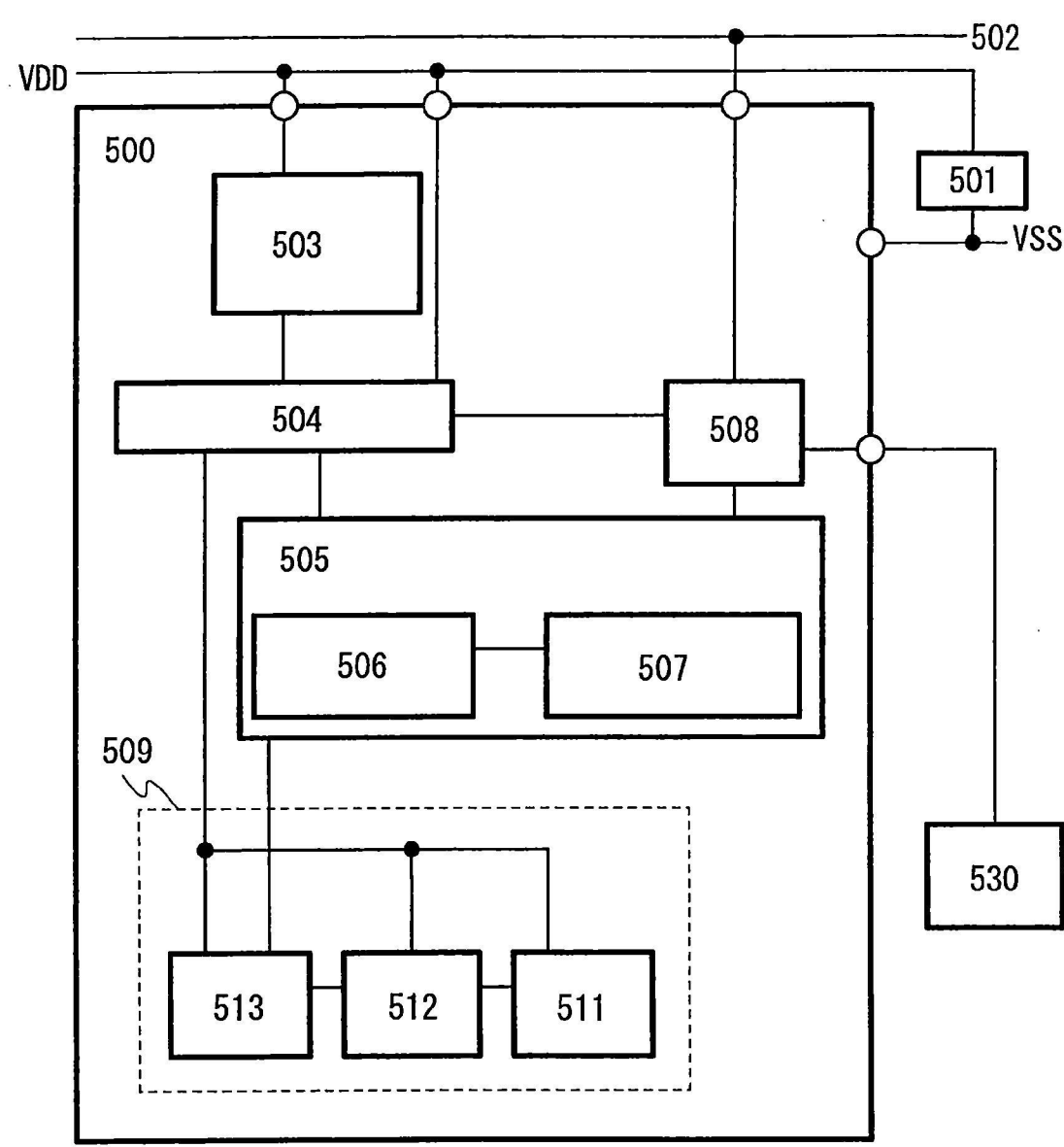


圖 25

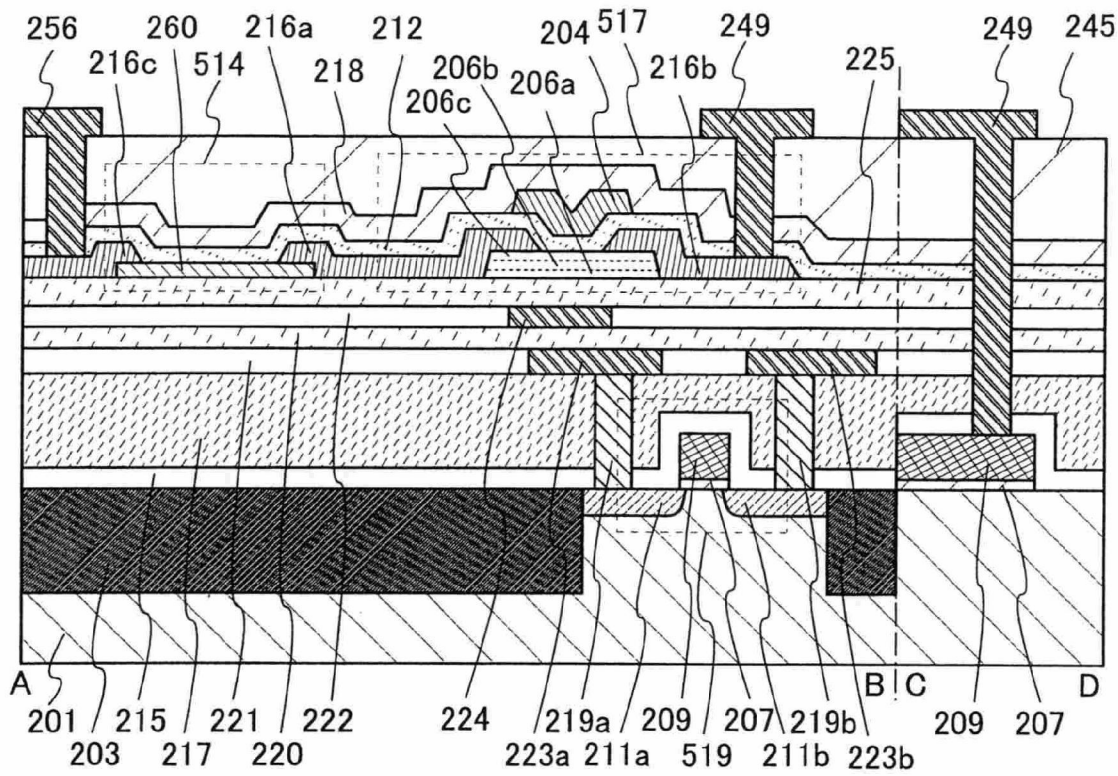


圖 26A

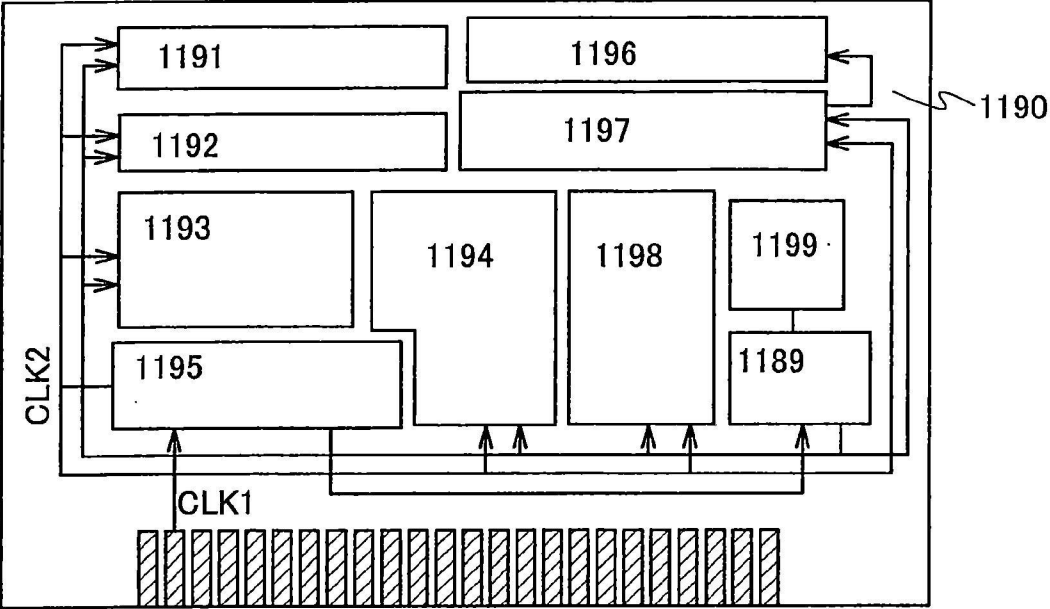


圖 26B

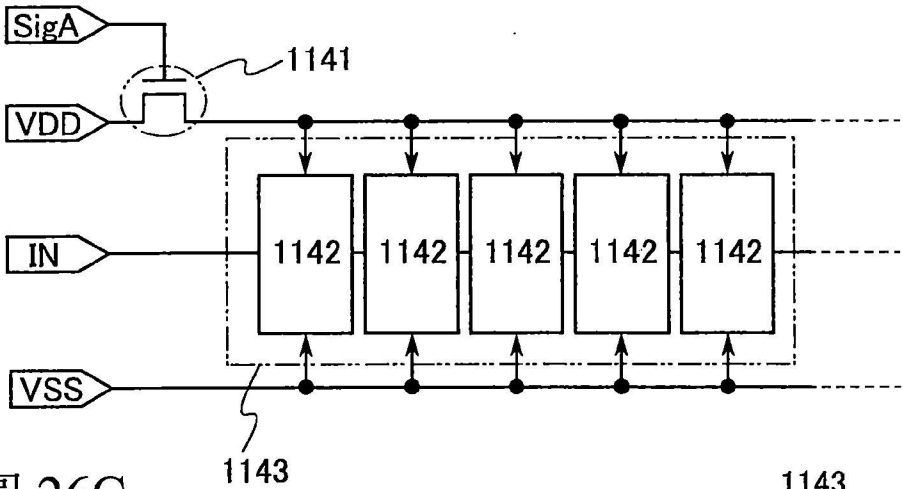


圖 26C

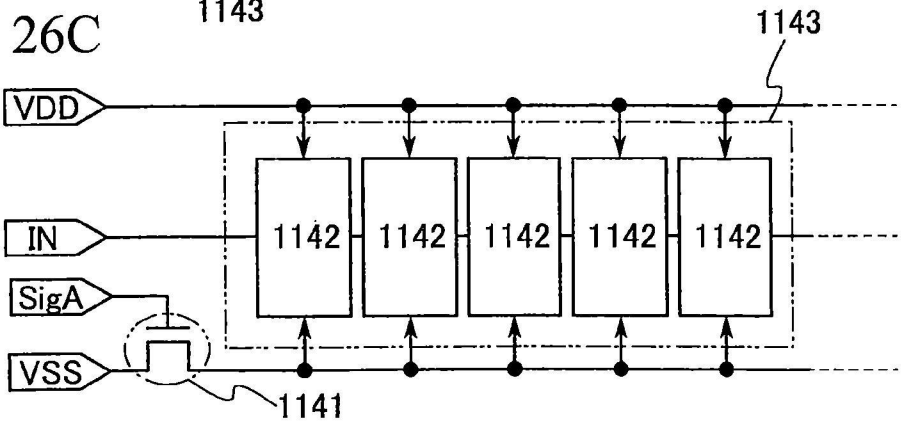


圖 27A

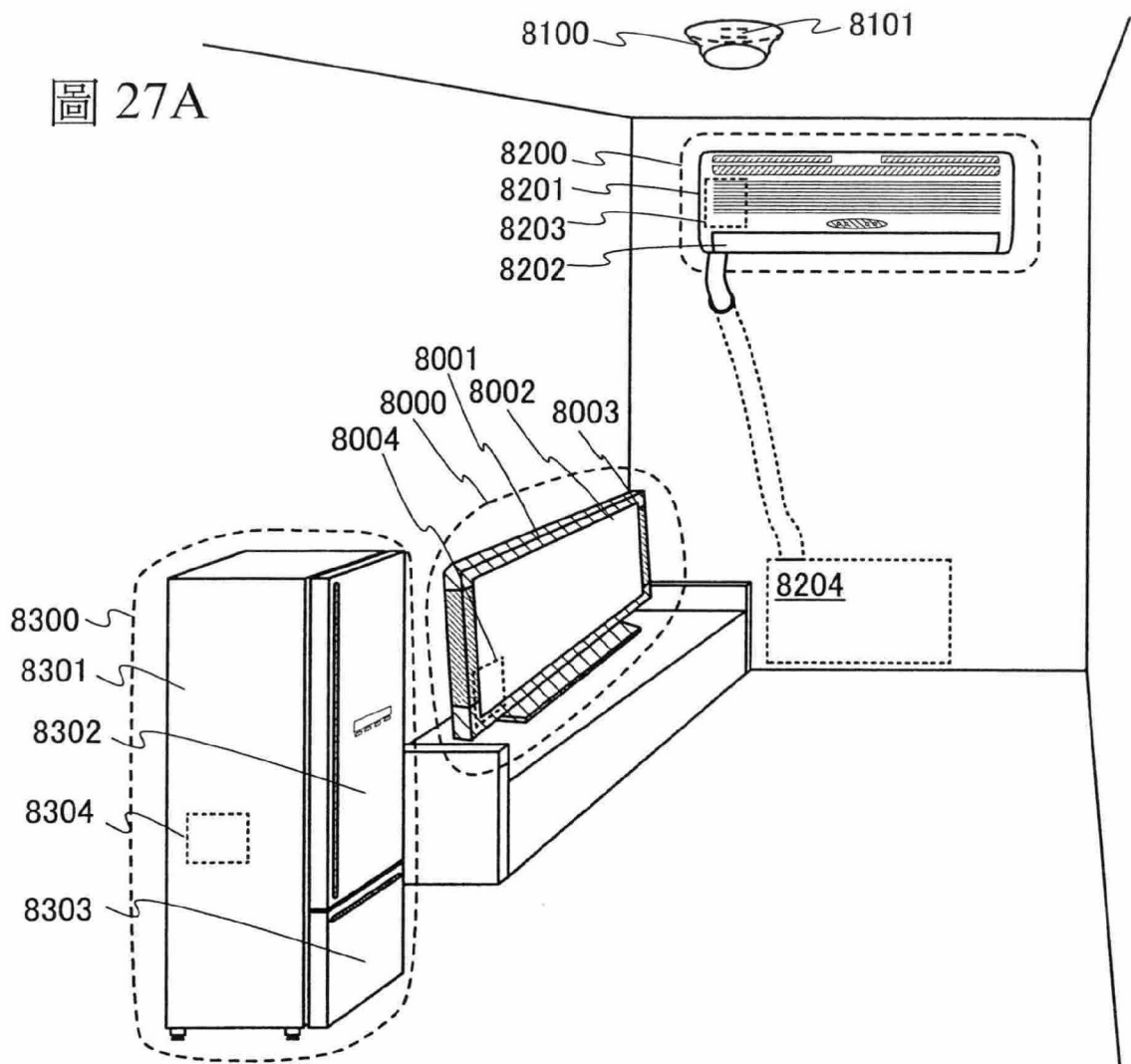


圖 27B

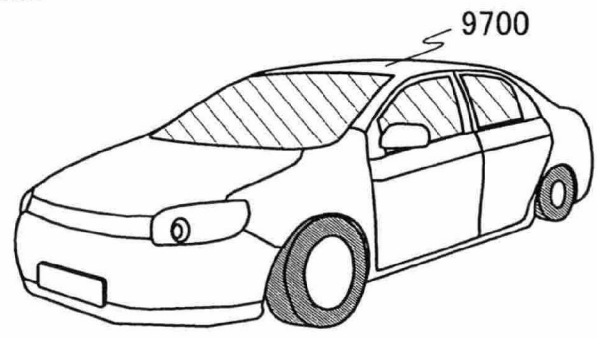


圖 27C

