



(12) 发明专利申请

(10) 申请公布号 CN 116598139 A

(43) 申请公布日 2023. 08. 15

(21) 申请号 202211390858.4

H01G 4/008 (2006.01)

(22) 申请日 2022.11.07

H01G 2/06 (2006.01)

(30) 优先权数据

10-2022-0015555 2022.02.07 KR

(71) 申请人 三星电机株式会社

地址 韩国京畿道水原市

(72) 发明人 李冈夏 成佑庆 任珍亨 具信一
李种皓

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

专利代理师 薛丞丞 张红

(51) Int. Cl.

H01G 4/30 (2006.01)

H01G 4/005 (2006.01)

H01G 4/002 (2006.01)

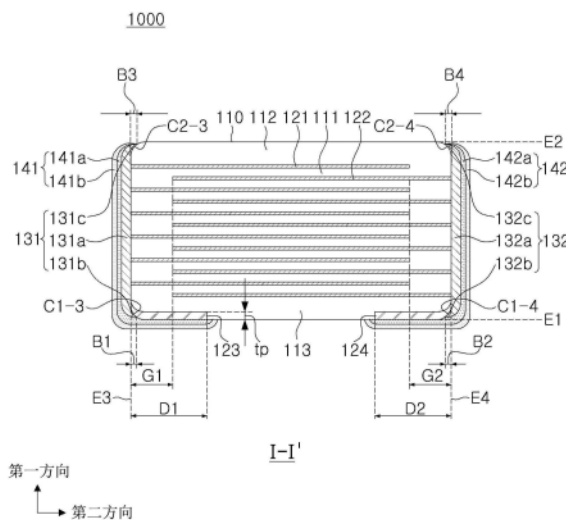
权利要求书6页 说明书17页 附图22页

(54) 发明名称

多层电子组件

(57) 摘要

本公开提供了一种多层电子组件。所述多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间，所述主体具有彼此相对的第一表面和第二表面、彼此相对的第三表面和第四表面、以及彼此相对的第五表面和第六表面，所述第一表面包括设置为彼此间隔开的第一带电极和第二带电极；第一外电极，设置在所述第三表面上并连接到所述第一内电极和所述第一带电极；第二外电极，设置在所述第四表面上并连接到所述第二内电极和所述第二带电极；第一镀层，设置在所述第一外电极和所述第一带电极上；以及第二镀层，设置在所述第二外电极和所述第二带电极上。



CN 116598139 A

1. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面,所述第一表面包括设置为彼此间隔开的第一带电极和第二带电极;

第一外电极,设置在所述第三表面上并连接到所述第一内电极和所述第一带电极;

第二外电极,设置在所述第四表面上并连接到所述第二内电极和所述第二带电极;

第一镀层,设置在所述第一外电极和所述第一带电极上;以及

第二镀层,设置在所述第二外电极和所述第二带电极上。

2. 根据权利要求1所述的多层电子组件,其中,所述第一带电极与所述第三表面相接,并且所述第二带电极与所述第四表面相接。

3. 根据权利要求1所述的多层电子组件,其中,所述第一带电极和所述第二带电极具有 $0.1\mu\text{m}$ 或更大的平均厚度。

4. 根据权利要求1所述的多层电子组件,其中,所述第一带电极和所述第二带电极与所述第一表面基本上共面。

5. 根据权利要求1所述的多层电子组件,其中,所述第一带电极和所述第二带电极设置为嵌在所述第一表面中。

6. 根据权利要求1所述的多层电子组件,其中,所述第一带电极和所述第二带电极包括Ni、Cr、Pd和Pt中的至少一种。

7. 根据权利要求1所述的多层电子组件,其中,所述第一带电极和所述第二带电极包括 BaTiO_3 、 TiO_2 和 SiO_2 中的至少一种。

8. 根据权利要求1所述的多层电子组件,其中,满足 $D1 \geq G1$ 和 $D2 \geq G2$,其中, $D1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带电极的端部的平均尺寸, $D2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带电极的端部的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

9. 根据权利要求1所述的多层电子组件,其中,满足 $0.2 \leq D1/L \leq 0.4$ 和 $0.2 \leq D2/L \leq 0.4$,其中, L 是所述主体在所述第二方向上的平均尺寸, $D1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带电极的端部的平均尺寸,并且 $D2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带电极的端部的平均尺寸。

10. 根据权利要求1所述的多层电子组件,其中,所述第一外电极包括第一连接部、第一拐角部和第三拐角部,所述第一连接部设置在所述第三表面上,所述第一拐角部设置为从所述第一连接部延伸到将所述第一表面和所述第三表面连接的拐角上,所述第三拐角部设置为从所述第一连接部延伸到将所述第二表面和所述第三表面连接的拐角上,

所述第二外电极包括第二连接部、第二拐角部和第四拐角部,所述第二连接部设置在所述第四表面上,所述第二拐角部设置为从所述第二连接部延伸到将所述第一表面和所述第四表面连接的拐角上,所述第四拐角部设置为从所述第二连接部延伸到将所述第二表面

和所述第四表面连接的拐角上,并且

满足 $B1 \leq G1$ 、 $B3 \leq G1$ 、 $B2 \leq G2$ 和 $B4 \leq G2$,其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一拐角部的端部的平均尺寸, $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二拐角部的端部的平均尺寸, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第三拐角部的端部的平均尺寸, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第四拐角部的端部的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

11. 根据权利要求1所述的多层电子组件,其中,所述第一外电极包括第一连接部、第一带部和第三拐角部,所述第一连接部设置在所述第三表面上,所述第一带部设置为从所述第一连接部延伸到所述第一表面的一部分上,所述第三拐角部设置为从所述第一连接部延伸到将所述第二表面和所述第三表面连接的拐角上,

所述第二外电极包括第二连接部、第二带部和第四拐角部,所述第二连接部设置在所述第四表面上,所述第二带部设置为从所述第二连接部延伸到所述第一表面的一部分上,所述第四拐角部设置为从所述第二连接部延伸到将所述第二表面和所述第四表面连接的拐角上,并且

满足 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$,其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均尺寸, $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均尺寸, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第三拐角部的端部的平均尺寸, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第四拐角部的端部的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

12. 根据权利要求1所述的多层电子组件,其中,所述第二表面包括设置为彼此间隔开的第三带电极和第四带电极,并且

所述第三带电极连接到所述第一外电极,并且所述第四带电极连接到所述第二外电极。

13. 根据权利要求12所述的多层电子组件,其中,所述第一镀层还设置在所述第三带电极上,并且所述第二镀层还设置在所述第四带电极上。

14. 根据权利要求1所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

15. 根据权利要求1所述的多层电子组件,其中,所述介电层具有0.35 μm 或更小的平均厚度。

16. 根据权利要求1所述的多层电子组件,其中,所述第一内电极和所述第二内电极具有0.35 μm 或更小的平均厚度。

17. 根据权利要求1所述的多层电子组件,其中,所述主体包括电容形成部和覆盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极且所述介电层介于所述第一内电极和所述第二内电极之间,所述覆盖部设置在所述电容形成部的在所述第一方向

上的两个表面上,并且

所述覆盖部在所述第一方向上的平均尺寸为 $15\mu\text{m}$ 或更小。

18. 根据权利要求1所述的多层电子组件,其中,所述主体包括连接所述第一表面和所述第三表面的1-3拐角、连接所述第一表面和所述第四表面的1-4拐角、连接所述第二表面和所述第三表面的2-3拐角以及连接所述第二表面和所述第四表面的2-4拐角,

随着所述1-3拐角和所述2-3拐角接近所述第三表面,所述1-3拐角和所述2-3拐角具有向所述主体的在所述第一方向上的中央收缩的形式,并且随着所述1-4拐角和所述2-4拐角接近所述第四表面,所述1-4拐角和所述2-4拐角具有向所述主体的在所述第一方向上的中央收缩的形式,并且

所述第一外电极包括设置在所述1-3拐角和所述2-3拐角上的拐角部,且所述第二外电极包括设置在所述1-4拐角和所述2-4拐角上的拐角部。

19. 根据权利要求1所述的多层电子组件,其中,所述第一外电极和所述第二外电极设置为与所述第五表面和所述第六表面间隔开。

20. 根据权利要求1所述的多层电子组件,其中,所述第一外电极和所述第二外电极设置为与所述第一表面和所述第二表面间隔开。

21. 根据权利要求1所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

22. 根据权利要求1所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一镀层和所述第二镀层之间。

23. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面,其中,所述第一表面包括设置为彼此间隔开的第一带电极和第二带电极;

第一外电极,设置在所述第三表面上并连接到所述第一内电极和所述第一带电极;

第二外电极,设置在所述第四表面上并连接到所述第二内电极和所述第二带电极;

第一绝缘层,设置在所述第一外电极上;

第二绝缘层,设置在所述第二外电极上;

第一镀层,设置在所述第一带电极上;以及

第二镀层,设置在所述第二带电极上。

24. 根据权利要求23所述的多层电子组件,其中,所述第一带电极与所述第三表面相接,并且所述第二带电极与所述第四表面相接。

25. 根据权利要求23所述的多层电子组件,其中,所述第一带电极和所述第二带电极具有 $0.1\mu\text{m}$ 或更大的平均厚度。

26. 根据权利要求23所述的多层电子组件,其中,所述第一带电极和所述第二带电极与所述第一表面基本上共面。

27. 根据权利要求23所述的多层电子组件,其中,所述第一带电极和所述第二带电极设

置为嵌在所述第一表面中。

28. 根据权利要求23所述的多层电子组件,其中,所述第一带电极和所述第二带电极包括Ni、Cr、Pd和Pt中的至少一种。

29. 根据权利要求23所述的多层电子组件,其中,所述第一带电极和所述第二带电极包括BaTiO₃、TiO₂和SiO₂中的至少一种。

30. 根据权利要求23所述的多层电子组件,其中,满足 $D1 \geq G1$ 和 $D2 \geq G2$,其中,D1是在所述第二方向上从所述第三表面的延长线到所述第一带电极的端部的平均尺寸,D2是在所述第二方向上从所述第四表面的延长线到所述第二带电极的端部的平均尺寸,G1是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且G2是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

31. 根据权利要求23所述的多层电子组件,其中,满足 $0.2 \leq D1/L \leq 0.4$ 和 $0.2 \leq D2/L \leq 0.4$,其中,L是所述主体在所述第二方向上的平均尺寸,D1是在所述第二方向上从所述第三表面的延长线到所述第一带电极的端部的平均尺寸,并且D2是在所述第二方向上从所述第四表面的延长线到所述第二带电极的端部的平均尺寸。

32. 根据权利要求23所述的多层电子组件,其中,所述第一外电极包括第一连接部、第一拐角部和第三拐角部,所述第一连接部设置在所述第三表面上,所述第一拐角部设置为从所述第一连接部延伸到将所述第一表面和所述第三表面连接的拐角上,所述第三拐角部设置为从所述第一连接部延伸到将所述第二表面和所述第三表面连接的拐角上,

所述第二外电极包括第二连接部、第二拐角部和第四拐角部,所述第二连接部设置在所述第四表面上,所述第二拐角部设置为从所述第二连接部延伸到将所述第一表面和所述第四表面连接的拐角上,所述第四拐角部设置为从所述第二连接部延伸到将所述第二表面和所述第四表面连接的拐角上,并且

满足 $B1 \leq G1$ 、 $B3 \leq G1$ 、 $B2 \leq G2$ 和 $B4 \leq G2$,其中,B1是在所述第二方向上从所述第三表面的延长线到所述第一拐角部的端部的平均尺寸,B2是在所述第二方向上从所述第四表面的延长线到所述第二拐角部的端部的平均尺寸,B3是在所述第二方向上从所述第三表面的延长线到所述第三拐角部的端部的平均尺寸,B4是在所述第二方向上从所述第四表面的延长线到所述第四拐角部的端部的平均尺寸,G1是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且G2是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

33. 根据权利要求23所述的多层电子组件,其中,所述第一外电极包括第一连接部、第一带部和第三拐角部,所述第一连接部设置在所述第三表面上,所述第一带部设置为从所述第一连接部延伸到所述第一表面的一部分上,所述第三拐角部设置为从所述第一连接部延伸到将所述第二表面和所述第三表面连接的拐角上,

所述第二外电极包括第二连接部、第二带部和第四拐角部,所述第二连接部设置在所述第四表面上,所述第二带部设置为从所述第二连接部延伸到所述第一表面的一部分上,所述第四拐角部设置为从所述第二连接部延伸到将所述第二表面和所述第四表面连接的拐角上,并且

满足 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$,其中,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均尺寸,B2是在所述第二方向上从所述第四表面的延

长线到所述第二带部的端部的平均尺寸,B3是在所述第二方向上从所述第三表面的延长线到所述第三拐角部的端部的平均尺寸,B4是在所述第二方向上从所述第四表面的延长线到所述第四拐角部的端部的平均尺寸,G1是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且G2是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

34. 根据权利要求23所述的多层电子组件,其中,所述第二表面包括设置为彼此间隔开的第三带电极和第四带电极,并且

所述第三带电极连接到所述第一外电极,并且所述第四带电极连接到所述第二外电极。

35. 根据权利要求34所述的多层电子组件,其中,所述第一镀层还设置在所述第三带电极上,并且所述第二镀层还设置在所述第四带电极上。

36. 根据权利要求23所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

37. 根据权利要求23所述的多层电子组件,其中,所述介电层具有0.35 μm 或更小的平均厚度。

38. 根据权利要求23所述的多层电子组件,其中,所述第一内电极和所述第二内电极具有0.35 μm 或更小的平均厚度。

39. 根据权利要求23所述的多层电子组件,其中,所述主体包括电容形成部和覆盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极且所述介电层介于所述第一内电极和所述第二内电极之间,所述覆盖部设置在所述电容形成部的在所述第一方向上的两个表面上,并且

所述覆盖部在所述第一方向上的平均尺寸为15 μm 或更小。

40. 根据权利要求23所述的多层电子组件,其中,所述主体包括连接所述第一表面和所述第三表面的1-3拐角、连接所述第一表面和所述第四表面的1-4拐角、连接所述第二表面和所述第三表面的2-3拐角以及连接所述第二表面和所述第四表面的2-4拐角,

随着所述1-3拐角和所述2-3拐角接近所述第三表面,所述1-3拐角和所述2-3拐角具有向所述主体的在所述第一方向上的中央收缩的形式,并且随着所述1-4拐角和所述2-4拐角接近所述第四表面,所述1-4拐角和所述2-4拐角具有向所述主体的在所述第一方向上的中央收缩的形式,并且

所述第一外电极包括设置在所述1-3拐角和所述2-3拐角上的拐角部,且所述第二外电极包括设置在所述1-4拐角和所述2-4拐角上的拐角部。

41. 根据权利要求23所述的多层电子组件,其中,满足 $H1 \geq H2$,其中,H1是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,H2是在所述第一方向上从所述第一表面的延长线到所述第一镀层和所述第二镀层的设置在所述第一外电极和所述第二外电极上的端部的平均尺寸。

42. 根据权利要求23所述的多层电子组件,其中,满足 $H1 < H2$,其中,H1是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,H2是在所述第一方向上从所述第一表面的延长线到所述第一镀层和

所述第二镀层的设置在所述第一外电极和所述第二外电极上的端部的平均尺寸。

43. 根据权利要求42所述的多层电子组件,其中,满足 $H_2 < T/2$,其中,T是所述主体在所述第一方向上的平均尺寸。

44. 根据权利要求23所述的多层电子组件,其中,所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的水平面相同的水平面或比所述第一表面的延长线的水平面低的水平面上。

45. 根据权利要求23所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一镀层和所述第二镀层之间。

46. 根据权利要求23所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

47. 根据权利要求23所述的多层电子组件,其中,所述第一镀层和所述第二镀层的平均厚度比所述第一绝缘层和所述第二绝缘层的平均厚度薄。

48. 根据权利要求23所述的多层电子组件,其中,所述第一外电极和所述第二外电极设置为与所述第五表面和所述第六表面间隔开。

49. 根据权利要求23所述的多层电子组件,其中,所述第一外电极和所述第二外电极设置为与所述第一表面和所述第二表面间隔开。

50. 根据权利要求23所述的多层电子组件,其中,所述第一镀层设置为覆盖所述第一绝缘层的设置在所述第一外电极上的端部,并且所述第二镀层设置为覆盖所述第二绝缘层的设置在所述第二外电极上的端部。

51. 根据权利要求23所述的多层电子组件,其中,所述第一绝缘层设置为覆盖所述第一镀层的设置在所述第一外电极上的端部,并且所述第二绝缘层设置为覆盖所述第二镀层的设置在所述第二外电极上的端部。

52. 根据权利要求23所述的多层电子组件,其中,所述第一绝缘层和所述第二绝缘层延伸到所述第五表面和所述第六表面并且彼此连接,并且设置为覆盖所述第五表面的一部分和所述第六表面的一部分。

53. 根据权利要求23所述的多层电子组件,其中,所述第一绝缘层和所述第二绝缘层延伸到所述第五表面和所述第六表面并且彼此连接,并且设置为覆盖整个所述第五表面和整个所述第六表面。

54. 根据权利要求23所述的多层电子组件,其中,所述第一绝缘层和所述第二绝缘层延伸到所述第二表面并且彼此连接。

多层电子组件

[0001] 本申请要求于2022年2月7日在韩国知识产权局提交的第10-2022-0015555号韩国专利申请的优先权的权益,该韩国专利申请的公开内容通过引用全部包含于此。

技术领域

[0002] 本公开涉及一种多层电子组件。

背景技术

[0003] 多层陶瓷电容器(MLCC,一种多层电子组件)可以是安装在诸如成像装置(包括液晶显示器(LCD)或等离子体显示面板(PDP))、计算机、智能电话或移动电话的各种电子产品中的任意一种的印刷电路板上以用于在其中充电或从其放电的片式电容器。

[0004] 多层陶瓷电容器具有小尺寸,实现高电容,并且容易安装在电路板上,因此可用作各种电子装置的组件。由于诸如计算机和移动装置的各种类型的电子装置具有更小的尺寸和更高的输出,因此对多层陶瓷电容器具有更小的尺寸和更高的电容的需求不断增加。

[0005] 此外,近年来,随着对电子产品的行业兴趣的增加,需要多层陶瓷电容器具有高可靠性特性以用于汽车和信息娱乐系统。

[0006] 为了实现多层陶瓷电容器的小型化和高电容,需要通过形成薄的内电极和介电层来增加层叠的层数,并且需要显著减小不影响电容形成的部分的体积以增加实现电容所需的有效体积分数。

[0007] 此外,需要显著减小安装空间以在板的有限区域中安装尽可能多的组件。

发明内容

[0008] 本公开的一方面在于提供一种具有改善的每单位体积电容的多层电子组件。

[0009] 本公开的一方面在于提供一种能够使安装空间最小化的多层电子组件。

[0010] 本公开的一方面在于提供一种具有改善的可靠性的多层电子组件。

[0011] 然而,本公开的目的不限于上述内容,并且在描述本公开的具体实施例的过程中将更容易理解。

[0012] 根据本公开的一方面,一种多层电子组件可包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面,所述第一表面包括设置为彼此间隔开的第一带电极和第二带电极;第一外电极,设置在所述第三表面上并连接到所述第一内电极和所述第一带电极;第二外电极,设置在所述第四表面上并连接到所述第二内电极和所述第二带电极;第一镀层,设置在所述第一外电极和所述第一带电极上;以及第二镀层,设置在所述第二外电极和所述第二带电极上。

[0013] 根据本公开的一方面,一种多层电子组件可包括:主体,包括介电层以及第一内电

极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面,所述第一表面包括设置为彼此间隔开的第一带电极和第二带电极;第一外电极,设置在所述第三表面上并连接到所述第一内电极和所述第一带电极;第二外电极,设置在所述第四表面上并连接到所述第二内电极和所述第二带电极;第一绝缘层,设置在所述第一外电极上;第二绝缘层,设置在所述第二外电极上;第一镀层,设置在所述第一带电极上;以及第二镀层,设置在所述第二带电极上。

附图说明

[0014] 根据以下结合附图的具体实施方式,将更清楚地理解本公开的上述和其他方面、特征和优点。

[0015] 图1是根据本公开的实施例的多层电子组件的示意性立体图。

[0016] 图2是图1的多层电子组件的主体的示意性立体图。

[0017] 图3是沿图1的线I-I'截取的截面图。

[0018] 图4是图2的主体的示意性分解立体图。

[0019] 图5示出了其中嵌有带电极的介电层。

[0020] 图6是示出图3的放大的上部分的放大图。

[0021] 图7是其上安装有图1的多层电子组件的基板的示意性立体图。

[0022] 图8示出了图3的变型示例。

[0023] 图9是根据本公开的实施例的多层电子组件的示意性立体图。

[0024] 图10是沿图9的线II-II'截取的截面图。

[0025] 图11示出了图9的变型示例。

[0026] 图12是根据本公开的实施例的多层电子组件的示意性立体图。

[0027] 图13是沿图12的线III-III'截取的截面图。

[0028] 图14示出了图13的变型示例。

[0029] 图15示出了图12的变型示例。

[0030] 图16是根据本公开的实施例的多层电子组件的示意性立体图。

[0031] 图17是沿图16的线IV-IV'截取的截面图。

[0032] 图18示出了图16的变型示例。

[0033] 图19是根据本公开的实施例的多层电子组件的示意性立体图。

[0034] 图20是沿图19的线V-V'截取的截面图。

[0035] 图21示出了图19的变型示例。

[0036] 图22是根据本公开的实施例的多层电子组件的示意性立体图。

[0037] 图23是沿图22的线VI-VI'截取的截面图。

[0038] 图24是根据本公开的实施例的多层电子组件的示意性立体图。

[0039] 图25是沿图24的线VII-VII'截取的截面图。

[0040] 图26示出了图24的变型示例。

[0041] 图27是根据本公开的实施例的多层电子组件的示意性立体图。

[0042] 图28是沿图27的线VIII-VIII' 截取的截面图。

具体实施方式

[0043] 在下文中,将参照附图如下描述本公开的实施例。然而,本公开可以按许多不同的形式例示,并且不应被解释为限于这里阐述的具体实施例。更确切地,提供这些实施例使得本公开将是彻底和完整的,并且将向本领域技术人员充分传达本公开的范围。因此,为了清楚描述,附图中的要素的形状和尺寸可能被夸大,并且在附图中,由相同的附图标记指示的要素是相同的要素。

[0044] 在附图中,可省略某些要素以清楚地示出本公开,并且为了清楚地表示多个层和区域,可能放大厚度。将使用相同的附图标记来描述在相同构思的范围内具有相同功能的相同要素。此外,在整个说明书中,将理解的是,除非另有说明,否则当部分“包括”要素时,该部分还可包括另一要素,而不排除另一要素。

[0045] 在附图中,第一方向可指厚度(T)方向,第二方向可指长度(L)方向,并且第三方向可指宽度(W)方向。

[0046] 图1是根据本公开的实施例的多层电子组件的示意性立体图。

[0047] 图2是图1的多层电子组件的主体的示意性立体图。

[0048] 图3是沿图1的线I-I' 截取的截面图。

[0049] 图4是图2的主体的示意性分解立体图。

[0050] 图5示出了其中嵌有带电极的介电层。

[0051] 图6是示出图3的放大的上部分的放大图。

[0052] 图7是其上安装有图1的多层电子组件的基板的示意性立体图。

[0053] 在下文中,将参照图1至图7描述根据本公开的实施例的多层电子组件1000。

[0054] 根据本公开的实施例的多层电子组件1000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替设置且介电层111介于第一内电极121和第二内电极122之间,主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1至第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6,第一表面包括设置为彼此间隔开的第一带电极123和第二带电极124;第一外电极131,设置在第三表面3上并连接到第一内电极121和第一带电极123;第二外电极132,设置在第四表面4上并连接到第二内电极122和第二带电极124;第一镀层141,设置在第一带电极123上;以及第二镀层142,设置在第二带电极124上。在本文中,“表面包括带电极”可表示:带电极设置在所述表面上或者设置在所述表面中(例如,带电极的至少一部分嵌入所述表面中(带电极可相对于所述表面突出、与所述表面共面或相对于所述表面凹入))。

[0055] 在主体110中,介电层111与内电极121和122可交替层叠。此外,带电极123和124可设置在主体110的第一表面1中。

[0056] 主体110不限于特定形状,并且如图所示,主体110可具有六面体形状或类似于六面体形状的形状。因为包括在主体110中的陶瓷粉末颗粒在烧结主体的过程中收缩,所以主体110可不具有包括完美直线的六面体形状。然而,主体110可具有基本上六面体的形状。

[0057] 主体110可具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4、以及连接到第一表面1和第二表面2、连接到第三表面3和第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6。

[0058] 在实施例中,主体110可具有连接第一表面1和第三表面3的1-3拐角C1-3、连接第一表面1和第四表面4的1-4拐角C1-4、连接第二表面2和第三表面3的2-3拐角C2-3以及连接第二表面2和第四表面4的2-4拐角C2-4,随着1-3拐角C1-3和2-3拐角C2-3接近第三表面3,1-3拐角C1-3和2-3拐角C2-3可具有向主体110的在第一方向上的中央收缩的形式,并且随着1-4拐角C1-4和2-4拐角C2-4接近第四表面4,1-4拐角C1-4和2-4拐角C2-4可具有向主体110的在第一方向上的中央收缩的形式。

[0059] 由于在内电极121和122以及介电层111的层叠体中内电极121和122没有设置在介电层111的边缘区域上,因此可能由于内电极121和122的厚度形成台阶,使得当相对于第一表面1或第二表面2观察时,将第一表面1连接到第三表面3至第五表面5的拐角和/或将第二表面2连接到第三表面3至第五表面5的拐角可具有向主体110的在第一方向上的中央收缩的形式。可选地,通过在主体110的烧结过程期间的收缩行为,当相对于第一表面1或第二表面2观察时,将第一表面1连接到第三表面3至第六表面6的拐角和/或将第二表面2连接到第三表面3至第六表面6的拐角可具有向主体110的在第一方向上的中央收缩的形式。可选地,当通过执行附加工艺对将主体110的相应表面彼此连接的拐角进行倒圆角以防止碎裂缺陷等时,将第一表面1连接到第三表面3至第六表面6的拐角和/或将第二表面2连接到第三表面3至第六表面6的拐角可具有圆角形状。

[0060] 拐角可包括连接第一表面1和第三表面3的1-3拐角、连接第一表面1和第四表面4的1-4拐角、连接第二表面2和第三表面3的2-3拐角以及连接第二表面2和第四表面4的2-4拐角。另外,拐角可包括连接第一表面1和第五表面5的1-5拐角、连接第一表面1和第六表面6的1-6拐角、连接第二表面2和第五表面5的2-5拐角以及连接第二表面2和第六表面6的2-6拐角。主体110的第一表面1、第二表面2、第三表面3、第四表面4、第五表面5和第六表面6可以是整体平面表面,并且非平面区域可以是拐角。在下文中,每个表面的延长线可指基于每个表面的平面部分延伸的线。

[0061] 在这种情况下,外电极131和132的设置主体110的拐角上的区域可被称为拐角部,外电极131和132的设置主体110的第三表面3和第四表面4上的区域可被称为连接部,并且外电极131和132的设置主体110的第一表面1和第二表面2上的区域可被称为带部。

[0062] 另外,为了抑制由内电极121和122引起的台阶部,在层叠之后切割层叠体以使内电极暴露于电容形成部Ac的在第三方向(宽度方向)上的两个侧表面之后,当通过在电容形成部Ac的在第三方向(宽度方向)上的两个侧表面上层叠单个介电层或者两个或更多个介电层来形成边缘部114和115时,将第一表面1连接到第五表面5和第六表面6的拐角以及将第二表面2连接到第五表面5和第六表面6的拐角可不具有收缩形式。

[0063] 另外,主体110的第一表面1至第六表面6通常可以是整体平坦表面,并且非平坦区域可被认为是拐角。

[0064] 在这方面,第三拐角部131c和第四拐角部132c可设置在与第二表面2的延长线E2的水平面相同的水平面或比第二表面2的延长线E2的水平面低的水平面上,并且第三拐角

部131c和第四拐角部132c可设置为与第二表面2间隔开。也就是说,由于外电极131和132不设置在第二表面2上,因此由外电极131和132占据的体积可进一步显著减小,以进一步增加多层电子组件1000的每单位体积的电容。另外,第三拐角部131c可设置在将第三表面3和第二表面2彼此连接的2-3拐角C2-3的一部分上,并且第四拐角部132c可设置在将第四表面4和第二表面2彼此连接的2-4拐角C2-4的一部分上。

[0065] 第二表面2的延长线E2可如下定义。如图6所示,在从多层电子组件1000在宽度方向上的中央沿长度-厚度方向截取的多层电子组件1000的截面(L-T截面)中,可从第三表面3到第四表面4绘制在长度方向上具有均匀间隔的七条直线P0、P1、P2、P3、P4、P5和P6,并且穿过直线P2和第二表面2相交的点以及直线P4和第二表面2相交的点的直线可定义为第二表面2的延长线E2。

[0066] 在实施例中,第一表面1可包括设置为彼此间隔开的第一带电极123和第二带电极124。

[0067] 为了提高多层电子组件的每单位体积的电容并使安装空间最小化,正在开发外电极仅设置在安装表面上或外电极以L形设置的MLCC。通过不在被确定为对于实现电容和特性不必要的部分中设置外电极,可确保附加的有效体积。

[0068] 通常,设置在安装表面上的带电极主要以两种方法形成。在第一种方法中,为了在烧结完成之后在主体上形成带电极,需要单独的电极烧结过程。在第二种方法中,在烧结之前将带电极印刷在主体上,或者将带电极印刷在陶瓷生片上,使得在烧结主体的同时也对带电极进行热处理。在这两种方法中,由于在制备完成主体的基本框架的状态下形成带电极,因此由于带电极的体积增加,难以使每单位体积的电容最大化。

[0069] 因此,在本公开中,由于带电极123和124包括在主体110的第一表面1上或第一表面1中,因此可通过抑制由于带电极引起的体积增加来最大化每单位体积的电容。

[0070] 形成带电极123和124的方法不需要特别限制。例如,带电极123和124可通过以下方式来形成:去除陶瓷生片上将要形成带电极的部分,在去除的部分上印刷用于形成带电极的膏,然后将其放置在层叠体下方并与层叠体一起烧结。

[0071] 在实施例中,第一带电极123可与主体110的第三表面3相接,并且第二带电极124可与主体110的第四表面4相接。这里,“带电极与表面相接”可表示:所述表面的延长线限定带电极的边界。因此,可提高第一带电极123和第二带电极124与外电极131和132的连接性。另外,第一带电极123也可设置在1-3拐角C1-3中,并且第二带电极124也可设置在1-4拐角C1-4中。第一带电极123和第二带电极124可设置为与第五表面5和第六表面6间隔开。

[0072] 另外,第一带电极123和第二带电极124在第三方向上的平均尺寸没有特别限制。例如,如图2、图4和图5所示,第一带电极123和第二带电极124在第三方向上的平均尺寸可与第一内电极121和第二内电极122在第三方向上的平均尺寸基本相同。然而,本公开不限于此,可考虑主体110在第三方向上的平均尺寸、外电极131和132在第三方向上的平均尺寸以及第一带电极123和第二带电极124与外电极131和132的连接性来确定第一带电极123和第二带电极124在第三方向上的平均尺寸。

[0073] 在实施例中,第一带电极123和第二带电极124可嵌在第一表面1中。参照图5,当包括带电极123和124的介电层111a形成第一表面1时,第一带电极123和第二带电极124可嵌在第一表面1中。

[0074] 另外,第一带电极123和第二带电极124可与第一表面1基本上共面。也就是说,第一带电极123和第二带电极124可暴露于主体110的第一表面1,并且可嵌在主体110中。

[0075] 在实施例中,带电极123和124可具有 $0.1\mu\text{m}$ 或更大的平均厚度 t_p 。带电极123和124嵌在主体110中的深度可被认为是带电极的厚度,并且带电极123和124的平均厚度 t_p 可表示在第一方向上的平均尺寸。

[0076] 当带电极123和124的平均厚度 t_p 小于 $0.1\mu\text{m}$ 时,可能不能充分确保带电极123和124与外电极131和132的电连接性,或者带电极123和124与镀层的电连接性可能不足。带电极123和124的平均厚度 t_p 的上限不需要特别限制,并且可考虑与设置在最外层中的内电极121和122的短路来确定带电极123和124的平均厚度 t_p 的上限。

[0077] 可从通过用10000倍放大率的扫描电子显微镜(SEM)扫描主体110的在长度和厚度方向上的截面(L-T截面)而获得的图像测量带电极123和124的平均厚度 t_p ,并且带电极123和124的平均厚度 t_p 可以是通过在第一表面上的在第二方向上的相等间隔的五个点处测量的带电极123和124在第一方向上的平均尺寸而获得的值。

[0078] 在实施例中,第一带电极123和第二带电极124可包括Ni、Cr、Pd和Pt中的至少一种。因此,能够防止在与主体一起烧结期间的过度收缩和氧化。

[0079] 在实施例中,第一带电极123和第二带电极124可包括 BaTiO_3 、 TiO_2 和 SiO_2 中的至少一种陶瓷添加剂。因此,可通过改善与介电层的结合强度并减小与介电层的烧结行为的差异来抑制带电极123和124的团聚和断裂。

[0080] 在实施例中,当在第二方向上从第三表面3的延长线E3到第一带电极123的端部的平均尺寸为D1,在第二方向上从第四表面4的延长线E4到第二带电极124的端部的平均尺寸为D2,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸为G1,并且第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸为G2时,可满足 $D1 \geq G1$ 和 $D2 \geq G2$ 。因此,可提高其与基板的粘合强度。

[0081] D1和D2可以是通过以下方式获得的值:对在第三方向上相等间隔的五个点处沿第一方向和第二方向切割主体110而获得的截面(L-T截面)中测量的值求平均值。

[0082] 对于G1和G2,在从主体在第三方向上的中央截取的主体在第一方向和第二方向上的截面中,G1可以是通过以下方式获得的值:对相对于设置在第一方向上的中央部中的五个任意第二内电极122测量的与第三表面3间隔开的区域在第二方向上的尺寸求平均值;并且G2可以是通过以下方式获得的值:对相对于设置在第一方向上的中央部中的五个任意第一内电极121测量的与第四表面4间隔开的区域在第二方向上的尺寸求平均值。

[0083] 此外,可通过对在主体110的在第三方向上相等间隔的五个点处沿第一方向和第二方向截取的截面(L-T截面)中测量的值求平均值而获得G1和G2,并且平均尺寸G1和G2可进一步一般化。

[0084] 在实施例中,当主体110在第二方向上的平均尺寸为L,在第二方向上从第三表面3的延长线E3到第一带电极123的端部的平均尺寸为D1,并且在第二方向上从第四表面4的延长线E4到第二带电极124的端部的平均尺寸为D2时,可满足 $0.2 \leq D1/L \leq 0.4$ 和 $0.2 \leq D2/L \leq 0.4$ 。

[0085] 当D1/L和D2/L小于0.2时,可能难以确保足够的粘合强度。另外,当D2/L超过0.4时,存在可能在第一带电极123和第二带电极124之间产生漏电流的担忧,并且存在镀覆过

程中第一带电极123和第二带电极124由于镀覆扩散等而彼此电连接的担忧。

[0086] D1和D2可以通过以下方式来获得的值:对在第三方向上相等间隔的五个点处沿第一方向和第二方向切割主体110而获得的截面(L-T截面)中测量的值求平均值。

[0087] 形成主体110的多个介电层111可处于烧结状态,并且相邻的介电层111可彼此成为一体,使得在不使用扫描电子显微镜(SEM)的情况下它们之间的边界可能不容易区分。

[0088] 根据本公开的实施例,介电层111的原材料没有特别限制,只要可获得足够的电容即可。例如,可使用钛酸钡基材料、铅复合钙钛矿基材料、钛酸锶基材料等作为介电层111的原材料。钛酸钡基材料可包括 BaTiO_3 基陶瓷粉末颗粒。 BaTiO_3 基陶瓷粉末颗粒的示例可包括 BaTiO_3 以及其中钙(Ca)、锆(Zr)等部分固溶于 BaTiO_3 中的 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1$ 且 $0 < y < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$)等。

[0089] 另外,根据本公开的目的,介电层111的原材料可包括添加到粉末颗粒(诸如钛酸钡(BaTiO_3)粉末颗粒等)的各种陶瓷添加剂、有机溶剂、粘合剂、分散剂等。

[0090] 另外,介电层111的平均厚度 t_d 不需要特别限制。

[0091] 然而,介电层111的平均厚度 t_d 可以是 $0.35\mu\text{m}$ 或更小,以更容易地实现多层电子组件的小型化和高电容。

[0092] 另外,根据实施例,通过在外电极上设置绝缘层,可防止外部水分的渗透和镀液的渗透以提高可靠性。因此,即使当介电层111的平均厚度 t_d 为 $15\mu\text{m}$ 或更小时,也可确保优异的可靠性。根据本公开的多层电子组件的可靠性改善效果可变得更显著。

[0093] 介电层111的平均厚度 t_d 可指设置在第一内电极121和第二内电极122之间的介电层111的平均厚度。

[0094] 可从通过用10000倍放大率的扫描电子显微镜(SEM)扫描主体110的在长度和厚度方向上的截面(L-T截面)而获得的图像测量介电层111的平均厚度。更具体地,可通过在获得的图像中在长度方向上以相等间隔布置的30个点处测量一个介电层的厚度并对测量的厚度求平均值而获得介电层111的平均厚度。可在电容形成部Ac中指定以相等间隔布置的30个点。此外,当测量十个介电层的平均厚度时,介电层的平均厚度可进一步一般化。

[0095] 主体110可包括电容形成部Ac以及覆盖部112和113,电容形成部Ac设置在主体110中并且包括设置为彼此面对的第一内电极121和第二内电极122且介电层111介于第一内电极121和第二内电极122之间以形成电容,覆盖部112和113在第一方向上设置在电容形成部Ac的上方和下方。

[0096] 另外,对形成电容器的电容有贡献的电容形成部Ac可通过重复层叠多个第一内电极121和多个第二内电极122且使介电层111介于第一内电极121和第二内电极122之间而形成。

[0097] 覆盖部112和113可包括上覆盖部112和下覆盖部113,上覆盖部112在第一方向上设置在电容形成部Ac的上方,下覆盖部113在第一方向上设置在电容形成部Ac的下方。下覆盖部113可包括第一带电极123和第二带电极124。如后面将要描述的,上覆盖部112可包括第三带电极125和第四带电极126。

[0098] 参照图4,上覆盖部112和下覆盖部113可通过在厚度方向上分别在电容形成部Ac的上表面和下表面上层叠单个介电层或者两个或更多个介电层来形成,并且可通过在其最外层上层叠包括带电极的一个或更多个介电层来形成。覆盖部112和113可基本上用于防止

由物理应力或化学应力引起的对内电极的损坏。

[0099] 上覆盖部112和下覆盖部113可包括带电极,但是可不包括内电极,并且可包括与介电层111的材料相同的材料。也就是说,上覆盖部112和下覆盖部113可包括陶瓷材料(诸如钛酸钡(BaTiO_3)基陶瓷材料)。

[0100] 另外,覆盖部112和113的平均厚度不需要特别限制。然而,覆盖部112或113的平均厚度 t_c 可以是 $15\mu\text{m}$ 或更小,以更容易地实现多层电子组件的小型化和高电容。另外,根据实施例,当根据本公开的实施例将绝缘层设置在外电极上时,可防止外部水分的渗透和镀液的渗透以提高可靠性。因此,即使当覆盖部112或113的平均厚度 t_c 为 $15\mu\text{m}$ 或更小时,也可确保提高的可靠性。

[0101] 覆盖部112或113的平均厚度 t_c 可指第一方向上的平均尺寸,并且可以通过以下方式来获得的值:对在电容形成部 A_c 上方或下方的在第二方向上以相等间隔设置的五个点处测量的覆盖部112和113在第一方向上的尺寸求平均值。

[0102] 另外,边缘部114和115可设置在电容形成部 A_c 的侧表面上。

[0103] 边缘部114和115可包括设置在电容形成部 A_c 的在宽度方向上的一个侧表面上的第一边缘部114和设置在电容形成部 A_c 的在宽度方向上的另一侧表面上的第二边缘部115。也就是说,边缘部114和115可设置在电容形成部 A_c 的在宽度方向上的两个侧表面上。

[0104] 如图2所示,边缘部114和115可指:在主体110的沿宽度-厚度方向截取的截面(W-T截面)中,第一内电极121和第二内电极122的两端与主体110的外表面之间的区域。

[0105] 边缘部114和115可基本上用于防止由物理应力或化学应力引起的对内电极的损坏。

[0106] 可通过以下方式来形成边缘部114和115:将导电膏涂覆到陶瓷生片的除了要形成边缘部的位置之外的部分以形成内电极。

[0107] 另外,为了抑制由内电极121和122形成的台阶,可通过以下方式来形成边缘部114和115:层叠其上涂覆有用于内电极的导电膏的陶瓷生片,切割层叠的陶瓷生片以将内电极暴露于电容形成部 A_c 的在第三方向(宽度方向)上的两个侧表面,然后在电容形成部 A_c 的在第三方向(宽度方向)上的两个侧表面上层叠单个介电层或者两个或更多个介电层。

[0108] 另外,边缘部114和115的平均宽度不需要特别限制。然而,边缘部114或115的平均宽度可以是 $15\mu\text{m}$ 或更小,以更容易地实现多层电子组件的小型化和高电容。另外,根据实施例,通过在外电极上设置绝缘层,可防止外部水分的渗透和镀液的渗透以提高可靠性。因此,即使当边缘部114或115的平均宽度为 $15\mu\text{m}$ 或更小时,也可确保提高的可靠性。

[0109] 边缘部114和115的平均宽度可指在电容形成部 A_c 的侧表面上的在第一方向上以相等间隔设置的五个点处测量的边缘部114和115在第三方向上的尺寸的平均值。

[0110] 内电极121和122可与介电层111交替层叠。

[0111] 内电极121和122可包括第一内电极121和第二内电极122。第一内电极121和第二内电极122可交替设置为彼此面对,且构成主体110的介电层111介于第一内电极121和第二内电极122之间,并且第一内电极121和第二内电极122可分别暴露于主体110的第三表面3和第四表面4。

[0112] 参照图3,第一内电极121可与第四表面4间隔开并且可通过第三表面3暴露,并且第二内电极122可与第三表面3间隔开并且可通过第四表面4暴露。第一外电极131可设置在

主体110的第三表面3上以连接到第一内电极121,并且第二外电极132可设置在主体110的第四表面4上以连接到第二内电极122。

[0113] 也就是说,第一内电极121可不与第二外电极132连接,并且可与第一外电极131连接,并且第二内电极122可不与第一外电极131连接,并且可与第二外电极132连接。因此,第一内电极121可形成为与第四表面4间隔开预定距离,并且第二内电极122可形成为与第三表面3间隔开预定距离。

[0114] 在这种情况下,第一内电极121和第二内电极122可通过设置在它们之间的介电层111彼此电分离。

[0115] 主体110可通过交替层叠其上印刷有用于第一内电极121的导电膏的陶瓷生片和其上印刷有用于第二内电极122的导电膏的陶瓷生片并且烧结层叠的陶瓷生片而形成。

[0116] 内电极121和122的材料不受限制,并且可以是具有优异导电性的材料。例如,内电极121和122可包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的至少一种。

[0117] 此外,内电极121和122可通过在陶瓷生片上印刷用于内电极的导电膏来形成,该导电膏包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的至少一种。印刷用于内电极的导电膏的方法可以是丝网印刷法、凹版印刷法等,但是本公开的实施例不限于此。

[0118] 另外,内电极121和122的平均厚度 t_e 不需要特别限制。

[0119] 内电极121和122的平均厚度 t_e 可以是 $0.35\mu\text{m}$ 或更小,以更容易地实现多层电子组件的小型化和高电容。

[0120] 另外,根据本公开的实施例,通过在外电极上设置绝缘层,可防止外部水分的渗透和镀液的渗透以提高可靠性。因此,即使当内电极121和122的平均厚度为 $0.35\mu\text{m}$ 或更小时,也可确保提高的可靠性。可更容易地实现多层电子组件的小型化和高电容。

[0121] 可从通过用10000倍放大率的扫描电子显微镜(SEM)扫描主体110的在长度和厚度方向上的截面(L-T截面)而获得的图像测量内电极121和122的平均厚度。更具体地,可通过在扫描图像中在长度方向上以相等间隔布置的30个点处测量一个内电极的厚度并对测量的厚度求平均值而获得内电极121和122的平均厚度。可在电容形成部 A_c 中指定以相等间隔布置的30个点。另外,当测量十个内电极的平均厚度时,内电极的平均厚度可进一步一般化。

[0122] 外电极131和132可设置在主体110的第三表面3和第四表面4上。外电极131和132可包括分别设置在主体110的第三表面3和第四表面4上以分别连接到第一内电极121和第二内电极122的第一外电极131和第二外电极132。另外,第一外电极131和第二外电极132可分别连接到第一带电极123和第二带电极124。

[0123] 在实施例中,第一外电极131和第二外电极132可设置为与第一表面1和第二表面2间隔开。在实施例中,第一外电极131和第二外电极132可设置为与第五表面5和第六表面6间隔开。另外,第一外电极131和第二外电极132可设置为与第一表面1、第二表面2、第五表面5和第六表面6间隔开。也就是说,第一外电极131和第二外电极132可不设置在第一表面1、第二表面2、第五表面5和第六表面6上。因此,通过使外电极131和132占据的体积最小化,可提高多层电子组件1000的每单位体积的电容。

[0124] 外电极131和132可包括延伸到主体110的拐角并设置在主体110的拐角上的拐角部。也就是说,在实施例中,第一外电极131可包括第一连接部131a、第一拐角部131b和第三拐角部131c,第一连接部131a设置在第三表面3上,第一拐角部131b设置为从第一连接部131a延伸到将第一表面1和第三表面3连接的1-3拐角C1-3,第三拐角部131c设置为从第一连接部131a延伸到将第二表面2和第三表面3连接的2-3拐角C2-3。第二外电极132可包括第二连接部132a、第二拐角部132b和第四拐角部132c,第二连接部132a设置在第四表面4上,第二拐角部132b设置为从第二连接部132a延伸到将第一表面1和第四表面4连接的1-4拐角C1-4,第四拐角部132c设置为从第二连接部132a延伸到将第二表面2和第四表面4连接的2-4拐角C2-4。因此,可使每单位体积的电容最大化,同时改善外电极和带电极之间的连接性。第一拐角部131b和第二拐角部132b可设置为不与第一表面1的延长线E1相交。第三拐角部131c和第四拐角部132c可设置在第二表面2的延长线E2的下方。也就是说,第一拐角部131b和第二拐角部132b可不设置在第一表面1上,并且第三拐角部131c和第四拐角部132c可不设置在第二表面2上。

[0125] 在这种情况下,当在第二方向上从第三表面3的延长线E3到第一拐角部131b的端部的平均尺寸为B1,在第二方向上从第四表面4的延长线E4到第二拐角部132b的端部的平均尺寸为B2,在第二方向上从第三表面3的延长线E3到第三拐角部131c的端部的平均尺寸为B3,在第二方向上从第四表面4的延长线E4到第四拐角部132c的端部的平均尺寸为B4,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸为G1,并且第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸为G2时,可满足 $B1 \leq G1$ 、 $B3 \leq G1$ 、 $B2 \leq G2$ 和 $B4 \leq G2$ 。因此,可通过使外电极131和132占据的体积最小化来增加多层电子组件1000的每单位体积的电容。

[0126] 平均尺寸B1、B2、B3和B4可以通过以下方式获得的值:对在主体110的在第三方向上相等间隔的五个点处沿第一方向和第二方向截取的截面(L-T截面)中测量的值求平均值。

[0127] 平均尺寸G1和G2可以通过以下方式获得的值:对在主体110的在第三方向上相等间隔的五个点处沿第一方向和第二方向截取的截面(L-T截面)中测量的值求平均值。G1可以通过以下方式获得的值:对相对于设置在第一方向上的中央部中的五个任意第二内电极122测量的与第三表面3在第二方向上间隔开的区域的尺寸求平均值;并且G2可以通过以下方式获得的值:对相对于设置在第一方向上的中央部中的五个任意第一内电极121测量的与第四表面4在第二方向上间隔开的区域的尺寸求平均值。

[0128] 此外,可通过对在主体110的在第三方向上相等间隔的五个点处沿第一方向和第二方向截取的截面(L-T截面)中测量的值求平均值而获得G1和G2,并且平均尺寸G1和G2可进一步一般化。

[0129] 然而,本公开不限于此,并且如稍后将描述的,外电极131和132可包括延伸到第一表面的一部分和第二表面的一部分上的带部。此外,第一外电极131可包括从第一连接部131a延伸到第五表面的一部分和第六表面的一部分的侧带部,并且第二外电极132可包括从第二连接部132a延伸到第五表面的一部分和第六表面的一部分的侧带部。

[0130] 在本实施例中已经描述了多层电子组件1000具有两个外电极131和132的结构。然而,外电极131和132的数量和形状也可根据内电极121和122的形状或其他目的而变化。

[0131] 另外,外电极131和132可利用具有导电性的任意材料(诸如金属)形成,并且可考虑电特性、结构稳定性等来确定外电极131和132中的每个的具体材料。此外,外电极131和132可具有多层结构。

[0132] 外电极131和132可以是包括导电金属和玻璃的烧结电极或者包括导电金属或树脂的树脂基电极。

[0133] 此外,外电极131和132可具有顺序形成烧结电极和树脂基电极的形式。另外,外电极131和132可通过将包括导电金属的片材转印到主体上来形成,或者可通过将包括导电金属的片材转印到烧结电极上来形成。

[0134] 作为外电极131和132中包括的导电金属,可使用具有优异导电性的材料,但不特别限制。例如,导电金属可以是Cu、Ni、Pd、Ag、Sn、Cr以及它们的合金中的至少一种。优选地,外电极131和132可包括Ni和Ni合金中的至少一种,因此,可进一步改善与包括Ni的内电极121和122的连接性。

[0135] 此外,外电极131和132可包括Cu,因此,可改善外电极131和132与带电极123和124的粘合性,并且可进一步改善外电极131和132与内电极121和122的电连接性。

[0136] 第一镀层141和第二镀层142可分别设置在第一带电极123和第二带电极124上。镀层141和142可设置为分别与第一带电极123和第二带电极124直接接触。镀层141和142可用于改善安装特性。

[0137] 另外,第一镀层141可设置在第一带电极123和第一外电极131上,并且第二镀层142可设置在第二带电极124和第二外电极132上。另外,第一镀层141可设置为覆盖第一带电极123和第一外电极131,并且第二镀层142可设置为覆盖第二带电极124和第二外电极132。

[0138] 镀层141和142的类型没有特别限制。镀层141和142中的每个可以是包括Cu、Ni、Sn、Ag、Au、Pd以及它们的合金中的至少一种的镀层,并且可形成为多个层。

[0139] 作为镀层141和142的更具体的示例,镀层141和142可具有其中Ni镀层141a和142a以及Sn镀层141b和142b顺序地设置的形式。

[0140] 参照图7,图7示出了其上安装有多层电子组件1000的安装基板,多层电子组件1000的镀层141和142可通过设置在基板180上的电极焊盘181和182以及焊料191和192结合到基板180。

[0141] 另外,当内电极121和122在第一方向上层叠时,多层电子组件1000可水平地安装在基板180上,使得内电极121和122平行于安装表面。然而,本公开的实施例不限于水平安装的情况。当内电极121和122在第三方向上层叠时,多层电子组件1000可垂直地安装在基板180上,使得内电极121和122垂直于安装表面。

[0142] 多层电子组件1000的尺寸不需要特别限制。

[0143] 然而,为了实现小型化和高电容,应该通过减薄介电层和内电极来增加层叠的层数。在具有1005(长×宽,1.0mm×0.5mm)或更小的尺寸的多层电子组件1000中,根据本公开的提高可靠性和每单位体积的电容的效果可变得更显著。

[0144] 因此,当考虑到制造误差和外电极的尺寸,多层电子组件1000具有1.1mm或更小的长度和0.55mm或更小的宽度时,根据本公开的可靠性改善效果可更显著。多层电子组件1000的长度可指多层电子组件1000在第二方向上的尺寸,并且多层电子组件1000的宽度可

指多层电子组件1000在第三方向上的尺寸。

[0145] 图8示出了图3的变型示例。

[0146] 参照图8,多层电子组件1001可包括第一外电极131-1和第二外电极132-1,第一外电极131-1包括第一带部131b-1,第二外电极132-1包括第二带部132b-1。

[0147] 第一外电极131-1可包括第一连接部131a-1、第一带部131b-1和第三拐角部131c-1,第一连接部131a-1设置在第三表面3上,第一带部131b-1设置为从第一连接部131a-1延伸到第一表面1的一部分上,第三拐角部131c-1设置为从第一连接部131a-1延伸到将第二表面2和第三表面3连接的2-3拐角C2-3上,并且第二外电极132-1可包括第二连接部132a-1、第二带部132b-1和第四拐角部132c-1,第二连接部132a-1设置在第四表面4上,第二带部132b-1设置为从第二连接部132a-1延伸到第一表面1的一部分上,第四拐角部132c-1设置为从第二连接部132a-1延伸到将第二表面2和第四表面4连接的2-4拐角C2-4上。

[0148] 在实施例中,当在第二方向上从第三表面3的延长线E3到第一带部131b-1的端部的平均尺寸为B1,在第二方向上从第四表面4的延长线E4到第二带部132b-1的端部的平均尺寸为B2,在第二方向上从第三表面3的延长线E3到第三拐角部131c-1的端部的平均尺寸为B3,在第二方向上从第四表面4的延长线E4到第四拐角部132c-1的端部的平均尺寸为B4,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸为G1,并且第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸为G2时,可满足 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$ 。当满足 $B1 \geq G1$ 和 $B2 \geq G2$ 时,可进一步提高带电极123和124与外电极131-1和132-1之间的电连接性,并且当满足 $B3 \leq G1$ 和 $B4 \leq G2$ 时,可减小由外电极131-1和132-1占据的体积。

[0149] 平均尺寸B1、B2、B3和B4可以通过以下方式获得的值:对在主体110的在第三方向上相等间隔的五个点处沿第一方向和第二方向截取的截面(L-T截面)中测量的值求平均值。

[0150] 对于G1和G2,在从主体在第三方向上的中央截取的主体在第一方向和第二方向上的截面中,G1可以通过以下方式获得的值:对相对于设置在第一方向上的中央部中的五个任意第二内电极测量的与第三表面间隔开的区域在第二方向上的尺寸求平均值;并且G2可以通过以下方式获得的值:对相对于设置在第一方向上的中央部中的五个任意第一内电极测量的与第四表面间隔开的区域在第二方向上的尺寸求平均值。

[0151] 此外,可通过对在主体110的在第三方向上相等间隔的五个点处沿第一方向和第二方向截取的截面(L-T截面)中测量的值求平均值而获得G1和G2,并且平均尺寸G1和G2可进一步一般化。

[0152] 另外,第一带部131b-1的端部可设置为覆盖第一带电极123的端部,并且第二带部132b-1的端部可设置为覆盖第二带电极124的端部。也就是说,当在第二方向上从第三表面3的延长线E3到第一带电极123的端部的平均尺寸为D1,并且在第二方向上从第四表面4的延长线E4到第二带电极124的端部的平均尺寸为D2时,可满足 $B1 \geq D1$ 和 $B2 \geq D2$ 。

[0153] 可通过对在主体110的在第三方向上相等间隔的五个点处沿第一方向和第二方向截取的截面(L-T截面)中测量的值求平均值而获得D1和D2,并且平均尺寸D1和D2可进一步一般化。

[0154] 图9是根据本公开的实施例的多层电子组件1002的示意性立体图。图10是沿图9的

线II-II'截取的截面图。

[0155] 根据本公开的实施例的多层电子组件1002可包括设置在外电极131和132上的绝缘层151和152。

[0156] 第一绝缘层151和第二绝缘层152可分别设置在第一外电极131和第二外电极132上。

[0157] 由于第一外电极131和第二外电极132是连接到内电极121和122的部分,因此它们可能是镀覆过程中镀液渗透或实际使用期间水分渗透的路径。在本公开的实施例中,由于绝缘层151和152设置在外电极131和132上,因此可防止外部水分的渗透或镀液的渗透,并且能够防止镀层141-2和142-2设置在外电极131和132的设置区域中有绝缘层151和152的区域中。

[0158] 第一绝缘层151和第二绝缘层152的材料不需要特别限制。例如,第一绝缘层151和第二绝缘层152可包括玻璃或聚合树脂。聚合树脂的类型不需要特别限制。例如,聚合树脂可以是环氧树脂、丙烯酸树脂、乙基纤维素等组成的组中选择的至少一种。

[0159] 在实施例中,当绝缘层151和152包括聚合树脂时,从由 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 、 BaO 等组成的组中选择的至少一种作为除了聚合树脂之外的添加剂。因此,可提高与主体或外电极的结合强度。

[0160] 形成绝缘层151和152的方法不需要特别限定,例如,可通过在外电极131和132上涂覆膏或将片材转印到外电极131和132上来形成绝缘层151和152。

[0161] 绝缘层151和152的平均厚度没有特别限制,例如,可以是 $3\mu m$ 至 $30\mu m$ 。这里,绝缘层151和152的平均厚度可表示通过以下方式来获得的值:对在连接部131a和132a上的在第一方向上的具有相等间隔的五个点处测量的绝缘层151和152的第二方向上的尺寸求平均值。

[0162] 第一镀层141-2和第二镀层142-2可设置在第一带电极123和第二带电极124上。第一镀层141-2和第二镀层142-2用于改善安装特性。第一镀层141-2和第二镀层142-2的类型没有特别限制,并且可以是包括Ni、Sn、Pd以及它们的合金中的至少一种的镀层,并且可由多个层形成。

[0163] 作为第一镀层141-2和第二镀层142-2的更具体的示例,第一镀层141-2可具有其中Ni镀层141-2a和Sn镀层141-2b顺序地形成在第一带电极123上的形式,并且第二镀层142-2可具有其中Ni镀层142-2a和Sn镀层142-2b顺序地形成在第二带电极124上的形式。

[0164] 另外,第一镀层141-2和第二镀层142-2可设置为延伸以分别部分地覆盖第一外电极131和第二外电极132。

[0165] 当在第一方向上从第一表面1到第一内电极121和第二内电极122中设置为最靠近第一表面1的内电极的平均尺寸为 H_1 ,在第一方向上从第一表面1的延长线到第一镀层141-2和第二镀层142-2的设置于第一外电极131和第二外电极132上的端部的平均尺寸为 H_2 时,可满足 $H_1 > H_2$ (或 $H_1 \geq H_2$)。因此,能够在镀覆过程中抑制镀液渗透到内电极中,从而提高可靠性。

[0166] 平均尺寸 H_1 和 H_2 可以通过以下方式来获得的值:对在主体110的在第三方向上具有相等间隔的五个点处沿第一方向和第二方向截取的截面(L-T截面)中测量的值求平均值。平均尺寸 H_1 可以是在每个截面中设置为最靠近第一表面1的内电极连接到外电极的点处测量的值的平均值,并且平均尺寸 H_2 可以是在每个截面中基于镀层的与外电极接触的端

部测量的值的平均值。当测量平均尺寸H1和H2时用作基准的第一表面的延长线可相同。

[0167] 在实施例中,第一绝缘层151和第二绝缘层152可设置为分别直接接触第一外电极131和第二外电极132,且第一外电极131和第二外电极132可包括导电金属和玻璃。因此,由于镀层141-2和142-2可不设置在第一外电极131和第二外电极132的外表面中的设置有绝缘层151和152的区域上,因此能够有效地防止镀液对外电极的侵蚀。

[0168] 在实施例中,第一镀层141-2可设置为覆盖第一绝缘层151的设置在第一外电极131上的端部,并且第二镀层142-2可设置为覆盖第二绝缘层152的设置在第二外电极132上的端部。因此,可通过增强绝缘层151和152与镀层141-2和142-2之间的结合强度来提高多层电子组件1002的可靠性。另外,通过在外电极131和132上形成镀层141-2和142-2之前首先形成第一绝缘层151和第二绝缘层152,可更可靠地抑制形成镀层的过程中镀液的渗透。由于在形成镀层之前形成绝缘层,因此镀层141-2和142-2可具有覆盖绝缘层151和152的端部的形式。

[0169] 在实施例中,第一绝缘层151可设置为覆盖第一镀层141-2的设置在第一外电极131上的端部,并且第二绝缘层152可设置为覆盖第二镀层142-2的设置在第二外电极132上的端部。因此,可通过增强绝缘层151和152与镀层141-2和142-2之间的结合强度来提高多层电子组件1002的可靠性。

[0170] 在实施例中,第一外电极131可包括第一连接部131a、第一拐角部131b和第三拐角部131c,第二外电极132可包括第二连接部132a、第二拐角部132b和第四拐角部132c。然而,本实施例不限于此,例如,第一外电极131可包括第一连接部、第一带部和第三拐角部,第一连接部设置在第三表面上,第一带部设置为从第一连接部延伸到第一表面的一部分上,第三拐角部设置为从第一连接部延伸到将第二表面和第三表面连接的2-3拐角上,并且第二外电极132可包括第二连接部、第二带部和第四拐角部,第二连接部设置在第四表面上,第二带部设置为从第二连接部延伸到第一表面的一部分上,第四拐角部设置为从第二连接部延伸到将第二表面和第四表面连接的2-4拐角上。在这种情况下,也可以满足如上所述的“ $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$ ”。

[0171] 另外,尽管图10中没有示出,但主体的第二表面可包括设置为彼此间隔开的第三带电极和第四带电极,第一镀层还可设置在第三带电极上,并且第二镀层还可设置在第四带电极上。在这种情况下,第一镀层可分别位于第一绝缘层在第一方向上的两侧处,并且第二镀层可分别位于第二绝缘层在第一方向上的两侧处。

[0172] 图11示出了图9的变型示例。参照图11,在根据本公开的实施例的多层电子组件1002的变型示例的多层电子组件1003中,第一绝缘层151-3和第二绝缘层152-3可延伸到第五表面5和第六表面6上并且彼此连接,以便形成一个绝缘层153-3。在这种情况下,连接的第一绝缘层和第二绝缘层(即,一个绝缘层153-3)可设置为覆盖第五表面的一部分和第六表面的一部分。

[0173] 图12是根据本公开的实施例的多层电子组件1004的示意性立体图。图13是沿图12的线III-III'截取的截面图。

[0174] 参照图12和图13,在根据实施例的多层电子组件1004中,第一镀层141-4和第二镀层142-4可设置在与第一表面1的延长线E1的水平面相同的水平面或比第一表面1的延长线E1的水平面低的水平面上。因此,在安装期间,焊料的高度可最小化,并且安装空间可显著

减小。在这种情况下,外电极131和132与镀层141-4和142-4可不彼此直接接触。第一镀层141-4可具有其中Ni镀层141-4a和Sn镀层141-4b顺序地形成在第一带电极123上的形式,并且第二镀层142-4可具有其中Ni镀层142-4a和Sn镀层142-4b顺序地形成在第二带电极124上的形式。

[0175] 可选地,第一绝缘层151-4和第二绝缘层152-4可设置为延伸到与第一表面1的延长线E1的水平面相同的水平面或比第一表面1的延长线E1的水平面低的水平面上,以与第一镀层141-4和第二镀层142-4接触。

[0176] 图14示出了图13的变型示例。参照图14,在根据图13的变型示例的多层电子组件1005中,镀层141-5和142-5可以按单层形式而不是多层形式设置。因此,可进一步改善提高每单位体积的电容的效果。在这种情况下,镀层141-5和142-5可以是Sn镀层。

[0177] 图15示出了图12的变型示例。参照图15,在根据本公开的实施例的多层电子组件1004的变型示例的多层电子组件1006中,第一绝缘层151-6和第二绝缘层152-6可延伸到第五表面5和第六表面6上并且彼此连接,以便形成一个绝缘层153-6。在这种情况下,连接的第一绝缘层和第二绝缘层(即,一个绝缘层153-6)可设置为覆盖整个第五表面和整个第六表面。

[0178] 图16示意性地示出了根据本公开的实施例的多层电子组件1007的立体图。图17是沿图16的线IV-IV'截取的截面图。

[0179] 参照图16和图17,根据本公开的实施例的多层电子组件1007还可包括附加绝缘层161,附加绝缘层161设置在第一表面1上并且设置在第一镀层141-4和第二镀层142-4之间。因此,能够防止在高压电流下可能在第一带电极123和第二带电极124之间发生的漏电流等。

[0180] 附加绝缘层161的类型不需要限制。例如,附加绝缘层161可包括玻璃或聚合树脂。例如,聚合树脂可包括从由环氧树脂、丙烯酸树脂、乙基纤维素等组成的组中选择的至少一种。在实施例中,当附加绝缘层161包括聚合树脂时,附加绝缘层161可包括从由 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 、 BaO 等中选择的至少一种作为除了聚合树脂之外的添加剂。因此,可提高与主体或外电极的结合强度。

[0181] 另外,附加绝缘层161以及绝缘层151-7和152-7不需要利用相同的材料形成,而是可利用不同的材料形成。

[0182] 图18示出了图16的变型示例。参照图18,在根据本公开的实施例的多层电子组件1007的变型示例的多层电子组件1008中,第一绝缘层151-8和第二绝缘层152-8可延伸到第五表面5和第六表面6上以彼此连接以构成单个绝缘层153-8。

[0183] 图19是根据本公开的实施例的多层电子组件1009的示意性立体图。图20是沿图19的线V-V'截取的截面图。

[0184] 参照图19和图20,根据实施例的多层电子组件1009可包括设置在第一外电极131上的第一绝缘层151-9和设置在第二外电极132上的第二绝缘层152-9,其中,当在第一方向上从第一表面1到第一内电极121和第二内电极122中设置为最靠近第一表面1的内电极的平均尺寸为 H_1 ,并且在第一方向上从第一表面1的延长线E1到镀层141-9和142-9的设置在第一外电极131和第二外电极132上的端部的平均尺寸为 H_2 时,可满足 $H_1 < H_2$ 。第一镀层141-9可具有其中Ni镀层141-9a和Sn镀层141-9b顺序地形成在第一带电极123上的形式,并且第

二镀层142-9可具有其中Ni镀层142-9a和Sn镀层142-9b顺序地形成在第二带电极124上的形式。因此,通过在安装期间增加与焊料接触的面积,可改善粘合强度。

[0185] 更优选地,当主体110在第一方向上的平均尺寸为T时,可满足 $H_2 < T/2$ 。也就是说,可满足 $H_1 < H_2 < T/2$ 。当 H_2 为 $T/2$ 或更大时,存在绝缘层的防潮可靠性改善效果可能降低的担忧。

[0186] 平均尺寸 H_1 、 H_2 和T可以通过以下方式获得的值:对在主体110的在第三方向上具有相等间隔的五个点处沿第一方向和第二方向切割的截面(L-T截面)中测量的值求平均值。 H_1 可以通过以下方式获得的值:对在每个截面中设置为最靠近第一表面1的内电极连接到外电极的点处测量的值求平均值, H_2 可以通过以下方式获得的值:对每个截面中基于镀层的与外电极接触的端部测量的值求平均值,并且当测量 H_1 和 H_2 时,用作基准的第一表面1的延长线 E_1 可相同。另外,T可以是在每个截面中测量主体110在第一方向上的最大尺寸之后的平均值。

[0187] 图21示出了图19的变型示例。参照图21,在根据本公开的实施例的多层电子组件1009的变型示例的多层电子组件1010中,第一绝缘层151-10和第二绝缘层152-10可延伸到第五表面5和第六表面6上以彼此连接,从而构成单个绝缘层153-10。

[0188] 图22是根据本发明的实施例的多层电子组件1011的示意性立体图。图23是沿图22的线VI-VI'截取的截面图。

[0189] 参照图22和图23,在根据本公开的实施例的多层电子组件1011中,第一绝缘层151-11和第二绝缘层152-11可延伸到第二表面2、第五表面5和第六表面6上以彼此连接,从而构成单个绝缘层153-11。如图22所示,单个绝缘层153-11可覆盖整个第二表面,并且可仅覆盖第五表面的一部分和第六表面的一部分。

[0190] 图24是根据本发明的实施例的多层电子组件1012的示意性立体图。图25是沿图24的线VII-VII'截取的截面图。

[0191] 参照图24和图25,根据本公开的实施例的多层电子组件1012的第一镀层141-12和第二镀层142-12的平均厚度 t_1 可比第一绝缘层151-12和第二绝缘层152-12的平均厚度 t_2 薄。

[0192] 根据本公开的实施例,第一镀层141-12和第二镀层142-12的平均厚度 t_1 可比第一绝缘层151-12和第二绝缘层152-12的平均厚度 t_2 薄,使得镀层和绝缘层彼此接触的面积可减小,从而抑制分层的发生并提高多层电子组件1012与基板180的粘合强度。

[0193] 第一镀层141-12和第二镀层142-12的平均厚度 t_1 可以通过以下方式获得的值:对在第一外电极131和第二外电极132上的在第一方向上的相等间隔的五个点处或在第一带电极123和第二带电极124上的在第二方向上的相等间隔的五个点处测量的第一镀层141-12和第二镀层142-12的厚度求平均值,并且绝缘层151-12和152-12的平均厚度 t_2 可以通过以下方式获得的值:对在第一外电极131和第二外电极132上的在第一方向上的相等间隔的五个点处测量的绝缘层151-12和152-12的厚度求平均值。第一镀层141-12可具有其中Ni镀层141-12a和Sn镀层141-12b顺序地形成在第一带电极123上的形式,并且第二镀层142-12可具有其中Ni镀层142-12a和Sn镀层142-12b顺序地形成在第二带电极124上的形式。

[0194] 图26示出了图24的变型示例。参照图26,在根据本公开的实施例的多层电子组件

1012的变型示例的多层电子组件1013中,第一绝缘层151-13和第二绝缘层152-13可延伸到第五表面5和第六表面6上以彼此连接,从而构成单个绝缘层153-13。

[0195] 图27是根据本公开的实施例的多层电子组件1014的示意性立体图。图28是沿图27的线VIII-VIII'截取的截面图。

[0196] 参照图27和图28,根据本公开的实施例,主体110的第二表面2可包括设置为彼此间隔开的第三带电极125和第四带电极126,并且第三带电极125可连接到第一外电极131,并且第四带电极126可连接到第二外电极132。当仅设置第一带电极123和第二带电极124时,可能降低安装便利性和贴带效率(taping efficiency),并且可能需要附加的工艺来提高生产率和效率。另外,当根据本公开的实施例包括第三带电极125和第四带电极126时,与仅设置第一带电极123和第二带电极124的情况相比,安装便利性和贴带效率可提高两倍。

[0197] 在这种情况下,第一镀层141-14可附加地设置在第三带电极125上,并且第二镀层142-14可附加地设置在第四带电极126上。第一镀层141-14可具有其中顺序形成Ni镀层141-14a和Sn镀层141-14b的形式,并且第二镀层142-14可具有其中顺序形成Ni镀层142-14a和Sn镀层142-14b的形式。

[0198] 另外,第三带电极125和第四带电极126可具有上述第一带电极123和第二带电极124的特性,并且第三带电极125和第一带电极123可在第一方向上对称,并且第四带电极126和第二带电极124可在第一方向上对称。

[0199] 另外,当绝缘层设置在第一外电极131和第二外电极132上时,形成在第一带电极123上的镀层和形成在第三带电极125上的镀层可设置为通过第一绝缘层彼此间隔开,并且形成在第二带电极124上的镀层和形成在第四带电极126上的镀层可设置为通过第二绝缘层彼此间隔开。

[0200] 如上所述,作为本公开的各种效果之一,可通过在主体的一个表面上包括带电极来最小化多层电子组件的安装空间。

[0201] 作为本公开的各种效果之一,通过在外电极上设置绝缘层并在带电极上设置镀层,可提高可靠性,同时提高多层电子组件的每单位体积的电容。

[0202] 然而,本公开的各种优点和效果以及有益的优点和效果不限于上述内容,并且在描述本公开的具体实施例的过程中将更容易理解。

[0203] 另外,本公开中使用的表述“实施例”并不意味着彼此相同的实施例,并且被提供以强调和解释不同的独特特征。然而,上面呈现的实施例不排除结合其他实施例的特征来实现。例如,除非与其他实施例中的内容矛盾或相反的描述,否则即使在其他实施例中描述在一个具体实施例中描述的内容,也可理解为与其他实施例相关的描述。

[0204] 本公开中使用的术语仅用于描述一个实施例,并不意在限制本公开。在这种情况下,除非上下文另有明确说明,否则单数表述包括复数表述。

[0205] 虽然上面已经示出和描述了示例实施例,但是对于本领域技术人员将易于理解的是,在不脱离由所附权利要求限定的本发明的范围的情况下,可进行变型和变化。

1000

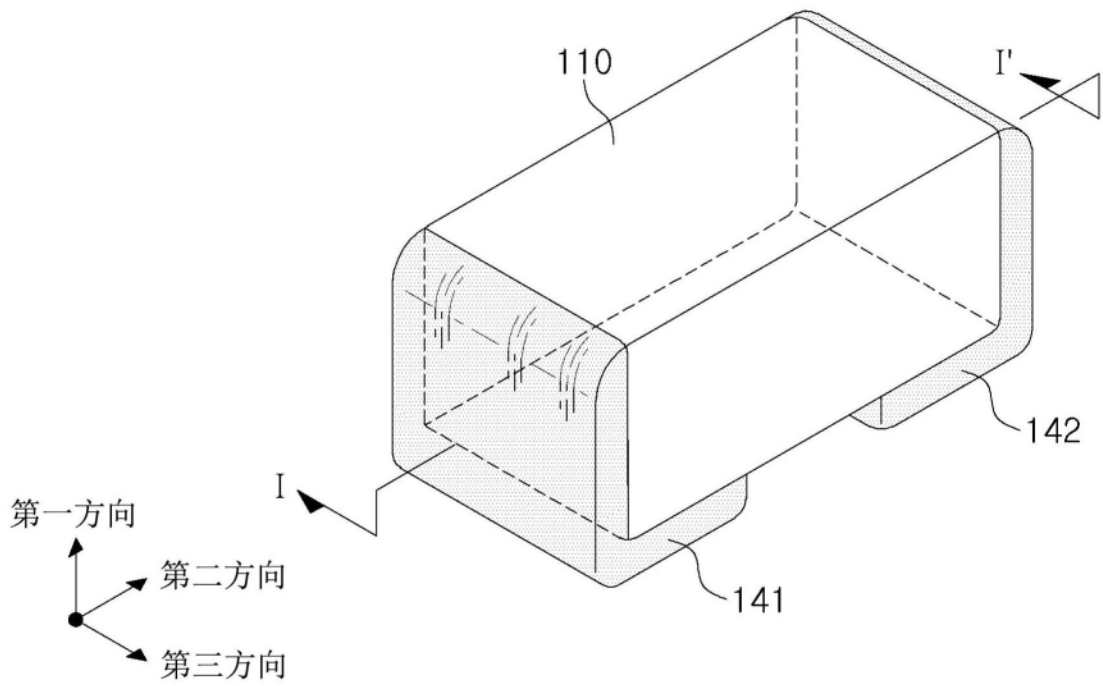


图1

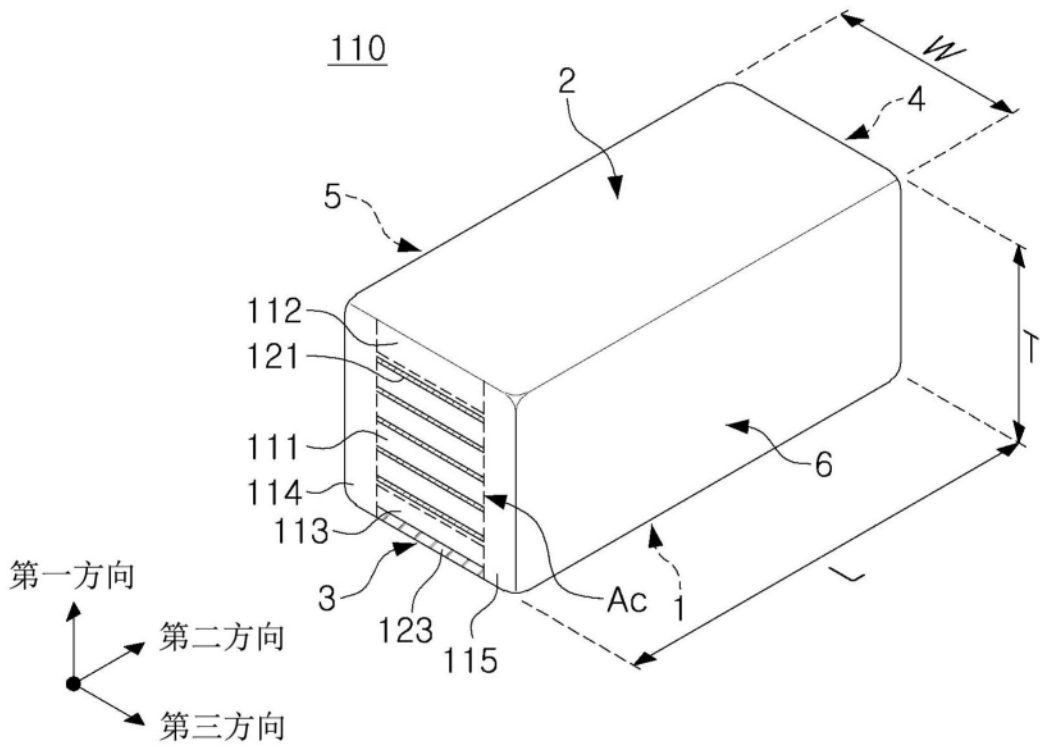


图2

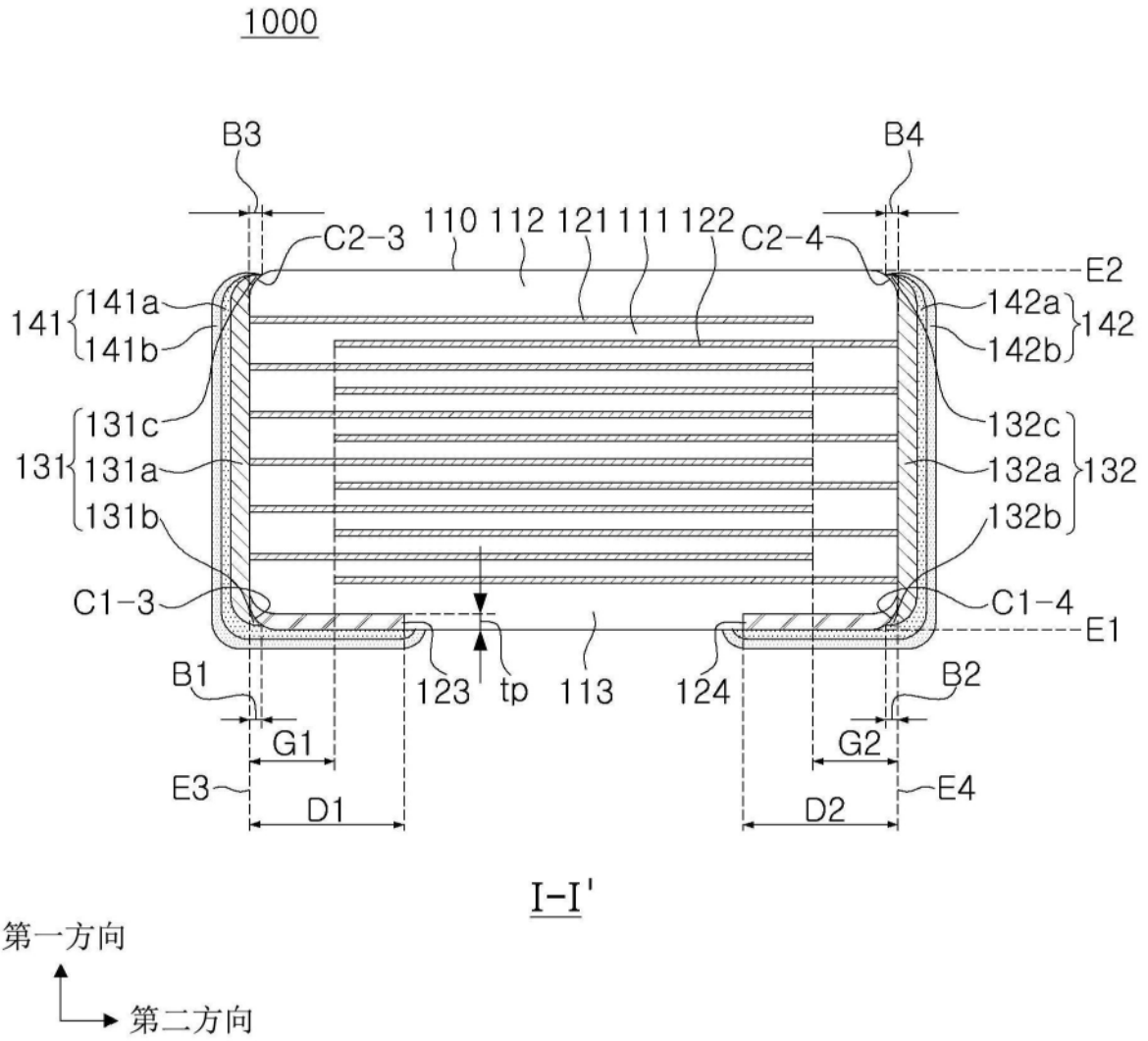


图3

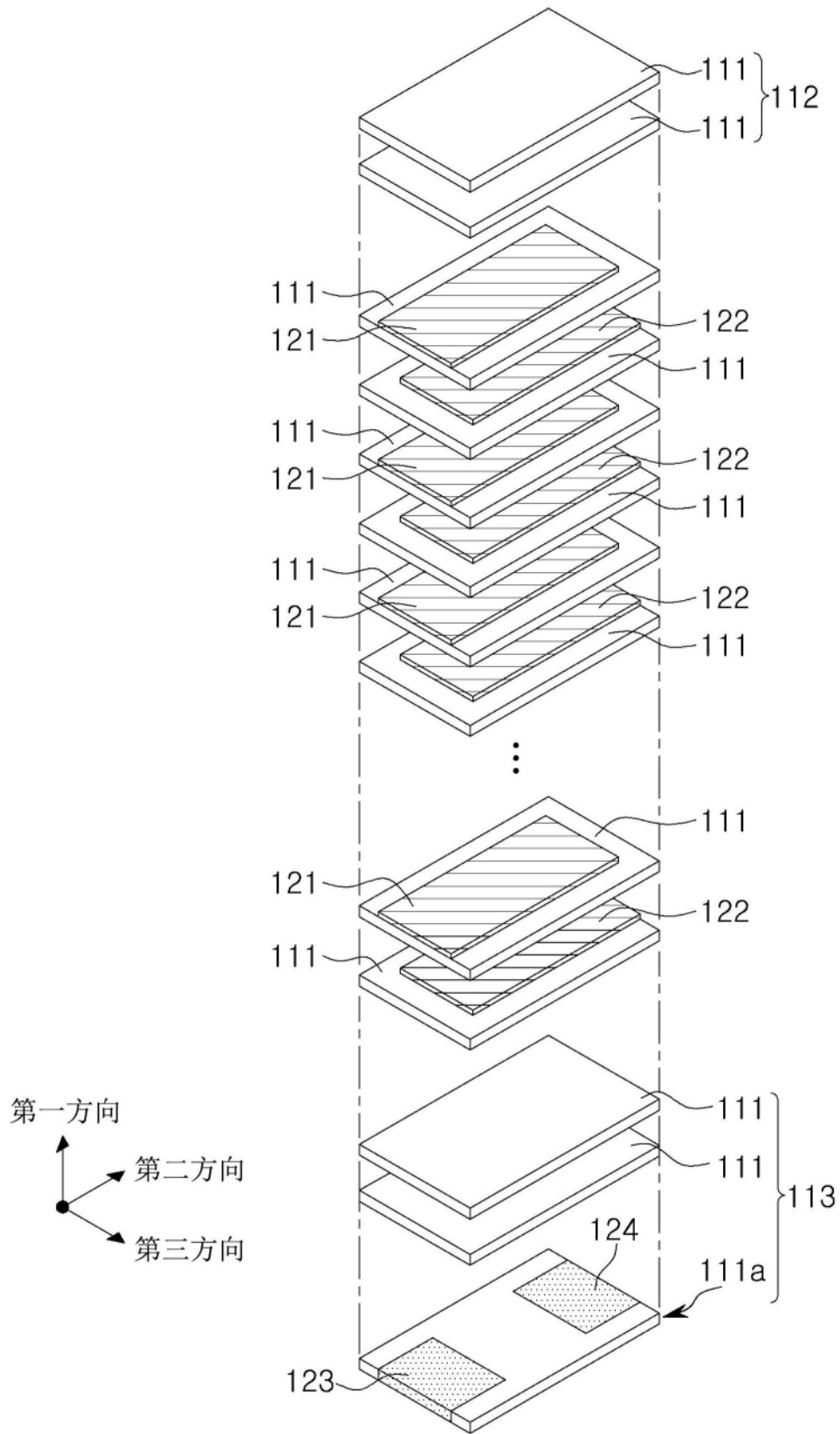


图4

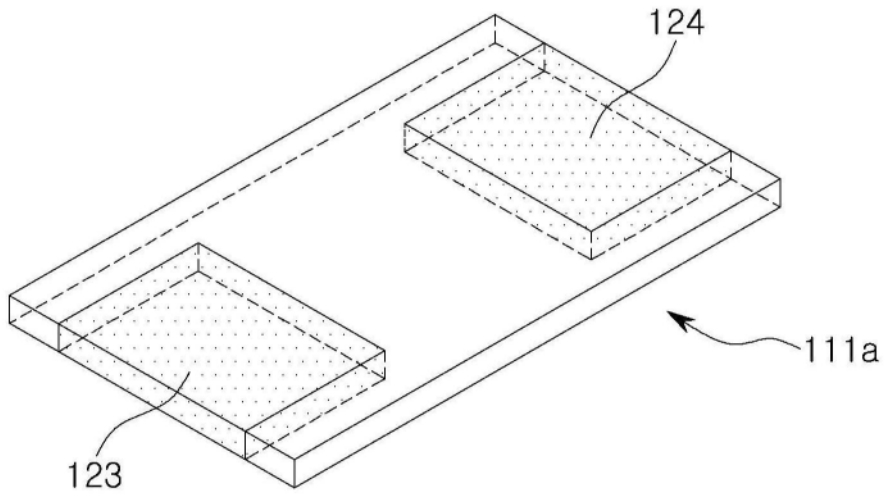


图5

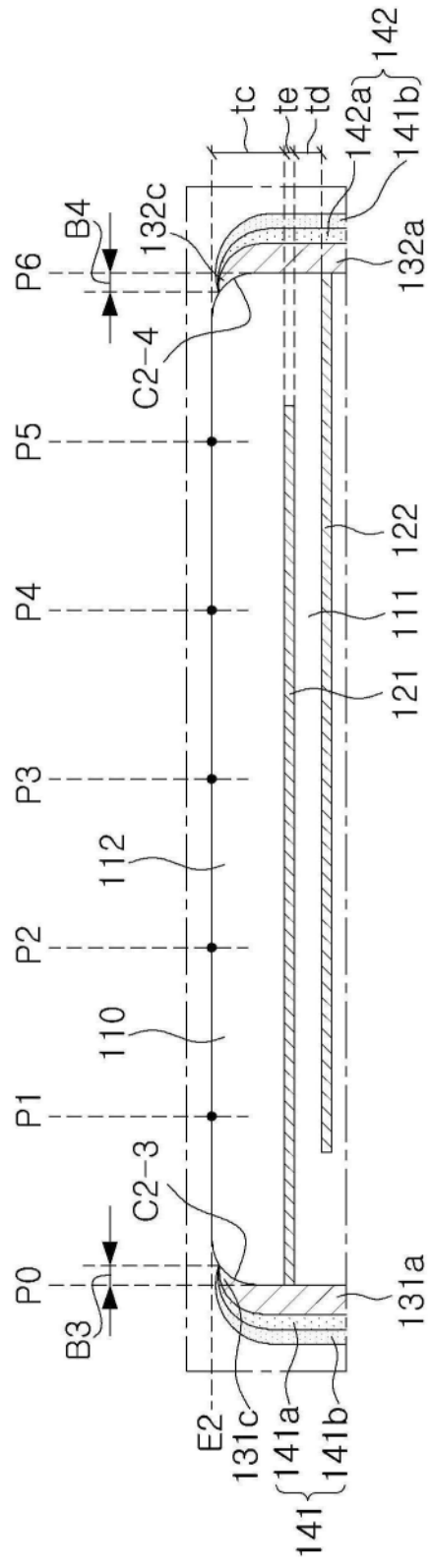


图6

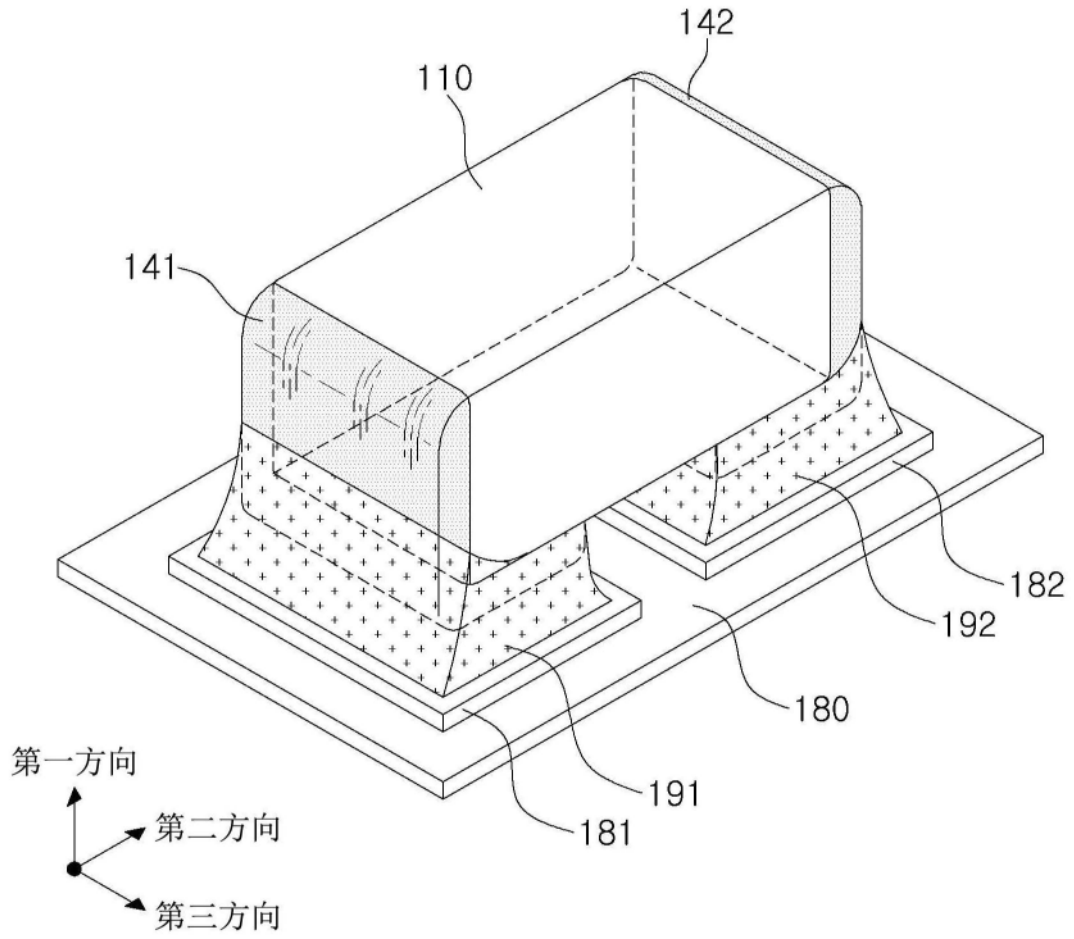


图7

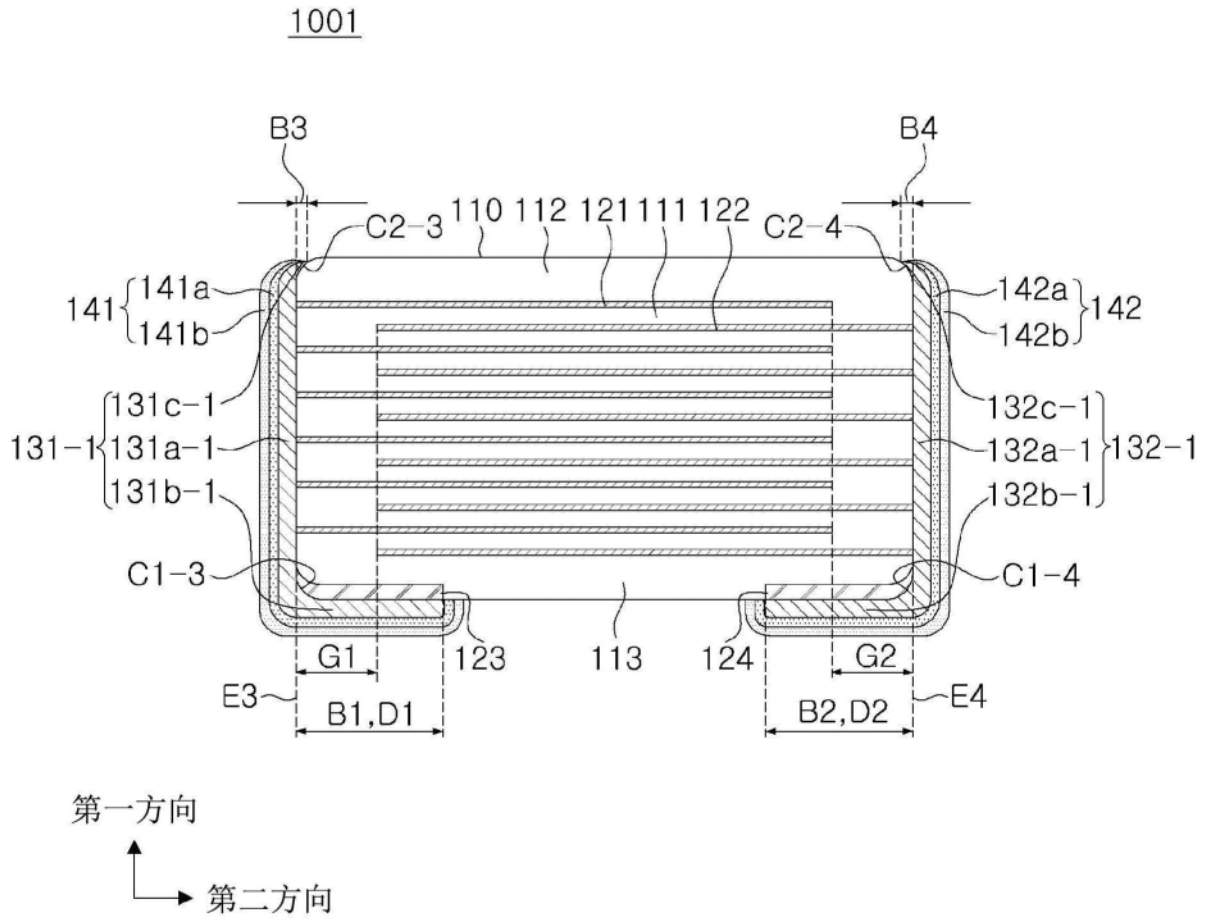


图8

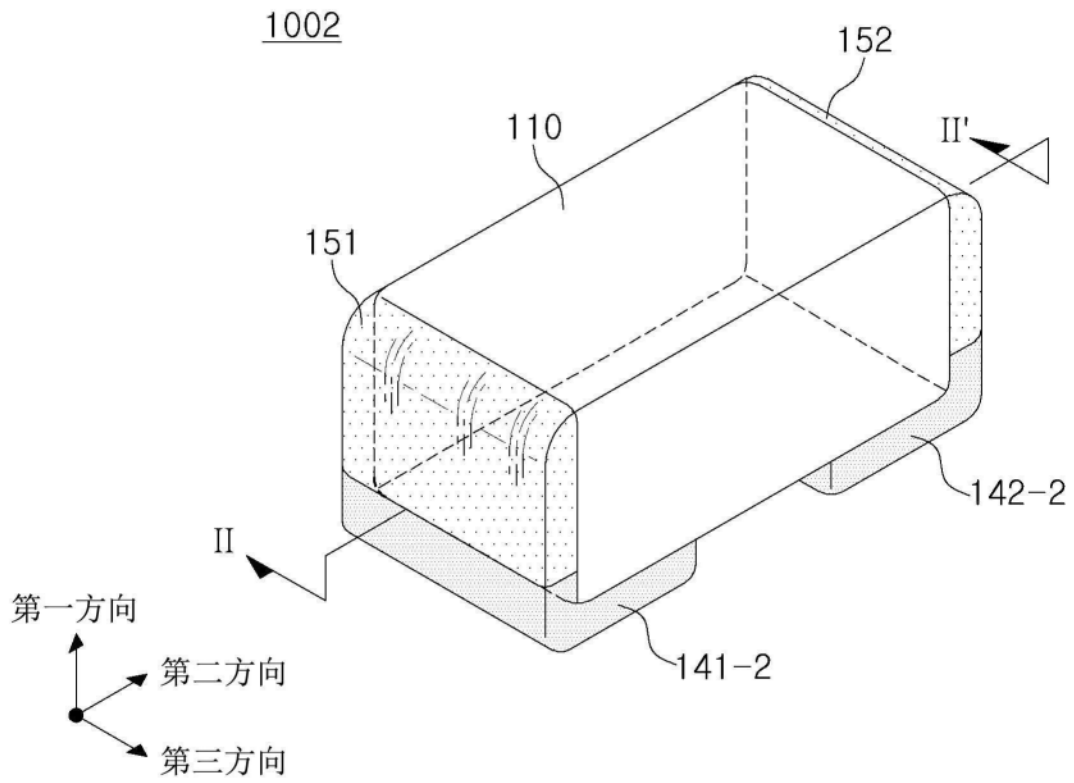


图9

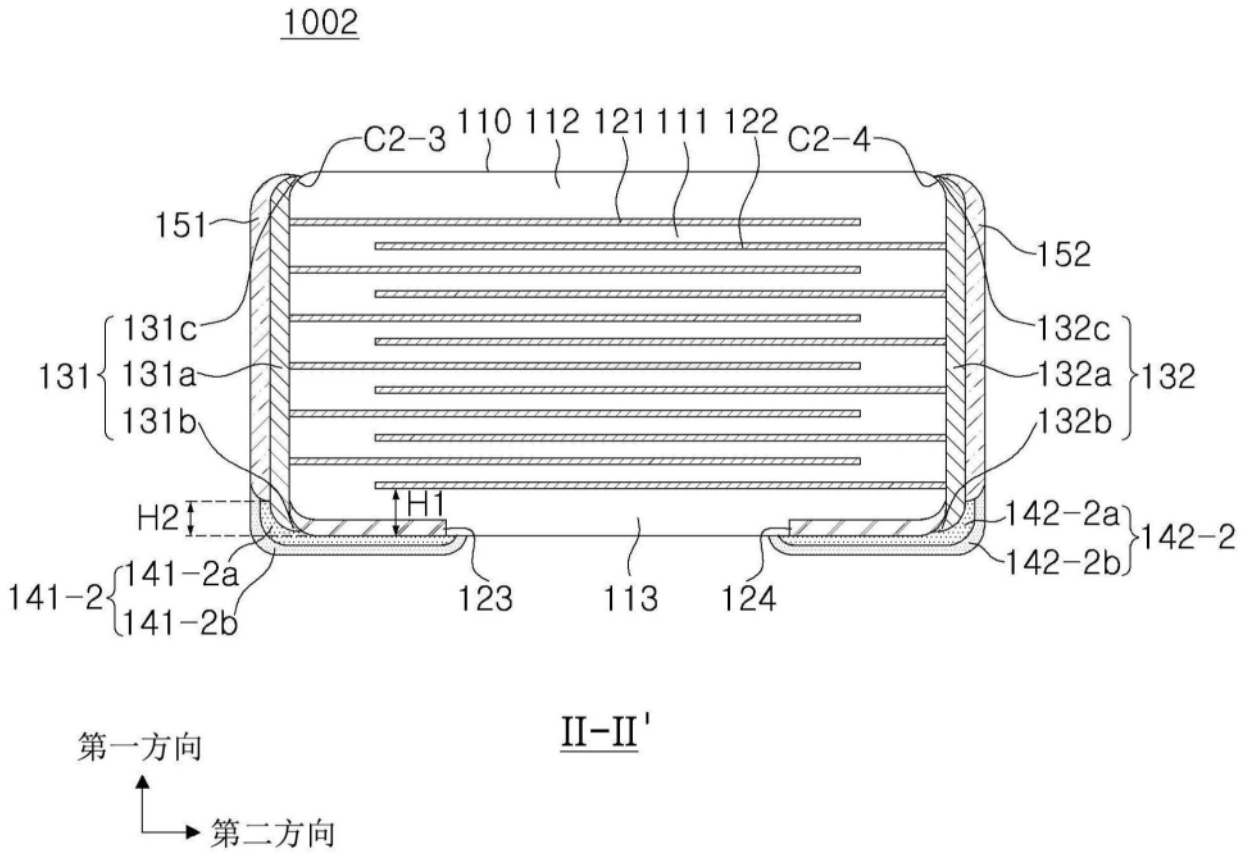


图10

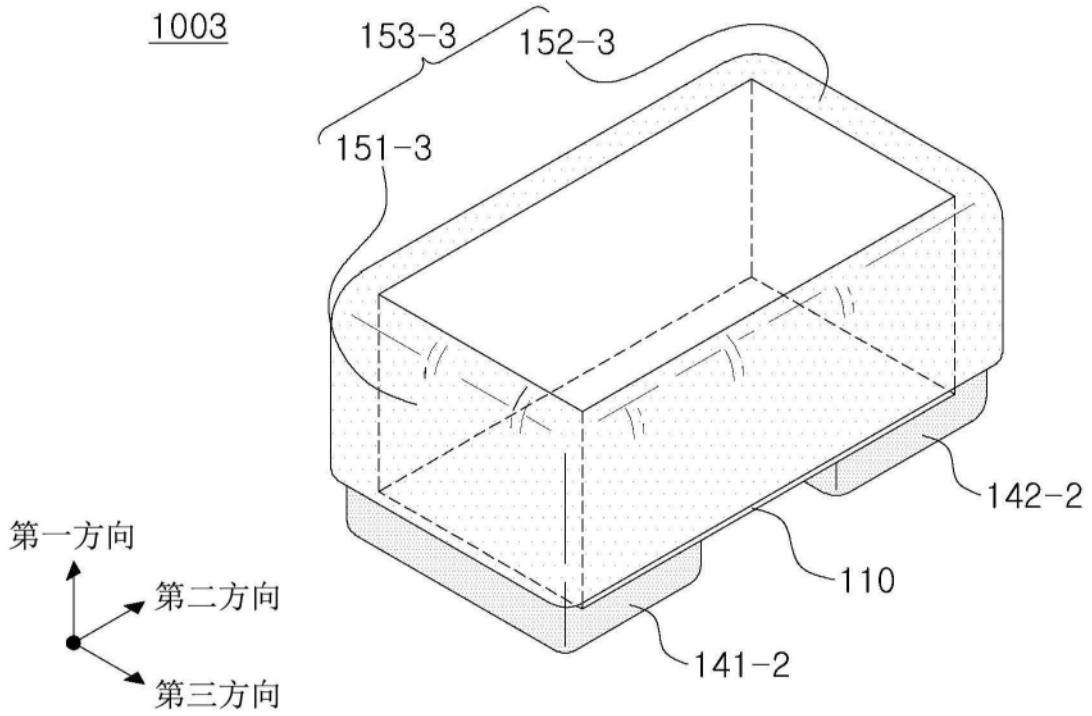


图11

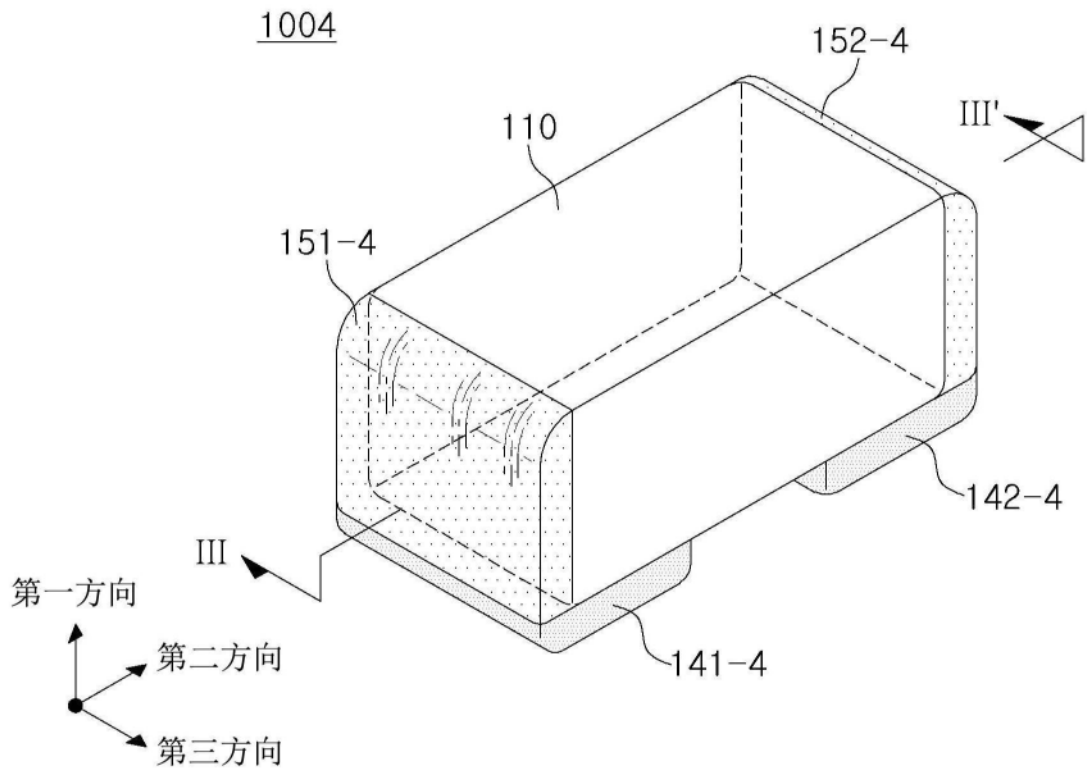


图12

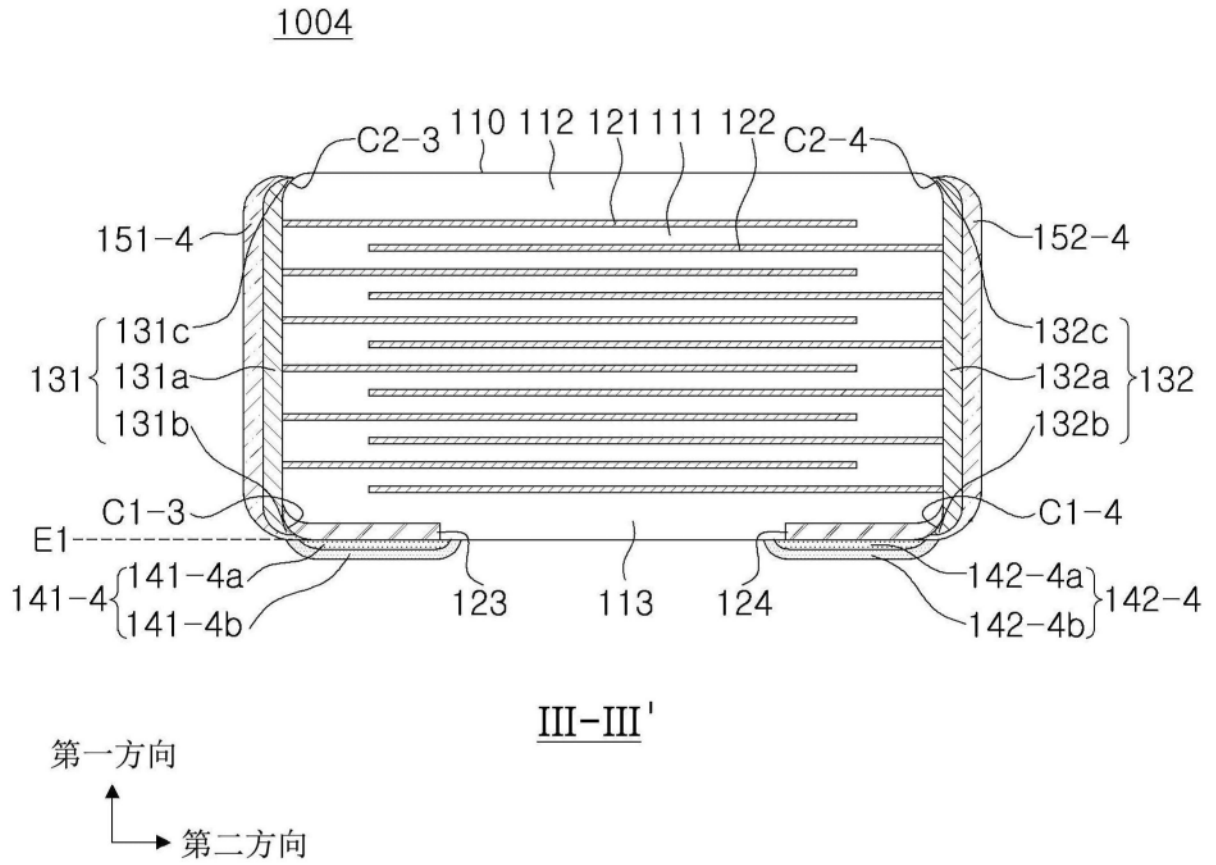


图13

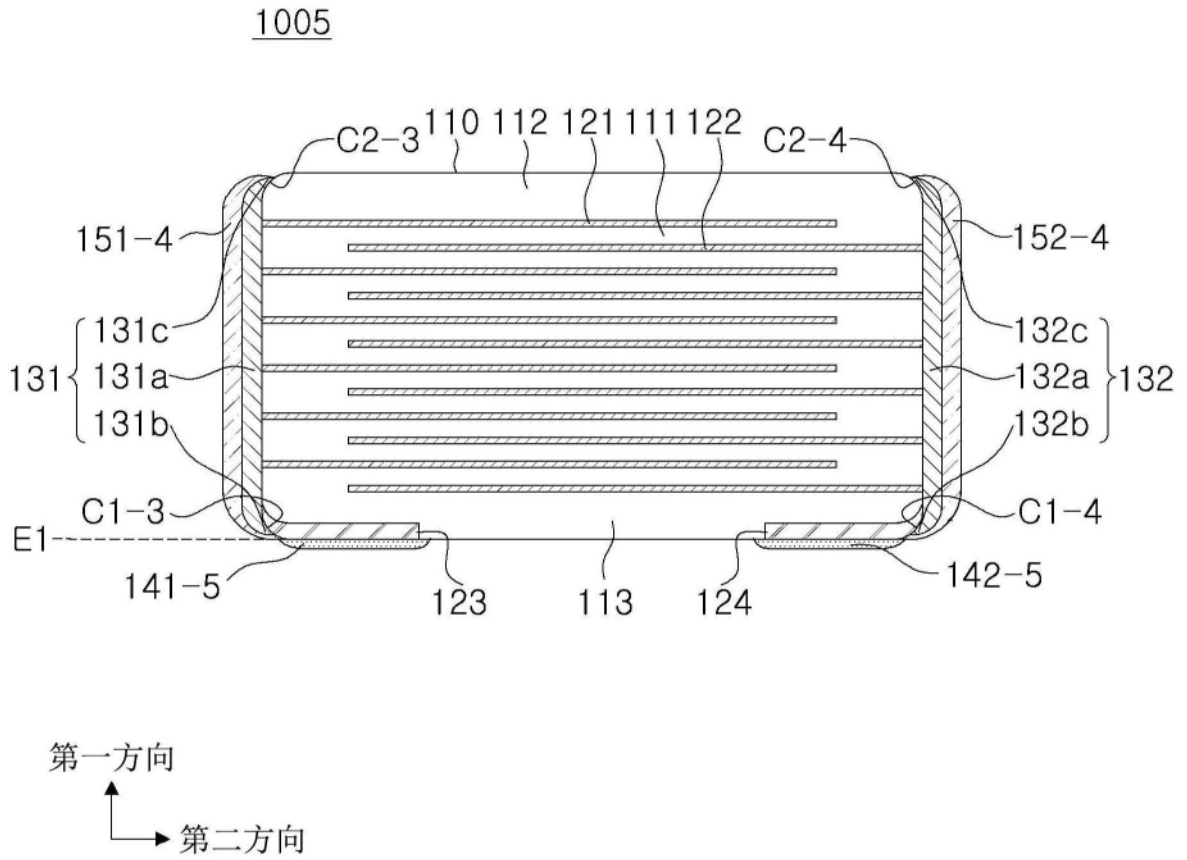


图14

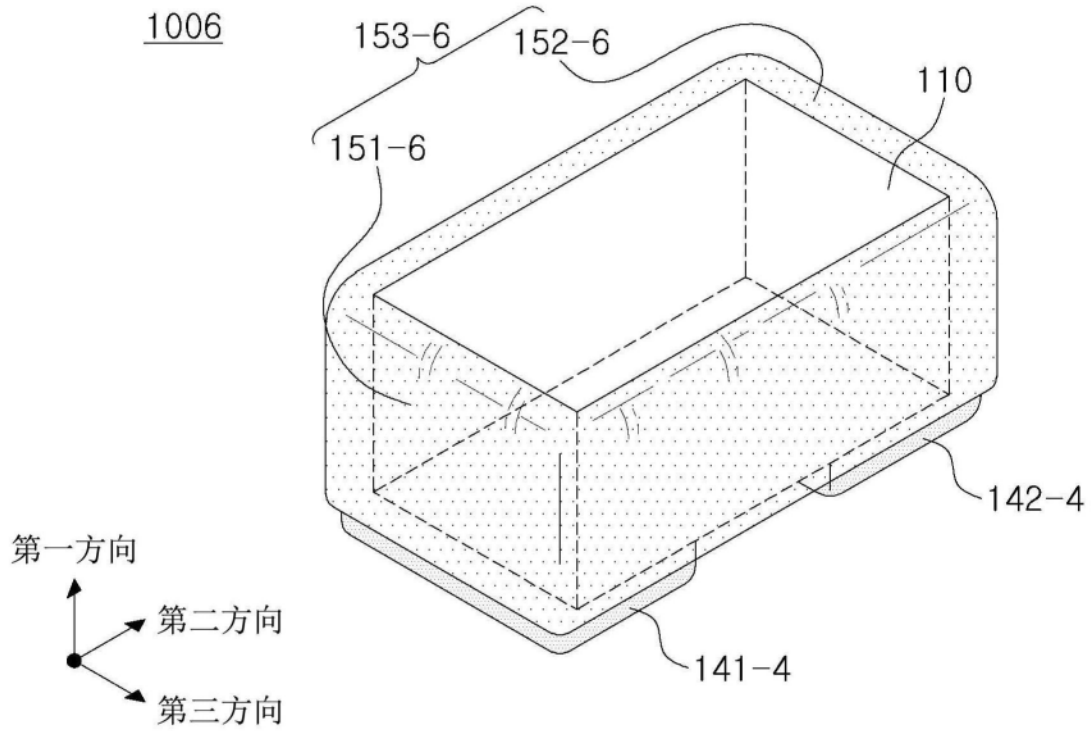


图15

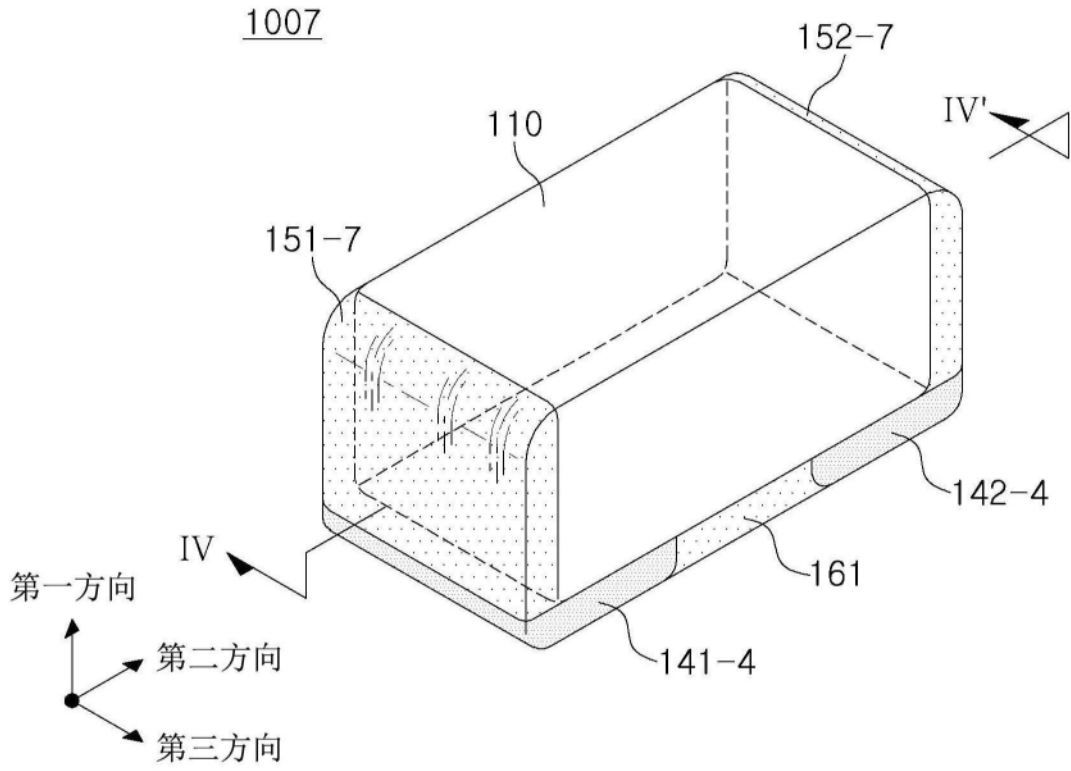


图16

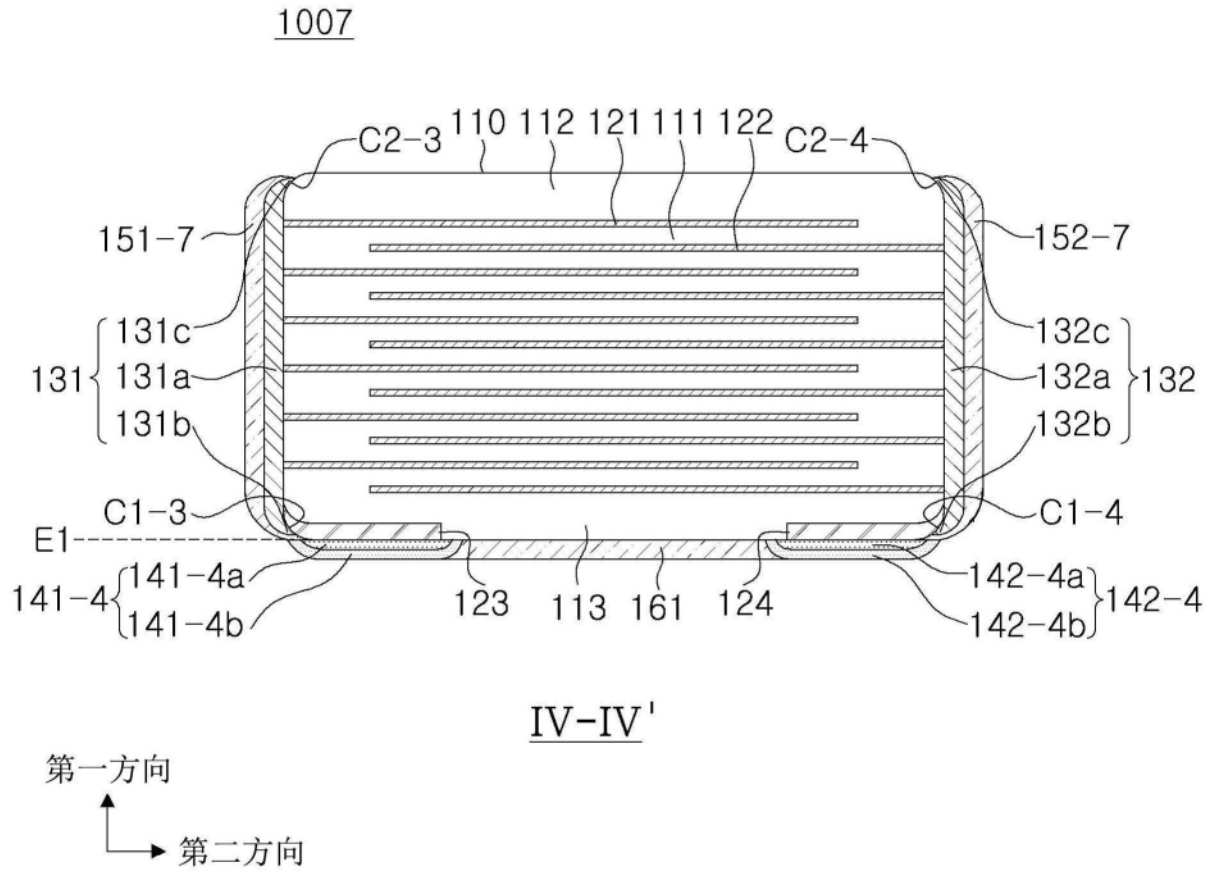


图17

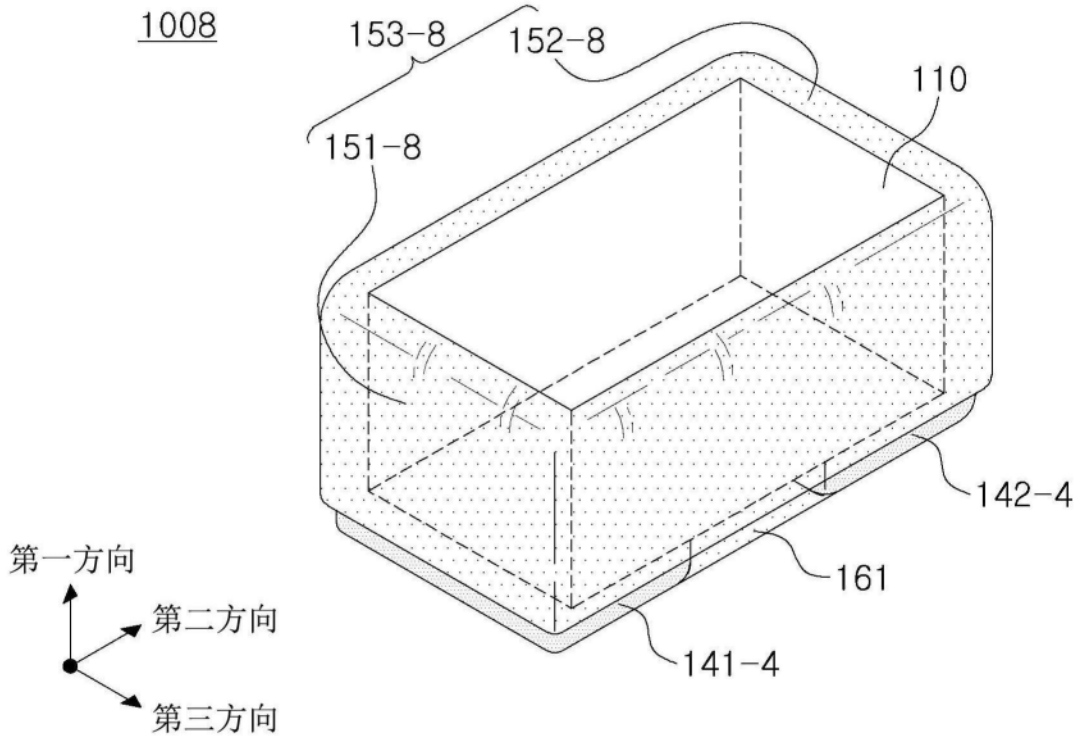


图18

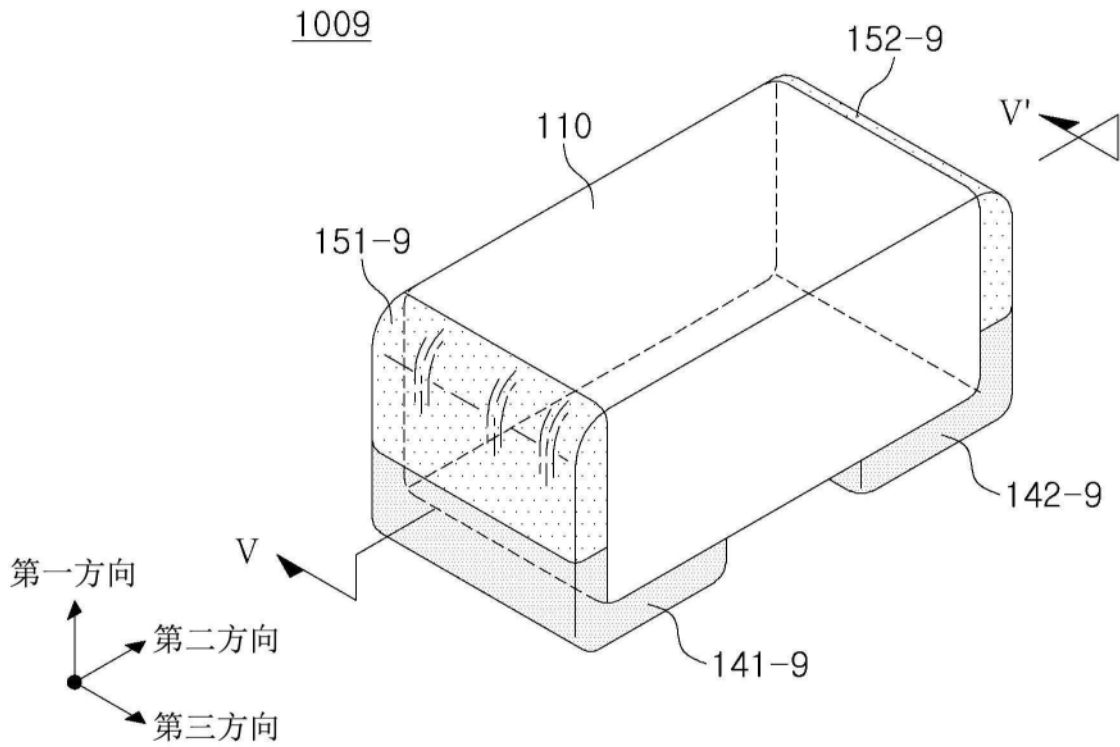


图19

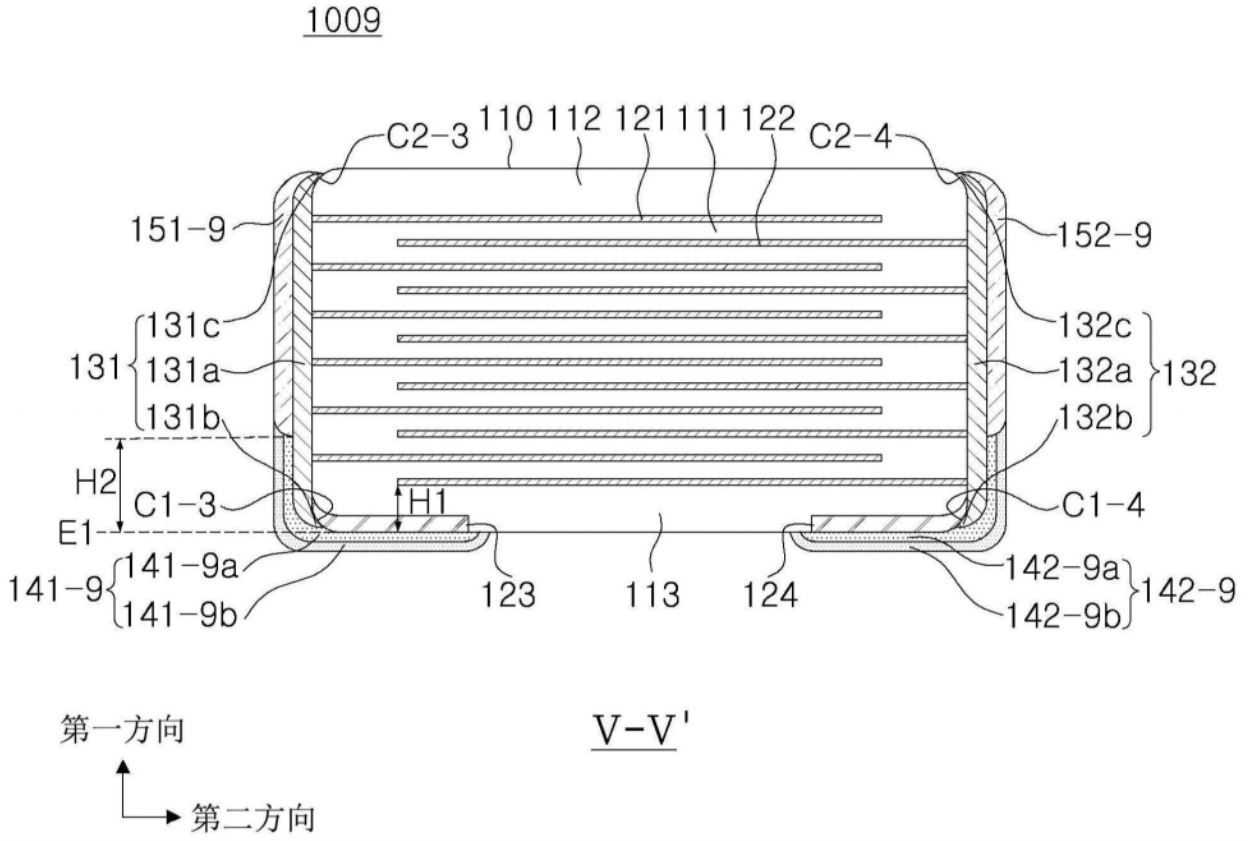


图20

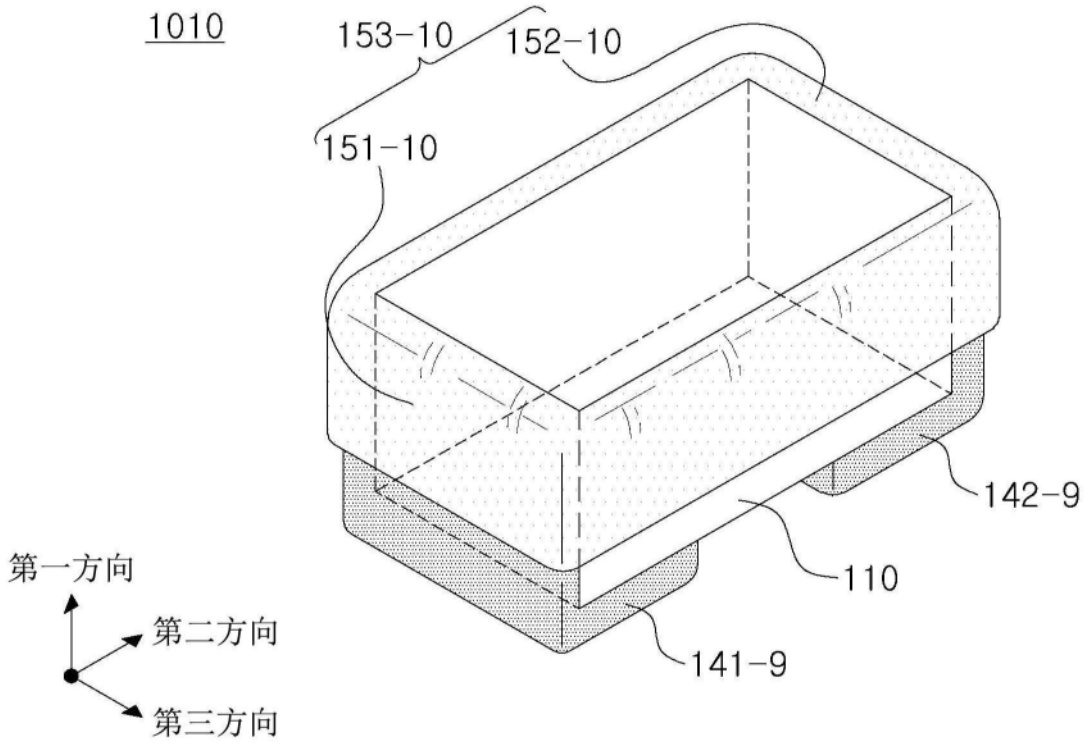


图21

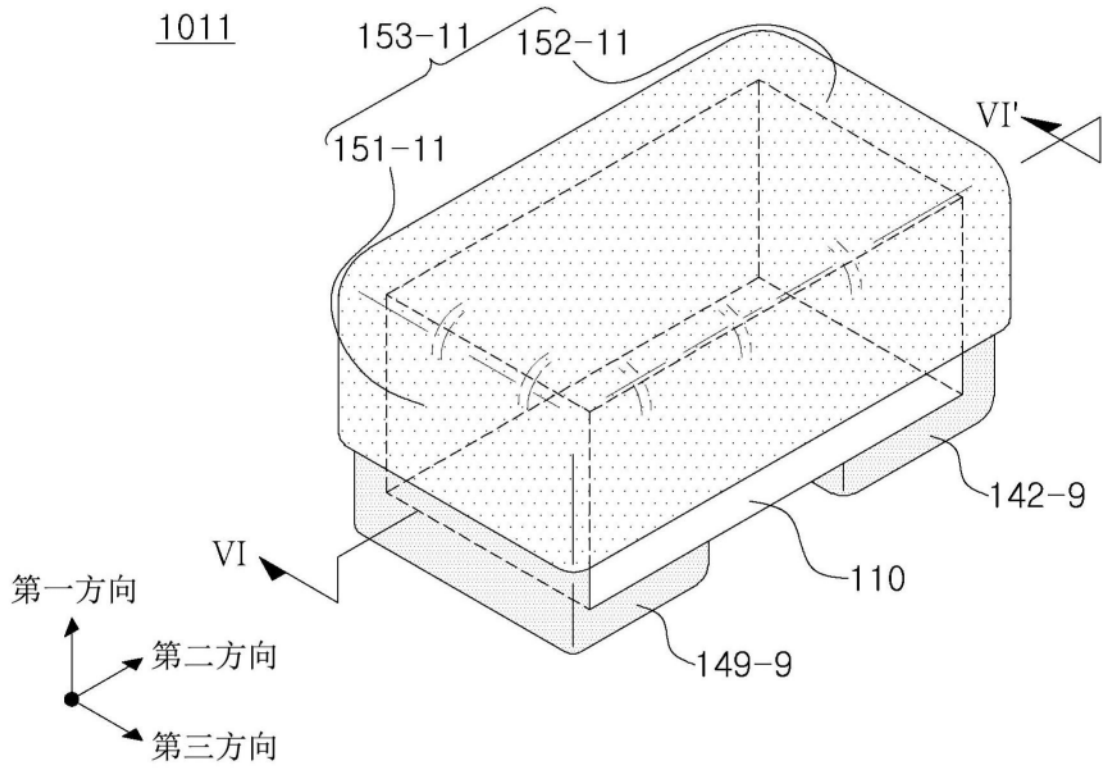


图22

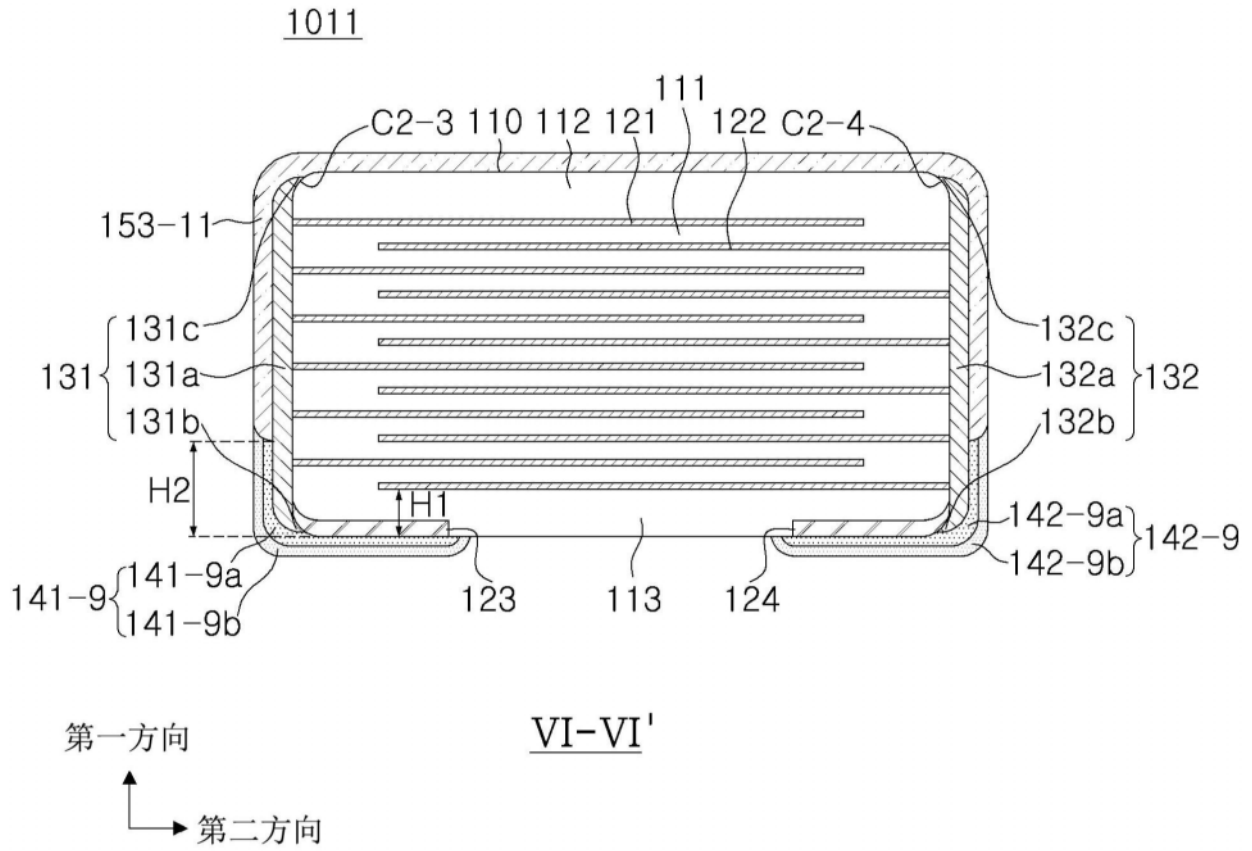


图23

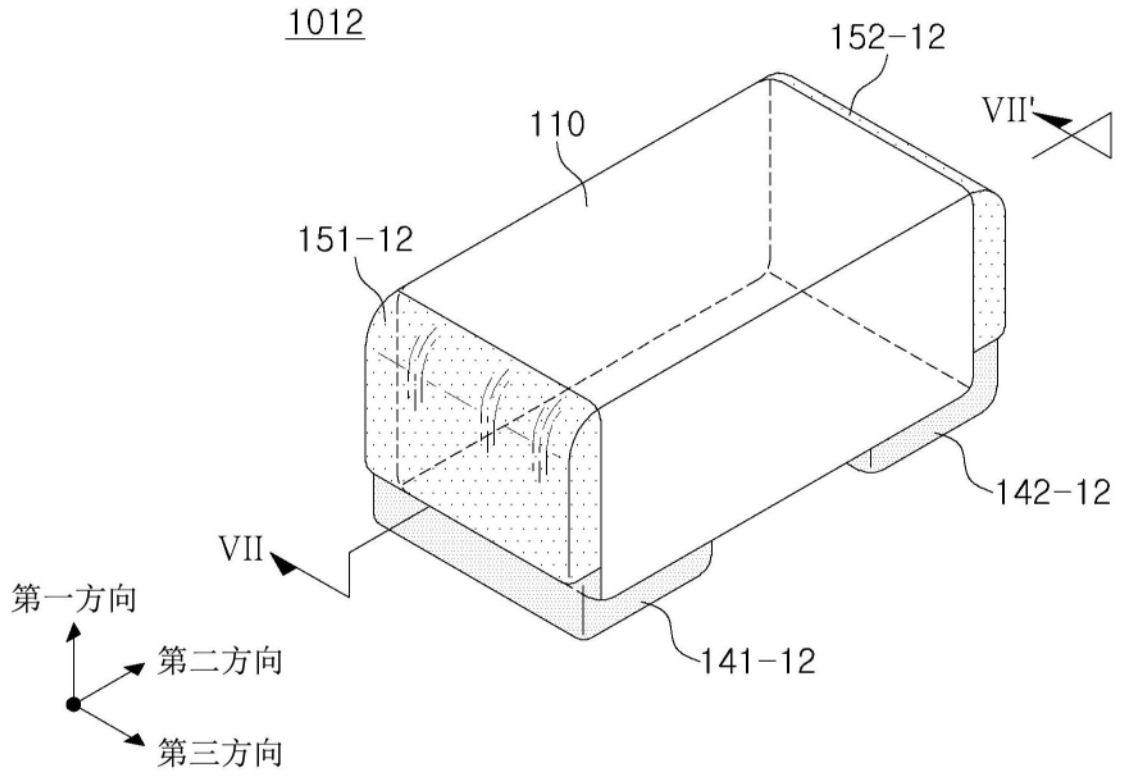
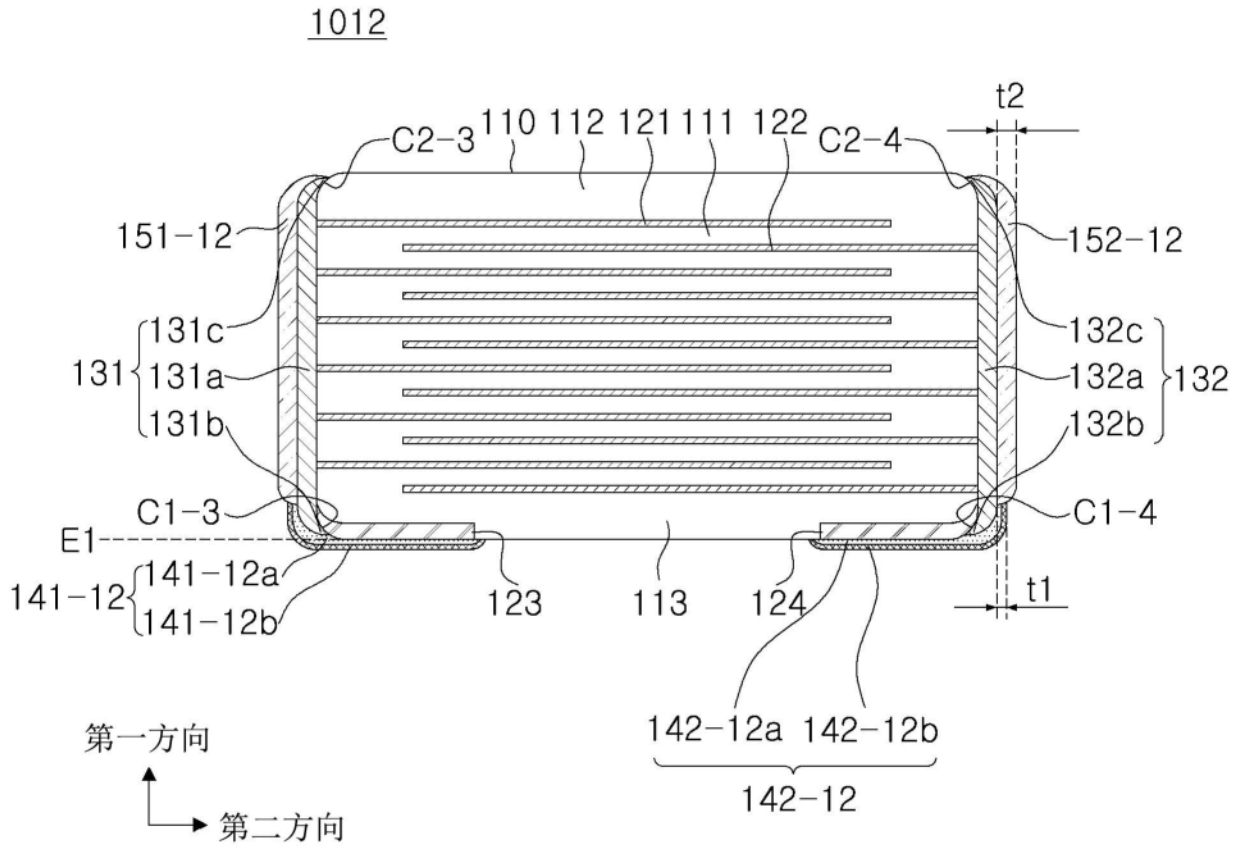


图24



VII-VII'

图25

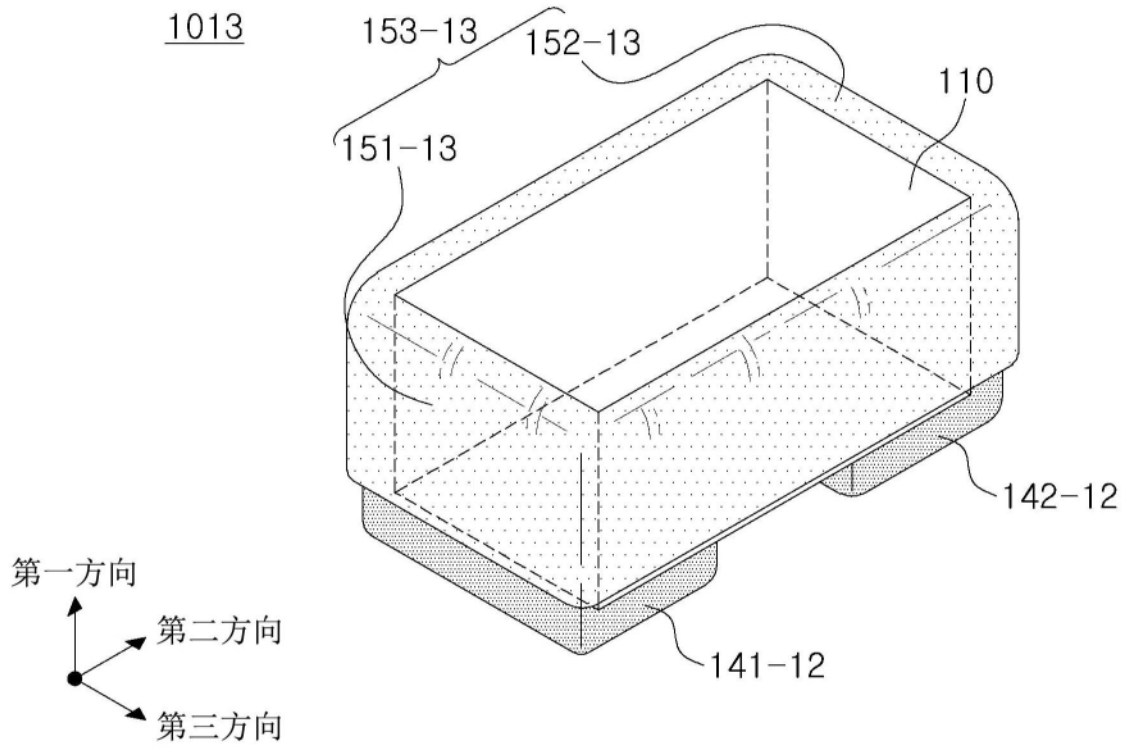


图26

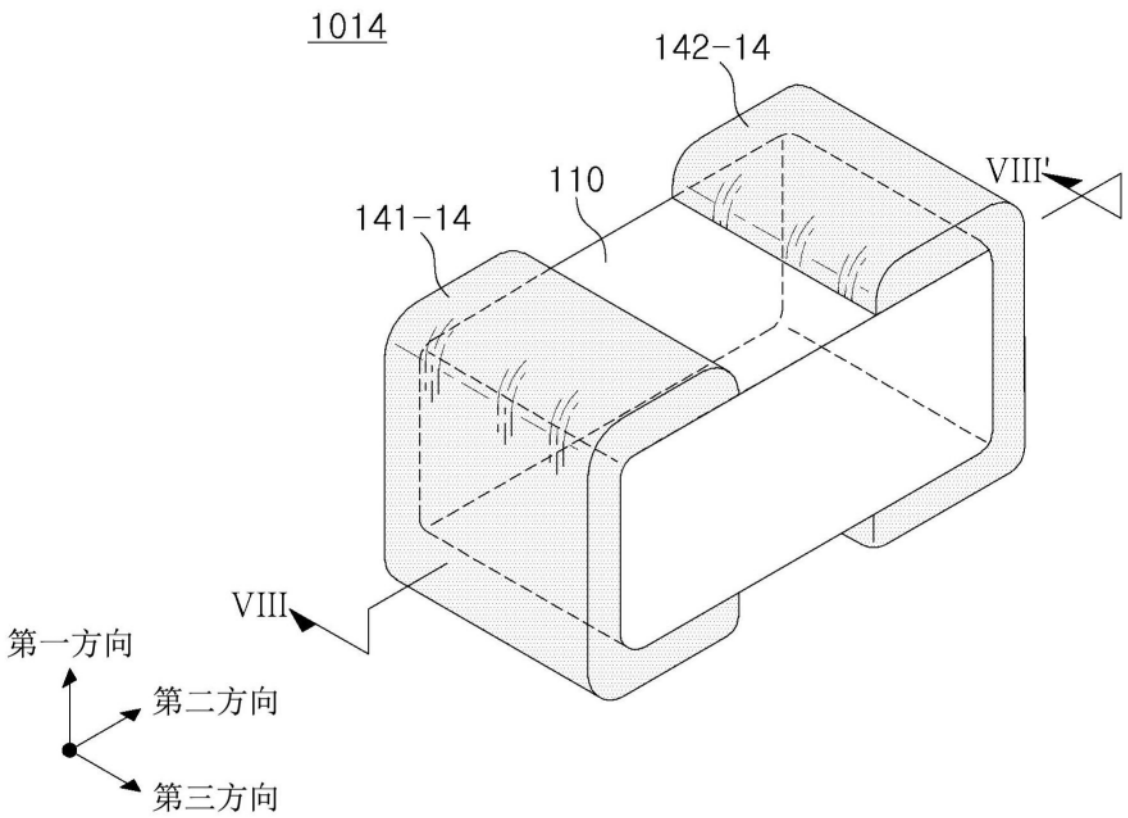
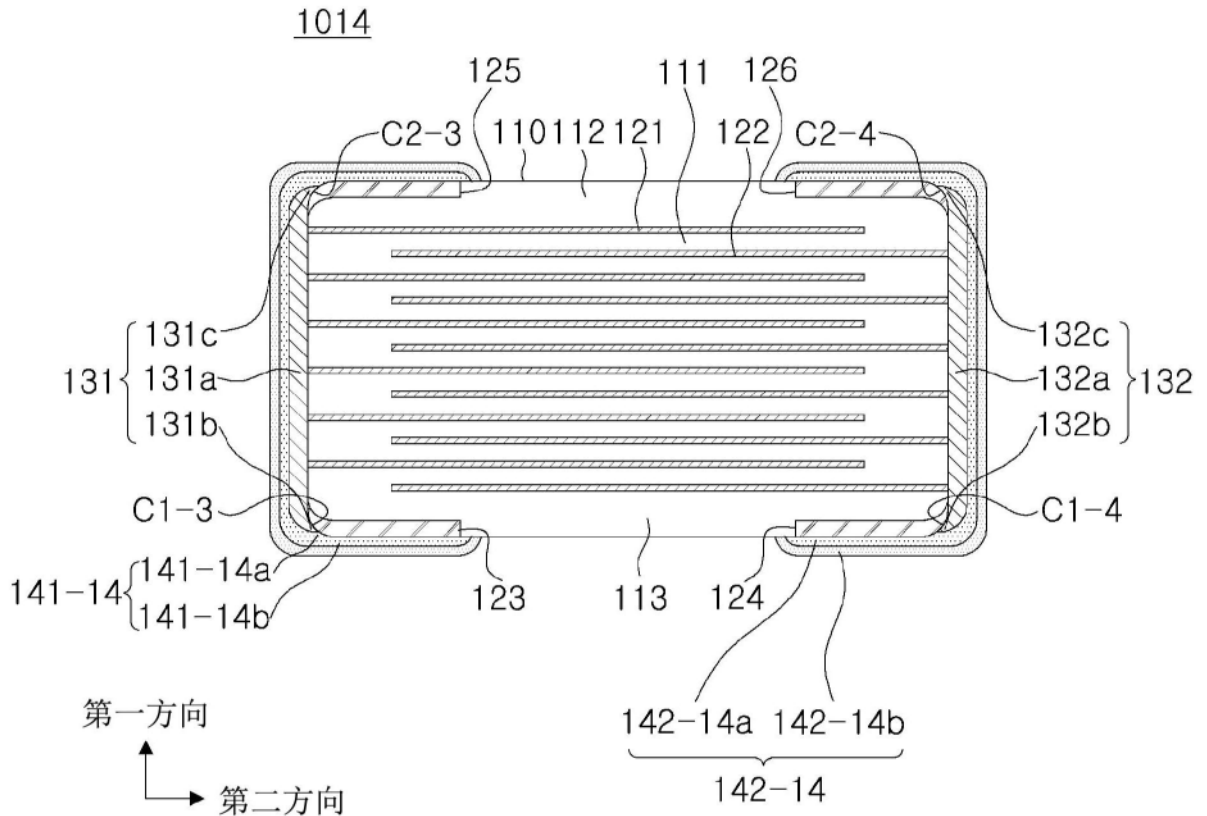


图27



VIII-VIII'

图28