

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4197234号
(P4197234)

(45) 発行日 平成20年12月17日 (2008. 12. 17)

(24) 登録日 平成20年10月10日 (2008. 10. 10)

(51) Int. Cl.

F I

H O 1 S 5/022 (2006. 01)

H O 1 S 5/022

H O 4 B 10/04 (2006. 01)

H O 4 B 9/00

Y

H O 4 B 10/06 (2006. 01)

H O 1 L 31/02

C

H O 4 B 10/14 (2006. 01)

H O 4 B 10/26 (2006. 01)

請求項の数 14 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2002-84164 (P2002-84164)
 (22) 出願日 平成14年3月25日 (2002. 3. 25)
 (65) 公開番号 特開2003-258363 (P2003-258363A)
 (43) 公開日 平成15年9月12日 (2003. 9. 12)
 審査請求日 平成16年12月7日 (2004. 12. 7)
 (31) 優先権主張番号 特願2001-399654 (P2001-399654)
 (32) 優先日 平成13年12月28日 (2001. 12. 28)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 渡辺 敏明
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内

審査官 土屋 知久

最終頁に続く

(54) 【発明の名称】 光通信器

(57) 【特許請求の範囲】

【請求項 1】

底板に複数の突起が形成され、該複数の突起を当接させることによって複数のピン接続孔が形成された外部基板上に着座される筐体と、

前記筐体の底板から間隔をおいて支持されるように筐体内に收容され、光信号を入力もしくは出力するための回路デバイスおよび該回路デバイスに接続される基板線路を有する基板と、

該基板の下面に突設されて複数並べられ、一方端が前記基板線路に接続され、他方端が外部基板に形成された前記ピン接続孔に挿通固定される複数のインターフェースピンと、を備えた光通信器において、

前記基板と同じ材料または基板と同程度の誘電率を有するとともに複数のピン貫通孔が形成され、前記基板の底面から前記外部基板までの間隔とほぼ等しい高さを有し、前記複数のピン貫通孔に前記複数のインターフェースピンが挿通される誘電体ブロックを備え、

前記筐体の底板に誘電体ブロックが挿通されるブロック貫通孔を設け、

前記複数のインターフェースピンが挿通された誘電体ブロックを、前記基板の底面から前記外部基板までの空間に介在させたことを特徴とする光通信器。

【請求項 2】

上記インターフェースピンは、信号ピンと、該信号ピンの周囲を囲む複数のグランドピンを含むことを特徴とする請求項 1 に記載の光通信器。

【請求項 3】

10

20

前記誘電体ブロックにおけるインターフェースピンが挿通されるピン貫通孔の周囲には、接地導体に接続された複数の第 1 のグランドスルーホールが形成されていることを特徴とする請求項 1 に記載の光通信器。

【請求項 4】

上記信号ピンは、10GHzと同等もしくはそれ以上の速度の信号が伝送されることを特徴とする請求項 2 に記載の光通信器。

【請求項 5】

前記基板には、前記複数のインターフェースピンの一方端が挿入される複数のピン孔が形成され、

前記基板のピン孔と前記外部基板のピン接続孔に挿通されるインターフェースピンの両端部は、前記誘電体ブロックで覆われたピンの部分の径よりも小さいことを特徴とする請求項 1 に記載の光通信器。

【請求項 6】

前記グランドスルーホールに接続される接地導体は、前記誘電体ブロックにおける前記基板との当接面および前記誘電体ブロックにおける前記外部基板との当接面のうちの少なくとも一方に形成されることを特徴とする請求項 3 に記載の光通信器。

【請求項 7】

前記インターフェースピンの誘電体ブロックに覆われた部分の特性インピーダンスは、略 50 Ωであることを特徴とする請求項 5 に記載の接続体。

【請求項 8】

前記基板は、前記誘電体ブロックにおけるインターフェースピンが挿通されるピン貫通孔の周囲に配置される複数の第 1 のグランドスルーホールと電氣的に接続される複数の第 2 のグランドスルーホールを有することを特徴とする請求項 3 に記載の光通信器。

【請求項 9】

前記基板には、前記複数のインターフェースピンの一方端が挿入される複数のピン孔が形成され、前記基板のピン孔に挿通されるインターフェースピンの端部は、前記誘電体ブロックで覆われたピンの部分の径よりも小さいものであり、

前記第 2 のグランドスルーホールは、前記第 1 のグランドスルーホールよりも前記インターフェースピンの中心軸側に近い側に配設されることを特徴とする請求項 8 に記載の光通信器。

【請求項 10】

前記回路デバイスは、光半導体素子と、前記光半導体素子を駆動する電気回路とを含むことを特徴とする請求項 1～9 のいずれか一つに記載の光通信器。

【請求項 11】

前記半導体素子がレーザダイオードまたは光変調器であり、前記電気回路がレーザダイオードまたは光変調器を駆動するドライバ IC であることを特徴とする請求項 10 に記載の光通信器。

【請求項 12】

前記半導体素子がフォトダイオードであり、前記電気回路が前記フォトダイオードからの信号を再生する受信回路 IC であることを特徴とする請求項 10 に記載の光通信器。

【請求項 13】

隣接するインターフェースピン間に位置する第 1 のグランドスルーホールが隣接するインターフェースピンで共用されるように第 1 のグランドスルーホールを配置したことを特徴とする請求項 3 に記載の光通信器。

【請求項 14】

複数の信号ピンおよび複数のグランドピンを交互に一列に配置し、前記誘電体ブロックにおける信号ピンが挿通されるピン貫通孔の周囲には、接地導体に接続された複数の第 1 のグランドスルーホールが形成され、

前記基板は、前記誘電体ブロックにおける複数の第 1 のグランドスルーホールと電氣的に接続される複数の第 2 のグランドスルーホールを有することを特徴とする請求項 2 に記

10

20

30

40

50

載の光通信器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、インターフェースピンを介して信号伝送を行う光通信器に関するものである。

【0002】

【従来の技術】

光送受信器は、送信するデータ信号を電気信号から光信号に変換し、送信用の光ファイバを介して光信号を送信するとともに、受信用の光ファイバを介して光信号を受信し、受信した光信号を電気信号として再生するものである。この種の光送受信器を外部機器である上位システム装置（光伝送装置とも呼ばれる）の基板に取り付ける場合、コネクタを使わずに、筐体の底面から下向きに突出した複数のインターフェースピンを用いて上位システム装置のシステム基板に接続することで、電気的なインターフェースが取られる。インターフェースピンは、電源電圧、制御信号、高速パルス信号、高速クロック信号などの電源、クロック、信号を授受するのに利用される。なお、上位システム装置は、デジタルデータ信号を生成し、生成したデジタルデータ信号を複数の光送受信器に分配して送ったり、複数の送受信器から伝送されてきたデータ信号に対して種々の処理を行う。

【0003】

近年、光ファイバを介して光信号を伝送する光通信システムにおいては、インターネットの普及に伴う通信トラフィックの増大に応えるため、光信号の伝送速度の高速化が目覚しく、光送／受信器においてもその伝送速度が2.5 Gb/sから10 Gb/sへと移行しつつあり、現在、40 Gb/sの伝送速度の実現に向けて研究開発が進められている。これに伴い、光送受信器の扱う信号の伝送速度についても、高速化が要求されている。

【0004】

図27に、従来の光送受信器の概略構成と、システム基板と光送受信器との間のインターフェース構造を示す。図27(a)は上蓋を外した状態の上面図、図27(b)はA-A線側断面図である。この図27は、2.5 Gb/sのデータレートで信号伝送を行う光送受信器117の一例を示すものである。

【0005】

図27において、筐体101は、厚さ0.5～1 mm程度の金属製の板材を、4方に折り曲げて成形されている。四角形状をした筐体101の底面101aの周囲4個所に筐体の側面を成す側壁101bが立設され、また底面101aの端部近傍には、インターフェース用の長孔101cが設けられている。さらに、筐体101の底面101aの裏面部には、突起101dが3箇所以上設けられている。複数の突起101dがシステム基板114に当接することによって、筐体101をシステム基板114に安定に着座させる。

【0006】

図27に示す光送受信器117では、基板109が筐体101内に収納され、筐体101の上面には上部の開口を覆う上蓋116が接合されている。基板109には、LDドライバ102と、レーザダイオード(LD)が設けられたLDモジュール103と、フォトダイオード(PD)が設けられたPDモジュール104と、PLL回路やデータ識別生成回路等を含む受信回路105と、電源回路や各種制御装置等を含む制御回路108とが搭載されている。LDモジュール103には送信用光ファイバ106が接続され、PDモジュール104には受信用光ファイバ107が接続されている。基板109は、筐体101の底面101aに立設された基板保持部材115によって支持されている。

【0007】

基板109には、基板線路110a(送信側)、110b(送信側)、110c(受信側)、110d(受信側)、111a、111bが形成されている。基板線路111aは低速用のインターフェースピン(図中のグレーの丸)112bと制御回路108とを接続するものであり、基板線路111bはLDドライバ102、LDモジュール103、PDモ

10

20

30

40

50

ジュール 104 および受信回路 105 のそれぞれと、制御回路 108 とを接続するものである。基板線路 110a (送信側)、110b (送信側)、110c (受信側)、110d (受信側) は、高周波信号を含むデータ信号やクロック信号を伝送することが可能なものである。また、基板 109 には、高周波信号を含むデータ信号やクロック信号を伝送することのできる 4 本 ~ 10 本程度の高速用のインターフェースピン (白丸) 112a (送信側)、112c (受信側) と、低周波の制御信号や、直流電圧が供給される低速用のインターフェースピン 112b と、接地用のグランドピン (黒丸) 113 が接続固定されている。これらのインターフェースピン 112a ~ 112c およびグランドピン 113 を介して、基板 109 が上位システム装置に設けられたシステム基板 114 に接続され、これにより光送受信器 117 と上位システム装置が信号の授受を行うことができる。

10

【0008】

ここで、インターフェースピン 112 及びグランドピン 113 は、基板 109 の長辺側の各端部に直線的に 1 列ずつ配置されており、筐体 101 に形成されたインターフェース用の長孔 101c から下方に突出している。これらの各ピン 112、113 がシステム基板 114 に設けられたピン穴に挿入され、半田付けされることによって、コネクタを使うことなしに、基板 109 およびシステム基板 114 を接続することができる。

【0009】

また、基板保持部材 115 は、筐体 101 の底面 101a の 4 隅に配置されている。各基板保持部材 115 は、一端が基板 109 に接合され、他端が筐体 101 の底面 101a に固定されている。したがって、基板 109 と筐体 101 の底面 101a との間に、数 mm の隙間が設けられている。この基板保持部材 115 は、基板 109 の裏面のパターン配線が金属製の筐体 101 の底面 101a に接触しないようにするなどのために、設けている。

20

【0010】

従来の光送受信器は次のように動作する。システム基板 114 から、インターフェースピン 112a を通じて、2.5 Gb/s のデータ信号 (パルス信号) 及び 2.5 GHz のクロック信号が入力され、これらの信号は、基板線路 110b を介して LD ドライバ 102 に伝送される。また、インターフェースピン 112b および基板線路 111a を通じて制御回路 108 に電源電圧や制御信号が供給される。

【0011】

LD ドライバ 102 は、2.5 Gb/s のデータ信号及び 2.5 GHz のクロック信号に基いて、LD モジュール 103 を駆動するための変調信号 I_m (パルス信号) を生成する。LD ドライバ 102 で生成された変調信号 I_m は、基板線路 110a を介して LD モジュール 103 に伝送される。また、制御回路 108 は、LD ドライバ 102、LD モジュール 103、PD モジュール 104、及び受信回路 105 に対し、基板線路 111b を介して直流電圧を供給したり、これら各機器のモニタを行う。これによって、LD モジュール 103 の LD が発光して、強度変調された光信号が出射される。出射された光信号は光ファイバ 106 の端面に入射されて、光ファイバ 106 内を光信号 P_o が伝播される。

30

【0012】

また、PD モジュール 104 は、光ファイバ 107 を介して光信号 P_i を受信し、内蔵された PD で光信号を電流信号に光電変換した後、内蔵されたプリアンプによって電流信号を電圧信号に変換し、変換した電圧信号を基板線路 110c を介して受信回路 105 に送信する。受信回路 105 は、PD モジュール 104 から送出された電圧信号に基いてクロックを抽出するとともに、データ信号を再生する。受信回路 105 で再生されたデータ信号及びクロック信号は、基板線路 110d からインターフェースピン 112c の一端に入力され、インピーダンス変換される。インターフェースピン 112c の一端に入力された信号は、インターフェースピン 112c を伝わって他端に接続されたシステム基板 114 に入力される。

40

【0013】

上記従来の光送受信器は、光信号の伝送速度の高速化に伴ない、次のような問題が発生す

50

る。

【 0 0 1 4 】

例えば、光送受信器とシステム基板 1 1 4 との間で、2 . 5 Gb/s よりもレートの高い 1 0 Gb/s のデータ信号や、2 . 5 GHz よりもレートの高い 1 0 GHz のクロック信号が送受信される場合には、基板線路 1 1 0 b とインターフェースピン 1 1 2 a の特性インピーダンス (一般に 5 0) あるいは基板線路 1 1 0 d とインターフェースピン 1 1 2 c の特性インピーダンス (一般に 5 0) を合わせておかないと、伝送特性が劣化し、高速信号を伝送することができないという問題がある。

【 0 0 1 5 】

従来の光送受信器においては、基板保持部材 1 1 5 の高さ、筐体 1 0 1 の底板 1 0 1 a の厚み、筐体 1 0 1 に設けられた突起 1 0 1 d の高さによって、基板 1 0 9 とシステム基板 1 1 4 との間に、2 ~ 5 mm 程度の空隙 (ギャップ部) 1 1 8 が生じている。

10

【 0 0 1 6 】

この空隙 1 1 8 の存在によって、基板 1 0 9 とシステム基板 1 1 4 との間に空気層が介在し、インターフェースピンの特性インピーダンスを基板線路 1 1 0 b , 1 1 0 d の特性インピーダンス (一般に 5 0) に合わせることが、現実的には困難となっている。

【 0 0 1 7 】

したがって、従来の光送受信器では、1 0 Gb/s 程度以上の高速なデータ信号や、1 0 GHz 程度以上の高速なクロック信号を伝送する場合、伝送特性が劣化するという問題があった。この伝送特性の劣化は、ビットレートが 2 . 5 Gb/s 程度のデータ信号までは、光送受信器を実用化する上で許容できる速度であるが、1 0 Gb/s 程度になると、伝送特性の劣化が顕著になり、無視し得なくなる。

20

【 0 0 1 8 】

なお、インターフェースピンではなく、特性インピーダンスが管理されたインターフェースコネクタ (同軸コネクタなど) や、導波管等を用いた接続線路を使用すれば、電気的には好ましいインピーダンス特性が得られるが、データ信号とクロック信号の伝送に必要とされる接続線路の数は、4 ~ 1 0 本程度必要であり、このような接続線路の使用は、インターフェース装置の大型化や、コストアップなどを招き、安価で大量設置が要求される光送受信器にとっては、現実的なものではない。

【 0 0 1 9 】

30

【 発明が解決しようとする課題 】

このように従来の光送受信器では、1 0 Gb/s 程度のデータ信号や、1 0 GHz 程度のクロック信号をインターフェースピンで伝送させる場合、基板線路とインターフェースピンとの特性インピーダンスを合わせることが困難であるという問題点があった。

【 0 0 2 0 】

この発明は上記に鑑みてなされたもので、簡単且つ安価な構成によって基板線路とインターフェースピンとの特性インピーダンスを合わせることができ、データ信号、クロック信号の高速伝送を可能とする光通信器を得ることを目的とする。

【 0 0 2 1 】

【 課題を解決するための手段 】

40

上記目的を達成するため、この発明では、底板に複数の突起が形成され、該複数の突起を当接させることによって複数のピン接続孔が形成された外部基板上に着座される筐体と、前記筐体の底板から間隔をおいて支持されるように筐体内に収容され、光信号を入力もしくは出力するための回路デバイスおよび該回路デバイスに接続される基板線路を有する基板と、該基板の下面に突設されて複数並べられ、一方端が前記基板線路に接続され、他方端が外部基板に形成された前記ピン接続孔に挿通固定される複数のインターフェースピンと、を備えた光通信器において、前記基板と同じ材料または基板と同程度の誘電率を有するとともに複数のピン貫通孔が形成され、前記基板の底面から前記外部基板までの間隔とほぼ等しい高さを有し、前記複数のピン貫通孔に前記複数のインターフェースピンが挿通される誘電体ブロックを備え、前記筐体の底板に誘電体ブロックが挿通されるブロック

50

貫通孔を設け、前記複数のインターフェースピンが挿通された誘電体ブロックを、前記基板の底面から前記外部基板までの空間に介在させたことを特徴とする。

【 0 0 4 2 】

【 発明の実施の形態 】

以下に添付図面を参照して、この発明にかかる光通信器の好適な実施の形態を詳細に説明する。

【 0 0 4 3 】

実施の形態 1 .

この発明の実施の形態 1 においては、光送受信器に設けられた基板 2 0 と、上位システム装置のシステム基板 2 1 との間の空隙 2 3 に誘電体ブロック 2 2 を配置し、インターフェースピン 1 2 a , 1 2 c の特性インピーダンスを、基板線路 1 0 a , 1 0 b の特性インピーダンスに整合させるインターフェース構造を用いることによって、インターフェースピン 1 2 a , 1 2 c を介在させて、1 0 Gb/s のデータ伝送および 1 0 GHz のクロック伝送を具現化するものである。

【 0 0 4 4 】

図 1 はこの発明の実施の形態 1 における光送受信器とシステム基板との接続構造を示す構成図であり、図 1 (a) は上蓋を外した状態の上面図、図 1 (b) は B - B 線の側断面図である。また、図 2 はシステム基板 2 1 と接続される前の実施の形態 1 の光送受信器を示す図であり、図 2 (a) は下面図、図 2 (b) は側面図である。また、図 3 は誘電体ブロックの斜視図である。

【 0 0 4 5 】

図 1 および図 2 において、光送受信器 1 7 の筐体 1 は、厚さ 0 . 5 ~ 1 m m 程度の金属製の板材を、4 方に折り曲げて成形されている。四角形状をした筐体 1 の底面 1 a の周囲 4 箇所には、筐体の側面を成す側壁 1 b が立設されており、さらに、筐体 1 の底面 1 a の裏面部には、突起 1 d が 3 箇所以上（この場合は 4 個）設けられている。複数の突起 1 d がシステム基板 2 1 に当接することによって、筐体 1 をシステム基板 2 1 に安定に着地させる。この突起 1 d は、ゴムなどの弾性体やバネ性を有する金属部品であっても良い。筐体 1 の底面 1 a には、後述する誘電体ブロック 2 2 を下方に突出させるための四角形状の孔 1 e が形成されている。

【 0 0 4 6 】

この光送受信器 1 7 においては、基板 2 0 が筐体 1 内に収納され、筐体 1 の上面には上部の開口を覆う上蓋 1 6 が接合されている。基板 2 0 には、LD ドライバ 2 と、レーザダイオード (LD) が設けられた LD モジュール 3 と、フォトダイオード (PD) が設けられた PD モジュール 4 と、PLL 回路やデータ識別生成回路等を含む受信回路 5 と、電源回路や各種制御装置等を含む制御回路 8 とが搭載されている。LD モジュール 3 には送信用光ファイバ 6 が接続され、PD モジュール 4 には受信用光ファイバ 7 が接続されている。基板 2 0 は、筐体 1 の底面 1 a に立設された基板保持部材 1 5 によって支持されている。基板保持部材 1 5 は、筐体 1 の底面 1 a の 4 隅に配置されている。各基板保持部材 1 5 は、一端が基板 2 0 に接合され、他端が筐体 1 の底面 1 a に固定されている。

【 0 0 4 7 】

基板 2 0 には、基板線路 1 0 a (送信側)、1 0 b (送信側)、1 0 c (受信側)、1 0 d (受信側)、1 1 a、1 1 b が形成されている。基板線路 1 1 a は低速用のインターフェースピン (グレーの丸) 1 2 b と制御回路 8 とを接続するものであり、基板線路 1 1 b は LD ドライバ 2、LD モジュール 3、PD モジュール 4 および受信回路 5 のそれぞれと、制御回路 8 とを接続するものである。基板線路 1 0 a (送信側)、1 0 b (送信側)、1 0 c (受信側)、1 0 d (受信側) は、高周波信号を含むデータ信号やクロック信号を伝送することが可能なものであり、例えば差動伝送線路で構成される。

【 0 0 4 8 】

また、基板 2 0 には、高周波信号を含むデータ信号やクロック信号を伝送することのできる 4 本 ~ 1 0 本程度の高速用のインターフェースピン (白丸) 1 2 a (送信側)、1 2 c

10

20

30

40

50

(受信側)と、低周波の制御信号や、直流電圧が供給される低速用のインターフェースピン12bと、接地用のグランドピン(黒丸)13が接続固定されている。これらのインターフェースピン12a~12cおよびグランドピン13を介して、基板20が上位システム装置に設けられたシステム基板21に接続され、これにより光送受信器17と上位システム装置が信号の授受を行うことが可能となる。

【0049】

インターフェースピン12aは基板線路10bを介してLDドライバ2に接続され、インターフェースピン12cは基板線路10dを介して受信回路5に接続されている。インターフェースピン12bは基板線路11aを介して制御回路8と接続される。これらインターフェースピン12a、12b、12cは、同一形状を成し、その本数は合わせて数十本程度になる。

10

【0050】

ここで、インターフェースピン12及びグランドピン13は、基板20の長辺側の各端部に直線的に1列ずつ配置されており、基板20から下方に垂直に突出している。これら2列のインターフェースピン12及びグランドピン13を挿入して、これらのピン12、13周囲を覆うために、基板20の裏面には、直方体形状で上下面が平坦な一对の誘電体ブロック22が固定されている。誘電体ブロック22には、図3に示すように、インターフェースピン12およびグランドピン13の挿入用の複数の孔24が設けられており、これらの孔24に、インターフェースピン12およびグランドピン13が挿入される。インターフェースピン12およびグランドピン13が孔24に挿入された状態で、誘電体ブロック22の上面が基板20の裏面に接合される。また、各インターフェースピン12およびグランドピン13は、誘電体ブロック22が基板20の下面に当接した状態で、誘電体ブロック22の下面から垂直に僅かに突出するようにしている。その突出した長さLは、システム基板21の板厚tよりも長い(図2(b)参照)。

20

【0051】

インターフェースピン12がシステム基板21に設けられたインターフェースピン12の挿入用の孔25に挿入されると、誘電体ブロック22の下面はシステム基板21の上面に当接する。すなわち、誘電体ブロック22の高さ寸法は、基板20の下面とシステム基板21の上面との間のギャップ部23に対応している。また、システム基板21の孔25の内周には導体がメタライズされており、この導体がシステム基板21に形成された基板線路に接続されている。インターフェースピン12がシステム基板21に挿入された状態で、インターフェースピン12は半田26によってシステム基板21の孔25に半田接合される。半田26はシステム基板21の下側に盛られて、インターフェースピン12の先端部周辺を接合し、これによって光送受信器17をシステム基板21に固定することができる。

30

【0052】

上記実施の形態1の光送受信器17は、インターフェースピン12を介して10Gb/sデータ信号、及び10GHzクロック信号が次のように伝送される。

【0053】

[送信器動作]

まず、送信器動作を行う場合、システム基板21から送信された10Gb/sデータ信号及び10GHzクロック信号は、インターフェースピン12aに入力される。これらの信号は、インターフェースピン12aから基板線路10bに伝送される。

40

【0054】

光送受信器17の基板20とシステム基板21の間には、基板20と同じ材料、あるいは基板20と同程度の誘電率を有する誘電体ブロック22(例えば、誘電率=4.3の樹脂材料(例えばBTレジン))が配置されている。これによって、インターフェースピン12aの特性インピーダンスが、基板線路10bの特性インピーダンスと概ね合致し、10Gb/sデータ信号及び10GHzクロック信号は、伝送特性の劣化が抑えられて基板線路10bに伝送される。この伝送された信号はLDドライバ2に入力される。

50

【 0 0 5 5 】

L Dドライバ2は、入力された10Gb/sデータ信号及び10GHzクロック信号に基いて、L Dモジュール3を駆動するための、所定の振幅に調整された10Gb/sの変調信号Im(パルス信号)を生成する。L Dドライバ2で生成された変調信号Imは、基板線路10aを介してL Dモジュール3に伝送される。また、制御回路8は、L Dドライバ2、L Dモジュール3、P Dモジュール4、及び受信回路5に対し、基板線路11bを介して直流電圧を供給したり、これら各機器のモニタを行う。L Dモジュール3は、変調信号Imと制御回路8から供給される直流電圧Ib(バイアス信号)を重畳し、この重畳された信号に基いて、内部に設けられたL Dを駆動する。これによって、L Dモジュール3のL Dが発光して、強度変調された光信号が出射される。この出射された光信号は光ファイバ6の端面に入射されて、光ファイバ6内を光信号Poが伝播される。

10

【 0 0 5 6 】

[受信器動作]

次に、光送受信器17が、システム基板21に対して10Gb/sデータ信号及び10GHzクロック信号を出力する場合について説明する。

【 0 0 5 7 】

この場合、光ファイバ7からP Dモジュール4に入力された光信号Piは、P Dモジュール4に内蔵されたP Dによって電流信号に変換され、また内蔵されたプリアンプで電圧信号に変換されて出力される。この出力された電圧信号は、基板線路10cを介して受信回路5に入力される。受信回路5は、P Dモジュール4から送出された電圧信号の振幅を調整し、内部に設けられたPLL回路の動作によって、P Dモジュール4から送出された電圧信号からクロックを抽出し、また、内部に設けられた識別再生回路によってデータ信号を識別し、10Gb/sデータ信号及び10GHzクロック信号を再生する。この再生されたデータ信号及びクロック信号が基板線路10dに出力される。基板線路10dは、この信号をインターフェースピン12cに出力する。

20

【 0 0 5 8 】

基板20とシステム基板21との間のギャップ部23には、基板20と同じ材料、あるいはシステム基板21と同程度の誘電率を有する誘電体ブロック22が充填されている。これによって、基板線路10dとインターフェースピン12cとの特性インピーダンスが概ね合致し、10Gb/sデータ信号、及び10GHzクロック信号は伝送特性の劣化が抑えられた状態で、データ信号及びクロック信号がシステム基板21まで伝送される。

30

【 0 0 5 9 】

ここで、実施の形態1によるインターフェース構造と従来のインターフェース構造との違いを説明するために、図27に示した従来のインターフェース構造によるインピーダンス特性の劣化について説明する。

【 0 0 6 0 】

図27の従来のインターフェース構造では、インターフェースピン112の周囲には空隙が設けられ、インターフェースピン112の周囲は空気(誘電率; $\epsilon = 1$)で覆われている。このため、例えばインターフェースピン112a(または112c)とグランドピン113のピッチDが2.54mm、各ピンの直径dが1.27mmである場合、下式(1)によれば、特性インピーダンスZが104程度となる。したがって、この場合のインターフェースピン112a(または112c)の特性インピーダンスZは、基板線路110b, 110dの特性インピーダンス(50)に一致しなくなる。

40

【 0 0 6 1 】

このため、10Gb/sのデータ信号や、10GHzのクロック信号の伝送特性が劣化し、伝送できなくなる。

【 数 1 】

$$Z = \frac{207}{\sqrt{\epsilon}} \cdot \log\left(1.59 \cdot \frac{D}{d}\right) \cdot \dots \cdot \text{式 (1)}$$

但し、 ϵ は誘電体ブロックの誘電率である。

【0062】

これに対し、図1に示したこの実施の形態1によるインターフェース構造では、光送受信器17の基板20とシステム基板21間のギャップ部23に、光送受信器17の基板20と同じ材料、あるいは基板20と同程度の誘電率を有する誘電体ブロック22（例えば $\epsilon = 4.3$ の樹脂材料（例えばBTレジン））を充填するため、式（1）によると、特性インピーダンスが $Z = 50$ となり、伝送特性の劣化を抑えることができる。

10

【0063】

図4は、図1に示す実施の形態1の変形態様を示す平面図である。この変形態様においては、高速用のインターフェースピン12aとLDドライバ2とを接続する基板線路30a、30bと、高速用のインターフェースピン12cと受信回路5とを接続する基板線路30c、30dを夫々正相、逆相の信号が伝送される差動線路としている。

【0064】

このため、基板20上を伝送される信号がノイズに対して強くなり、インターフェースピン12aとLDドライバ2との間の信号伝送、あるいはインターフェースピン12cと受信回路5との間の信号伝送によって、LDドライバ2での信号処理でノイズの影響を受けたりあるいはシステム基板21での信号処理でのノイズの影響を受けることをさらに抑えることができる。なお、上述した各基板線路は、説明の都合上、基板表面に配置されているかの如く図示されているが、この配置や配線パターン形式に限定されるものではなく、例えば、多層基板の内層に設けるようにしてもよい。

20

【0065】

実施の形態2.

つぎに、図5および図6を用いてこの発明の実施の形態2について説明する。図5は実施の形態2における光送受信器とシステム基板との接続構造を示す構成図であり、図5(a)は蓋を外した状態の上面図、図5(b)はC-C断面図である。図5において、図1に示す実施の形態1と同じ機能を達成する構成要素についての説明は省略する。

30

【0066】

実施の形態2による光送受信器のインターフェース構造においては、基板20と上位システム基板21との間のギャップ部23に所定の誘電体ブロック32を配置するとともに、10Gb/sデータ信号及び10GHzクロック信号が通過するインターフェースピンの周囲に複数のグランドピン31を設け、これによりインターフェースピンと基板線路との特性インピーダンスを整合させ、10Gb/sデータ信号及び10GHzクロック信号の伝送の際の伝送特性の劣化を抑制するようにしている。

【0067】

かかる実施の形態2の構成において、10Gb/sデータ信号及び10GHzクロック信号は次のように伝送される。

40

【0068】

まず、光送受信器17がシステム基板21に対して10Gb/sデータ信号及び10GHzクロック信号を伝送する場合は、受信回路5が10Gb/sデータ信号、及び10GHzクロック信号を出力する。この出力信号が基板線路10dに伝送されて、さらにインターフェースピン12cに伝送される。

【0069】

また、光送受信器17がシステム基板21から10Gb/sデータ信号、及び10GHzクロック信号を受信する場合は、システム基板21からの10Gb/sデータ信号、10GHzクロック信号は、インターフェースピン12aを介して基板20に入力される。さらに、インターフェースピン12aから基板線路10bに伝送路が変換された後、信号は基板20内を

50

伝送される。

【 0 0 7 0 】

ここで、この実施の形態 2 においては、光送受信器の基板 2 0 とシステム基板 2 1 との間のギャップ部 2 3 に、基板 2 0 と同じ材料か、あるいは基板 2 0 と同程度かさらにはそれよりも少し小さい誘電率を有する誘電体ブロック 3 2 を配置して、基板線路 1 0 とインターフェースピン 1 2 a の特性インピーダンスを整合させている。これによって、1 0 Gb/s データ信号及び 1 0 GHz クロック信号は、伝送特性の劣化が抑えられて、インターフェースピン 1 2 a から基板線路 1 0 b へ伝送される。伝送された信号は L D ドライバ 2 に入力される。

【 0 0 7 1 】

ここで、各インターフェースピン 1 2 a (または 1 2 c) が直線的に配置されている場合、一般に特性インピーダンスが基板線路より高くなりやすく、インターフェースピン 1 2 a (または 1 2 c) のピン径 d がピン間のピッチ D に比べて小さいと、ギャップ部 2 3 を誘電体ブロック 3 2 で充填しても、特性インピーダンスを基板線路の値に合わせることが困難になる場合がある。

【 0 0 7 2 】

したがって、この実施の形態 2 においては、インターフェースピン 1 2 a、1 2 c の隣りのグランドピン 1 3 の他に、インターフェースピン 1 2 a、1 2 c の周囲に複数のグランドピン 3 1 を追加し、基板線路 1 0 b との特性インピーダンスを合わせるようにしている。

【 0 0 7 3 】

これによって、1 0 Gb/s データ信号、及び 1 0 GHz クロック信号は、伝送特性の劣化が抑えられて基板 2 0 まで伝送される。これは、インターフェースピン 1 2 a、1 2 c のピン径 d がピン間のピッチ D に比べて小さいときに、特に有効である。

【 0 0 7 4 】

ピンのピッチ $D = 2.54 \text{ mm}$ 、ピンの直径 $d = 1.27 \text{ mm}$ 、特性インピーダンスを $Z = 50$ に指定して、インターフェースピン 1 2 の隣りにのみグランドピン 1 3 がある場合を考えると、下式 (2) により誘電率 $\epsilon = 4.33$ の誘電体ブロック 3 2 が必要になる。

【 0 0 7 5 】

それに対して、インターフェースピン 1 2 の隣りのグランドピン 1 3 の他に、インターフェースピン 1 2 の周囲に複数 (この場合 4 本) のグランドピン 3 1 を追加した場合には、下式 (3) が適用され、この場合、誘電率 $\epsilon = 3.1$ の誘電体ブロック 3 2 でよい。なお、各インターフェースピン 1 2 の周囲を囲むように、各インターフェースピンから等距離に 6 本のグランドピン 3 1 を配置した場合は、下の式を近似式として用いることができ、よりグランド能力を強化することができる。

【 数 2 】

$$d = \frac{D \cdot 1.59}{10^{\left(Z \cdot \frac{\sqrt{\epsilon}}{207} \right)}} \cdots \text{式 (2)}$$

【 数 3 】

$$d = \frac{1.14 \cdot \sqrt{2}}{10^{\left(Z \cdot \frac{\sqrt{\epsilon}}{173} \right)}} \cdot D \cdots \text{式 (3)}$$

但し、式 (3) において、D はインターフェースピン 1 2 とグランドピン 3 1 とのピッチである。

【0076】

誘電体ブロック32を挟んだだけの場合と、誘電体ブロック32を挟んだ上でインターフェースピン12の周囲にグランドピン31を設けた場合の、どちらであっても、特性インピーダンスを $Z = 50$ にできるが、インターフェースピン12の周囲にグランドピン31を追加した場合の方が、ギャップ部23に充填する誘電体ブロック32の誘電率を下げるができるため、誘電体ブロックの基板コストを下げる事が出来、より効果的である。

【0077】

図6は、図5に示す実施の形態2の変形態様を示す平面図である。この変形態様においては、高速用のインターフェースピン12aとLDドライバ2とを接続する基板線路34a, 34bと、高速用のインターフェースピン12cと受信回路5とを接続する基板線路34c, 34dとを、夫々正相、逆相の信号が伝送される差動線路としている。

10

【0078】

このため、基板20上を伝送される信号がノイズに対して強くなり、インターフェースピン12aとLDドライバ2との間の信号伝送、あるいはインターフェースピン12cと受信回路5との間の信号伝送によって、LDドライバ2での信号処理でノイズの影響を受けたりあるいはシステム基板21での信号処理でのノイズの影響を受けることをさらに抑えることができる。

【0079】

なお、図6の場合、インターフェースピン12a, 12cの周囲に、グランドピン13とグランドピン33を共用して、等距離に4本のグランドピンを配置するようにしているが、差動線路34が対称を成してV字形状に分かれ、それぞれのインターフェースピン12a, 12cに接続される構成上、この方が望ましい。

20

【0080】

実施の形態3.

つぎに、図7および図8を用いてこの発明の実施の形態3について説明する。図7は実施の形態3における光送受信器とシステム基板との接続構造を示す構成図であり、図7(a)は蓋を外した状態の上面図、図7(b)はD-D断面図である。図7において、図1に示す実施の形態1または図5に示す実施の形態2と同じ機能を達成する構成要素についての説明は省略する。

30

【0081】

実施の形態3においては、基板20とシステム基板21との間のギャップ部23に所定の誘電体ブロック36を配置するとともに、10Gb/sデータ信号及び10GHzクロック信号が通過するインターフェースピン12a, 12cの周囲に、基板内層の接地導体に接続されている複数のグランドスルーホール35を配置し、これによりインターフェースピンと基板線路との特性インピーダンスを整合させ、10Gb/sデータ信号及び10GHzクロック信号の伝送の際の伝送特性の劣化を抑制する。

【0082】

かかる実施の形態3の構成において、10Gb/sデータ信号及び10GHzクロック信号は次のように伝送される。

40

【0083】

まず、光送受信器17がシステム基板21に対して10Gb/sデータ信号及び10GHzクロック信号を伝送する場合は、受信回路5が10Gb/sデータ信号及び10GHzクロック信号を出力する。この出力信号が基板線路10dに伝送されて、さらにインターフェースピン12cに伝送される。

【0084】

光送受信器17の基板20とシステム基板21の間のギャップ部23には基板20と同じ材料、あるいは基板20と同程度の誘電率を有する誘電体ブロック36を充填する。ここで、インターフェースピン12が直線状に配置されている場合、一般にインターフェースピン12の特性インピーダンスが基板線路より高くなりやすく、インターフェースピン1

50

2のピン径がピン間のピッチに比べて小さいと、ギャップ部23を誘電体ブロック36で充填しても、特性インピーダンスを基板線路の値に合わせることが困難になる場合がある。

【0085】

そこで、この実施の形態3においては、インターフェースピン12の周囲に複数のグランドスルーホール35を追加し、これら複数のグランドスルーホール35を基板上または基板内のベタグランドパターンと接続する。これにより、インターフェースピン12と基板線路10と特性インピーダンスを合わせる。したがって、10Gb/sデータ信号10GHzクロック信号は伝送特性の劣化が抑えられ、10Gb/sデータ信号10GHzクロック信号が特性劣化することなくシステム基板21まで伝送される。なお、グランドスルーホール35の高さは、誘電体ブロック36の高さと略同等である。

10

【0086】

次に、光送受信器17が10Gb/sデータ信号及び10GHzクロック信号をシステム基板21から受信する場合、システム基板21から伝送された10Gb/sデータ信号及び10GHzクロック信号が、インターフェースピン12aを介して基板20に伝送される。この信号は、インターフェースピン12aから基板線路10bに伝送線路が変換された後、基板20内を伝送される。

【0087】

光送受信器17の基板20とシステム基板21との間には、基板20と同じ材料、あるいは基板20と同程度の誘電率を有する誘電体ブロックを充填し、さらにインターフェースピン12の周囲に複数のスルーホール35を追加しており、インターフェースピン12と基板線路10bとの特性インピーダンスが整合されている。したがって、10Gb/sデータ信号、及び10GHzクロック信号は、伝送特性の劣化が抑えられて基板線路10bに伝送される。伝送された信号はLDドライバ2に入力される。

20

【0088】

この実施の形態3では、スルーホールを用いてグランドを構成するため、実施の形態2と比べてよりコストを下げるができる。

【0089】

図8は、図7に示す実施の形態3の変形態様を示す平面図である。この変形態様においては、高速用のインターフェースピン12aとLDドライバ2とを接続する基板線路34a、34bと、高速用のインターフェースピン12cと受信回路5とを接続する基板線路34c、34dとを、夫々正相、逆相の信号が伝送される差動線路としている。

30

【0090】

このため、基板20上を伝送される信号がノイズに対して強くなり、インターフェースピン12aとLDドライバ2との間の信号伝送、あるいはインターフェースピン12cと受信回路5との間の信号伝送によって、LDドライバ2での信号処理でノイズの影響を受けたりあるいはシステム基板21での信号処理でのノイズの影響を受けることをさらに抑えることができる。

【0091】

実施の形態4

40

つぎに、図9～図19を用いてこの発明の実施の形態4について説明する。この実施の形態4は、光送信の機能のみを1つの筐体カバー内に搭載した光送信器40に関するものである。すなわち、この実施の形態4では、別体とした光送信器および光受信器のうちの光送信器を示している。

【0092】

図9は光送信器40の外観構成を示す斜視図である。また、図10(a)は、光送信器40の外観構成を示す正面図であり、図10(b)がその下面図である。この光送信器40は上板にヒートシンクが取り付けられた金属製の矩形状の筐体カバー(ケース)41に、先の実施の形態1などに示した基板、誘電体ブロックなどが内蔵されている。ケース41の前面板から送信用光ファイバ42が突出されている。この送信用光ファイバ42にFC

50

コネクタ（F 0 1 単芯光ファイバに相当）、S C コネクタ（F 0 4 単芯光ファイバに相当）などの光コネクタ 4 3 が接続される。ケース 4 1 の下板 4 1 a には、一对の誘電体ブロック 4 4 が挿入される一对の長孔 4 5 が下板 4 1 a の長辺側の端縁部に形成されている。図 1 0 (a) に示すように、ケース 4 1 の下面から長孔 4 5 を介して一对の誘電体ブロック 4 4 a , 4 4 b が僅かの寸法 d 1（この場合は 0 . 5 mm）だけ下方に突出している。各誘電体ブロック 4 4 a , 4 4 b からは、夫々 1 2 本のピン 5 0 が下方に突出している。

【 0 0 9 3 】

図 1 1 は、光送信器 4 0 とシステム基板 4 8 との接続構造を示す概略図であり、図 1 1 (a) はケース 4 1 の上板を外した状態の上面図、図 1 1 (b) は B - B 断面図、図 1 1 (c) は C - C 断面図である。また、図 1 2 は、内部基板 4 6 に、複数のピン 5 0 が挿入された一对の誘電体ブロック 4 4 a , 4 4 b を装填した基板ユニットを示すものである。

10

【 0 0 9 4 】

図 1 1 において、内部基板 4 6（実施の形態 1 ~ 3 の基板 2 0 に対応）は、先の実施の形態 1 と同様、基板保持部材 1 5（図示せず）によってケース 4 1 に支持固定されている。内部基板 4 6 には、前述した L D ドライバと、レーザダイオード（L D）が設けられた L D モジュールと、電源回路や各種制御装置等を含む制御回路などの I C が搭載されている。

【 0 0 9 5 】

ケース 4 1 の下板 4 1 a の裏面には、弾性体あるいは金属などから成る複数の突起 4 7 が設けられている。複数の突起 4 7 がシステム基板 4 8 に当接することによって、ケース 4 1 をシステム基板 4 8（実施の形態 1 ~ 3 のシステム基板 2 1 に対応）に安定に着座させている。このように、この実施の形態 4 の光送信器 4 0 においては、光送信器 4 0 とシステム基板 4 8 とは、複数の突起 4 7 と、誘電体ブロック 4 4 a , 4 4 b の底面とで当接している。突起 4 7 が存在しない場合、ケース 4 1 の重量が全て誘電体ブロック 4 4 a , 4 4 b を介して内部基板 4 6 に直接かかるようになり、これらの構造物の機械的強度に問題があるときには、突起 4 7 を削除しないほうがいい。しかし、ケース 4 1、誘電体ブロック 4 4、内部基板 4 6 間の機械的強度が強固な場合は、突起 4 7 を省略した構成としてもよい。

20

【 0 0 9 6 】

内部基板 4 6 には、2 個の誘電体ブロック 4 4 に設けられる 1 2 本のピン 5 0（5 0 a , 5 0 b , 5 0 d）が圧入固定される 1 2 個のピン孔 4 9 a , 4 9 b , 4 9 d が長辺側の各端縁部に形成されている。これらピン孔は、ほぼ等間隔に形成されている。

30

【 0 0 9 7 】

図 1 1 (a) において、紙面の下方側に形成された 4 個の高速用ピン孔（白丸）4 9 a には、前述した高周波信号を含むデータ信号（2 本）やクロック信号（2 本）を伝送することのできる 4 本の高速用のインターフェースピン 5 0 a の一方の端部が圧入固定される。低速用ピン孔（グレー丸）4 9 b には、低周波の制御信号や、直流電圧を供給するための低速用のインターフェースピン 5 0 b の一方の端部が圧入固定される。グランドピン孔（黒丸）4 9 d には、接地用のグランドピン 5 0 d の一方の端部が圧入固定される。

40

【 0 0 9 8 】

図 1 1 (a) において、下側に形成される 1 2 個のピン孔配列は、左側から見ると次のような順序になる。

2 個の低速用ピン孔（グレー丸）4 9 b

1 個のグランドピン孔（黒丸）4 9 d

1 個の高速用ピン孔 4 9 a

1 個のグランドピン孔（黒丸）4 9 d

1 個の高速用ピン孔 4 9 a

1 個のグランドピン孔（黒丸）4 9 d

1 個の高速用ピン孔 4 9 a

1 個のグランドピン孔（黒丸）4 9 d

50

1 個の高速用ピン孔 4 9 a

1 個のグランドピン孔 (黒丸) 4 9 d

2 個の低速用ピン孔 (グレー丸) 4 9 b

【0099】

また、内部基板 4 6 には、各高速用ピン孔 4 9 a の周囲に、特性インピーダンスを整合するための 4 個のグランドスルーホール 5 4 が夫々形成されている。

【0100】

図 1 1 (a) において、上側に形成される 1 2 個のピン孔配列には、低速用ピン孔 (グレー丸) 4 9 b とグランドピン孔 (黒丸) 4 9 d とが適宜混在されるが、本発明において特に重要でないので、全て低速用ピン孔 (グレー丸) 4 9 b として図示した。

10

【0101】

つぎに、各誘電体ブロック 4 4 a , 4 4 b には、高速用インターフェースピン 5 0 a , 低速用インターフェースピン 5 0 b およびグランドピン 5 0 d を挿入するための 1 2 個の孔 5 2 が夫々設けられており、これらの孔 5 2 に上記内部基板 4 6 でのピン配列に対応する並びで、高速用インターフェースピン 5 0 a 、低速用インターフェースピン 5 0 b およびグランドピン 5 0 d の太径部が挿入される。従って、各誘電体ブロック 4 4 a , 4 4 b でのピン数は、図 1 2 にも示すように、1 2 本となる。誘電体ブロック 4 4 a には、高速用インターフェースピン 5 0 a の周囲に、4 個のグランドスルーホール 5 5 が夫々形成されている。

【0102】

20

なお、各高速用インターフェースピン 5 0 a の全ての箇所での特性インピーダンス 5 0 を満足させるために、信号ピン 5 0 の径 d に応じて、グランドスルーホール 5 5 と高速用インターフェースピン 5 0 a とのピッチ間隔 D を変化させている。すなわち、誘電体ブロック 4 4 a , 4 4 b にはピン 5 0 の太径部が挿入され、また内部基板 4 6 にはピン 5 0 の細径の端部が挿入されるので、先の式 (3) に従って、誘電体ブロック 4 4 a でのピン 5 0 と各グランドスルーホール 5 5 とのピッチを、内部基板 4 6 におけるピン 5 0 とグランドスルーホール 5 4 とのピッチよりも長く設定している。

【0103】

図 1 1 から判るように、誘電体ブロック 4 4 a , 4 4 b は、ケース 4 1 の下面から僅かの寸法 d 1 だけ下方に突出している。ピン 5 0 の基板動作時の環境条件は、0 ~ 7 0 °C であり、またピン 5 0 の材質としては、内部基板 4 6 のピン孔 4 9 に圧入するのに適した材料が好ましい。ピン 5 0 には、金メッキが施されている。

30

【0104】

つぎに、システム基板 4 8 には、上記一对の誘電体ブロック 4 4 a , 4 4 b に内蔵される 1 2 本のピン 5 0 を挿入するための 1 2 個のピン孔 5 3 の列が 2 列形成されている。各ピン 5 0 の下端部は、誘電体ブロック 4 4 a , 4 4 b がシステム基板 4 8 に当接した状態のとき、システム基板 4 8 の下面から垂直に僅かに突出するような、長さに設定している。システム基板 4 8 においても、内部基板 4 6 と同様、高速用のインターフェースピン 5 0 a の他方の端部が挿入される 4 つのピン孔 5 3 の周囲には、4 個のグランドスルーホール 5 6 が夫々形成されている。システム基板 4 8 においては、各グランドスルーホール 5 6 の位置を誘電体ブロック 4 4 でのグランドスルーホール 5 5 の位置とほぼ同じ位置とする。その理由は後述する。

40

【0105】

このような誘電体ブロック 4 4 a , 4 4 b のピン 5 0 を介して内部基板 4 6 とシステム基板 4 8 が電氣的に接続されることで、光送信器 4 0 と上位システム装置が信号の授受を行うことが可能となる。

【0106】

つぎに、内部基板 4 6 、誘電体ブロック 4 4 a , ピン 5 0 、システム基板 4 8 の詳細について順に説明する。

【0107】

50

まず、図 1 3 および図 1 4 を用いて内部基板 4 6 について説明する。図 1 3 は内部基板 4 6 のおもて面を示す一部平面図であり、図 1 4 は内部基板 4 6 の裏面（誘電体ブロック 4 4 a , 4 4 b との当接面側）を示す一部平面図である。図 1 3 および図 1 4 においては、4 個の高速用ピン孔 4 9 a の周辺部分の詳細について示している。

【 0 1 0 8 】

図 1 3 および図 1 4 に示すように、4 個の高速用ピン孔 4 9 a の周囲には、前述したように、4 個のグランドスルーホール 5 4 が夫々形成されている。図 1 3 に示すように、内部基板 4 6 のおもて面には、これら各グランドスルーホール 5 4 および 5 個のグランドピン孔 4 9 d を含むようにであってかつ 4 個の高速用ピン孔 4 9 a を避けるようにベタグランドパターン 5 7（ハッチング部分）が形成されている。高速用ピン孔 4 9 a の周りには、その後の各ピン 5 0 に対する半田付けの際に、半田とベタグランドパターン 5 7 との接触を防ぐために、ソルダレジスト 5 8 が形成されている。

【 0 1 0 9 】

内部基板 4 6 の裏面も同様であり、内部基板 4 6 の裏面には、図 1 4 に示すように、各グランドスルーホール 5 4 および 5 個のグランドピン孔 4 9 d を含みかつ 4 個の高速用ピン孔 4 9 a を避けるようにベタグランドパターン 6 1（ハッチング部分）が形成されている。高速用ピン孔 4 9 a の周りには、ソルダレジスト 5 9 が形成されている。

【 0 1 1 0 】

4 つの高速用ピン孔 4 9 a は、この場合、左から順に、正相のデータ信号用、逆相のデータ信号用、正相のクロック信号用、逆相のクロック信号用となっている。これら 4 つの高速用ピン孔 4 9 a は、基板線路を介して L D ドライバ 6 0 に接続されている。L D ドライバ 6 0 は、前述したように、入力されたデータ信号、クロック信号に基いて、L D モジュール（図示せず）を駆動するための変調信号 I m（パルス信号）を生成する。

【 0 1 1 1 】

この場合、L D ドライバ 6 0 と 4 つの高速用ピン孔 4 9 a との間の基板線路は、差動伝送線路 9 0 としている。差動伝送線路 9 0 は、ノイズ対策のために互いを出来るだけ近接させて電磁結合を発生させるようにしたものである。一方、高速用インターフェースピン 5 0 a は、シングルエンド（不平衡型）伝送路である。このため、これら高速用インターフェースピン 5 0 a が挿入される高速用ピン孔 4 9 a の間は、信号干渉が発生しないように或る程度の間隔を確保する必要がある。

【 0 1 1 2 】

したがって、差動伝送線路 9 0 と 2 組の高速用インターフェースピン 5 0 a との間の接続部としてのパターン線路 9 1 は、間隔を大きく離すと共に、特性インピーダンスが 5 0 に近づくように、パターン幅 d r を差動伝送線路 9 0 のパターン幅 d s よりも大きく（ $d r > d s$ ）している。

【 0 1 1 3 】

なお、この場合、配線パターン線路 9 1 をほぼ直角に曲げているが、Y 字形状などを利用して両者の間隔を徐々に離隔するようにしてもよい。また、パターン幅の変更の仕方も、反射特性の劣化が生じない限り急に細くなるようにしてもよいし、反射特性の劣化が生じる場合は徐々に細くなるようにしてもよい。また、グランドパターン 5 7 は、配線パターン線路 9 1 と接触しないように U 字型の切欠きを有している。

【 0 1 1 4 】

また、配線パターン線路 9 1 の途中（図中 Q の箇所）には、バイアス電圧をカットするためのコンデンサが設けられている。これらのコンデンサは、L D ドライバ 6 0 に用いるバイアス電圧と、各線路の接続先であるシステム基板 4 8 上の I C とのバイアス電圧との違いを考慮して挿入されており、これらコンデンサによってバイアス電圧をカットして電圧振幅信号を L D ドライバ 6 0 に出力するようにしている。このため、両者のバイアス電圧が同じであれば、これらのコンデンサは不要である。

【 0 1 1 5 】

つぎに、図 1 5 を用いて、高速用インターフェースピン 5 0 a を内包している誘電体プロ

10

20

30

40

50

ック44aについて説明する。図15に示すように、誘電体ブロック44aには、4本の高速用インターフェースピン50aを挿入するための4個の高速用ピン孔52a、3本の低速用インターフェースピン50bを挿入するための3個の低速用ピン孔52b、5本のグランドピン50dを挿入するための12個のグランドピン孔52dが夫々設けられている。4個の高速用ピン孔52aの周囲には、前述したように、4個のグランドスルーホール55が夫々形成されている。

【0116】

誘電体ブロック44aの上面および下面には、各グランドスルーホール55および5個のグランドピン孔52dを含むようにであってかつ4個の高速用ピン孔52aを避けるようにベタグランドパターン65（ハッチング部分）が形成されている。誘電体ブロック44aの上面および下面において、高速用ピン孔52aの周りには、その後の各ピン50aに対する半田付けの際に、半田とベタグランドパターン65との接触を防ぐために、ソルダレジスト66が形成されている。なお、各ピン孔52a、52b、52dは、キリ穴1.0mmとし、グランドスルーホール55は、0.6mmとしている。

【0117】

誘電体ブロック44としては、たとえば次のような寸法を設定する。以下では、中心の高速用ピン孔52aとその周りのグランドスルーホール55とのピッチPmとして2種類設定している。また、筐体ケース41とシステム基板48の間に間隙を設け、この間隙に部品を配置する場合と、配置しない場合とで、2種類の長さの誘電体ブロック44を想定している。

【0118】

ピッチPmが1.8mmまたは2.1mmで、間隙に部品配置しない場合、高さ×幅×長さ(mm)は2.5×4.0×35.0であり、
ピッチPmが1.8mmまたは2.1mmで、間隙に部品配置する場合、高さ×幅×長さ(mm)は6.5×4.0×35.0である。

【0119】

この場合の、誘電率は、ピッチPmが1.8mmの場合は、3.75で、ピッチPmが2.1mmのときは、4.7となる。これらの誘電率は、先の(3)式に基づいて求めることができる。

【0120】

つぎに、図16を用いてピン50について説明する。内部基板46とシステム基板48を電氣的に接続するためのピン50は、内部基板46のピン孔49に挿入される一方の端部50-Gおよびシステム基板48のピン孔に挿入される他方の端部50-Hが、誘電体ブロック44に挿入される部分（太径部）50-Jに比べ小径となっている。また、内部基板46に挿入される一方の端部50-Gのほうが他方の端部50-Hに比べ長さが短く設定されている。

【0121】

ピン50の寸法は、例えば、つぎのように設定される。一方の端部50-Gは、径が0.46mm～0.51mmのテーパ形状で、高さが1.6mmである。他方の端部50-Hは、径が0.46mmで、高さが2.5mmである。なお、端部50-Gは端部50-Hより僅かに大径となっている。また、太径部50-Jは、長さが2.0mm～10mmであり、その径は、0.8mmである。筐体ケース41とシステム基板48の間に間隙を設け、この間隙に部品を配置する場合は、ピン50の太径部50-Jの長さが長く設定され、例えば6.5mmとする。また、前記間隙に特に部品を配置しない場合は、ピン50の太径部50-Jの長さは、例えば2.5mmとする。

【0122】

つぎに、図17に従ってシステム基板48について説明する。図17に破線で囲んだ領域は、システム基板48の全ての領域のうちの光送信器40を搭載する領域を示している。

この破線で囲んだ光送信器搭載領域に関しては、信号ピンが挿入されるピン孔以外の全ての領域あるいは信号ピンに接続される配線パターン部分を除く誘電体ブロック44a, 44bと当接する領域をおもて面および裏面ともベタグラウンド62とする。なお、コストなどを考慮した場合は、前者の全ての領域をベタグラウンドとするほうが好ましい。

【0123】

図17に示すように、光送信器搭載領域の紙面下側には、誘電体ブロック44aに内蔵される12個のピン50が挿入される12個のピン孔53（高速用ピン孔53a, 低速用ピン孔53b, グラウンドピン孔53d）が形成されている。4個の高速用ピン孔53aの周囲には、前述したように、4個のグラウンドスルーホール56が夫々形成されている。高速用ピン孔53aや他のピン孔の周りには、その後の各ピン50に対する半田付けの際に、半田とベタグラウンドパターン62との接触を防ぐために、ソルダレジスト63が形成されている。このソルダレジスト63は、図中では円形としているが、ピンと接続される配線パターンが通過する部分では、図13に示すようにU字状となってもよい。

10

【0124】

4つの高速用ピン孔49aは、この場合、左から順に、正相のデータ信号用、逆相のデータ信号用、正相のクロック信号用、逆相のクロック信号用となっている。このシステム基板48において、4個の高速用ピン孔53aの外形d2は、0.8mmとし、そのランドサイズd3は1.0mmとする。

【0125】

すなわち、高速用ピン孔53aの外形d2は、高速用インターフェースピン50aの太径部50-Jの径とほぼ同じにしており、この0.8mmの外径をもつピン孔53aの周壁面と高速用インターフェースピン50aの0.46mmの径をもつ端部50-Hとの隙間に半田を充填することにより、高速用インターフェースピン50aの0.46mmの端部50-Hの径を高速用インターフェースピン50aの太径部50-Jの径と実質的に同じになるようにしており、これによりこの部分の特性インピーダンスも50に保つようにしている。

20

【0126】

また、グラウンドスルーホール56の外径d4は0.6mmとする。高速用ピン孔53aとグラウンドスルーホール56とのピッチとしては、誘電体ブロック44aと同様、1.8mmまたは2.1mmの2種類が設定されている。

30

【0127】

図18は、内部基板46、誘電体ブロック44aおよびシステム基板48における高速用ピン孔とその周りの4個のグラウンドスルーホールとの配置関係を示すものである。高速用ピン孔とグラウンドスルーホールとのピッチDは、特性インピーダンスを50に保つために所定値（この場合は、1.8mmまたは2.1mmの2種類）に設定されている。この設定ピッチを保ちつつ、かつインピーダンス特性を劣化させることなく、誘電体ブロック44aの幅を狭くしたり、各基板46, 48の実装密度を向上させることが要求される場合は、高速用ピン孔の並びに沿った線と、高速用ピン孔とグラウンドスルーホールを結ぶ直線とのなす角度をインピーダンス特性にとっては理想的な45°にするのではなく、 $\theta = 30^\circ$ 前後の値に設定すればよい。このような $\theta = 30^\circ$ 前後の値に設定すれば、インピーダンス特性に対する要求を満足させつつ誘電体ブロック44aの幅を狭くし、また各基板46, 48の実装密度を向上させることが可能となる。

40

【0128】

つぎに、図19に従って、ピン50による内部基板46、誘電体ブロック44aおよびシステム基板48の接続構造を説明する。図19には、1本の高速用インターフェースピン50aと1本のグラウンドピン50dが示されている。

【0129】

図19を用いて、まず内部基板46とピン50との接続構造について述べる。内部基板46のピン孔49a, 49dに対し、各ピン50a, 50dの端部50-Gが圧入されることにより内部基板46とピン50とが接続固定される。さらに、各ピン50a, 50dの

50

端部 50 - G の表面に半田 64 が付けられることで、内部基板 46 とピン 50 とが接続固定される。内部基板 46 のおもて面及び裏面の高速用ピン孔 49 a の周囲には、半田 64 を盛るのに十分な大きさの領域を除いてソルダレジスト 58 , 59 が形成されている。

【0130】

このように内部基板 46 とピン 50 とを圧入および半田による固定構造とすることで、機械的な接続構造をより強固にしている。これは、内部基板 46 とピン 50 とを半田のみによる接続構造とすると、システム基板 48 の発熱が大きい場合、システム基板 48 からの熱がピン 50 を伝わって内部基板 46 の半田 64 に伝わり、内部基板 46 とピン 50 との接続強度が弱まることを防止するためである。なお、この熱が半田 64 に加わって、ピン 50 と配線パターン線路 91 との半田接続が切断されないように、ピン 50 から内部基板 46、誘電体ブロック 44 へ十分に熱が拡散するようにしかつシステム基板 48 の半田条件を適当な条件に設定しておく。

10

【0131】

ピン 50 は、ピン孔に対する高さ方向への位置決めのために、その両端部を細径としている。また、前述したように、圧入接続を採用するためには、内部基板 46 のピン孔 49 a , 49 d としては、ピン 50 の細径の端部にほぼ一致する径を選択する必要がある。このため、高速用インターフェースピン 50 a の端部 50 - G の部分の金属部分の径は他の部分よりも細くなり、他の部分とインピーダンスが異なるようになる。そこで、先の式 (3) に従って、この部分のピンとグランドスルーホール 54 とのピッチを他の部分のピッチよりも短く設定することで、この部分の特性インピーダンスも 50 に保つようにしている。

20

【0132】

内部基板 46 に形成されたグランドスルーホール 54 は、内部基板 46 のおもて面に形成されたベタグランドパターン 57 および裏面に形成されたベタグランドパターン 61 に接続されている。なお、グランドピン 50 d に関しては、グランドピン 50 d の端部自体が直接ベタグランドパターン 57 およびベタグランドパターン 61 に接続されている。

【0133】

誘電体ブロック 44 に形成されたグランドスルーホール 55 も、誘電体ブロック 44 のおもて面に形成されたベタグランドパターン 65 および裏面に形成されたベタグランドパターン 65 ' に接続されている。これらベタグランドパターン 65 , 65 ' は、ソルダレジスト 66 , 66 ' によって高速用インターフェースピン 50 a とは接触しないようになっている。誘電体ブロック 44 においても、グランドピン 50 d に関しては、グランドピン 50 d 自体が直接ベタグランドパターン 65 , 65 ' に接続されている。

30

【0134】

内部基板 46 の裏面のベタグランドパターン 61 と、誘電体ブロック 44 の上面のベタグランドパターン 65 とは半田 67 によって接合される。一方、誘電体ブロック 44 の下面のグランドパターン 65 ' にはソルダレジスト 69 が塗布されており、これにより、システム基板 48 側の配線パターン構造が不明のときに、システム基板 48 との予期せぬ電氣的接触を防止している。

【0135】

40

つぎにシステム基板 48 とピン 50 との接続構造について述べる。システム基板 48 と各ピン 50 a , 50 d との接合は半田 68 のみによって行われる。前述したように、高速用ピン孔 53 a の外形 d2 は、高速用インターフェースピン 50 a の太径部 50 - J の径とほぼ同じにしており、このピン孔 53 a の周壁面と高速用インターフェースピン 50 a の端部 50 - H との隙間に半田を充填させることにより、高速用インターフェースピン 50 a の端部 50 - H の径を、太径部 50 - J の径と実質的に同じになるようにしており、これによりこの部分のインピーダンスを太径部と同じ 50 としている。

【0136】

システム基板 48 に形成されたグランドスルーホール 56 は、システム基板 48 のおもて面に形成されたベタグランドパターン 62 および裏面に形成されたベタグランドパターン

50

6 2 ' に接続されている。システム基板 4 8 のおもて面及び裏面の高速用ピン孔 5 3 a の周囲には、ソルダレジスト 6 3 , 6 3 ' が形成されている。グランドピン 5 0 d に関しては、グランドピン 5 0 d 自体がベタグランドパターン 6 2 およびベタグランドパターン 6 2 ' に直接接続されている。

【 0 1 3 7 】

なお、誘電体ブロック 4 4 a の下面のグランドパターン 6 5 ' およびシステム基板 4 8 の上面のグランドパターン 6 2 を、半田によって接合するようにしてもよい。また、システム基板 4 8 の表裏面に形成されるグランドパターン 6 2 , 6 2 ' を省略しても良い。また、システム基板 4 8 に挿入されるピン 5 0 の端部 5 0 - H を太径部と同じ寸法の径にする場合は、この場合でも半田が充填される隙間を確保する必要があるので、グランドスルーホール 5 6 を、誘電体ブロック 4 4 a でのグランドスルーホール 5 5 の配置位置に比べ外側に配置するようにして、この部分のインピーダンスを他と同じにすればよい。

【 0 1 3 8 】

このようにこの実施の形態 4 によれば、高速用インターフェースピンの特性インピーダンスが基板線路に整合され、これにより高速なデータ伝送またはクロック伝送を実現する光送信器を提供することができる。

【 0 1 3 9 】

実施の形態 5 .

つぎに、図 9 を参照するとともに、図 2 0 ~ 図 2 3 を用いてこの発明の実施の形態 5 について説明する。この実施の形態 5 は、光受信の機能のみを 1 つの筐体カバー内に搭載した光受信器 7 0 (図 9 参照) に関するものである。光受信器 7 0 においても、前述した光送信器 4 0 同様、内部基板と、誘電体ブロックと、内部基板とシステム基板とを接続するピンとから構成されている。ただし、光受信器 7 0 は、勿論内部基板に搭載されている IC が光送信器 4 0 のものとは異なることの他に、光受信器 7 0 の場合には、内部基板上の受信回路から内部基板上の伝送線路およびピンを介して伝送される高速信号が正相および逆相のデータ信号の 2 本のみである。すなわち、この実施の形態 5 の光受信器では、クロック信号をシステム基板に送信してはいない。したがって、光受信器 7 0 については、主にこの正相および逆相の 2 本のデータ信号に関する構成について説明する。

【 0 1 4 0 】

図 2 0 は、光受信器 7 0 の誘電体ブロック 7 5 の平面図を示すものである。図 2 1 はその一部拡大図である。誘電体ブロック 7 5 には、12 本のピン孔が形成され、12 本のピンが挿入される。そのうちの 2 本が正相および逆相のデータ信号に用いられる。

【 0 1 4 1 】

誘電体ブロック 7 5 には、2 本の高速用インターフェースピン 8 0 a を挿入するための 2 個の高速用ピン孔 7 6 a が設けられる。2 個の高速用ピン孔 7 6 a に対し外側に隣接するピン孔は、グランドピン用のグランドピン孔 7 6 d である。2 個の高速用ピン孔 7 6 a の周囲には、5 個のグランドスルーホール 7 7 が夫々形成されている。ただし、2 個の高速用ピン孔 7 6 a の間の 3 個のグランドスルーホール 7 7 は、2 つの高速用インターフェースピン 8 0 a の特性インピーダンス調整のために共用されるグランドとなる。また、2 個の高速用ピン孔 7 6 a の中心を結ぶ直線上に、1 個のグランドスルーホール 7 7 を配し、これにより、2 本の高速用インターフェースピン 8 0 a を伝送される信号の相互干渉を防止している。

【 0 1 4 2 】

また、図 2 1 に示すように、高速用ピン孔同士を結ぶ直線と、高速用ピン孔とグランドスルーホールを結ぶ直線とのなす角度 θ を 30° 前後の値に設定することで、インピーダンス特性に対する要求を満足させつつ誘電体ブロック 7 5 の幅を狭くして、実装密度を向上させている。

【 0 1 4 3 】

誘電体ブロック 7 5 の上面および下面には、各グランドスルーホール 7 7 および 2 個のグランドピン孔 7 6 d を含むようにかつ 2 個の高速用ピン孔 7 6 a を避けるようにグランド

パターン 78 (ハッチング部分) が形成されている。高速用ピン孔 76a の周りには、ソルダレジスト 79 が形成されている。

【0144】

各ピン孔 52a, 52b, 52 は、キリ穴 1.0mm とし、グランドスルーホール 55 は、0.6mm としている。

【0145】

誘電体ブロック 75 としては、光送信器 40 の誘電体ブロック 44 と同様次のような寸法を設定する。中心の高速用ピン孔 76a とその周りのグランドスルーホール 77 とのピッチを Pm とする。

【0146】

ピッチ Pm が 1.8mm または 2.1mm で、筐体ケースとシステム基板との間隙に部品配置しない場合、

高さ×幅×長さ (mm) は 2.5×4.0×35.0

であり、

ピッチ Pm が 1.8mm または 2.1mm で、その間隙に部品配置する場合、

高さ×幅×長さ (mm) は 6.5×4.0×35.0

である。

【0147】

この場合の、誘電率は、ピッチ Pm が 1.8mm の場合は、3.75 で、ピッチ Pm が 2.1mm のときは、4.7 となる。但し、特性インピーダンス (50) を満足する誘電率に対して ±1.3 程度の誘電率を選択すれば良く、例えば、Pm = 1.8mm で、3.48 に誘電率を設定しても良い。

【0148】

図 22 は、光受信器 70 に搭載される内部基板 85 における 2 つの高速用インターフェースピン 80a の近傍の配線パターンを示す平面図である。

【0149】

誘電体ブロック 75 に形成された 2 つの高速用ピン孔 76a およびその周りの 5 つのグランドスルーホール 77 に対応するように、内部基板 85 にも、2 つの高速用ピン孔 86a と 5 つのグランドスルーホール 87 が形成されている。5 つのグランドスルーホール 87 を囲むようにベタグランドパターン 88 が形成されている。

【0150】

この 2 本の高速用ピン孔 76a に挿入される 2 つの高速用インターフェースピン 80a は、内部基板 85 上の基板線路を介して受信回路 IC 89 に接続される。受信回路 IC 80 は、PD モジュールから送出された電圧信号の振幅を増幅調整し、その電圧信号を基板線路を介して 2 本の高速用インターフェースピン 80a に出力する。

【0151】

受信回路 IC 89 の正相および逆相の 2 本の出力信号は、差動伝送線路 90 に出力される。一方、高速用インターフェースピン 80a は、シングルエンド (不平衡型) 伝送路である。このため、これら高速用インターフェースピン 80a が挿入される高速用ピン孔 86a の間は、信号干渉が発生しないように或る程度の間隔を確保する必要がある。したがって、差動伝送線路 90 と 2 組の高速用インターフェースピン 80a との間の接続部としてのパターン線路 91 は、間隔を離すと共に、特性インピーダンスが 50 に近づくように、パターン幅 dr を差動伝送線路 90 のパターン幅 ds よりも大きく ($dr > ds$) している。なお、この場合も、配線パターン線路 91 をほぼ直角に曲げているが、Y 字形状などを利用して両者の間隔を徐々に離隔するようにしてもよい。また、パターン幅の変更の仕方も、急に細くなるようにしてもよいし、徐々に細くなるようにしてもよい。なお、シングルエンド伝送路の高速用インターフェースピン 80a を介して伝送されたデータは、システム基板において、シングルエンド伝送路のままあるいは差動伝送線路に戻されて伝送される。

【0152】

図 2 3 は、光受信器が接続されるシステム基板 9 5 を示す図である。図 2 3 に破線で囲んだ領域は、システム基板 9 5 の全ての領域のうちの光受信器 7 0 を搭載する光受信器搭載領域を示している。

【 0 1 5 3 】

システム基板 9 5 にも、誘電体ブロック 7 5 に形成された 2 つの高速用ピン孔 7 6 a およびその周りの 5 つのグランドスルーホール 7 7 に対応するように、2 つの高速用ピン孔 9 6 a と 5 つのグランドスルーホール 9 7 が形成されている。破線で囲んだ光受信器搭載領域に関しては、信号ピンが挿入されるピン孔以外の全ての領域あるいは信号ピンに接続される配線パターン部分を除く誘電体ブロックと当接する領域をおもて面および裏面ともベタグランド 9 8 とする。なお、コストなどを考慮した場合、前者の全ての領域をベタグランドとするほうが好ましい。

10

【 0 1 5 4 】

このようにこの実施の形態 5 によれば、高速用インターフェースピンの特性インピーダンスが基板線路に整合され、これにより高速なデータ伝送またはクロック伝送を実現する光受信器を提供することができる。なお、光受信器 7 0 は、データ信号を送信する 2 本のピンの他に、クロック信号を伝送する 2 本のピンを設けてもよく、この場合は内部に設けられた PLL 回路の動作によって、PD モジュールから送出された電圧信号からクロックを抽出し、また内部に設けられた識別再生回路によってデータ信号を識別し、再生されたデータ信号を基板線路を介して 2 本の高速用インターフェースピン 8 0 a に出力する。

20

【 0 1 5 5 】

実施の形態 6 .

つぎに、図 2 4 ~ 図 2 6 を用いてこの発明の実施の形態 6 について説明する。図 2 4 は実施の形態 6 の誘電体ブロック 2 0 0 の一部を示す斜視図であり、図 2 5 は図 2 4 の A - A 断面図であり、図 2 6 は高速信号用ピン部分の平面図である。

【 0 1 5 6 】

この実施の形態 6 においては、先の実施の形態のように信号用ピンの周りに間欠的にグランドスルーホールを配置するのではなく、信号用ピンの全周囲にグランド用の金属パターンを形成するようにしている。

【 0 1 5 7 】

図 2 4 および図 2 5 において、誘電体ブロック 2 0 0 には、グランドピン 2 0 1 と、これらグランドピン 2 0 1 の間に配設される 4 つの高速用インターフェース線路 2 0 2 とが内蔵される。高速用インターフェース線路 2 0 2 は、図 2 6 に示すように、中心に配置される高速信号用インターフェースピン 2 0 3 と、その周りの誘電体 2 0 4 と、誘電体 2 0 4 の周囲に配置されるグランド用の金属パターン 2 0 5 とから構成される。誘電体ブロック 2 0 0 の上面及び下面には、ベタグランドパターン 2 0 6 が信号ピン 2 0 3 および誘電体 2 0 4 の部分を除いて一様に形成されている。

30

【 0 1 5 8 】

このような誘電体ブロック 2 0 0 の高速用インターフェース線路 2 0 2 を製造するには、つぎのような 2 つの製法 (A) (B) がある。

(A) 第 1 製法

40

- ・孔を形成する。
- ・孔の内周面を金属メッキし、グランド用の金属パターン 2 0 5 を形成する。
- ・孔の中に中央にピン挿入用の孔が空いた誘電体 2 0 4 を流し込む。
- ・誘電体 2 0 4 の中にピン 2 0 3 を入れる。

【 0 1 5 9 】

(B) 第 2 製法

- ・孔を形成する。
- ・孔の内周面を金属メッキし、グランド用の金属パターン 2 0 5 を形成する。
- ・ピン 2 0 3 を入れる
- ・ピン 2 0 3 と金属パターン 2 0 5 との間に溶融している誘電体を流し込む。

50

【 0 1 6 0 】

このようにこの実施の形態 6 によれば、信号用ピンの周りに間欠的にグランドスルーホールを配置するのではなく、信号用ピンの全周囲にグランド用の金属パターンを形成しているので、よりグランドが強化され、特性インピーダンスの安定化に寄与する。

【 0 1 6 1 】

なお、上記の実施の形態 1 ~ 6 においては、信号ピンを誘電体ブロック 4 4 a , 4 4 b から突出させているが、どちらか一端側または両端とも突出しないように構成しても良い。突出させない場合は、例えば、パンプによりピンの端面を基板側に接続すればよい。

【 0 1 6 2 】

【 発明の効果 】

以上説明したように、この発明にかかる光送受信器によれば、ギャップ部に誘電体ブロックを設け、基板線路との特性インピーダンスを合わせるようにしたので、より高速なデータ信号またはクロック信号を伝送させることができる。また、インターフェースピンの周囲に複数のグランドピンまたはグランドスルーホールを設け、基板線路との特性インピーダンスを合わせるようにしたので、より高速なデータ信号またはクロック信号を、より低い誘電率の誘電体ブロックを充填することによって、伝送させることができる。

【 0 1 6 3 】

つぎの発明にかかる接続体によれば、誘電体ブロックにピン及び該ピンの周囲に形成されるグランドスルーホールを内蔵させ、該ピンによって第 1 及び第 2 の基板を電気接続するようにしているので、特性インピーダンスが改善され、これにより第 1 及び第 2 の基板間で、高速なデータ伝送またはクロック伝送を実現することができる。

【 0 1 6 4 】

つぎの発明にかかる基板ユニットによれば、ピン及び該ピンの周囲に形成される第 1 のグランドスルーホールを有する接続体と、前記ピンが圧入されるピン孔と、このピン孔の周囲であって前記第 1 のグランドスルーホールと電気的に接続される第 2 のグランドスルーホールとを有する基板とを備えているので、特性インピーダンスが改善され、前記基板及び他の基板間で高速なデータ伝送またはクロック伝送を実現することができる。

【 0 1 6 5 】

つぎの発明にかかる光送信器によれば、複数の信号ピン、グランドピン及び信号ピンの周囲に形成される複数の第 1 のグランドスルーホールを有する接続体と、前記ピンが圧入されるピン孔、信号ピン用のピン孔の周囲に配置される第 2 のグランドスルーホールおよび前記信号ピン用のピン孔に接続される基板配線を有する基板と、前記基板上に搭載されるレーザダイオードと、前記レーザダイオードと前記基板配線に接続されるドライバ IC とを備えているので、基板線路と信号ピンとの特性インピーダンスが整合され、これにより高速なデータ伝送またはクロック伝送を実現することができる。

【 0 1 6 6 】

つぎの発明にかかる光受信器によれば、2 本の高速用インターフェースピン、グランドピン及び高速用インターフェースピンの周囲に形成される複数の第 1 のグランドスルーホールを有する接続体と、前記ピンが圧入されるピン孔、高速用インターフェースピン用のピン孔の周囲に配置される第 2 のグランドスルーホールおよび前記高速用インターフェースピン用のピン孔に接続される基板配線を有する基板と、前記基板上に搭載されるフォトダイオードと、前記フォトダイオードと前記基板配線に接続される受信回路 IC とを備えているので、基板線路と信号ピンとの特性インピーダンスが整合され、これにより高速なデータ伝送またはクロック伝送を実現することができる。

【 0 1 6 7 】

つぎの発明にかかる半導体装置によれば、誘電体ブロックのピンの周り、第 1 および第 2 の基板のピン孔の周りにグランドスルーホールを形成するとともに、第 2 の基板におけるピン孔の習癖面とピンとの隙間に半田などの金属を充填するようにしたので、特性インピーダンスが改善され、第 1 及び第 2 の基板間で高速なデータ伝送またはクロック伝送を実現することができる。

10

20

30

40

50

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 の光送受信器モジュールを示す図であり、(a)はその平面図、(b)はその B - B 断面図である。

【図 2】 この発明の実施の形態 1 の光送受信器モジュールのピン配列を示す図であり、(a)はその平面図、(b)はその B - B 断面図である。

【図 3】 この発明の実施の形態 1 の光送受信器モジュールに用いられる誘電体ブロックを示す斜視図である。

【図 4】 この発明の実施の形態 1 の光送受信器モジュールの変形態様を示す平面図である。

【図 5】 この発明の実施の形態 2 の光送受信器モジュールを示す図であり、(a)はその平面図、(b)はその B - B 断面図である。

10

【図 6】 この発明の実施の形態 2 の光送受信器モジュールの変形態様を示す平面図である。

【図 7】 この発明の実施の形態 3 の光送受信器モジュールを示す図であり、(a)はその平面図、(b)はその B - B 断面図である。

【図 8】 この発明の実施の形態 3 の光送受信器モジュールの変形態様を示す平面図である。

【図 9】 この発明の実施の形態 4 の光送信器の外観構成を示す斜視図である。

【図 10】 この発明の実施の形態 4 の光送信器を示す図であり、(a)はその正面図、(b)はその下面図である。

20

【図 11】 この発明の実施の形態 4 の光送信器の内部構成を示す図であり、(a)はその平面図、(b)はその縦断面図、(c)はその横断面図である。

【図 12】 この発明の実施の形態 4 の光送信器に用いられる基板ユニットを示す斜視図である。

【図 13】 この発明の実施の形態 4 の光送信器に用いられる内部基板の部分平面図である。

【図 14】 この発明の実施の形態 4 の光送信器に用いられる内部基板の部分下面図である。

【図 15】 この発明の実施の形態 4 の光送信器に用いられる誘電体ブロックを示す平面図および断面図である。

30

【図 16】 この発明の実施の形態 4 の光送信器に用いられるピンを示す図であり、(a)はその上面図、(b)はその正面図である。

【図 17】 この発明の実施の形態 4 の光送信器に用いられるシステム基板を示す平面図および断面図である。

【図 18】 この発明の実施の形態 4 の光送信器に用いられるシステム基板を示す一部拡大平面図である。

【図 19】 この発明の実施の形態 4 の光送信器の内部ユニットの接続構造を示す断面図である。

【図 20】 この発明の実施の形態 5 の光受信器に用いられる誘電体ブロックを示す平面図である。

40

【図 21】 この発明の実施の形態 5 の光受信器に用いられる誘電体ブロックの高速用インターフェースピンの周囲の構造を示す一部拡大平面図である。

【図 22】 この発明の実施の形態 5 の光受信器に用いられる内部基板の一部拡大平面図である。

【図 23】 この発明の実施の形態 5 の光受信器に用いられるシステム基板を示す平面図、断面図である。

【図 24】 この発明の実施の形態 6 の誘電体ユニットを示す斜視図である。

【図 25】 この発明の実施の形態 6 の誘電体ユニットを示す一部断面図である。

【図 26】 この発明の実施の形態 6 の誘電体ユニットの高速用インターフェースピンの構造を示す断面図である。

50

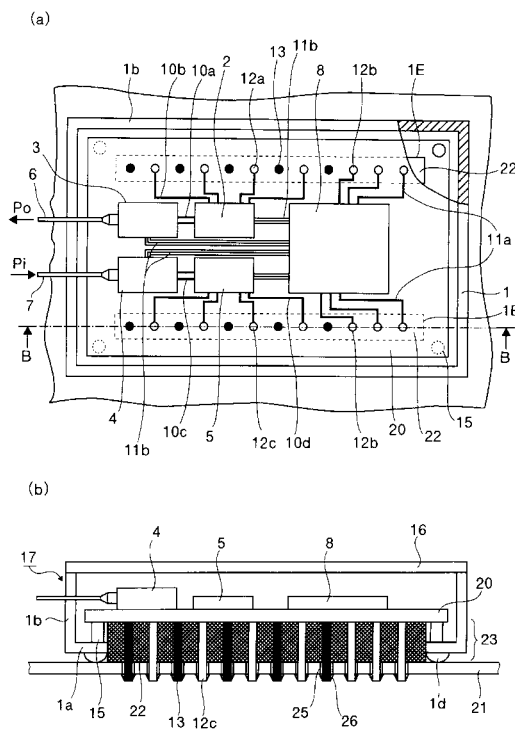
【図 27】 従来技術を示す図であり、(a) は平面図、(b) はその A - A 断面図である。

【符号の説明】

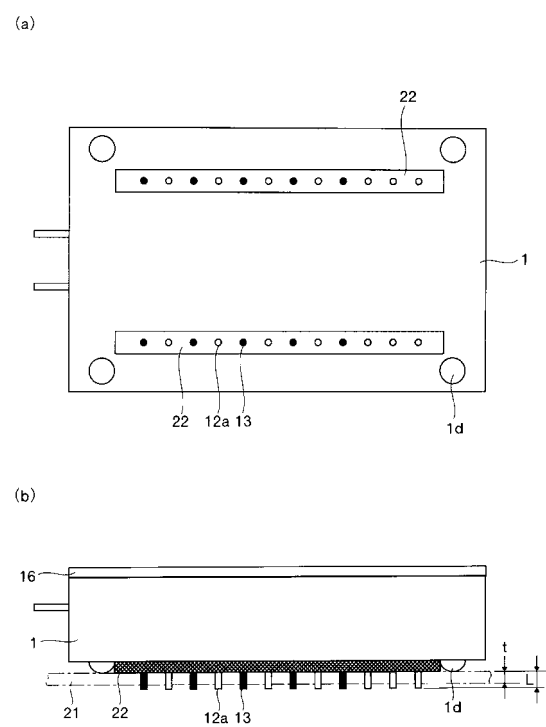
1 筐体、2 LDドライバ、3 LDモジュール、4 PDモジュール、5 受信回路、6 送信用光ファイバ、7 受信用光ファイバ、8 制御回路、10a ~ 10d 基板線路、11a, 11b 基板線路、12a, 12c 高速用インターフェースピン、13 グランドピン、15 基板保持部材、17 光送受信器、20 基板、21 システム基板、22 誘電体ブロック、23 ギャップ部(空隙)、31 グランドピン、32 誘電体ブロック、33 グランドピン、34 差動線路、35 グランドスルーホール、36 誘電体ブロック、40 光送信器、41 筐体(ケース)、42 送信用光ファイバ、43 光コネクタ、44a, 44b 誘電体ブロック、46 内部基板、48 システム基板、49a 高速用ピン孔、50a 高速用インターフェースピン、54 ~ 56 グランドスルーホール、60 LDドライバ、70 光受信器、75 誘電体ブロック、76d グランドピン孔、76a 高速用ピン孔、80a 高速用インターフェースピン、85 内部基板、90 差動伝送線路、91 パターン線路、95 システム基板、200 誘電体ブロック、201 グランドピン、202 高速用インターフェース線路、203 高速信号用インターフェースピン、204 誘電体、205 金属パターン、206 ベタグランドパターン。

10

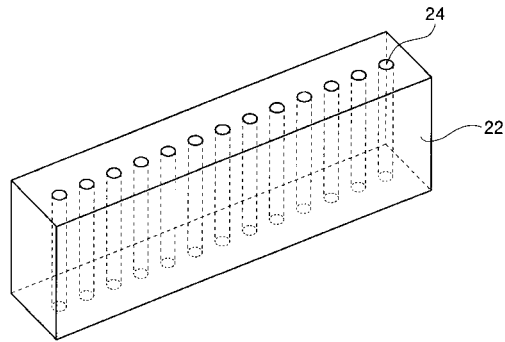
【図 1】



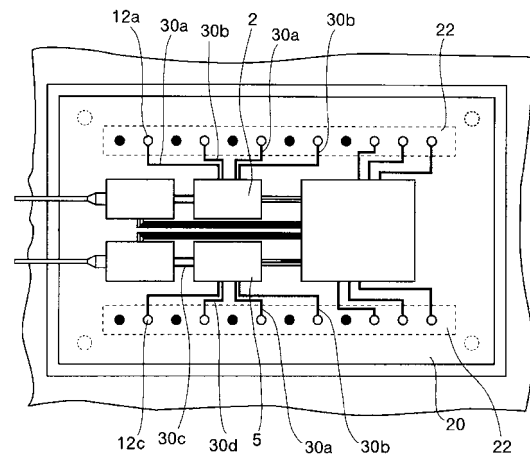
【図 2】



【図 3】

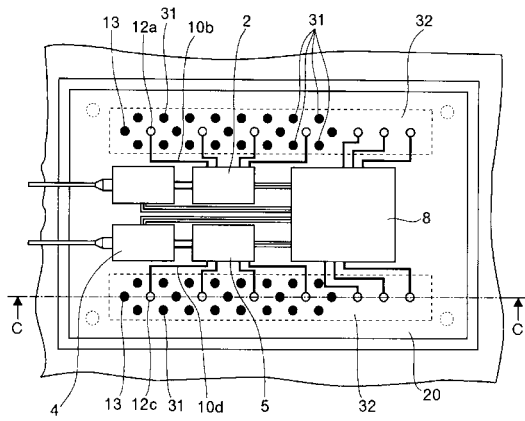


【図 4】

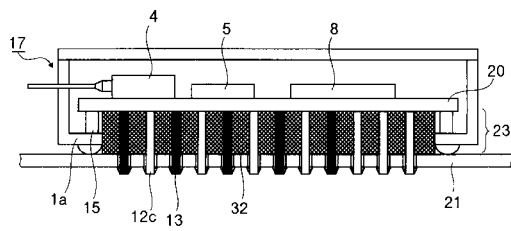


【図 5】

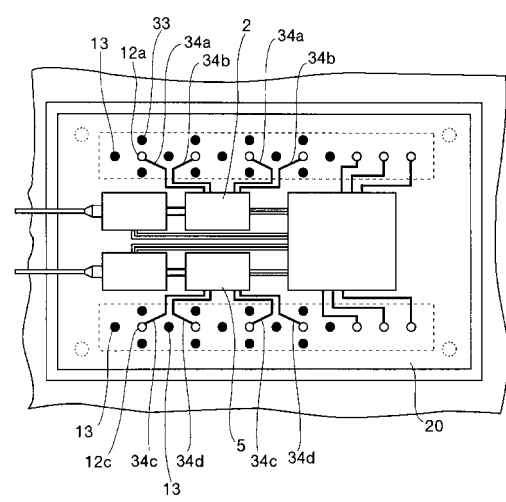
(a)



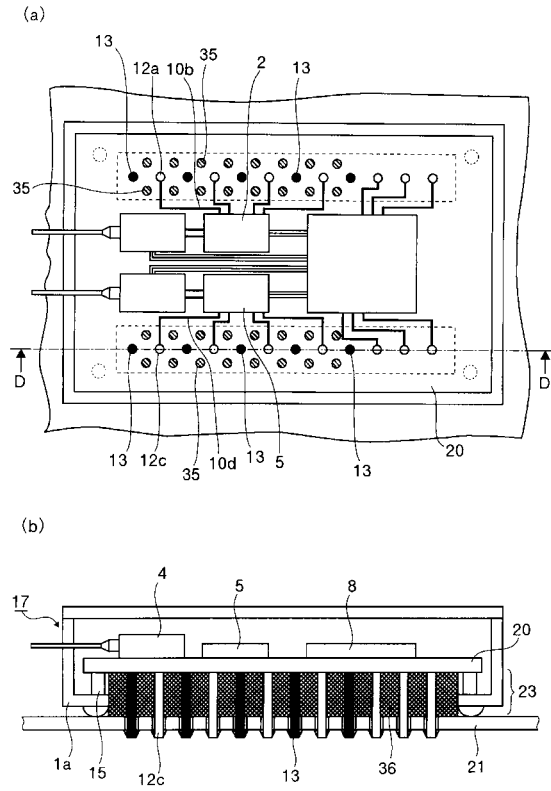
(b)



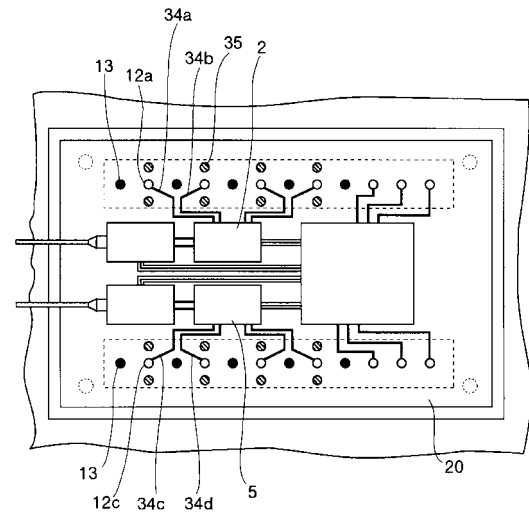
【図 6】



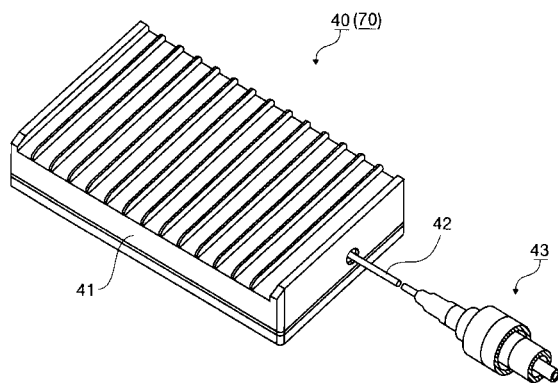
【図 7】



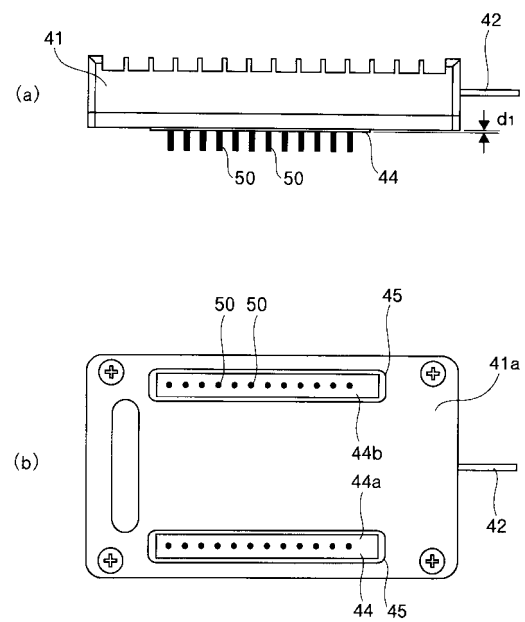
【図 8】



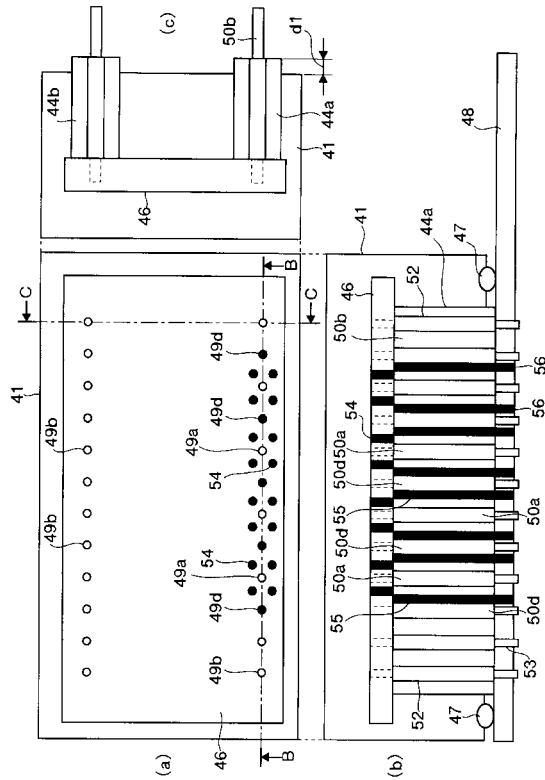
【図 9】



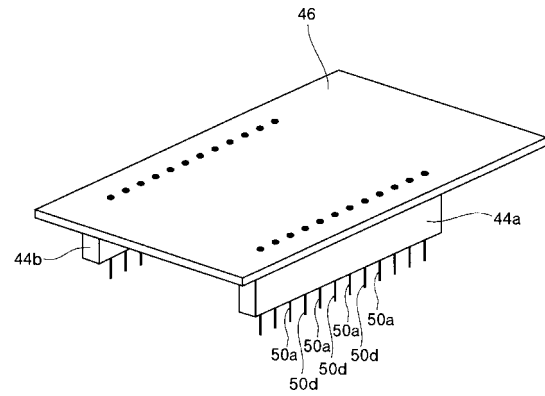
【図 10】



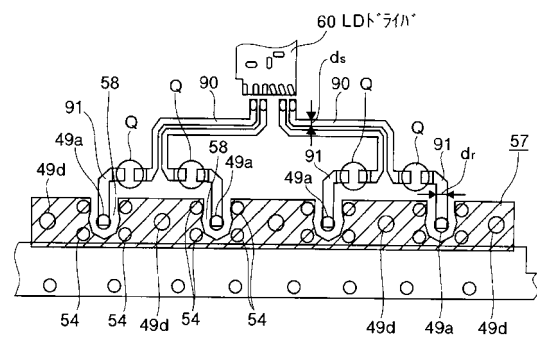
【図 1 1】



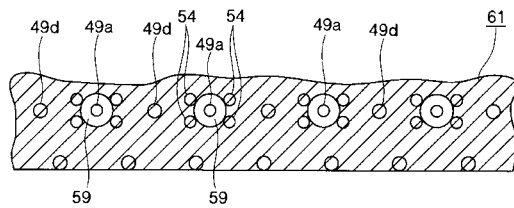
【図 1 2】



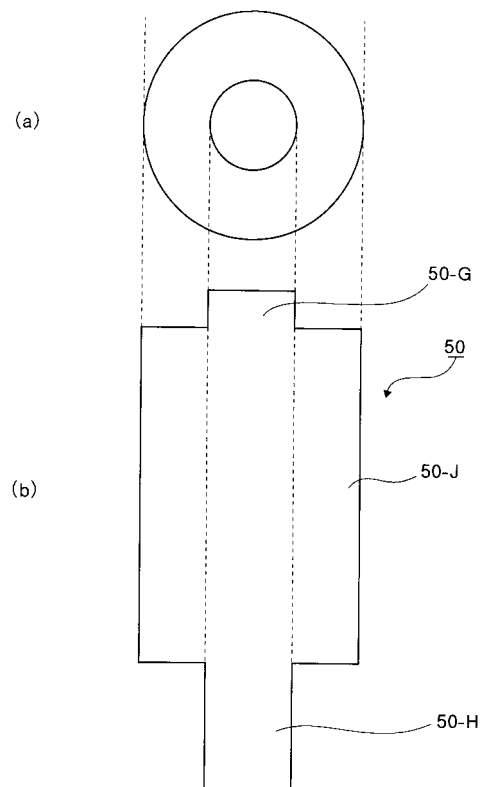
【図 1 3】



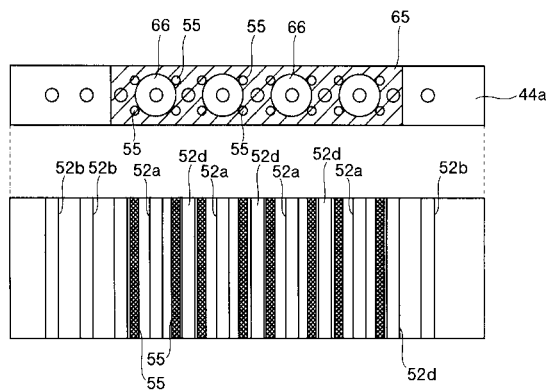
【図 1 4】



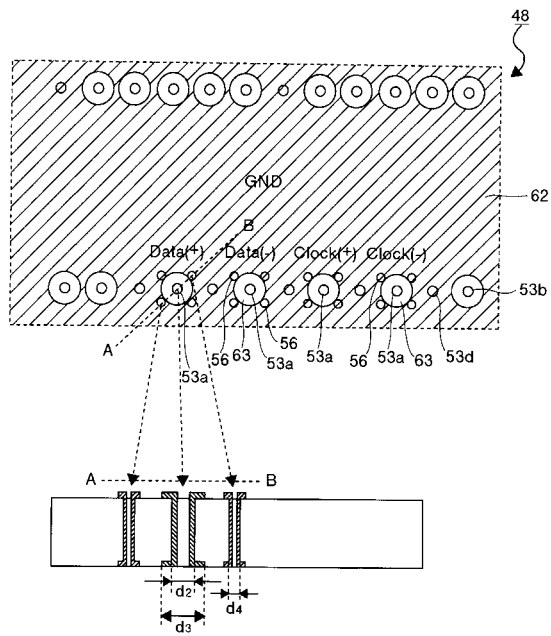
【図 1 6】



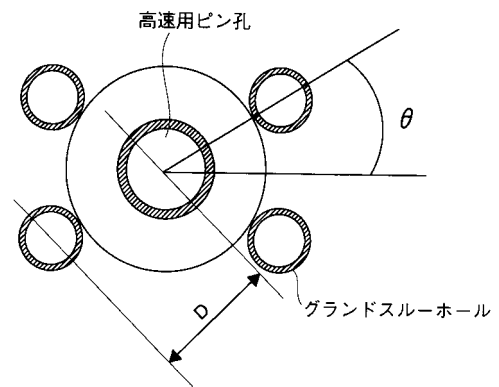
【図 1 5】



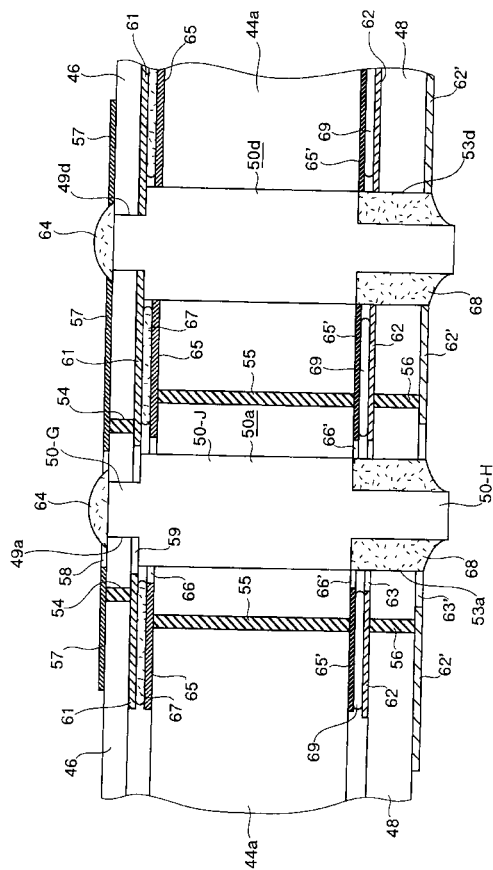
【図 17】



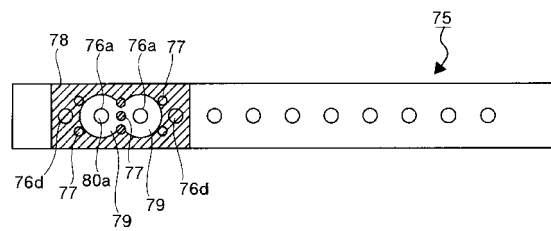
【図 18】



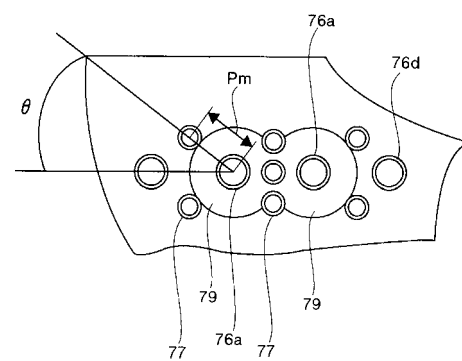
【図 19】



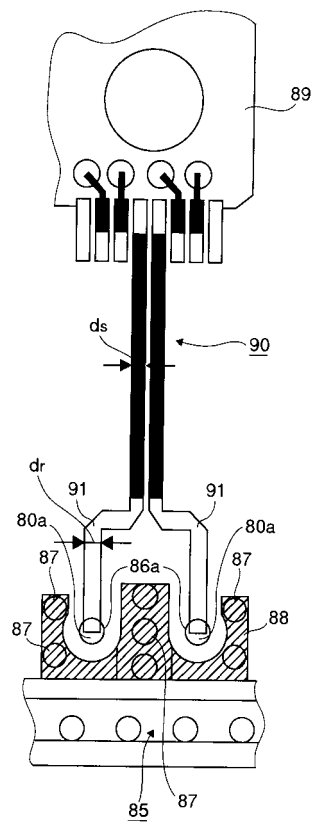
【図 20】



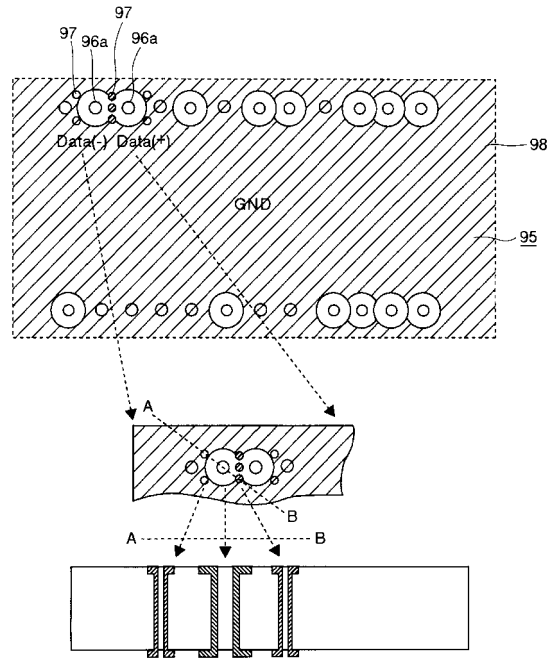
【図 21】



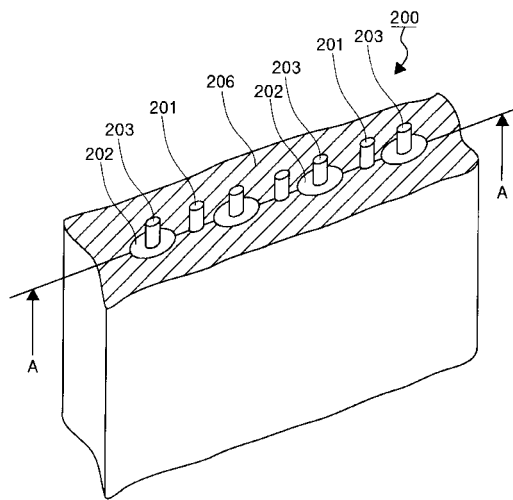
【図 22】



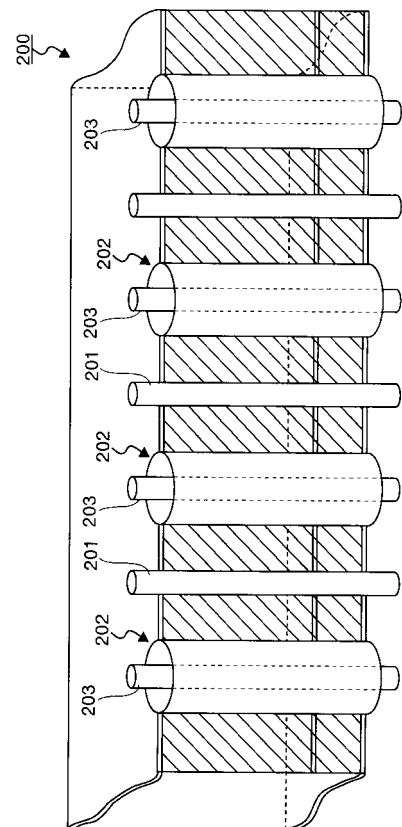
【図 23】



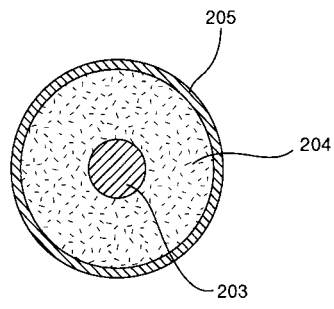
【図 24】



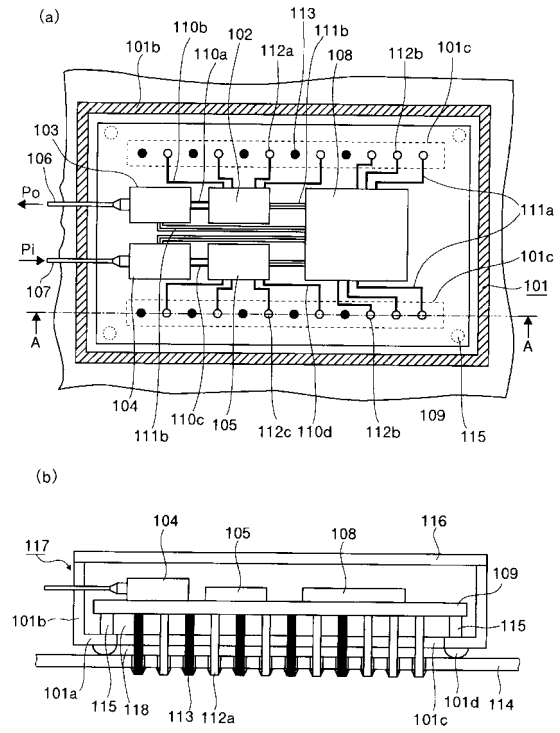
【図 25】



【図 26】



【図 27】



フロントページの続き

(51)Int.Cl. F I

H 0 4 B 10/28 (2006.01)**H 0 1 L 31/0232 (2006.01)**

- (56)参考文献 特開平 0 9 - 2 6 0 6 9 3 (J P , A)
特開平 0 5 - 0 7 4 5 3 2 (J P , A)
特開 2 0 0 0 - 0 8 2 8 2 6 (J P , A)
特開平 0 4 - 3 0 6 9 0 1 (J P , A)
特開平 0 8 - 0 3 7 0 4 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01S 5/00- 5/50
H01R 9/03- 9/11
H01R 12/04-12/08
H01R 12/32-12/38
H04B 10/00-10/28
H04J 14/00-14/08
G02B 6/12- 6/14
G02B 6/26
G02B 6/30- 6/34
G02B 6/42