

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-311325

(P2008-311325A)

(43) 公開日 平成20年12月25日(2008.12.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 B 1 2 5
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 29/78 6 1 3 B	5 F 1 0 1
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 6 1 8 C	5 F 1 1 0
HO 1 L 29/786 (2006.01)	G 1 1 C 17/00 6 4 1	

審査請求 未請求 請求項の数 15 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願2007-155919 (P2007-155919)
 (22) 出願日 平成19年6月13日 (2007.6.13)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康
 (72) 発明者 小野 瑞 城
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

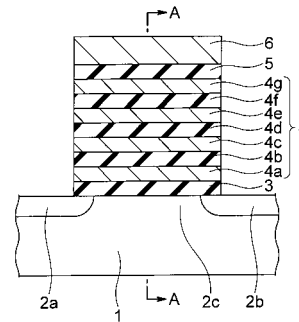
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶素子及び不揮発性半導体記憶装置

(57) 【要約】 (修正有)

【課題】 ベリファイ操作が省略可能で2種類を超えるしきい値電圧の実現が可能な不揮発性半導体記憶素子及び不揮発性半導体記憶装置を提供する。

【解決手段】 半導体基板1と、半導体基板に設けられた第一の導電型の半導体領域2cと、離間して設けられた第二の導電型のソースおよびドレイン領域2a、2bと、ソースおよびドレイン領域の間に設けられた第一の絶縁層3と、第一の絶縁層上に設けられ、少なくとも三層の導電体膜4a、4c、4e、4gと、導電体膜間に設けられた導電体間絶縁膜4b、4d、4fとの積層構造を有し、半導体基板から遠く離れて位置している導電体間絶縁膜の誘電率は、半導体基板の近くに位置している導電体間絶縁膜の誘電率よりも高く且つ導電体間絶縁膜の誘電率は第一の絶縁層3の誘電率より低い電荷蓄積層4と、電荷蓄積層上に設けられ導電体間絶縁膜の何れよりも誘電率が高い第二の絶縁層5と、導電体層6と、を備えている。



【選択図】 図1

【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板に設けられ第一の導電型の不純物を含む半導体領域と、
前記半導体領域に離間して設けられ第二の導電型の不純物を含むソースおよびドレイン領域と、
前記ソースおよびドレイン領域の間の前記半導体領域の上に設けられた第一の絶縁層と

、
前記第一の絶縁層上に設けられ、少なくとも三層の導電体膜と、隣接する前記導電体膜間に設けられた導電体間絶縁膜との積層構造を有し、前記半導体基板から遠く離れて位置している前記導電体間絶縁膜の誘電率は、前記半導体基板の近くに位置している前記導電体間絶縁膜の誘電率よりも高く且つ前記導電体間絶縁膜のそれぞれの誘電率は前記第一の絶縁層の誘電率より低い電荷蓄積層と、

前記電荷蓄積層上に設けられ前記導電体間絶縁膜の何れよりも誘電率が高い第二の絶縁層と、

前記第二の絶縁層上に設けられた導電体層と、
を備えた事を特徴とする不揮発性半導体記憶素子。

【請求項 2】

半導体基板と、
前記半導体基板に設けられ第一の導電型の不純物を含む板状の半導体領域と、
板状の前記半導体領域の長手方向に離間して設けられ第二の導電型の不純物を含むソースおよびドレイン領域と、
前記ソース領域と前記ドレイン領域との間の前記半導体領域に形成されるチャンネル領域と、

前記チャンネル領域となる前記半導体領域の対向する一对の面を覆う第一の絶縁層と、
前記第一の絶縁層の前記チャンネル領域とは反対側の面上に設けられ、少なくとも三層の導電体膜と、隣接する前記導電体膜間に設けられた導電体間絶縁膜との積層構造を有し、前記チャンネル領域から遠く離れて位置している前記導電体間絶縁膜の誘電率は、前記チャンネル領域の近くに位置している前記導電体間絶縁膜の誘電率よりも高く且つ前記導電体間絶縁膜のそれぞれの誘電率は前記第一の絶縁層の誘電率より低い電荷蓄積層と、

前記電荷蓄積層の前記第一の絶縁層とは反対側の面上に設けられ前記導電体間絶縁膜の何れよりも誘電率が高い第二の絶縁層と、

前記第二の絶縁層の前記電荷蓄積層とは反対側の面上に設けられた導電体層と、
を備えた事を特徴とする不揮発性半導体記憶素子。

【請求項 3】

前記電荷蓄積層中の前記導電体膜が不純物を含む半導体である事を特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶素子。

【請求項 4】

前記電荷蓄積層中において、前記第一の絶縁層から遠く離れている前記導電体膜は、前記第一の絶縁層の近くに位置している前記導電体膜よりも大きな膜面面積を有するとともに前記第一の絶縁層の近くに位置している前記導電体間絶縁膜よりも大きな膜面面積を有し、

前記第一の絶縁層から遠く離れている前記導電体間絶縁膜は、前記第一の絶縁層の近くに位置している前記導電体間絶縁膜よりも大きな膜面面積を有するとともに前記第一の絶縁層の近くに位置している前記導電体膜よりも大きな膜面面積を有し、

前記第一の絶縁層に最も近い前記導電体膜は、前記第一の絶縁層より大きな膜面面積を有し、

前記第二の絶縁層は、前記第二の絶縁層に最も近い前記導電体膜よりも大きな膜面面積を有し、

前記導電体層は、前記第二の絶縁層よりも大きな膜面面積を有する事を特徴とする請求

10

20

30

40

50

項 1 乃至 3 の何れかに記載の不揮発性半導体記憶素子。

【請求項 5】

前記導電体間絶縁膜の膜数に 1 を加えた値が 2 の冪である事を特徴とする請求項 1 乃至 4 の何れかに記載の不揮発性半導体記憶素子。

【請求項 6】

半導体基板と、
前記半導体基板に設けられ第一の導電型の不純物を含む半導体領域と、
前記半導体領域に離間して設けられ第二の導電型の不純物を含むソースおよびドレイン領域と、

前記ソースおよびドレイン領域の間の前記半導体領域の上に設けられた第一の絶縁層と

10

、
前記第一の絶縁層上に設けられ、少なくとも二層の電荷蓄積絶縁膜が積層された積層構造を有し、前記半導体基板から遠く離れて位置している前記電荷蓄積絶縁膜の誘電率は、前記半導体基板の近くに位置している前記電荷蓄積絶縁膜の誘電率よりも高く且つ前記電荷蓄積絶縁膜のそれぞれの誘電率は前記第一の絶縁層の誘電率より低い電荷蓄積層と、
前記電荷蓄積層上に設けられ前記電荷蓄積絶縁膜の何れよりも誘電率が高い第二の絶縁層と、

前記第二の絶縁層上に設けられた導電体層と、
を備えた事を特徴とする不揮発性半導体記憶素子。

【請求項 7】

20

半導体基板と、
前記半導体基板に設けられ第一の導電型の不純物を含む板状の半導体領域と、
板状の前記半導体領域の長手方向に離間して設けられ第二の導電型の不純物を含むソースおよびドレイン領域と、

前記ソース領域と前記ドレイン領域との間の前記半導体領域に形成されるチャンネル領域と、

前記チャンネル領域となる前記半導体領域の対向する一对の面を覆う第一の絶縁層と、
前記第一の絶縁層の前記チャンネル領域とは反対側の面上に設けられ、少なくとも二層の電荷蓄積絶縁膜が積層された積層構造を有し、前記チャンネル領域から遠く離れて位置している前記電荷蓄積絶縁膜の誘電率は、前記チャンネル領域の近くに位置している前記電荷蓄積絶縁膜の誘電率よりも高く且つ前記電荷蓄積絶縁膜のそれぞれの誘電率は前記第一の絶縁層の誘電率より低い電荷蓄積層と、

30

前記電荷蓄積層の前記第一の絶縁層とは反対側の面上に設けられ前記電荷蓄積絶縁膜の何れよりも誘電率が高い第二の絶縁層と、

前記第二の絶縁層の前記電荷蓄積層とは反対側の面上に設けられた導電体層と、
を備えた事を特徴とする不揮発性半導体記憶素子。

【請求項 8】

前記電荷蓄積層中において、前記第一の絶縁層から遠く離れている前記電荷蓄積絶縁膜は、前記第一の絶縁層の近くに位置している前記電荷蓄積絶縁膜よりも大きな膜面面積を有し、

40

前記第一の絶縁層に最も近い前記電荷蓄積絶縁膜は、前記第一の絶縁層より大きな膜面面積を有し、

前記第二の絶縁層は、前記第二の絶縁層に最も近い前記電荷蓄積絶縁膜よりも大きな膜面面積を有し、

前記導電体層は、前記第二の絶縁層よりも大きな膜面面積を有する事を特徴とする請求項 6 または 7 記載の不揮発性半導体記憶素子。

【請求項 9】

前記電荷蓄積絶縁膜の膜数に 1 を加えた値が 2 の冪である事を特徴とする請求項 6 乃至 8 の何れかに記載の不揮発性半導体記憶素子。

【請求項 10】

50

前記第一の絶縁層および前記第二の絶縁層の少なくとも一方は金属を含む事を特徴とする請求項 1 乃至 9 の何れかに記載の不揮発性半導体記憶素子。

【請求項 1 1】

前記電荷蓄積層の絶縁膜の何れかは金属を含む事を特徴とする請求項 1 乃至 1 0 の何れかに記載の不揮発性半導体記憶素子。

【請求項 1 2】

前記電荷蓄積層の絶縁膜の誘電率が何れも酸化シリコンの誘電率よりも高い事を特徴とする請求項 1 乃至 1 1 の何れかに記載の不揮発性半導体記憶素子。

【請求項 1 3】

前記電荷蓄積層の絶縁膜は膜数が 3 でありかつ前記第一の絶縁層に最も近い第一の絶縁膜は酸化シリコン、窒化シリコン、および酸化窒化シリコンの何れかに依り形成され、前記第一の絶縁層に二番目に近い第二の絶縁膜は酸化アルミニウムに依り形成され、前記第一の絶縁層から最も遠い第三の絶縁膜は酸化ハフニウム、酸化ジルコニウム、ハフニウムシリケート、およびジルコニウムシリケートの何れかに依り形成され、前記第一の絶縁層および前記第二の絶縁層の少なくとも一方はランタンアルミネートに依り形成されている事を特徴とする請求項 1 乃至 1 2 の何れかに記載の不揮発性半導体記憶素子。

10

【請求項 1 4】

前記電荷蓄積層の絶縁膜の酸化膜換算膜厚が相互に実質的に等しい事を特徴とする請求項 1 乃至 1 3 の何れかに記載の不揮発性半導体記憶素子。

【請求項 1 5】

請求項 1 乃至 1 4 の何れかに記載の不揮発性半導体記憶素子が格子点状に配置され、且つ同一の行に含まれ且つ隣り合う不揮発性半導体記憶素子の前記ソースおよびドレイン領域は相互に結合され、且つ同一の列に含まれる不揮発性半導体記憶素子の前記導電体層は相互に結合されている事を特徴とする不揮発性半導体記憶装置。

20

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

この発明は不揮発性半導体記憶素子及びそれを含む不揮発性半導体記憶装置に関する。

【背景技術】

【0 0 0 2】

従来の不揮発性半導体記憶素子は、制御ゲート電極とソース・ドレイン領域と半導体基板との電位を調節する事でチャンネル領域と制御ゲート電極との間に設けた電荷蓄積層に電荷を注入ないし放出させる事に依り、電荷蓄積層の内部の電荷量を調節し、それに依って素子のしきい値電圧(素子のソースとドレインとの間のオン状態(導通状態)とオフ状態(非導通状態)との切り替わる制御ゲート電圧)を変える事で情報の記憶を行っている。この方式の不揮発性半導体記憶素子に於いて本来はしきい値電圧を二通りに変化させる事で一つの記憶素子あたり 1 ビットの情報を記憶していた。それ故、集積度の向上を図る為には個々の記憶素子あたり 1 ビットを越える情報を記憶させる必要が在る。1 ビットを越える多値の情報を記憶させる為には、電荷蓄積層中の電荷の量を微調整する事で 2 種類を超えるしきい値電圧を実現し、その結果として 1 ビットを越える情報を記憶する方法が在る。(

30

40

【非特許文献 1】Masayuki Ichige, et al., "A novel self-aligned shallow trench isolation cell for 90 nm 4Gbit NAND Flash EEPROMs," in Technical Digest of 2003 Symposium on VLSI Technology pp.89-90

【非特許文献 2】Osama Khouri, et al., "Program and Verify Word-Line Voltage Regulator for Multilevel Flash Memories," in Analog Integrated Circuits and Signal Processing, vol. 34 (2003) pp.119-131

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 3】

50

しかし、一般に素子特性にバラツキが存在する。そして上述した、電荷蓄積層中の電荷の量を微調整する等の方法で２種類を超えるしきい値電圧を実現する方法では、電荷蓄積層への電荷の例えば注入を行う場合に制御ゲート電極に少しずつ高くしながら電圧を印加しつつ、所望のしきい値電圧が実現されたか否かを確認する工程、すなわちベリファイ操作(非特許文献２参照)を行う事が必要となる。それ故、情報の書き込みを行う為の操作が複雑になり、この事は不揮発性半導体記憶素子及びこれらの素子が集積された不揮発性半導体記憶装置の高速動作化の大きな妨げとなっていた。

【 0 0 0 4 】

本発明は、上記問題点を解決するために成されたもので、ベリファイ操作が省略可能で２種類を超えるしきい値電圧の実現が可能な不揮発性半導体記憶素子及び不揮発性半導体記憶装置を提供する事を目的とする。

10

【課題を解決するための手段】

【 0 0 0 5 】

本発明の第１の態様による不揮発性半導体記憶素子は、半導体基板と、前記半導体基板に設けられ第一の導電型の不純物を含む半導体領域と、前記半導体領域に離間して設けられ第二の導電型の不純物を含むソースおよびドレイン領域と、前記ソースおよびドレイン領域の間の前記半導体領域の上に設けられた第一の絶縁層と、前記第一の絶縁層上に設けられ、少なくとも三層の導電体膜と、隣接する前記導電体膜間に設けられた導電体間絶縁膜との積層構造を有し、前記半導体基板から遠く離れて位置している前記導電体間絶縁膜の誘電率は、前記半導体基板の近くに位置している前記導電体間絶縁膜の誘電率よりも高く且つ前記導電体間絶縁膜のそれぞれの誘電率は前記第一の絶縁層の誘電率より低い電荷蓄積層と、前記電荷蓄積層上に設けられ前記導電体間絶縁膜の何れよりも誘電率が高い第二の絶縁層と、前記第二の絶縁層上に設けられた導電体層と、を備えた事の特徴とする。

20

【 0 0 0 6 】

また、本発明の第２の態様による不揮発性半導体記憶素子は、半導体基板と、前記半導体基板に設けられ第一の導電型の不純物を含む板状の半導体領域と、板状の前記半導体領域の長手方向に離間して設けられ第二の導電型の不純物を含むソースおよびドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体領域に形成されるチャンネル領域と、前記チャンネル領域となる前記半導体領域の対向する一对の面を覆う第一の絶縁層と、前記第一の絶縁層の前記チャンネル領域とは反対側の面上に設けられ、少なくとも三層の導電体膜と、隣接する前記導電体膜間に設けられた導電体間絶縁膜との積層構造を有し、前記チャンネル領域から遠く離れて位置している前記導電体間絶縁膜の誘電率は、前記チャンネル領域の近くに位置している前記導電体間絶縁膜の誘電率よりも高く且つ前記導電体間絶縁膜のそれぞれの誘電率は前記第一の絶縁層の誘電率より低い電荷蓄積層と、前記電荷蓄積層の前記第一の絶縁層とは反対側の面上に設けられ前記導電体間絶縁膜の何れよりも誘電率が高い第二の絶縁層と、前記第二の絶縁層の前記電荷蓄積層とは反対側の面上に設けられた導電体層と、を備えた事の特徴とする。

30

【 0 0 0 7 】

また、本発明の第３の態様による不揮発性半導体記憶素子は、半導体基板と、前記半導体基板に設けられ第一の導電型の不純物を含む半導体領域と、前記半導体領域に離間して設けられ第二の導電型の不純物を含むソースおよびドレイン領域と、前記ソースおよびドレイン領域の間の前記半導体領域の上に設けられた第一の絶縁層と、前記第一の絶縁層上に設けられ、少なくとも二層の電荷蓄積絶縁膜が積層された積層構造を有し、前記半導体基板から遠く離れて位置している前記電荷蓄積絶縁膜の誘電率は、前記半導体基板の近くに位置している前記電荷蓄積絶縁膜の誘電率よりも高く且つ前記電荷蓄積絶縁膜のそれぞれの誘電率は前記第一の絶縁層の誘電率より低い電荷蓄積層と、前記電荷蓄積層上に設けられ前記電荷蓄積絶縁膜の何れよりも誘電率が高い第二の絶縁層と、前記第二の絶縁層上に設けられた導電体層と、を備えた事の特徴とする。

40

【 0 0 0 8 】

また、本発明の第４の態様による不揮発性半導体記憶素子は、半導体基板と、前記半導

50

体基板に設けられ第一の導電型の不純物を含む板状の半導体領域と、板状の前記半導体領域の長手方向に離間して設けられ第二の導電型の不純物を含むソースおよびドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体領域に形成されるチャンネル領域と、前記チャンネル領域となる前記半導体領域の対向する一対の面を覆う第一の絶縁層と、前記第一の絶縁層の前記チャンネル領域とは反対側の面上に設けられ、少なくとも二層の電荷蓄積絶縁膜が積層された積層構造を有し、前記チャンネル領域から遠く離れて位置している前記電荷蓄積絶縁膜の誘電率は、前記チャンネル領域の近くに位置している前記電荷蓄積絶縁膜の誘電率よりも高く且つ前記電荷蓄積絶縁膜のそれぞれの誘電率は前記第一の絶縁層の誘電率より低い電荷蓄積層と、前記電荷蓄積層の前記第一の絶縁層とは反対側の面上に設けられ前記電荷蓄積絶縁膜の何れよりも誘電率が高い第二の絶縁層と、前記第二の絶縁層の前記電荷蓄積層とは反対側の面上に設けられた導電体層と、を備えた事の特徴とする。

10

【0009】

また、本発明の第5の態様による不揮発性半導体記憶装置は、上記第1乃至第4の態様の何れかに記載の不揮発性半導体記憶素子が格子点状に配置され、且つ同一の行に含まれ且つ隣り合う不揮発性半導体記憶素子の前記ソースおよびドレイン領域は相互に結合され、且つ同一の列に含まれる不揮発性半導体記憶素子の前記導電体層は相互に結合されている事の特徴とする。

【発明の効果】

【0010】

本発明に依れば、ペリファイ操作が省略可能で2種類を超えるしきい値電圧の実現が可能な不揮発性半導体記憶素子及び不揮発性半導体記憶装置を提供することができる。

20

【発明の実施の形態】

【0011】

以下、図面を参照して本発明の実施形態を詳細に説明する。また本発明は以下の実施形態に限定されるものではなく、例えば半導体記憶装置、システムLSI等に種々変更して用いる事ができる。

【0012】

(第1実施形態)

本発明の第1実施形態による不揮発性半導体記憶素子を図1に示す。

30

【0013】

本実施形態の不揮発性半導体記憶素子は、半導体基板1にソース・ドレイン領域2a、2bが離間して形成され、このソース領域2aとドレイン領域2bとの間のチャンネルとなる半導体基板1の領域2c上に第一の絶縁層(トンネルゲート絶縁膜)3が形成されている。この第一の絶縁層3の上に電荷蓄積層4が形成され、この電荷蓄積層4は、複数層(本実施形態では4層)の導電体膜4a、4c、4e、4gが積層され、これらの導電体膜間に設けられた第1乃至第3の導電体間絶縁膜4b、4d、4fが積層された積層構造を有している。すなわち、電荷蓄積層4は、第一の絶縁層3上に、第一の導電体膜4a、第一の導電体間絶縁膜4b、第二の導電体膜4c、第二の導電体間絶縁膜4d、第三の導電体膜4e、第三の導電体間絶縁膜4f、および第四の導電体膜4gが順次積層された積層構造を有している。なお、本実施形態では、電荷蓄積層4の導電体膜は四層であったが、少なくとも三層の導電体膜が積層されていればよい。電荷蓄積層4上に第二の絶縁層(電極間絶縁膜)5が形成され、第二の絶縁層5上に導電体層(制御ゲート電極)6が形成されている。なお、図1に於いては素子分離領域、層間絶縁膜、配線金属等は省略されており、示されていない。また、図1に於いて縮尺は正確ではない。以下の図面に於いても同様である。なお、本実施形態の素子に於いて配線の必要な端子は制御ゲート電極、基板、ソース領域、ドレイン領域の4端子で、従来構造の不揮発性半導体記憶素子と同様の配線で動作を行う事が可能であり、従来構造の不揮発性半導体記憶素子と比較して配線の複雑化は伴わない。

40

【0014】

50

本実施形態においては、電荷蓄積層 4 中の導電体間絶縁膜 4 b、4 d、4 f の誘電率は半導体基板 1 から遠い導電体間絶縁膜ほど高く設定され、第一の絶縁層 3 及び第二の絶縁層 5 の誘電率は何れも電荷蓄積層 4 中の導電体間絶縁膜 4 b、4 d、4 f の誘電率よりも高く設定されている。すなわち、第三の導電体間絶縁膜 4 f の誘電率は第二の導電体間絶縁膜 4 d の誘電率よりも高く、第二の導電体間絶縁膜 4 d の誘電率は第一の導電体間絶縁膜 4 b の誘電率よりも高く設定されている。

【0015】

この様な構成にすることにより、後述するように制御ゲート電極 6 に印加する電圧の増大に伴ってしきい値電圧が階段状に変化する。その結果として 2 種類を超えるしきい値電圧の実現が可能となるとともにペリファイ操作の省略が可能となる。以下にこの事を説明する。電荷蓄積層 4 を構成する導電体膜相互の間の電荷の移動は電荷蓄積層 4 中の導電体膜の間に形成されている導電体間絶縁膜を貫くトンネル電流を用いて行う。それ故、導電体間絶縁膜中の電場を特定の値よりも強くした場合には電荷が移動し、特定の値よりも弱くした場合には電荷が移動しないと言う様に不連続に変わるものではない。ここで、特定の導電体間絶縁膜の両側に電極を形成した MIM (Metal-Insulator-Metal) キャパシターを考え、この MIM キャパシターに於いて電流値が予め決めておいた特定の値になるところの、その導電体間絶縁膜中の電場を「書き込み電場」と呼ぶ事にすると「書き込み電場」は明確に定義される。本明細書中ではこの言葉をここに記した意味で用いる。

【0016】

比較例として、先ず単層の導電体膜からなる電荷蓄積層を備えた不揮発性半導体記憶素子を考える。この比較例の不揮発性半導体記憶素子のチャネル領域を流れる電流に平行な方向の断面を図 2 (a) に示す。この図 2 (a) に示す比較例の不揮発性半導体記憶素子は、図 1 に示す本実施形態の不揮発性半導体記憶素子の電荷蓄積層 4 を単層の導電体膜からなる電荷蓄積層 4 0 に置き換えた構成となっている。

【0017】

制御ゲート電極 6 を含む積層構造を、簡単の為に図 2 (a) 中の切断線 B - B で切った切り口を一次元化して考えると、図 2 (b) に示す様に電極間絶縁膜 5 の容量 C_{int} とトンネルゲート絶縁膜 3 の容量 C_{tunnel} との直列接続と等価である。制御ゲート電極 6 の電位を V_{CG} 、チャネル領域 2 c の電位を V_{CH} とし、電荷蓄積層 4 0 中に蓄えられている電荷を Q とする。トンネルゲート絶縁膜 3 中の電場が書き込み電場となる電圧条件を「書き込み電圧条件」と本明細書中では呼ぶ事にする。ここでは n 型の素子を考える事にする。

【0018】

まず、書き込みを考える。電位 V_{CG} を書き込み電圧条件よりも V 高く設定すると、電荷蓄積層 4 0 に電荷が注入される。この時に注入される電荷の符号は負であるので、電荷が注入されるに従ってトンネルゲート絶縁膜 3 中の電場は弱くなり、やがては電荷の注入が止まる。この状態で電荷蓄積層 4 0 に蓄えられている電荷 Q は $Q = -C_{int} \times V$ で与えられる。それ故、この状態での素子のしきい値電圧 V_{TH} は電荷蓄積層 4 0 に電荷が存在しない場合のしきい値電圧 V_{TH0} を用いて

$$V_{TH} = V_{TH0} - Q / C_{int} = V_{TH0} + V$$

で与えられる。それ故、 $V_{TH} / V_{CG} = 1$ が成り立つ。

【0019】

消去も同様に考えるとやはり $V_{TH} / V_{CG} = 1$ が成り立つ事が解る。すなわち、電位 V_{CG} を増大させるのに伴ってしきい値電圧 V_{TH} も一様に増大する事になる。それ故、しきい値電圧を特定の精度で制御する為にはそれと等しい精度で、書き込みおよび消去時の制御ゲート電極 6 の電位を制御する必要があり、実際には次第に高い電位 V_{CG} を印加しつつペリファイ操作を行う必要が在る。なお、消去時の電荷蓄積層 4 0 からの電荷の放出は、制御ゲート電極 6 に、半導体基板 1 に対して負の電圧を印加して半導体基板 1 に電子を放出しても良いし、制御ゲート電極に、ソース・ドレイン領域に対して負の電位を印加してソース・ドレイン領域 2 a、2 b に電子を放出してもよい。

【 0 0 2 0 】

次に本実施形態の不揮発性半導体記憶素子に戻って考える。

【 0 0 2 1 】

図 1 中の切断線 A - A で切った切り口を考える。制御ゲート電極 6、第二の絶縁層 5、第四の導電体膜 4 g、第三の導電体間絶縁膜 4 f、第三の導電体膜 4 e、第二の導電体間絶縁膜 4 d、第二の導電体膜 4 c、第一の導電体間絶縁膜 4 b、第一の導電体膜 4 a、第一の絶縁層 3、および半導体基板 1 を、簡単の為に一次元化して考える。すると、本実施形態の不揮発性半導体記憶素子は、図 3 に示す様に第一の絶縁層 3 の容量 C_1 と、第一乃至第三の導電体間絶縁膜 4 b、4 d、4 f の容量 $C_{i n t 1}$ 、 $C_{i n t 2}$ 、 $C_{i n t 3}$ と、第二の絶縁層 5 の容量 C_2 と、の直列接続と等価となる。

10

【 0 0 2 2 】

制御ゲート電極 6 の電位を $V_{c G}$ 、チャネル領域 2 c の電位を $V_{c H}$ とする。そして第一乃至第四の導電体膜 4 a、4 c、4 e、4 g 中に蓄えられている電荷を各々 Q_1 、 Q_2 、 Q_3 、 Q_4 とする。また、第一乃至第三の導電体間絶縁膜 4 b、4 d、4 f の誘電率を各々 $k_{i n t 1}$ 、 $k_{i n t 2}$ 、 $k_{i n t 3}$ とし、第一乃至第三の導電体間絶縁膜 4 b、4 d、4 f 中の電場を各々 $E_{i n t 1}$ 、 $E_{i n t 2}$ 、 $E_{i n t 3}$ とする。そして第一および第二の絶縁層 3、5 の誘電率を各々 k_1 、 k_2 とし、第一及び第二の絶縁層 3、5 中の電場を各々 E_1 、 E_2 とする。ここでは n 型の素子を考える事にする。また、各導電体膜は半導体で形成されているとし、各導電体膜中のキャリアは電子であるとする。p 型の素子の場合ないし各導電体膜中のキャリアがホールである場合も電圧の極性を逆にすれば全く同様である。

20

【 0 0 2 3 】

まず、書き込みを考える。先ず、導電体膜 4 a、4 c、4 e、4 g 中の電子は第一の導電体膜 4 a 中にのみ存在しているとする。この状態に於けるしきい値電圧を $V_{T H 1}$ とする。電荷の総量を Q とすると $Q_1 = Q$ 、 $Q_2 = Q_3 = Q_4 = 0$ である。各導電体膜 4 a、4 c、4 e、4 g 中のキャリアは電子であるとしているので $Q < 0$ である。この時、静電気学のガウスの定理を用いると、

$$\begin{aligned} k_{i n t 1} \times E_{i n t 1} &= k_{i n t 2} \times E_{i n t 2} = k_{i n t 3} \times E_{i n t 3} = k_2 \\ &\times E_2 \\ &= k_1 \times E_1 + |Q| \end{aligned}$$

30

が成り立つ。上に記した様に、 $k_{i n t 1} < k_{i n t 2} < k_{i n t 3} < k_1$ 、 k_2 と設定されているので、

$$E_{i n t 1} > E_{i n t 2} > E_{i n t 3} > E_1, E_2$$

が成り立つ。それ故、 $V_{c H}$ を一定値に保って $V_{c G}$ を増大させると先ず、第一の導電体間絶縁膜 4 b 中の電場 $E_{i n t 1}$ のみが書き込み電場に達する。この時の制御ゲート電極 6 の電位 $V_{c G}$ を V_1 と記す。電位 $V_{c G}$ を V_1 よりも V 高く設定すると、第一の導電体膜 4 a 中に蓄えられていた電荷が第一の導電体間絶縁膜 4 b を通過して第二の導電体膜 4 c に電荷が注入される。この時に注入される電荷の符号は負であるので、電荷が注入されるに従って第一の導電体間絶縁膜 4 b 中の電場は弱くなり、やがては電荷の注入が止まる。この状態で第二の導電体膜 4 c に蓄えられている電荷 Q' は

40

$$Q' = -C_{i n t 1} \times V$$

で与えられる。それ故、この状態での素子のしきい値電圧 $V_{T H}$ は第一の導電体膜 4 a に電荷が Q 存在している場合のしきい値電圧 $V_{T H 1}$ を用いて

$$V_{T H} = V_{T H 1} - Q' / C_{i n t 1} = V_{T H 1} + V$$

で与えられる。それ故、この電圧範囲では $V_{T H} / V_{c G} = 1$ が成り立つ。 $V_{c G}$ を増大させ、 $V_{c G} = V_1 - Q / C_{i n t 1}$ とすると、第一の導電体膜 4 a 中に存在していた電荷はすべて第二の導電体膜 4 c に移動し、 $Q_2 = Q$ 、 $Q_1 = Q_3 = Q_4 = 0$ となる。

【 0 0 2 4 】

以下では $V_1 - Q / C_{i n t 1}$ を V_1' と記す。 $Q < 0$ であるので $V_1 < V_1'$ である。なお、 $V_{c G} = V_1'$ とした場合の第二の導電体膜 2 c 中の電場 $E_{i n t 2}$ は書き込み

50

電場よりも弱いとする。これは、第一の導電体間絶縁膜 4 b の誘電率 $k_{i n t 1}$ よりも第二の導電体間絶縁膜 4 d の誘電率 $k_{i n t 2}$ を十分に高く設定する事により可能である。電位 $V_{c g}$ を更に増大させると第二の導電体間絶縁膜 4 d 中の電場 $E_{i n t 2}$ が書き込み電場に達する。この時の電位 $V_{c g}$ を V_2 と記す。

【 0 0 2 5 】

電位 $V_{c g}$ が V_1' と V_2 との間にあると、第一の導電体間絶縁膜 4 b 中の電場 $E_{i n t 1}$ は書き込み電場よりも強いが、この状態では第一の導電体膜 4 a 中に電子は存在しないので第一の導電体間絶縁膜 4 b を通過しての電荷の移動は起こらない。また第二乃至第三の導電体間絶縁膜 4 b、4 d 中の電場 $E_{i n t 2}$ 、 $E_{i n t 3}$ 並びに第一乃至第二の絶縁層 3、5 中の電場 E_1 、 E_2 は何れも書き込み電場よりも弱いので第二乃至第三の導電体間絶縁膜 4 d、4 f を通過しての電荷の移動も、第一乃至第二の絶縁層 3、5 を通過しての電荷の移動も起こらない。すなわちしきい値電圧 $V_{T H}$ は一定の値に保たれる。この一定値を $V_{T H 2}$ とする。

10

【 0 0 2 6 】

電位 $V_{c g}$ を V_2 よりも V 高く設定すると、第二の導電体膜 4 c 中に蓄えられていた電荷が第二の導電体間絶縁膜 4 d を通過して第三の導電体膜 4 e に電荷が注入される。この時に注入される電荷の符号は負であるので、電荷が注入されるに従って第二の導電体間絶縁膜 4 d 中の電場は弱くなり、やがては電荷の注入が止まる。この状態で第三の導電体膜 4 e に蓄えられている電荷 Q'' は $Q'' = -C_{i n t 2} \times V$ で与えられる。それ故、この状態での素子のしきい値電圧 $V_{T H}$ は第二の導電体膜 4 c に電荷 Q が存在している場合のしきい値電圧 $V_{T H 2}$ を用いて

20

$$V_{T H} = V_{T H 2} - Q'' / C_{i n t 2} = V_2 + V$$

で与えられる。それ故、この電圧範囲では $V_{T H} / V_{c g} = 1$ が成り立つ。 $V_{c g}$ を増大させ、 $V_{c g} = V_2 - Q / C_{i n t 2}$ とすると第二の導電体膜 4 c 中に存在していた電荷はすべて第三の導電体膜 4 e に移動し、 $Q_3 = Q$ 、 $Q_1 = Q_2 = Q_4 = 0$ となる。

30

【 0 0 2 7 】

以下では $V_2 - Q / C_{i n t 2}$ を V_2' と記す。 $Q < 0$ であるので $V_2 < V_2'$ である。なお、 $V_{c g} = V_2'$ とした場合の第三の導電体間絶縁膜 4 f 中の電場 $E_{i n t 3}$ は書き込み電場よりも弱いとする。これは、第二の導電体間絶縁膜 4 d の誘電率 $k_{i n t 2}$ よりも第三の導電体間絶縁膜 4 f の誘電率 $k_{i n t 3}$ を十分に高く設定する事により可能である。電位 $V_{c g}$ を更に増大させると第三の導電体間絶縁膜 4 f 中の電場 $E_{i n t 3}$ が書き込み電場に達する。この時の電位 $V_{c g}$ を V_3 と記す。 $V_{c g}$ が V_2' と V_3 との間にあると、第一乃至第二の導電体間絶縁膜 4 b、4 d 中の電場 $E_{i n t 1}$ 乃至 $E_{i n t 2}$ は書き込み電場よりも強いが、この状態では第一乃至第二の導電体膜 4 a、4 c 中に電子は存在しないので第一乃至第二の導電体間絶縁膜 4 b、4 d を通過しての電荷の移動は起こらない。また第三の導電体間絶縁膜 4 f 中の電場 $E_{i n t 3}$ 並びに第一乃至第二の絶縁層 3、5 中の電場 E_1 、 E_2 は何れも書き込み電場よりも弱いので第三の導電体間絶縁膜 4 f を通過しての電荷の移動も、第一乃至第二の絶縁層 3、5 を通過しての電荷の移動も起こらない。すなわち、しきい値電圧 $V_{T H}$ は一定の値に保たれる。この一定値を $V_{T H 3}$ とする。電位 $V_{c g}$ を V_3 よりも V 高く設定すると、第三の導電体膜 4 e 中に蓄えられていた電荷が第三の導電体間絶縁膜 4 f を通過して第四の導電体膜 4 g に電荷が注入される。この時に注入される電荷の符号は負であるので、電荷が注入されるに従って第三の導電体間絶縁膜 4 f 中の電場は弱くなり、やがては電荷の注入が止まる。この状態で第四の導電体膜 4 g に蓄えられている電荷 Q''' は

40

$$Q''' = -C_{i n t 3} \times V$$

で与えられる。それ故、この状態での素子のしきい値電圧 $V_{T H}$ は第三の導電体膜 4 e に電荷 Q が存在している場合のしきい値電圧 $V_{T H 3}$ を用いて

$$V_{T H} = V_{T H 3} - Q''' / C_{i n t 3} = V_{T H 3} + V$$

で与えられる。それ故、この電圧範囲では $V_{T H} / V_{c g} = 1$ が成り立つ。

【 0 0 2 8 】

50

電位 V_{CG} を更に増大させ、 $V_{CG} = V_3 - Q / C_{int3}$ とすると第三の導電体膜 4 e 中に存在していた電荷はすべて第四の導電体膜 4 g に移動し、 $Q_4 = Q$ 、 $Q_1 = Q_2 = Q_3 = 0$ となる。以下では $V_3 - Q / C_{int3}$ を V_3' と記す。 $Q < 0$ であるので $V_3 < V_3'$ である。なお、 $V_{CG} = V_3'$ とした場合の第一乃至第二の絶縁層 3、5 中の電場 E_1 、 E_2 は書き込み電場より弱いとする。これは、第三の導電体間絶縁膜 4 f の誘電率 k_{int3} よりも第一乃至第二の絶縁層 3、5 の誘電率 k_1 、 k_2 を十分に高く設定する事により可能である。

【0029】

電位 V_{CG} を更に増大させると第一の絶縁層 3 中の電場 E_1 乃至第二の絶縁層 5 中の電場 E_2 が書き込み電場に達する。この時の電位 V_{CG} を V_4 と記す。電位 V_{CG} が V_3' と V_4 との間にあると、第一乃至第三の導電体間絶縁膜 4 b、4 d、4 f 中の電場 E_{int1} 、 E_{int2} 、 E_{int3} は書き込み電場より強いが、この状態では第一乃至第三の導電体膜 4 a、4 c、4 e 中に電子は存在しないので第一乃至第三の導電体間絶縁膜 4 b、4 d、4 f を通過しての電荷の移動は起こらない。また第一乃至第二の絶縁層 3、5 中の電場 E_1 、 E_2 は何れも書き込み電場よりも弱いので第一乃至第二の絶縁層 3、5 を通過しての電荷の移動も起こらない。すなわち V_{TH} は一定の値に保たれる。この一定値を V_{TH4} とする。

【0030】

以上の操作の下での、制御ゲート電極に印加される電位 V_{CG} の変化に対するしきい値電圧 V_{TH} の変化を模式的に図 4 に実線で示す。破線と一点鎖線とに関しては後述する。図 4 に於いては横軸の範囲は V_4 よりも低いとして、 V_4 は示されていない。すなわち本実施形態の不揮発性半導体記憶素子に於いては、電位 V_{CG} の増大に伴ってしきい値電圧 V_{TH} は階段状に変化する。これは今回の検討で新たに得られた知見である。

【0031】

なお、本実施形態に於いては、電荷蓄積層 4 の導電体膜が 4 層である場合を例に取り説明を行ったので、不揮発性半導体記憶素子のしきい値電圧は 4 通りの値を取る事が可能であり、その結果として一つの不揮発性半導体記憶素子あたり 4 値を記憶する事が可能である。一般に、 N を正の整数として電荷蓄積層の導電体膜を N 層設けると、不揮発性半導体記憶素子のしきい値電圧は N 通りの値を取る事が可能であり、その結果として一つの不揮発性半導体記憶素子あたり N 値を記憶する事が可能となる。それ故、 N を 3 以上とすると不揮発性半導体記憶素子のしきい値電圧は 3 通り以上の値を取る事が可能となり、その結果として一つの不揮発性半導体記憶素子あたり 1 ビットを越える情報の記憶が可能となる。その帰結として記憶容量の増大が図られると言う利点を得られる。そして上に示した様に、制御ゲート電極 6 に印加する電位 V_{CG} の増大に伴ってしきい値電圧 V_{TH} は階段状に変化するので、ペリファイ操作を省略する事が可能となり、その結果として記憶容量が大きく且つ高速動作の可能な不揮発性半導体記憶素子が実現される。特に N が 2 の冪の場合、すなわち導電体間絶縁膜の層数に 1 を加えた値が 2 の冪の場合には、一つの不揮発性半導体記憶素子あたりに記憶する事の可能な情報量が整数ビットとなる為に情報の処理が容易であると言う利点を得られる。

【0032】

(第 1 実施形態の製造方法)

次に本実施形態に依る不揮発性半導体記憶素子の製造方法について以下に説明する。ここでは n 型の不揮発性半導体記憶素子の場合を説明する。 p 型の不揮発性半導体記憶素子の場合も不純物の導電型を逆にすれば全く同様に製造することができる。

【0033】

先ず図 5 に示す様に、半導体基板 1 に素子分離領域 (図示せず) を形成した後に、 B (硼素) イオンを例えば 30 keV のエネルギー、 1×10^{12} 原子 / cm^2 の濃度で注入した後に、例えば 1050 、 30 秒の熱工程を加える。続いて半導体基板 1 の上に例えば化学的気相成長法 (Chemical Vapor Deposition 法、以下では「 CVD 法」と記す) を用いて例えば厚さ 30 nm の第一の LaAlO_3 (ランタンアルミネート) 膜 16 を形成

10

20

30

40

50

する。続いて、第一の LaAlO_3 膜 16 上に例えば CVD 法等の方法を用いて例えば As (砒素) を例えば 2×10^{18} 原子 / cm^3 の濃度で含む例えば厚さ 5 nm の第一の多結晶シリコン膜 17 を形成する。

【0034】

次に図 6 に示す様に、第一の多結晶シリコン膜 17 上に例えば CVD 法等の方法を用いて例えば厚さ 8 nm の Si_3N_4 (窒化シリコン) 膜 18 を形成する。続いて Si_3N_4 膜 18 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子 / cm^3 の濃度で含む例えば厚さ 5 nm の第二の多結晶シリコン膜 19 を形成する。

【0035】

次に図 7 に示す様に、第二の多結晶シリコン膜 19 上に例えば CVD 法等の方法を用いて例えば厚さ 10 nm の Al_2O_3 (酸化アルミニウム) 膜 20 を形成する。続いて Al_2O_3 膜 20 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子 / cm^3 の濃度で含む例えば厚さ 5 nm の第三の多結晶シリコン膜 21 を形成する。

【0036】

次に図 8 に示す様に、第三の多結晶シリコン膜 21 上に例えば CVD 法等の方法を用いて例えば厚さ 25 nm の HfO_2 (酸化ハフニウム) 膜 22 を形成する。続いて HfO_2 膜 22 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子 / cm^3 の濃度で含む例えば厚さ 5 nm の第四の多結晶シリコン膜 23 を形成する。

【0037】

次に図 9 に示す様に、第四の多結晶シリコン膜 23 上に例えば CVD 法等の方法を用いて例えば厚さ 30 nm の第二の LaAlO_3 膜 24 を形成する。続いて第二の LaAlO_3 膜 24 上に例えば CVD 法等の方法を用いて例えば厚さ 50 nm の例えば W (タングステン) 膜 25 を形成する。

【0038】

次に図 10 に示す様に、例えば反応性イオンエッチング法 (Reactive Ion Etching 法、以下では「RIE 法」と記す) 等の方法を用いる事に依り、タングステン膜 25、第二の LaAlO_3 膜 24、第四の多結晶シリコン膜 23、 HfO_2 膜 22、第三の多結晶シリコン膜 21、 Al_2O_3 膜 20、第二の多結晶シリコン膜 19、 Si_3N_4 膜 18、第一の多結晶シリコン膜 17、および第一の LaAlO_3 膜 16 をパターニングし、制御ゲート電極 6、第二の絶縁層 5、第四の導電体膜 4g、第三の導電体間絶縁膜 4f、第三の導電体膜 4e、第二の導電体間絶縁膜 4d、第二の導電体膜 4c、第一の導電体間絶縁膜 4b、第一の導電体膜 4a、第一の絶縁層 3 を形成する。

【0039】

次に、例えば As イオンを例えば 5 keV のエネルギー、 1×10^{15} 原子 / cm^2 の濃度で注入し、熱工程を施す事に依りソース・ドレイン領域 2a、2b を形成する。以後は周知の技術を用いて、従来の不揮発性半導体記憶素子と同様に、層間絶縁膜形成工程や配線工程等を経て図 1 に示す本実施形態の不揮発性半導体記憶素子が形成される。

【0040】

本実施形態に於いては n 型素子の場合を例に取って示したが、不純物の導電型を逆にすれば p 型素子の場合にも、そして光蝕刻法等の方法を用いて基板内の特定の領域にのみ不純物を導入すれば相補型の場合に対しても同様である。また、それらを一部として含む半導体装置にも用いる事ができる。

【0041】

また、本実施形態に於いては不揮発性半導体記憶素子のみの形成工程を示したが、不揮発性半導体記憶素子の他に、電界効果トランジスターやバイポーラー型トランジスターや単一電子トランジスター等の能動素子、または抵抗体やダイオードやインダクターやキャパシター等の受動素子、または例えば強誘電体を用いた素子や磁性体を用いた素子をも含む半導体装置の一部として不揮発性半導体記憶素子を形成する場合にも用いる事ができる。OEIC (オプト・エレクトリカル・インテグレートッド・サーキット) や MEMS (マイクロ・エレクトロ・メカニカル・システム) の一部として不揮発性半導体記憶素子を

10

20

30

40

50

形成する場合もまた同様である。不揮発性半導体記憶素子の周辺回路を含んで良い事は言うまでも無い。

【0042】

また、本実施形態に於いてはパルク基板上に形成する場合を例に取って説明したが、SOI (Semiconductor on Insulator) 基板上に形成する場合も同様であり、同様の効果が得られる。

【0043】

また、本実施形態に於いては、n型半導体層を形成する為の不純物としてはAsを、p型半導体層を形成する為の不純物としてはBを用いたが、n型半導体層を形成する為の不純物として他のV族不純物を用い、p型半導体層を形成する為の不純物として他のIII族不純物を用いてもよい。また、III族やV族の不純物の導入はそれらを含む化合物の形で行ってもよい。

10

【0044】

また、本実施形態に於いては、ソース・ドレインへの不純物の導入はイオン注入を用いて行ったが、イオン注入以外の例えば固相拡散や気相拡散等の方法を用いてもよい。また、不純物を含有する半導体を堆積するしないしは成長させる等の方法を用いてもよい。また、本実施形態に於いては、導電体膜は不純物を含有する半導体を堆積させたが、半導体膜を形成した後に例えばイオン注入の方法または固相拡散や気相拡散等の方法を用いて不純物を導入してもよい。イオン注入の方法を用いるとn型素子とp型素子とを含む相補型の半導体装置の形成が容易であると言う利点があり、不純物を含有する半導体を堆積する乃至固相拡散や気相拡散等の方法を用いて不純物の導入を行うと、高い不純物濃度の実現が容易であると言う利点がある。

20

【0045】

また、本実施形態に於いては、素子のしきい値電圧を調節する為の不純物導入は行っていないが、ウエル形成の為の不純物導入とは別にしきい値電圧調節の為の不純物導入を行ってもよい。この様にするとしきい値電圧を所望の値に設定しやすくなるという利点がある。また、本実施形態の様にすると工程の簡略化が図られるという利点がある。

【0046】

また、本実施形態に於いては、シングルドレイン構造の素子を示したが、シングルドレイン構造以外の例えばエクステンション構造の素子を構築したとしてもよい。またハロー構造等の素子を構築してもよい。これらの様な構造とすると素子の短チャネル効果に対する耐性が向上するので好ましい。

30

【0047】

また、本実施形態に於いては、ソース・ドレイン領域2a、2bの形成を制御ゲート電極6ないし第一の絶縁層3の加工の後に行っているが、これらの順序は本質ではなく、逆の順序で行ってもよい。制御ゲート電極6ないし第一の絶縁層3の材質によっては熱工程を施す事が好ましくない場合がある。その様な場合にはソース・ドレイン領域2a、2bへの不純物の導入ないし活性化の熱工程を制御ゲート電極6ないし第一の絶縁層3の加工に先立って行う事が好ましい。

【0048】

また、本実施形態に於いては、電荷蓄積層4中の導電体膜4a、4c、4e、4gは多結晶シリコンを用いて形成しているが、他の材料を用いてもかまわない。例えばタングステン、チタン、タンタル等の金属や、タングステンナイトライド、チタンナイトライド、タンタルナイトライド等の金属窒化物、タングステンシリサイド、チタンシリサイド、タンタルシリサイド等の金属珪化物等の化合物を用いて形成してもよい。また単結晶シリコンや非晶質シリコン等の多結晶シリコン以外の半導体を用いて形成してもよい。ないしは、それらの積層で形成してもよい。制御ゲート電極6に関しても同様である。

40

【0049】

半導体を用いて電荷蓄積層4中の導電体膜4a、4c、4e、4gを形成すると、図4に示す様に、制御ゲート電圧の増大に伴ってしきい値電圧が階段状に変化するので、ペリ

50

ファイ操作を省略する事が可能となり、一つの不揮発性半導体記憶素子に1ビットを超える情報を記憶する事が可能で且つ動作の簡略化が図られると言う利点がある。また、電荷蓄積層4は粒子状形状の金属ないし半導体等ないしそれらの化合物等を用いてもよい。また、金属ないし金属を含む化合物で制御ゲート電極6を形成すると制御ゲート電極6の抵抗が抑制されるので素子の高速動作が得られ、好ましい。また金属で制御ゲート電極6ないし電荷蓄積層4中の導電体膜4a、4c、4e、4gを形成すると酸化反応が進みにくいので、第一の絶縁層3、第二の絶縁層5、および導電体間絶縁膜4b、4d、4fと、制御ゲート電極6、チャネル領域2c、および電荷蓄積層中の導電体膜と、の界面に於ける準位が抑制される等の界面の制御性が良いと言う利点も有る。また、制御ゲート電極6ないし電荷蓄積層4の少なくとも一部に多結晶シリコン等の半導体を用いると仕事関数の制御が容易であるので素子のしきい値電圧の調節が容易になると言う別の利点がある。

10

【0050】

また、本実施形態に於いては、制御ゲート電極6ないし電荷蓄積層4の形成はそれらの材料を堆積した後に異方性エッチングを施すと言う方法を用いて形成しているが、例えばダマシンプロセス等のような埋め込み等の方法を用いて形成してもよい。制御ゲート電極6ないし電荷蓄積層4の形成に先立ってソース・ドレイン領域2a、2cを形成する場合には、ダマシンプロセスを用いるとソース・ドレイン領域2a、2bと制御ゲート電極6ないし電荷蓄積層4とが自己整合的に形成されるので好ましい。

【0051】

また、本実施形態に於いては、素子を通る電流の主方向(図1の左右方向)に測った制御ゲート電極6の長さは、制御ゲート電極6の上部も下部も等しいが、この事は本質的ではない。例えば制御ゲート電極6の上部を測った長さの方が下部を測った長さよりも長いアルファベットの「T」の字の様な形であってもよい。この場合にはゲート抵抗を低減する事ができると言う利点がある。

20

【0052】

また、本実施形態に於いては明記していないが、配線の為の金属層の形成は例えばスパッタ法等を用いてもよいし堆積法等の方法を用いてもよい。また、金属の選択成長等の方法を用いてもよいしダマシン法等の方法を用いてもよい。また、配線金属の材料は例えばシリコンを含有するAl(アルミニウム)等を用いても、例えばCu(銅)等の金属を用いてもよい。特にCuは抵抗率が低いので好ましい。

30

【0053】

また、本実施形態に於いては、シリサイド工程には言及しなかったが、ソース・ドレイン領域2a、2b上にシリサイド層を形成してもよい。また、ソース・ドレイン領域2a、2b上に金属を含む層を堆積ないしは成長させる等の方法を用いてもよい。この様にするとソース・ドレイン領域2a、2bの抵抗が低減されるので好ましい。また、制御ゲート電極6を多結晶シリコン等で形成する場合には、制御ゲート電極6に対してシリサイド化を施してもよい。その場合にシリサイド化を施すとゲート抵抗が低減されるので好ましい。

【0054】

また、エレベート構造を用いてもよい。エレベート構造によってもソース・ドレイン領域の抵抗が低減されるので好ましい。

40

【0055】

また、本実施形態に於いては、制御ゲート電極6の上部は電極が露出する構造であるが、上部に例えば酸化シリコンや窒化シリコンや酸化窒化シリコン等の絶縁物を設けてもよい。特に制御ゲート電極6が金属を含む材料で形成されており、且つソース・ドレイン領域2a、2b上にシリサイド層を形成する場合等、製造工程の途中で制御ゲート電極6を保護する必要がある場合等は制御ゲート電極6の上部に酸化シリコンや窒化シリコンや酸化窒化シリコン等の保護材料を設ける事は必須である。

【0056】

また、本実施形態に於いては、第一および第二の絶縁層3、5としてランタンアルミネ

50

ート膜を用い、第一乃至第三の導電体間絶縁膜 4 b、4 d、4 f として各々窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いた。しかしながら、第一および第二の絶縁層 3、5、乃至第一乃至第三の導電体間絶縁膜 4 b、4 d、4 f の何れかとして酸化シリコン膜または酸化窒化シリコン膜等の絶縁膜、ないしはそれらの積層等の他の絶縁膜を用いてもよい。絶縁膜中に窒素が存在すると、制御ゲート電極 6 ないし電荷蓄積層 4 中の導電体膜 4 a、4 c、4 e、4 g として不純物を含有する多結晶シリコンを用いる場合に不純物が基板 1 中に拡散する事が抑制され、これにより、しきい値電圧のバラツキが抑制されるという利点があるので好ましい。一方、第一および第二の絶縁層 3、5、乃至第一乃至第三の導電体間絶縁膜 4 b、4 d、4 f の何れかとして酸化シリコンを用いると、絶縁層 3、5、絶縁膜 4 b、4 d、4 f と、導電体膜 4 a、4 c、4 e、4 f、制御ゲート電極 6 および基板 1 との界面の界面準位ないしは絶縁層、絶縁膜中の固定電荷が少ない為に素子特性のバラツキが抑制されるという利点が得られる。

10

【0057】

なお、絶縁層ないし絶縁膜として或る物質の酸化物を用いる等の場合には、まずその物質の膜を形成しておいてそれを酸化する等の方法を用いてもよい。また、必ずしも昇温を伴わない励起状態の酸素気体に曝してもよい。昇温を伴わない励起状態の酸素気体に曝すという方法を用いて形成すれば、チャンネル領域中の不純物が拡散に依り濃度分布を変える事が抑制されるので好ましい。更に酸化窒化シリコンを用いる場合には、先ず酸化シリコン膜を形成し、その後に昇温状態ないし励起状態の窒素を含む気体に曝す事に依り絶縁膜中に窒素を導入してもよい。昇温を伴わない励起状態の窒素気体に曝すという方法を用いて形成すれば、チャンネル領域中の不純物が拡散に依り濃度分布を変える事が抑制されるので好ましい。または、先ず窒化シリコン膜を形成し、その後に昇温状態ないし励起状態の酸素を含む気体に曝す事に依り絶縁膜中に酸素を導入してもよい。昇温を伴わない励起状態の酸素気体に曝すという方法を用いて形成すれば、チャンネル領域中の不純物が拡散に依り濃度分布を変える事が抑制されるので好ましい。

20

【0058】

また、第一および第二の絶縁層 3、5、乃至第一乃至第三の導電体間絶縁膜 4 b、4 d、4 f の何れかとして H f (ハフニウム)、Z r (ジルコニウム)、T i (チタン)、S c (スカンジウム)、Y (イットリウム)、T a (タンタル)、A l、L a (ランタン)、C e (セリウム)、P r (プラセオジウム)、ないしはランタノイド系列の元素等の金属等の酸化物等ないしはこれらの元素を初めとする様々な元素を含むシリケート材料等、ないしはそれらに窒素をも含有させた絶縁膜等、高誘電体膜ないしはそれらの積層等の他の絶縁膜を用いてもよい。

30

【0059】

本実施形態の本質は導電体間絶縁膜 4 b、4 d、4 f、第一の絶縁層 3、および第二の絶縁層 5 の誘電率がそれぞれ異なる事に在り、その為には例えば導電体間絶縁膜 4 b、4 d、4 f の内で制御ゲート電極 6 の近くに形成されている導電体絶縁膜 4 f、第一の絶縁層 3、および第二の絶縁層 5 の誘電率は高い必要が在る。特に、第一の絶縁層 3 および第二の絶縁層 5 の誘電率は高い必要が在る。例えば H f、Z r、T i、S c、Y、T a、A l、L a、C e、P r、ないしはランタノイド系列の元素等の金属等の酸化物等ないしはこれらの元素を初めとする様々な元素を含むシリケート材料等、ないしはそれらに窒素をも含有させた絶縁膜等、高誘電体膜は酸化シリコンないし窒化シリコンないし酸化窒化シリコン等と比較して高い誘電率を持つので、これらの材料を導電体間絶縁膜 4 b、4 d、4 f の内で制御ゲート電極 6 の近くに形成されている導電体絶縁膜 4 f、第一の絶縁層 3、および第二の絶縁層 5 に用いる事は好ましい。特にこれらの材料を、第一の絶縁層 3 および第二の絶縁層 5 に用いる事は好ましい。

40

【0060】

また、導電体間絶縁膜 4 b、4 d、4 f、第一および第二の絶縁層 3、5 の膜厚が薄いと、絶縁膜を貫くトンネル電流を流す必要がない状況下でも絶縁膜を貫くトンネル電流が流れ、記憶してある情報の変動してしまう、すなわち情報の保持時間が短くなるという問

50

題が生ずる。それ故、導電体間絶縁膜 4 b、4 d、4 f、第一および第二の絶縁層 3、5 の膜厚は在る程度以上には厚く形成する事が好ましく、且つ制御ゲート電極 6 とチャンネル領域 2 c との間に電荷蓄積層 4 を介して形成される容量結合を強める為には導電体間絶縁膜 4 b、4 d、4 f、第一および第二の絶縁層 3、5 は従来用いられていた酸化シリコンよりも高い誘電率を持つ事が好ましい。また、絶縁膜の形成方法は CVD 法に限るものではなく、熱酸化法等の方法、蒸着法ないしスパッタ法ないしエピタキシャル成長法等の他の方法を用いてもよい。

【0061】

既存の材料とプロセスを活用して各絶縁膜の誘電率の差異を設けるには、次の組み合わせが好ましい。すなわち、導電体間絶縁膜 4 b は酸化シリコン、窒化シリコン、および酸化窒化シリコンの何れかに依り形成され、導電体間絶縁膜 4 d は酸化アルミニウムに依り形成され、導電体間絶縁膜 4 f は酸化ハフニウム、酸化ジルコニウム、ハフニウムシリケート、およびジルコニウムシリケートの何れかに依り形成され、第一および第二の絶縁層 3、5 はランタンアルミネートに依り形成されることである。

10

【0062】

また、絶縁層 3、5、絶縁膜 4 b、4 d、4 f、導電体膜 4 a、4 c、4 e、4 g、および制御ゲート電極 6 等の厚さは本実施形態の値に限るものではない。但し、容量結合の強さは幾何学的な膜厚ではなく酸化膜換算膜厚で決まり、且つ各導電体膜に電荷が存在する場合のしきい値電圧の差は導電体間絶縁膜の酸化膜換算膜厚に比例するので、各導電体間絶縁膜の酸化膜換算膜厚が等しいと、しきい値電圧が等間隔となり信号の処理が容易になると言う利点が得られる。本実施形態に於いては第一の導電体間絶縁膜 4 b として厚さ 8 nm の Si_3N_4 膜を、第二の導電体間絶縁膜 4 d として厚さ 10 nm の Al_2O_3 膜を、第三の導電体間絶縁膜 4 f として厚さ 25 nm の HfO_2 膜を、各々用いる場合を例示したが、これらの材料を用いて導電体間絶縁膜を形成すると導電体間絶縁膜の酸化膜換算膜厚は何れも実質的に 4 nm と等しい値となる。それ故、しきい値電圧がほぼ等間隔になると言う利点を有する不揮発性半導体記憶素子が具現化される。このように、酸化膜換算膜厚が実質的に等しい、すなわち酸化膜換算膜厚 (nm) の小数点以下一桁を四捨五入したときの値が等しければ、しきい値電圧が実質的に等間隔といえる。

20

【0063】

更に、本実施形態に於いては第一および第二の絶縁層 3、5 として厚さ 30 nm の $LaAlO_3$ 膜を用いる場合を例示したが、第一および第二の絶縁層 3、5 として $LaAlO_3$ 膜を用い且つ導電体間絶縁膜 4 b、4 d、4 f として上記の Si_3N_4 膜、 Al_2O_3 膜、 HfO_2 膜を用いると、第一および第二の絶縁層 3、5 の誘電率が導電体間絶縁膜の誘電率よりも高い不揮発性半導体記憶素子が具現化される。

30

【0064】

また、本実施形態に於いてはゲート側壁には言及していないが、制御ゲート電極 6 および電荷蓄積層 4 に側壁を設けてもよい。特に高誘電率材料で、第一の絶縁層 3、第二の絶縁層 5、および導電体間絶縁膜 4 b、4 d、4 f を形成する場合に高誘電率材料でゲート側壁を設けると、特許第 3658564 号広報に記されている様に制御ゲート電極 6 および導電体膜 4 a、4 c、4 e、4 g の下端角近傍に於ける、第一および第二の絶縁層 3、5 中並びに導電体間絶縁膜 4 b、4 d、4 f 中の電場が緩和される為、第一および第二の絶縁層 3、5 ならびに導電体間絶縁膜 4 b、4 d、4 f の信頼性の向上、誤書き込みおよび誤除去の防止と言う利点が得られるので好ましい。

40

【0065】

また、本実施形態に於いては、制御ゲート電極 6 および電荷蓄積層 4 の形成後の後酸化には言及していないが、制御ゲート電極 6 および電荷蓄積層 4 や、第一および第二の絶縁層 3、5 ならびに導電体間絶縁膜 4 b、4 d、4 f の材料等に鑑みて可能であれば、後酸化工程を行ってもよい。また、必ずしも後酸化に限らず、例えば薬液処理ないしは反応性の気体に曝す等の方法を用いて制御ゲート電極 6 ないし導電体膜 4 a、4 c、4 e、4 g の角を丸める処理を行ってもよい。これらの工程が可能な場合にはそれに依り制御ゲート

50

電極 6 および導電体膜 4 a、4 c、4 e、4 g の下端角部の電場が緩和されるので第一の絶縁層 3、第二の絶縁層 5、および導電体間絶縁膜 4 b、4 d、4 f の信頼性が向上し、好ましい。

【0066】

また、本実施形態に於いては明記していないが、層間絶縁膜としては酸化シリコン膜を用いてもよいし、例えば低誘電率材料等の酸化シリコン以外の物質を層間絶縁膜に用いてもよい。層間絶縁膜の誘電率を低くすると素子の寄生容量が低減されるので素子の高速動作が得られると言う利点がある。

【0067】

また、コンタクト孔に関しては言及していないが、自己整合コンタクトを形成する事も可能である。自己整合コンタクトを用いると素子の面積を低減する事ができるので、集積度の向上が図られ、好ましい。

10

【0068】

(第2実施形態)

本発明の第2実施形態による不揮発性半導体記憶素子の断面を図11に示す。本実施形態の不揮発性半導体記憶素子は半導体基板1に離間してソース・ドレイン領域2a、2bが形成され、ソース領域2aとドレイン領域2bとの間のチャネルとなる半導体基板1の領域2c上に第一の絶縁層3が形成されている。第一の絶縁層3上に電荷蓄積層4Aが形成されている。この電荷蓄積層4Aは、第一の絶縁層3上に形成された第一の電荷蓄積絶縁膜4hと、この第一の電荷蓄積絶縁膜4h上に形成された第二の電荷蓄積絶縁膜4iと、第二の電荷蓄積絶縁膜4i上に形成された第三の電荷蓄積絶縁膜4jとを有している。この電荷蓄積層4A上に第二の絶縁層5を介して制御ゲート電極6が形成されている。ここで第二の電荷蓄積絶縁膜4iの誘電率は第一の電荷蓄積絶縁膜4hの誘電率よりも高く設定され、第三の電荷蓄積絶縁膜4jの誘電率は第二の電荷蓄積絶縁膜4iの誘電率よりも高く設定され、第一の絶縁層3の誘電率および第二の絶縁層5の誘電率は第三の電荷蓄積絶縁膜4jの誘電率よりも高く設定されている。なお、図11に於いては素子分離領域、層間絶縁膜、配線金属等は省略されており、示されていない。また、図11に於いて縮尺は正確ではない。

20

【0069】

次に、本実施形態に依る不揮発性半導体記憶素子の製造方法について説明する。ここではn型の不揮発性半導体記憶素子の場合を説明する。p型の素子の場合も不純物の導電型を逆にすれば全く同様に製造することができる。

30

【0070】

先ず図12に示す様に、半導体基板1に素子分離領域(図示せず)を形成した後にBイオンを例えば30keVのエネルギー、 1×10^{12} 原子/cm²の濃度で注入した後に、例えば1050、30秒の熱工程を加える。続いて、半導体基板1の上に例えばCVD法を用いて例えば厚さ30nmの第一のLaAlO₃膜16を形成する。続いて、第一のLaAlO₃膜16上に例えばCVD法等の方法を用いて例えば厚さ8nmのSi₃N₄膜18を形成する。

【0071】

次に、図13に示す様に、Si₃N₄膜18上に例えばCVD法等の方法を用いて例えば厚さ10nmのAl₂O₃膜20を形成する。続いて、Al₂O₃膜20上に例えばCVD法等の方法を用いて例えば厚さ25nmのHfO₂膜22を形成する。

40

【0072】

次に、図14に示す様に、HfO₂膜22上に例えばCVD法等の方法を用いて例えば厚さ30nmの第二のLaAlO₃膜24を形成する。続いて、第二のLaAlO₃膜24上に例えばCVD法等の方法を用いて例えば厚さ50nmの例えばW膜25を形成する。

【0073】

次に図15に示す様に例えばRIE法等の方法を用いる事に依り、タンゲステン膜25

50

、第二のLaAlO₃膜24、HfO₂膜22、Al₂O₃膜20、Si₃N₄膜18、第一のLaAlO₃膜16をパターンングし、制御ゲート電極6、第二の絶縁層5、第三の電荷蓄積絶縁膜4j、第二の電荷蓄積絶縁膜4i、第一の電荷蓄積絶縁膜4h、第一の絶縁層3を形成する。

【0074】

次に、例えばAsイオンを例えば5keVのエネルギー、 1×10^{15} 原子/cm²の濃度で注入し、熱工程を施す事に依りソース・ドレイン領域2a、2bを形成する。以後は周知の技術を用いて、従来の不揮発性半導体記憶素子と同様に、層間絶縁膜形成工程や配線工程等を経て図11に示す本実施形態の不揮発性半導体記憶素子を形成する。

【0075】

一般に、相異なる材料の界面には界面準位が存在し、その準位に電荷を蓄える事が可能である。それ故、本実施形態に示す構造の素子に於いてはその界面に存在する準位を第1実施形態の導電体膜と同様に用いる事が可能であり、第1実施形態と同様の効果が得られる。

【0076】

本実施形態の様に隣り合う絶縁膜の界面に存在する準位を第1実施形態の導電体膜として用いると、電荷蓄積層4Aを形成する積層の層数が少なくなる為に、製造工程が簡略化されると言う利点が得られる。また、本実施形態の様に隣り合う絶縁膜の界面に存在する準位を導電体膜として用いると、第一の絶縁層3、電荷蓄積層4A、第二の絶縁層5、および制御ゲート電極6に依り形成される積層構造の、基板表面に垂直な方向に測った長さが短くなる。それ故、他の素子との間に形成される静電容量が抑制され、その結果として他の素子との容量結合に起因する誤動作が抑制されると言う利点が得られる。

【0077】

一方、第1実施形態に示した様に隣り合う絶縁膜の間に導電体膜を形成すると、本実施形態に示した方法と比較して各導電体膜に蓄えられる電荷量の制御が容易であり、その結果としてしきい値電圧の切り替る制御ゲート電圧の制御が容易である、と言う利点が得られる。

【0078】

本実施形態に於いては何れの隣り合う絶縁膜の間にも導電体膜は形成されておらず界面に存在する準位が第1実施形態の導電体膜として用いられているが、この事は本質的ではなく、ある隣り合う絶縁膜の間には導電体膜が形成され且つ他のある隣り合う絶縁膜の間には導電体膜が形成されていなくても同様の効果が得られる。

【0079】

本実施形態に於いても上記実施形態に記した様な種々の変形が可能であり、同様の効果が得られる。

【0080】

(第3実施形態)

本発明の第3実施形態による不揮発性半導体記憶素子の断面を模式的に図16に示す。本実施形態の不揮発性半導体記憶素子は、図1に示す第1実施形態の不揮発性半導体記憶素子において、第一の導電体膜4aは第一の絶縁層3より大きな膜面面積を持ち、第一の導電体間絶縁膜4bは第一の導電体膜4aより大きな膜面面積を持ち、第二の導電体膜4cは第一の導電体間絶縁膜4bより大きな膜面面積を持ち、第二の導電体間絶縁膜4dは第二の導電体膜4cより大きな膜面面積を持ち、第三の導電体膜4eは第二の導電体間絶縁膜4dより大きな膜面面積を持ち、第三の導電体間絶縁膜4fは第三の導電体膜4eより大きな膜面面積を持ち、第四の導電体膜4gは第三の導電体間絶縁膜4fより大きな膜面面積を持ち、第二の絶縁層5は第四の導電体膜4gより大きな膜面面積を持ち、制御ゲート電極6は第二の絶縁層5より大きな膜面面積を持つ様に構成されている。そして、第一の導電体膜4aは第一の絶縁層3を覆う様に形成され、第一の導電体間絶縁膜4bは第一の導電体膜4aを覆う様に形成され、第二の導電体膜4cは第一の導電体間絶縁膜4bを覆う様に形成され、第二の導電体間絶縁膜4dは第二の導電体膜4cを覆う様に形成さ

10

20

30

40

50

れ、第三の導電体膜 4 e は第二の導電体間絶縁膜 4 d を覆う様に形成され、第三の導電体間絶縁膜 4 f は第三の導電体膜 4 e を覆う様に形成され、第四の導電体膜 4 g は第三の導電体間絶縁膜 4 f を覆う様に形成され、第二の絶縁層 5 は第四の導電体膜 4 g を覆う様に形成され、制御ゲート電極 6 は第二の絶縁層 5 を覆う様に形成されている。なお、図 1 6 に於いては素子分離領域、層間絶縁膜、配線金属等は省略されており、示されていない。また、図 1 6 に於いて縮尺は正確ではない。

【 0 0 8 1 】

次に、本実施形態の不揮発性半導体記憶素子の製造方法について以下に説明する。ここでは n 型の不揮発性半導体記憶素子の場合を説明する。p 型の不揮発性半導体記憶素子の場合も不純物の導電型を逆にすれば全く同様に製造することができる。

10

【 0 0 8 2 】

図 5 に示す工程までは第 1 実施形態で説明したと同じ工程で行う。図 5 に示す工程に続いて、図 1 7 に示す工程が行われる。すなわち、例えば R I E 法等の方法を用いる事に依り、第一の多結晶シリコン膜 1 7 および第一の L a A l O₃ 膜 1 6 をパターニングして、第一の導電体膜 4 a および第一の絶縁層 3 を形成する。

【 0 0 8 3 】

次に図 1 8 に示す様に、例えば A s イオンを例えば 5 k e V のエネルギー、 1×10^{15} 原子 / c m² の濃度で注入し、熱工程を施す事に依りソース・ドレイン領域 2 a、2 b を形成する。このとき、ソース領域 2 a とドレイン領域 2 b との間の半導体基板 1 の領域 2 c がチャンネルとなる。

20

【 0 0 8 4 】

次に図 1 9 に示す様に、第一の絶縁層 3 および第一の導電体膜 4 a を含む半導体基板 1 全面に例えば C V D 法等の方法を用いて例えば厚さ 8 n m の S i₃ N₄ 膜 1 8 を形成する。続いて S i₃ N₄ 膜 1 8 上に例えば C V D 法等の方法を用いて例えば A s を例えば 2×10^{18} 原子 / c m³ の濃度で含む例えば厚さ 5 n m の第二の多結晶シリコン膜 1 9 を形成する。

【 0 0 8 5 】

次に図 2 0 に示す様に、第二の多結晶シリコン膜 1 9 上に例えば C V D 法等の方法を用いて例えば厚さ 1 0 n m の A l₂ O₃ 膜 2 0 を形成する。続いて A l₂ O₃ 膜 2 0 上に例えば C V D 法等の方法を用いて例えば A s を例えば 2×10^{18} 原子 / c m³ の濃度で含む例えば厚さ 5 n m の第三の多結晶シリコン膜 2 1 を形成する。

30

【 0 0 8 6 】

次に図 2 1 に示す様に、第三の多結晶シリコン膜 2 1 上に例えば C V D 法等の方法を用いて例えば厚さ 2 5 n m の H f O₂ 膜 2 2 を形成する。続いて H f O₂ 膜 2 2 上に例えば C V D 法等の方法を用いて例えば A s を例えば 2×10^{18} 原子 / m³ の濃度で含む例えば厚さ 5 n m の第四の多結晶シリコン膜 2 3 を形成する。

【 0 0 8 7 】

次に図 2 2 に示す様に、第四の多結晶シリコン膜 2 3 上に例えば C V D 法等の方法を用いて例えば厚さ 3 0 n m の第二の L a A l O₃ 膜 2 4 を形成する。続いて第二の L a A l O₃ 膜 2 4 上に例えば C V D 法等の方法を用いて例えば厚さ 5 0 n m の例えば W 膜 2 5 を形成する。

40

【 0 0 8 8 】

次に、例えば R I E 法等の方法を用いる事に依り、タングステン膜 2 5、第二の L a A l O₃ 膜 2 4、第四の多結晶シリコン膜 2 3、H f O₂ 膜 2 2、第三の多結晶シリコン膜 2 1、A l₂ O₃ 膜 2 0、第二の多結晶シリコン膜 1 9、および S i₃ N₄ 膜 1 8 からなる積層膜をパターニングし、制御ゲート電極 6、第二の絶縁層 5、第四の導電体膜 4 g、第三の導電体間絶縁膜 4 f、第三の導電体膜 4 e、第二の導電体間絶縁膜 4 d、第二の導電体膜 4 c、第一の導電体間絶縁膜 4 b を形成する。以後は、周知の技術を用いて、従来の不揮発性半導体記憶素子と同様の層間絶縁膜形成工程や配線工程等を経て図 1 6 に示す本実施形態の不揮発性半導体記憶素子を形成する。

50

【0089】

本実施形態に示した不揮発性半導体記憶素子に於いては、上にも記した様に第一の導電体膜4aは第一の絶縁層3を覆う様に形成され、第一の導電体間絶縁膜4bは第一の導電体膜4aを覆う様に形成され、第二の導電体膜4cは第一の導電体間絶縁膜4bを覆う様に形成され、第二の導電体間絶縁膜4dは第二の導電体膜4cを覆う様に形成され、第三の導電体膜4eは第二の導電体間絶縁膜4dを覆う様に形成され、第三の導電体間絶縁膜4fは第三の導電体膜4eを覆う様に形成され、第四の導電体膜4gは第三の導電体間絶縁膜4fを覆う様に形成され、第二の絶縁層5は第四の導電体膜4gを覆う様に形成され、制御ゲート電極6は第二の絶縁層5を覆う様に形成されている。この様にすると仮に第一乃至第三の導電体間絶縁膜4b、4d、4fの誘電率が全て等しいとしても、第一乃至第三の導電体間絶縁膜4b、4d、4f中の電界 E_{int1} 、 E_{int2} 、 E_{int3} は、 $E_{int1} > E_{int2} > E_{int3}$ の関係が成り立つ。それ故、第1実施形態に於いて説明した様に制御ゲートの電位 V_{CG} の増大に伴って、しきい値電圧 V_{TH} は階段状に変化し、同様の効果が得られる。しかしこの様に第一乃至第三の導電体間絶縁膜4b、4d、4fの誘電率が全て等しいとすると、電界 E_{int1} と電界 E_{int2} との相異と比較して電界 E_{int2} と電界 E_{int3} との相異は小さくなる。それ故、第一乃至第三の導電体間絶縁膜4b、4d、4fの誘電率が全て等しい場合には図4に破線で示す様に、 V_1' と V_2 との差と比較して V_2' と V_3 との差は小さくなる。なお、ここに於いては簡単の為に V_1 、 V_1' 、 V_2 は第1実施形態のそれらと各々等しいと仮定して図4に示している。

10

20

【0090】

一方、本実施形態に示した様に、第一の導電体膜4aは第一の絶縁層3を覆う様に形成され、第一の導電体間絶縁膜4bは第一の導電体膜4aを覆う様に形成され、第二の導電体膜4cは第一の導電体間絶縁膜4bを覆う様に形成され、第二の導電体間絶縁膜4dは第二の導電体膜4cを覆う様に形成され、第三の導電体膜4eは第二の導電体間絶縁膜4dを覆う様に形成され、第三の導電体間絶縁膜4fは第三の導電体膜4eを覆う様に形成され、第四の導電体膜4gは第三の導電体間絶縁膜4fを覆う様に形成され、第二の絶縁層5は第四の導電体膜4gを覆う様に形成され、制御ゲート電極6は第二の絶縁層5を覆う様に形成され、且つ第一乃至第三の導電体間絶縁膜4b、4d、4fの誘電率を $k_{int1} < k_{int2} < k_{int3}$ と設定すると、それらが協調して $E_{int1} > E_{int2} > E_{int3}$ の不等式が更に効果的に実現される。その結果として、第1実施形態に示した不揮発性半導体記憶素子と比較すると図4に一点鎖線で示す様に、 V_1' と V_2 との差及び V_2' と V_3 との差は第1実施形態のそれらと比較して各々大きくなり、動作電圧の余裕を大きく取る事が可能になると言う利点がある。

30

【0091】

また、第一の導電体膜4aは第一の絶縁層3を覆う様に形成され、第一の導電体間絶縁膜4bは第一の導電体膜4aを覆う様に形成され、第二の導電体膜4cは第一の導電体間絶縁膜4bを覆う様に形成され、第二の導電体間絶縁膜4dは第二の導電体膜4cを覆う様に形成され、第三の導電体膜4eは第二の導電体間絶縁膜4dを覆う様に形成され、第三の導電体間絶縁膜4fは第三の導電体膜4eを覆う様に形成され、第四の導電体膜4gは第三の導電体間絶縁膜4fを覆う様に形成され、第二の絶縁層5は第四の導電体膜4gを覆う様に形成され、制御ゲート電極6は第二の絶縁層5を覆う様に形成されている場合には、第一乃至第三の導電体間絶縁膜4b、4d、4fの誘電率の何れかを相等しく設定する事も可能となる為に、第一乃至第三の導電体間絶縁膜4b、4d、4fの全てを相異なる材料で形成する必要はなく、材料の選択の自由度が増すと言う利点がある。

40

【0092】

一方、第1実施形態の構造の不揮発性半導体記憶素子を形成すると制御ゲート電極6ないし第二の絶縁層5、第四の導電体膜4g、第三の導電体間絶縁膜4f、第三の導電体膜4e、第二の導電体間絶縁膜4d、第二の導電体膜4c、第一の導電体間絶縁膜4b、第一の導電体膜4a、第一の絶縁層3を単一の工程で形成する事が可能であるので、形成工

50

程が簡略になると言う利点がある。

【0093】

また、本実施形態の不揮発性半導体記憶素子に於いては、第一の導電体膜4aは第一の絶縁層3よりチャネル領域を流れる電流の主方向（チャネル長方向）に長く、第一の導電体間絶縁膜4bは第一の導電体膜4aよりチャネル領域を流れる電流の主方向に長く、第二の導電体膜4cは第一の導電体間絶縁膜4bよりチャネル領域を流れる電流の主方向に長く、第二の導電体間絶縁膜4dは第二の導電体膜4cよりチャネル領域を流れる電流の主方向に長く、第三の導電体膜4eは第二の導電体間絶縁膜4dよりチャネル領域を流れる電流の主方向に長く、第三の導電体間絶縁膜4fは第三の導電体膜4eよりチャネル領域を流れる電流の主方向に長く、第四の導電体膜4gは第三の導電体間絶縁膜4fよりチャネル領域を流れる電流の主方向に長く、第二の絶縁層5は第四の導電体膜4gよりチャネル領域を流れる電流の主方向に長く、制御ゲート電極6は第二の絶縁層5よりチャネル領域を流れる電流の主方向に長く形成されている。

10

【0094】

これに対して、図23に示す本実施形態の変形例のように、第一の導電体膜4aは第一の絶縁層3よりチャネル領域を流れる電流の主方向に垂直な方向（チャネル幅方向）に長く、第一の導電体間絶縁膜4bは第一の導電体膜4aよりチャネル領域を流れる電流の主方向に垂直な方向に長く、第二の導電体膜4cは第一の導電体間絶縁膜4bよりチャネル領域を流れる電流の主方向に垂直な方向に長く、第二の導電体間絶縁膜4dは第二の導電体膜4cよりチャネル領域を流れる電流の主方向に垂直な方向に長く、第三の導電体膜4eは第二の導電体間絶縁膜4dよりチャネル領域を流れる電流の主方向に垂直な方向に長く、第三の導電体間絶縁膜4fは第三の導電体膜4eよりチャネル領域を流れる電流の主方向に垂直な方向に長く、第四の導電体膜4gは第三の導電体間絶縁膜4fよりチャネル領域を流れる電流の主方向に垂直な方向に長く、第二の絶縁層5は第四の導電体膜4gよりチャネル領域を流れる電流の主方向に垂直な方向に長く、制御ゲート電極6は第二の絶縁層5よりチャネル領域を流れる電流の主方向に垂直な方向に長く形成されていてもよい。なお、図23において符号26で示す領域は素子分離領域である。また、ソース・ドレイン領域2a、2bのうち的一方（図23ではソース領域2a）は第一の絶縁層3から制御ゲート電極6までの積層膜の手前側に存在し、他方（ドレイン領域2b）は向こう側に存在するが、図23に於いては陰になっている為に示していない。なお、本変形例においては、第一の絶縁層3および第一の導電体膜4aのチャネル幅方向の長さはチャネル幅よりも長くなるように、すなわち素子分離領域26にも延在するように形成されている。また、図23に於いては層間絶縁膜、配線金属等は省略されており、示されていない。また、図23に於いて縮尺は正確ではない。本変形例においては、本実施形態に示した不揮発性半導体記憶素子と異なり第二の導電体膜4cとソース・ドレイン領域2a、2bとの重なり部分に形成される容量が低減される為に寄生容量が低減されて素子の動作の高速化が図られると言う利点がある。

20

30

【0095】

一方、本実施形態においては、チャネルを流れる主方向に測った制御ゲート電極6の長さが長くなるので、ゲート抵抗の低減が図られ、素子の高速動作が可能になると言う利点

40

【0096】

本実施形態に於いても第1実施形態に記した様な種々の変形が可能であり、同様の効果が得られる。

【0097】

（第4実施形態）

本発明の第4実施形態による不揮発性半導体記憶素子を図24に示す。本実施形態の不揮発性半導体記憶素子は、図23に示す第3実施形態の変形例の不揮発性半導体記憶素子において、素子分離領域26と、第一の絶縁層3および第一の導電体膜4aとを自己整合的に形成した構成となっている。なお、図24に於いては、層間絶縁膜、配線金属等は省

50

略されており、示されていない。また、図 2 4 に於いて縮尺は正確ではない。

【0098】

本実施形態の不揮発性半導体記憶素子の製造方法について以下に説明する。ここでは n 型の不揮発性半導体記憶素子の場合を説明する。p 型の不揮発性半導体記憶素子の場合も不純物の導電型を逆にすれば全く同様に製造することができる。

【0099】

先ず図 2 5 に示す様に、半導体基板 1 に B イオンを例えば 30 keV のエネルギー、 1×10^{12} 原子/cm² の濃度で注入した後で、例えば 1050、30 秒の熱工程を加える。続いて半導体基板 1 の上に例えば CVD 法を用いて例えば厚さ 30 nm の第一の LaAlO₃ 膜 16 を形成する。次に第一の LaAlO₃ 膜 16 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/cm³ の濃度で含む例えば厚さ 5 nm の第一の多結晶シリコン膜 17 を形成する。

10

【0100】

次に図 2 6 に示す様に、第一の多結晶シリコン膜 17 上に図示しないマスクを形成して例えば RIE 法等の方法を用いる事に依り、第一の多結晶シリコン膜 17 および第一の LaAlO₃ 膜 16 をパターンニングする。続いて、上記マスクを用いて半導体基板 1 に溝を形成し、例えば酸化シリコン等の絶縁物を埋め込む事に依り素子分離領域 26 を形成する。その後、上記マスクを除去する。

【0101】

次に図 27 に示す様に、第一の LaAlO₃ 膜 16 および第一の多結晶シリコン膜 17 を含む半導体基板 1 全面に例えば CVD 法等の方法を用いて例えば厚さ 8 nm の Si₃N₄ 膜 18 を形成する。続いて Si₃N₄ 膜 18 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/cm³ の濃度で含む例えば厚さ 5 nm の第二の多結晶シリコン膜 19 を形成する。

20

【0102】

次に図 2 8 に示す様に、第二の多結晶シリコン膜 19 上に例えば CVD 法等の方法を用いて例えば厚さ 10 nm の Al₂O₃ 膜 20 を形成する。続いて Al₂O₃ 膜 20 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/m³ の濃度で含む例えば厚さ 5 nm の第三の多結晶シリコン膜 21 を形成する。

【0103】

次に図 2 9 に示す様に、第三の多結晶シリコン膜 21 上に例えば CVD 法等の方法を用いて例えば厚さ 25 nm の HfO₂ 膜 22 を形成する。続いて HfO₂ 膜 22 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/cm³ の濃度で含む例えば厚さ 5 nm の第四の多結晶シリコン膜 23 を形成する。

30

【0104】

次に図 3 0 に示す様に、第四の多結晶シリコン膜 23 上に例えば CVD 法等の方法を用いて例えば厚さ 30 nm の第二の LaAlO₃ 膜 24 を形成する。続いて第二の LaAlO₃ 膜 24 上に例えば CVD 法等の方法を用いて例えば厚さ 50 nm の例えば W 膜 25 を形成する。

【0105】

次に図 3 1 に示す様に、例えば RIE 法等の方法を用いる事に依り、タンゲステン膜 25、第二の LaAlO₃ 膜 24、第四の多結晶シリコン膜 23、HfO₂ 膜 22、第三の多結晶シリコン膜 21、Al₂O₃ 膜 20、第二の多結晶シリコン膜 19、Si₃N₄ 膜 18、第一の多結晶シリコン膜 17、第一の LaAlO₃ 膜 16 をパターンニングし、制御ゲート電極 6、第二の絶縁層 5、第四の導電体膜 4g、第三の導電体間絶縁膜 4f、第三の導電体膜 4e、第二の導電体間絶縁膜 4d、第二の導電体膜 4c、第一の導電体間絶縁膜 4b、第一の導電体膜 4a、および第一の絶縁層 3 を形成する。

40

【0106】

次に、例えば As イオンを例えば 5 keV のエネルギー、 1×10^{15} 原子/cm² の濃度で注入し、熱工程を施す事に依りソース・ドレイン領域 2a、2b を形成する。以後

50

は周知の技術を用いて、従来の不揮発性半導体記憶素子と同様に層間絶縁膜形成工程や配線工程等を経て図 2 4 に示す本実施形態の不揮発性半導体記憶素子を形成する。

【0107】

本実施形態においては、素子分離領域 2 6 と第一の絶縁層 3 および第一の導電体膜 4 a とが自己整合的に形成されている。このため、素子分離領域 2 6、第一の絶縁層 3、および第一の導電体膜 4 a を同一のマスクを用いて形成する事が可能になり、製造工程の簡略化が図られると言う利点がある。一方、上記実施形態に示した不揮発性半導体記憶素子の様に形成を行うと、素子分離領域形成時の酸化シリコン等の絶縁膜を充填する工程の後に例えば化学的機械的研磨法 (Chemical Mechanical Polishing 法、以下では「CMP 法」と記す) を用いて、表面の平坦化を行う事が可能となり、その結果として素子分離領域の表面とチャネル領域の表面との間の段差を極めて小さくする事が可能となるという利点がある。

10

【0108】

本実施形態に於いても上記実施形態に記した様な種々の変形が可能であり、同様の効果が得られる。

【0109】

(第 5 実施形態)

次に、本発明の第 5 実施形態の不揮発性半導体記憶素子を図 3 2 に示す。本実施形態の不揮発性半導体記憶素子は、図 2 3 に示す第 3 実施形態の変形例の不揮発性半導体記憶素子において、素子分離領域 2 6 と、第一の絶縁層 3 および電荷蓄積層 4 からなる積層構造とを自己整合的に形成した構成となっている。なお、図 3 2 に於いては層間絶縁膜、配線金属等は省略されており、示されていない。また、図 3 2 に於いて縮尺は正確ではない。

20

【0110】

本実施形態の不揮発性半導体記憶素子の製造方法について以下に説明する。ここでは n 型の不揮発性半導体記憶素子の場合を説明する。p 型の不揮発性半導体記憶素子の場合も不純物の導電型を逆にすれば全く同様に製造することができる。

【0111】

先ず図 3 3 に示す様に、半導体基板 1 に B イオンを例えば 30 keV のエネルギー、 1×10^{12} 原子/cm² の濃度で注入した後で、例えば 1050、30 秒の熱工程を加える。続いて半導体基板 1 の上に例えば CVD 法を用いて例えば厚さ 30 nm の第一の LaAlO₃ 膜 16 を形成する。次に第一の LaAlO₃ 膜 16 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/cm² の濃度で含む例えば厚さ 5 nm の第一の多結晶シリコン膜 17 を形成する。

30

【0112】

次に図 3 4 に示す様に、第一の多結晶シリコン膜 17 の上に例えば CVD 法等の方法を用いて例えば厚さ 8 nm の Si₃N₄ 膜 18 を形成する。続いて Si₃N₄ 膜 18 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/cm³ の濃度で含む例えば厚さ 5 nm の第二の多結晶シリコン膜 19 を形成する。

【0113】

次に図 3 5 に示す様に、前記第二の多結晶シリコン膜 19 上に例えば CVD 法等の方法を用いて例えば厚さ 10 nm の Al₂O₃ 膜 20 を形成する。続いて Al₂O₃ 膜 20 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/cm³ の濃度で含む例えば厚さ 5 nm の第三の多結晶シリコン膜 21 を形成する。

40

【0114】

次に図 3 6 に示す様に、第三の多結晶シリコン膜 21 上に例えば CVD 法等の方法を用いて例えば厚さ 25 nm の HfO₂ 膜 22 を形成する。続いて HfO₂ 膜 22 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/cm³ の濃度で含む例えば厚さ 5 nm の第四の多結晶シリコン膜 23 を形成する。

【0115】

次に図 3 7 に示す様に例えば RIE 法等の方法を用いる事に依り、第四の多結晶シリコ

50

ン膜 23、 HfO_2 膜 22、第三の多結晶シリコン膜 21、 Al_2O_3 膜 20、第二の多結晶シリコン膜 19、 Si_3N_4 膜 18、第一の多結晶シリコン膜 17、および第一の LaAlO_3 膜 16 をパターンニングする。続いて、半導体基板 1 に溝を形成し、例えば酸化シリコン等の絶縁物を埋め込む事に依り素子分離領域 26 を形成する。

【0116】

次に図 38 に示す様に、第一の LaAlO_3 膜 16、第一の多結晶シリコン膜 17、 Si_3N_4 膜 18、第二の多結晶シリコン膜 19、 Al_2O_3 膜 20、第三の多結晶シリコン膜 21、 HfO_2 膜 22、および第四の多結晶シリコン膜 23 を含む半導体基板 1 全面に例えば CVD 法等の方法を用いて例えば厚さ 30 nm の第二の LaAlO_3 膜 24 を形成する。続いて第二の LaAlO_3 膜 24 上に例えば CVD 法等の方法を用いて例えば厚さ 50 nm の例えば W 膜 25 を形成する。

10

【0117】

次に図 39 に示す様に、例えば RIE 法等の方法を用いる事に依り、タングステン膜 25、第二の LaAlO_3 膜 24、第四の多結晶シリコン膜 23、 HfO_2 膜 22、第三の多結晶シリコン膜 21、 Al_2O_3 膜 20、第二の多結晶シリコン膜 19、 Si_3N_4 膜 18、第一の多結晶シリコン膜 17、第一の LaAlO_3 膜 16 をパターンニングし、制御ゲート電極 6、第二の絶縁層 5、第四の導電体膜 4g、第三の導電体間絶縁膜 4f、第三の導電体膜 4e、第二の導電体間絶縁膜 4d、第二の導電体膜 4c、第一の導電体間絶縁膜 4b、第一の導電体膜 4a、および第一の絶縁層 3 を形成する。第一の導電体膜 4a、第一の導電体間絶縁膜 4b、第二の導電体膜 4c、第二の導電体間絶縁膜 4d、第三の導電体膜 4e、第三の導電体間絶縁膜 4f、および第四の導電体膜 4g が電荷蓄積層 4 を構成する。

20

【0118】

次に、例えば As イオンを例えば 5 keV のエネルギー、 1×10^{15} 原子/cm² の濃度で注入し、熱工程を施す事に依りソース・ドレイン領域 2a、2b を形成する。以後は周知の技術を用いて、従来の不揮発性半導体記憶素子と同様に層間絶縁膜形成工程や配線工程等を経て図 32 に示す本実施形態の不揮発性半導体記憶素子を形成する。

【0119】

本実施形態の構造の不揮発性半導体記憶素子を形成すると、素子分離領域 26 と、第一の絶縁層 3 および電荷蓄積層 4 からなる積層構造とが自己整合的に形成されているので、素子分離領域 26 と、第一の絶縁層 3 および電荷蓄積層 4 を同一のマスクを用いて形成する事が可能になり、製造工程の簡略化が図られると言う利点がある。更に本実施形態の構造の不揮発性半導体記憶素子を形成するとチャンネルを流れる電流の主方向に平行な方向にも垂直な方向にも、最小加工寸法の 2 倍の周期で素子を形成する事が可能となるので、素子一つあたりの面積を最小加工寸法の 2 乗の 4 倍とすることができる。その結果として高い集積度が実現されるという利点がある。一方、第 1 乃至第 3 実施形態に示した不揮発性半導体記憶素子の様に形成を行うと、素子分離領域形成時の酸化シリコン等の絶縁膜を充填する工程の後に例えば CMP 法を用いて、表面の平坦化を行う事が可能となり、その結果として素子分離領域の表面とチャンネル領域の表面との間の段差を極めて小さくする事が可能となるという利点がある。

30

40

【0120】

本実施形態に於いても上記実施形態に記した様な種々の変形が可能であり、同様の効果が得られる。

【0121】

(第 6 実施形態)

次に、本発明の第 6 実施形態による不揮発性半導体記憶素子を図 40 に示す。本実施形態の不揮発性半導体記憶素子は上記実施形態に示した不揮発性半導体記憶素子と異なり、支持基板 27 の上に埋め込み絶縁膜 28 を介して半導体層の形成された、いわゆる SOI 基板上に形成され、埋め込み絶縁膜 28 上の半導体層が板状に加工されており、板状半導体領域 2 の長手方向に離間してソース・ドレイン領域が形成されている。そして、チャネ

50

ル領域となる、ソース領域とドレイン領域との間の板状半導体領域 2 を覆う様に、第一の絶縁層 3、電荷蓄積層 4、第二の絶縁層 5、および制御ゲート電極 6 が形成されている。電荷蓄積層 4 は、第一の導電体膜 4 a、第一の導電体間絶縁膜 4 b、第二の導電体膜 4 c、第二の導電体間絶縁膜 4 d、第三の導電体膜 4 e、第三の導電体間絶縁膜 4 f、および第四の導電体膜 4 g が積層された積層構造を有している。なお、ソース・ドレイン領域の一方の領域は、第一の絶縁層 3、電荷蓄積層 4、第二の絶縁層 5、および制御ゲート電極 6 の積層構造の手前側に存在し、他方の領域は上記積層構造の向こう側に存在して図 40 に於いては陰になっている為に示していない。なお、図 40 に於いては素子分離領域、層間絶縁膜、配線金属等は省略されており、示されていない。また、図 40 に於いて縮尺は正確ではない。

10

【0122】

本実施形態の不揮発性半導体記憶素子の製造方法について以下に説明する。ここでは n 型の不揮発性半導体記憶素子の場合を説明する。p 型の素子の場合も不純物の導電型を逆にすれば全く同様に製造することができる。

【0123】

先ず図 41 に示す様に、SOI 基板の半導体層に B イオンを例えば 30 keV のエネルギー、 1×10^{12} 原子/cm² の濃度で注入した後で、例えば 1050、30 秒の熱工程を加える。続いて例えば RIE 法等の方法を用いる事に依り半導体層を加工して板状半導体領域 2 を形成する。

【0124】

次に図 42 に示す様に、板状半導体領域 2 を含む SOI 基板全面に例えば CVD 法を用いて例えば厚さ 30 nm の第一の LaAlO₃ 膜 16 を形成する。続いて第一の LaAlO₃ 膜 16 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/cm³ の濃度で含む例えば厚さ 5 nm の第一の多結晶シリコン膜 17 を形成する。

20

【0125】

次に図 43 に示す様に、第一の多結晶シリコン膜 17 の上に例えば CVD 法等の方法を用いて例えば厚さ 8 nm の Si₃N₄ 膜 18 を形成する。続いて Si₃N₄ 膜 18 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/cm³ の濃度で含む例えば厚さ 5 nm の第二の多結晶シリコン膜 19 を形成する。

【0126】

次に図 44 に示す様に、第二の多結晶シリコン膜 19 上に例えば CVD 法等の方法を用いて例えば厚さ 10 nm の Al₂O₃ 膜 20 を形成する。続いて Al₂O₃ 膜 20 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/cm³ の濃度で含む例えば厚さ 5 nm の第三の多結晶シリコン膜 21 を形成する。

30

【0127】

次に図 45 に示す様に、第三の多結晶シリコン膜 21 上に例えば CVD 法等の方法を用いて例えば厚さ 25 nm の HfO₂ 膜 22 を形成する。続いて HfO₂ 膜 22 上に例えば CVD 法等の方法を用いて例えば As を例えば 2×10^{18} 原子/cm³ の濃度で含む例えば厚さ 5 nm の第四の多結晶シリコン膜 23 を形成する。

【0128】

次に図 46 に示す様に、第四の多結晶シリコン膜 23 の上に例えば CVD 法等の方法を用いて例えば厚さ 30 nm の第二の LaAlO₃ 膜 24 を形成する。続いて第二の LaAlO₃ 膜 24 上に例えば CVD 法等の方法を用いて例えば厚さ 50 nm の例えば W 膜 25 を形成する。

40

【0129】

次に図 47 に示す様に、例えば RIE 法等の方法を用いる事に依り、W 膜 25、第二の LaAlO₃ 膜 24、第四の多結晶シリコン膜 23、HfO₂ 膜 22、第三の多結晶シリコン膜 21、Al₂O₃ 膜 20、第二の多結晶シリコン膜 19、Si₃N₄ 膜 18、第一の多結晶シリコン膜 17、第一の LaAlO₃ 膜 16 をパターンングし、制御ゲート電極 6、第二の絶縁層 5、第四の導電体膜 4 g、第三の導電体間絶縁膜 4 f、第三の導電体膜

50

4 e 第二の導電体間絶縁膜 4 d、第二の導電体膜 4 c、第一の導電体間絶縁膜 4 b、第一の導電体膜 4 a、および第一の絶縁層 3 を形成する。

【0130】

次に、例えば As イオンを例えば 5 keV のエネルギー、 1×10^{15} 原子 / cm^2 の濃度で注入し、熱工程を施す事に依りソース・ドレイン領域を形成する。以後は周知の技術を用いて層間絶縁膜形成工程や配線工程等を行い図 40 に示す本実施形態の不揮発性半導体記憶素子を形成する。

【0131】

本実施形態の不揮発性半導体記憶素子に於いては、チャネル領域を覆う様に、第一の絶縁層 3、電荷蓄積層 4、第二の絶縁層 5、および制御ゲート電極 6 が形成されているので、チャネル領域の電位に対する制御ゲート電極の制御性が増して素子の短チャネル効果が抑制される為に、素子の微細化が可能となり、その結果として高い集積度が実現されると言う利点がある。また、本実施形態に示した不揮発性半導体記憶素子に於いては、第 1 実施形態に示した不揮発性半導体記憶素子とは異なり、第一の導電体膜 4 a は第一の絶縁層 3 を覆う様に形成され、第一の導電体間絶縁膜 4 b は第一の導電体膜 4 a を覆う様に形成され、第二の導電体膜 4 c は第一の導電体間絶縁膜 4 b を覆う様に形成され、第二の導電体間絶縁膜 4 d は第二の導電体膜 4 c を覆う様に形成され、第三の導電体膜 4 e は第二の導電体間絶縁膜 4 d を覆う様に形成され、第三の導電体間絶縁膜 4 f は第三の導電体膜 4 e を覆う様に形成され、第四の導電体膜 4 g は第三の導電体間絶縁膜 4 f を覆う様に形成され、第二の絶縁層 5 は第四の導電体膜 4 g を覆う様に形成され、制御ゲート電極 6 は第二の絶縁層 5 を覆う様に形成されている。それ故、第 3 実施形態に示した不揮発性半導体記憶素子と同様に動作電圧の余裕を大きく取る事が可能になると言う利点がある。

【0132】

一方、第 1 乃至第 5 実施形態に示した不揮発性半導体記憶素子はいわゆるバルク基板上に形成されており、素子の形成工程が簡略であると言う利点がある。また、第 1 乃至第 3 実施形態に示した不揮発性半導体記憶素子に於いては、素子分離領域形成時の酸化シリコン等の絶縁膜を充填する工程の後に例えば CMP 法を用いて、表面の平坦化を行う事が可能となり、その結果として素子分離領域の表面とチャネル領域の表面との間の段差を極めて小さくする事が可能になると言う利点がある。

【0133】

なお、本実施形態に示した不揮発性半導体記憶素子に於いては、チャネル領域ないしソース・ドレイン領域の形成される板状半導体領域の、チャネルを流れる電流の主方向に垂直な断面は半導体基板の表面に平行に測った長さよりも、半導体基板の表面に垂直に測った長さの方が長いが、この事は本質ではなく、両者の長短が逆でも同様の効果が得られ、また両者が等しくても同様である。

【0134】

また、本実施形態に示した不揮発性半導体記憶素子に於いては、チャネル領域は電荷蓄積層 4 および制御ゲート電極 6 に上方と左右方向との三方向から囲まれているが、例えば左右方向の二方向のみから電荷蓄積層 4 および制御ゲート電極 6 に挟まれる様に形成しても同様の効果が得られる。左右方向の二方向ではなく、上下方向の二方向でも同様の効果が得られる。また、チャネルの形成される領域が電荷蓄積層 4 および制御ゲート電極 6 に完全に囲まれる例えば柱状構造の素子を形成したとしても同様の効果が得られる。

【0135】

また、本実施形態の電荷蓄積層 4 を第 2 実施形態の電荷蓄積層 4 A で置き換えても同様の効果を得ることができる。

【0136】

本実施形態に於いても上記実施形態に記した様な種々の変形が可能であり、同様の効果が得られる。

【0137】

(第 7 実施形態)

次に本発明の不揮発性半導体記憶装置の実施形態を説明する。

【0138】

本実施形態の不揮発性半導体記憶装置の回路図を図48に示す。本実施形態の不揮発性半導体記憶装置は、上記第1乃至第6実施形態のいずれかの不揮発性半導体記憶素子が格子点状に配列されている。それらの不揮発性半導体記憶素子はM行N列に配置されており、合計でM×N個の不揮発性半導体記憶素子が含まれて居る。なお、図48に於いては上記第1乃至第6実施形態のいずれかの不揮発性半導体記憶素子を図49に示す様に記してある。図49に於いて符号SおよびDと記した端子は各々ソースおよびドレインを示し、符号C・Gと記した端子は制御ゲート電極を示す。なお、基板の端子は省略してある為に示されていない。

10

【0139】

本実施形態においては、不揮発性半導体記憶素子を図48中の $Tr_{i,j}$ ($1 \leq i \leq M$ 、 $1 \leq j \leq N$)で示す。同一の行に含まれる不揮発性半導体記憶素子に於いては隣り合う素子のソース・ドレイン領域が結合されており、同一の列に含まれる不揮発性半導体記憶素子は制御ゲート電極が相互に結合されている。各行の第1列の不揮発性半導体記憶素子のソースおよび第N列の不揮発性半導体記憶素子のドレインは各々電界効果トランジスタ $T_{S,i}$ 、 $T_{D,i}$ ($1 \leq i \leq M$)を介して共通の線に結合されており、それらの電位は各々 $V_{S,i}$ 、 $V_{D,i}$ ($1 \leq i \leq M$)となっている。そして $T_{S,i}$ 、 $T_{D,i}$ ($1 \leq i \leq M$)のゲート電極の電位は各々 $V_{S,i}$ 、 $V_{D,i}$ ($1 \leq i \leq M$)となっている。 $T_{S,i}$ 、 $T_{D,i}$ ($1 \leq i \leq M$)のしきい値電圧は、すべて揃っている必要はないがほぼ等しいとして、その値を V_{th} とする。 V_{th} はゼロと電源電圧 V_{DD} との間に設定しておく。また、j列の相互に結合されている制御ゲート電極の電位は $V_{CG,j}$ ($1 \leq j \leq N$)となっている。そして、全ての $Tr_{i,j}$ ($1 \leq i \leq M$ 、 $1 \leq j \leq N$)の基板電位は共通とする。なお、図48に於いては、ここに示す領域の外部の配線や外部の配線との接合領域等は省略してある。本実施形態の不揮発性半導体記憶装置は全体でL×M×Nビットの情報を記憶する事が可能である。但しLは一つの不揮発性半導体記憶素子の記憶可能なビット数を表す。その動作を以下に説明する。

20

【0140】

不揮発性半導体記憶素子はn型であり、電荷蓄積層中のキャリアは電子であるとし、第m行第n列に在る不揮発性半導体記憶素子 $Tr_{m,n}$ への情報の書き込みと消去及びその読み出し方法を説明する。p型の不揮発性半導体記憶素子および電荷蓄積層中のキャリアがホールの場合も電圧の極性を逆にすれば全く同様の方法で行うことができる。ここでmとnとは各々 $1 \leq m \leq M$ 、 $1 \leq n \leq N$ を満たす任意の整数とする。

30

【0141】

先ず情報の書き込みは次の様に行う。上記実施形態に記した様に、この不揮発性半導体記憶素子は様々なしきい値電圧を取る事が可能であり、それらを低い方から順に、 $V_{TH,1}$ 、 $V_{TH,2}$ 、…、 $V_{TH,L}$ とする。なお、 $V_{TH,k}$ ($2 \leq k \leq L-1$)はゼロと駆動電圧 V_{DD} の間になる様に設定しておく。共通の基板の電位はゼロと設定する。 $V_{CG,j}$ ($1 \leq j \leq N$)は $V_{TH,L}$ よりも高い電位とする。但し導電体間絶縁膜を貫くトンネル電流は流れない、すなわち電荷蓄積層中の電荷の移動は起こらない電位とする。こうすると $Tr_{i,j}$ ($1 \leq i \leq M$ 、 $1 \leq j \leq N$)はすべて導通状態となる。 $V_{S,i}$ 、 $V_{D,i}$ ($i \neq m$)は V_{th} よりも低い値(例えばゼロ)、 $V_{S,m}$ 、 $V_{D,m}$ は V_{th} よりも高い値(例えば V_{DD})とする。こうすると $T_{S,i}$ 、 $T_{D,i}$ ($i \neq m$)は全て非導通状態、 $T_{S,m}$ 、 $T_{D,m}$ は導通状態となる。そして V_{S} 、 V_{D} はゼロとする。この様にすると $Tr_{i,j}$ ($i \neq m$ 、 $1 \leq j \leq N$)のソース・ドレイン領域は外部の回路と接続されていないので浮遊状態となり、 $Tr_{m,j}$ ($1 \leq j \leq N$)のソース・ドレイン領域は外部の回路と接続されているのでその電位はすべてゼロとなる。その結果、 $Tr_{m,j}$ ($1 \leq j \leq N$)のチャンネル領域の電位もゼロとなる。この状態で共通の基板は浮遊状態とし、 $V_{CG,n}$ を、 $Tr_{m,n}$ のしきい値が所望の値となる様な電位に設定すると、 $Tr_{m,n}$ のしきい値電圧を所望の値に制御する事が可能となる。ここで $V_{CG,j}$ ($j \neq n$)はV

40

50

$V_{TH, L}$ よりも高い電位に設定されているが、導電体間絶縁膜を貫くトンネル電流は流れない、すなわち電荷蓄積層中の電荷の移動は起こらない電位としてあるので $Tr_{i, j}$ ($1 \leq i \leq M$ 、 $j = n$) のしきい値電圧は変化しない。そして上に記した様に $Tr_{i, n}$ ($i = m$) のソース・ドレイン領域は浮遊状態であり、基板もまた浮遊状態であるので、 $Tr_{i, n}$ ($i = m$) のチャンネル領域もまた浮遊状態となっている。それ故、 $V_{CG, n}$ を変化させると $Tr_{i, n}$ ($i = m$) のチャンネル領域の電位は、第一の絶縁層 3 と電荷蓄積層 4 と第二の絶縁層 5 とを介した制御ゲート電極 6 との容量結合に依り $V_{CG, n}$ に追随する。その為に $Tr_{i, n}$ ($i = m$) の第一および第二の絶縁層 3、5 中ならびに導電体間絶縁膜中の電場はあまり高い値にはならず、導電体間絶縁膜を貫くトンネル電流は流れない、すなわち電荷蓄積層中の電荷の移動は起こらない。それ故、 $Tr_{i, n}$ ($i = m$) のしきい値電圧は変化しない。この様にして他の $Tr_{i, j}$ ($(i, j) \neq (m, n)$) のしきい値電圧を変化させずに $Tr_{m, n}$ のしきい値電圧のみを制御する事が可能である。この様にして書き込みが行われる。

10

20

30

40

50

【0142】

次に情報の消去を説明する。情報の消去は共通の列に配置されている不揮発性半導体記憶素子に対して同時に行う。第 n 列の不揮発性半導体記憶素子の情報を消去する方法を説明する。ここで n は $1 \leq n \leq N$ を満たす任意の列とする。共通の基板の電位はゼロとする。 $V_{S, i}$ 、 $V_{D, i}$ ($1 \leq i \leq M$) は V_{th} よりも低い値 (例えばゼロ) とし、 $V_{CG, j}$ ($j = n$) も例えばゼロとする。そして $V_{CG, n}$ は電荷蓄積層 4 中の導電体膜中に存在する電子がすべて最もチャンネル領域に近い導電体膜まで導電体間絶縁膜を貫くトンネル電流に依り移動する様な、十分に低い電位に設定する。この様にすると $Tr_{i, j}$ ($1 \leq i \leq M$ 、 $1 \leq j \leq N$) はすべて非導通状態となるので、ソース・ドレイン領域は浮遊状態となり、チャンネル領域の電位は基板と等しくゼロとなる。この様にすると、 $Tr_{i, j}$ ($1 \leq i \leq M$ 、 $j = n$) の電荷蓄積層 4 中の導電体膜中の電子の移動は起こらず、 $Tr_{i, n}$ ($1 \leq i \leq M$) の電荷蓄積層 4 中の導電体膜に於いてのみは電子が最もチャンネル領域に近い導電体膜に移動する。この様にして $Tr_{i, j}$ ($1 \leq i \leq M$ 、 $j = n$) の情報は変化させずに $Tr_{i, n}$ ($1 \leq i \leq M$) の情報のみを消去する事が可能となる。なお、図 48 に示す全ての $Tr_{i, j}$ ($1 \leq i \leq M$ 、 $1 \leq j \leq N$) に対して同時に情報を消去する事は、 $V_{S, i}$ 、 $V_{D, i}$ ($1 < i < M$) と $V_{CG, j}$ ($1 \leq j \leq N$) とに例えばゼロを印加して、共通となっている基板に、電荷蓄積層 4 中の導電体膜中に存在する電子がすべて最もチャンネル領域に近い導電体膜まで導電体間絶縁膜を貫くトンネル電流に依り移動する様な、十分に高い電位を印加する事に依り可能である。この様にすると、全ての $Tr_{i, j}$ ($1 \leq i \leq M$ 、 $1 \leq j \leq N$) に対して同時に情報を消去する事ができるので、操作が簡略になり、消去に要する時間が短縮されるという利点がある。

【0143】

一方、初めに説明した方法を用いて消去を行うと、他の列に配置されている不揮発性半導体記憶素子の情報を変化させずに、特定の列に配置されている不揮発性半導体記憶素子の情報のみを選択的に消去する事が可能になると言う別の利点が見られる。

【0144】

以上説明した様にして書き込みと消去とが行われる。

【0145】

次に、読み出しの方法を説明する。第 m 行第 n 列の $Tr_{m, n}$ の情報の読み出しは次の様にして行う。ここで m と n とは各々 $1 \leq m \leq M$ 、 $1 \leq n \leq N$ を満たす任意の整数とする。共通の基板の電位はゼロとする。 $V_{CG, j}$ ($j = n$) は $V_{TH, L}$ よりも高い電位とする。但し導電体間絶縁膜を貫くトンネル電流は流れない、すなわち電荷蓄積層中の電荷の移動は起こらない電位とする。こうすると $Tr_{i, j}$ ($1 \leq i \leq M$ 、 $j = n$) はすべて導通状態となる。 V_S は例えばゼロ、 V_D は例えば V_{DD} とする。 $V_{S, i}$ 、 $V_{D, i}$ ($i = m$) は V_{th} よりも低い値 (例えばゼロ)、 $V_{S, m}$ と $V_{D, m}$ とは例えば V_{DD} とする。こうすると $T_{S, i}$ 、 $T_{D, i}$ ($i = m$) は全て非導通状態、 $T_{S, m}$ 、 $T_{D, m}$ は導通状態となる。この様にすると $Tr_{i, j}$ ($i = m$ 、 $1 \leq j \leq N$) のソース・ドレイン領域は

外部の回路と接続されていないので浮遊状態となる。 $Tr_{m,j}$ ($1 \leq j \leq N$) のソース・ドレイン領域は外部の回路と接続されているので、 $Tr_{m,j}$ ($1 \leq j < n$) のソース・ドレイン領域及び $Tr_{m,n}$ のソース・ドレイン領域の中で図 48 の左にある方の電位はゼロ、 $Tr_{m,j}$ ($n < j \leq N$) のソース・ドレイン領域及び $Tr_{m,n}$ のソース・ドレイン領域の中で図 48 の右にある方の電位は V_{DD} となる。そして $V_{CG,n}$ を例えば V_{DD} とすると、 $Tr_{m,n}$ のしきい値電圧に応じた電流が V_D を印加した端子から V_S を印加した端子へと流れるので、この電流値を検出する事で、 $Tr_{m,n}$ に記憶されている情報の読み出しが可能となる。

【0146】

また、次の様にして $Tr_{m,n}$ に記憶されている情報の読み出しを行う事が可能である。 $V_{CG,n}$ を例えば $V_{DD}/2$ として、 V_D を印加した端子から V_S を印加した端子へと電流が流れるか否かを検知すると、 $Tr_{m,n}$ のしきい値電圧が $V_{DD}/2$ よりも高いか低いか判る。もし高ければ $V_{CG,n}$ を例えば $3 \times V_{DD}/4$ として V_D を印加した端子から V_S を印加した端子へと電流が流れるか否かを検知し、もし低ければ $V_{CG,n}$ を例えば $V_{DD}/4$ として V_D を印加した端子から V_S を印加した端子へと電流が流れるか否かを検知すると、 $Tr_{m,n}$ のしきい値電圧が $3 \times V_{DD}/4$ ないし $V_{DD}/4$ よりも高いか低いか判る。この操作を繰り返す事で $Tr_{m,n}$ のしきい値電圧を知る事ができる。

【0147】

前者の読出し方法であれば一度の操作で $Tr_{m,n}$ に蓄えられている情報を読み出す事ができると言う利点があり、後者の読出し方法であれば毎回の操作は電流が流れるか否かのみを検知すれば良いので例えばセンスアンプ等で増幅した上で検知を行う事が可能となり読み誤りが防止されると言う利点がある。

【0148】

この様にして、不揮発性半導体記憶素子毎に独立に L ビットの情報の記憶が可能であり、全体として $L \times M \times N$ ビットの情報を記憶する事が可能となる。

【0149】

本実施形態に於いても上記第 1 乃至第 6 実施形態に記した様な種々の変形が可能であり、同様の効果が得られる。

【0150】

以上説明したように、本発明の各実施形態によれば、制御ゲート電極に印加する電圧の増大に伴ってしきい値電圧が階段状に変化し、その結果として 2 種類を超えるしきい値電圧の実現が可能であるとともにベリファイ操作の省略が可能となり、その帰結として高速動作の可能な高性能の不揮発性半導体記憶素子及び不揮発性半導体記憶装置を提供することができる。

【図面の簡単な説明】

【0151】

【図 1】本発明の第 1 実施形態による不揮発性半導体記憶素子を示す断面図。

【図 2】比較例の不揮発性半導体記憶素子の断面図および等価回路を示す図。

【図 3】第 1 実施形態の不揮発性半導体記憶素子の等価回路を示す回路図。

【図 4】制御ゲート電極に印加する電圧 V_{CG} の増大に伴う素子のしきい値電圧 V_{TH} の変化を示す特性図。

【図 5】第 1 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。

【図 6】第 1 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。

【図 7】第 1 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。

【図 8】第 1 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。

【図 9】第 1 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。

【図 10】第 1 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。

【図 11】本発明の第 2 実施形態による不揮発性半導体記憶素子を示す断面図。

【図 12】第 2 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。

10

20

30

40

50

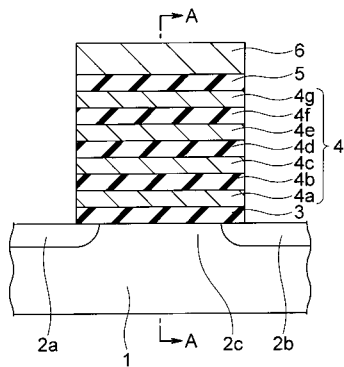
- 【図 1 3】第 2 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。
- 【図 1 4】第 2 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。
- 【図 1 5】第 2 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。
- 【図 1 6】本発明の第 3 実施形態の不揮発性半導体記憶素子を示す断面図。
- 【図 1 7】第 3 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。
- 【図 1 8】第 3 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。
- 【図 1 9】第 3 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。
- 【図 2 0】第 3 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。
- 【図 2 1】第 3 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。
- 【図 2 2】第 3 実施形態の不揮発性半導体記憶素子の製造工程を示す断面図。 10
- 【図 2 3】第 3 実施形態の変形例による不揮発性半導体記憶素子を示す斜視図。
- 【図 2 4】本発明の第 4 実施形態による不揮発性半導体記憶素子を示す斜視図。
- 【図 2 5】第 4 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 2 6】第 4 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 2 7】第 4 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 2 8】第 4 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 2 9】第 4 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 3 0】第 4 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 3 1】第 4 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 3 2】本発明の第 5 実施形態による不揮発性半導体記憶素子を示す斜視図。 20
- 【図 3 3】第 5 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 3 4】第 5 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 3 5】第 5 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 3 6】第 5 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 3 7】第 5 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 3 8】第 5 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 3 9】第 5 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 4 0】本発明の第 6 実施形態による不揮発性半導体記憶素子を示す斜視図。
- 【図 4 1】第 6 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 4 2】第 6 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。 30
- 【図 4 3】第 6 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 4 4】第 6 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 4 5】第 6 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 4 6】第 6 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 4 7】第 6 実施形態の不揮発性半導体記憶素子の製造工程を示す斜視図。
- 【図 4 8】本発明の第 7 実施形態による不揮発性半導体記憶装置を示す回路図。
- 【図 4 9】第 7 実施形態に用いられる不揮発性半導体記憶素子の、図 4 8 の回路図に於ける記法を説明する図。
- 【符号の説明】
- 【 0 1 5 2 】 40
- 1 半導体基板
- 2 半導体領域
- 2 a ソース領域
- 2 b ドレイン領域
- 2 c チャンネル領域
- 3 第一の絶縁層（トンネルゲート絶縁膜）
- 4 電荷蓄積層
- 4 A 電荷蓄積層
- 4 a 第一の導電体膜
- 4 b 第一の導電体間絶縁膜 50

- 4 c 第二の導電体膜
- 4 d 第二の導電体間絶縁膜
- 4 e 第三の導電体膜
- 4 f 第三の導電体間絶縁膜
- 4 g 第四の導電体膜
- 4 h 第一の電荷蓄積絶縁膜
- 4 i 第二の電荷蓄積絶縁膜
- 4 j 第三の電荷蓄積絶縁膜
- 5 第二の絶縁層(電極間絶縁膜)
- 6 導電体層(制御ゲート電極)
- 16 第一のランタンアルミネート膜
- 17 第一の多結晶シリコン膜
- 18 窒化シリコン膜
- 19 第二の多結晶シリコン膜
- 20 酸化アルミニウム膜
- 21 第三の多結晶シリコン膜
- 22 酸化ハフニウム膜
- 23 第四の多結晶シリコン膜
- 24 第二のランタンアルミネート膜
- 25 タングステン膜
- 26 素子分離領域
- 27 支持基板
- 28 埋め込み絶縁膜
- 40 電荷蓄積層

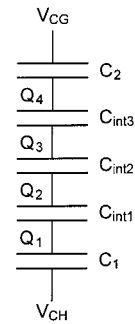
10

20

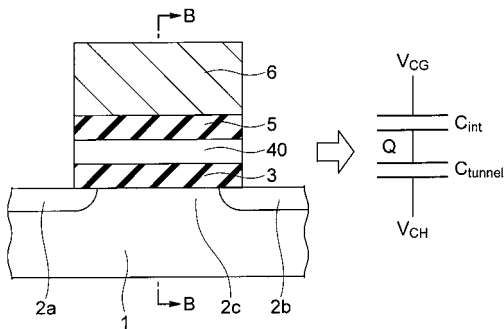
【図1】



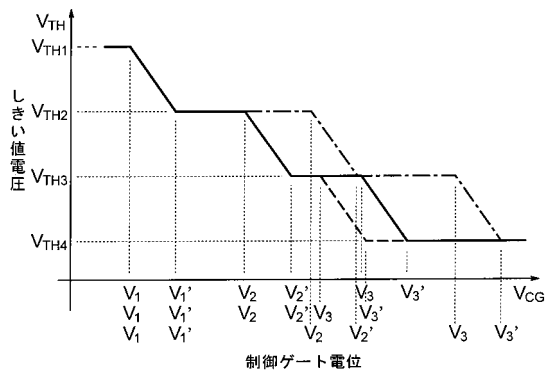
【図3】



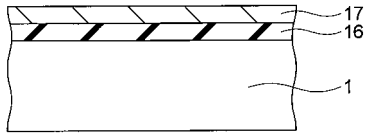
【図2】



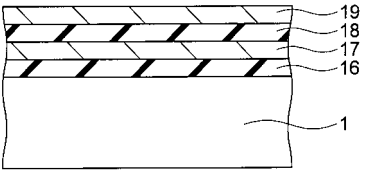
【図4】



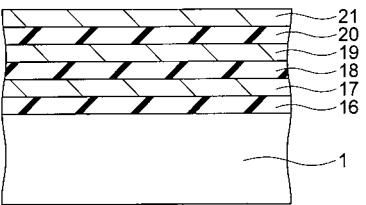
【 図 5 】



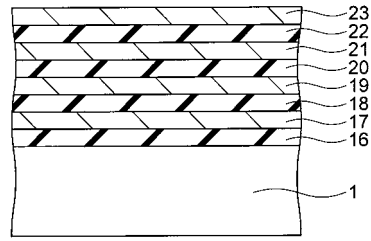
【 図 6 】



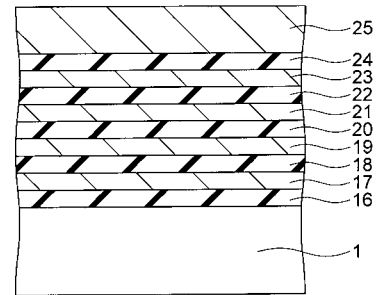
【 図 7 】



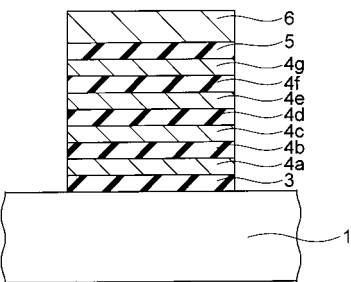
【 図 8 】



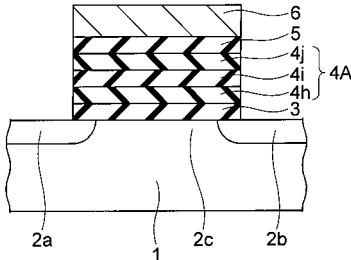
【 図 9 】



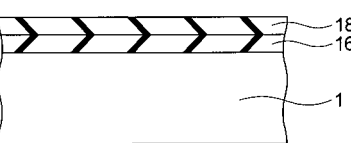
【 図 1 0 】



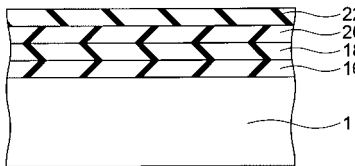
【 図 1 1 】



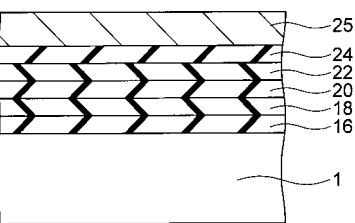
【 図 1 2 】



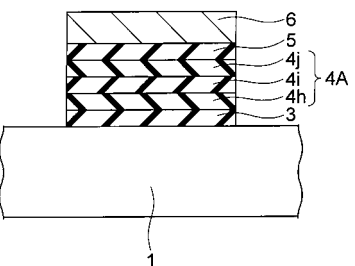
【 図 1 3 】



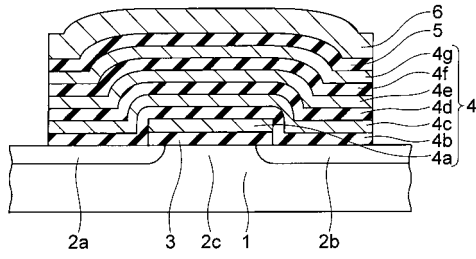
【 図 1 4 】



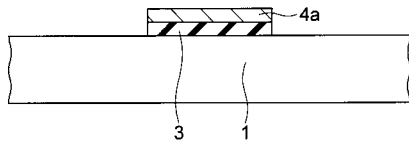
【 図 1 5 】



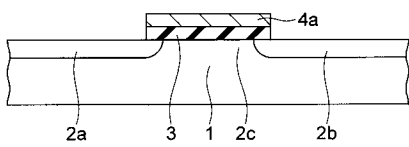
【 図 1 6 】



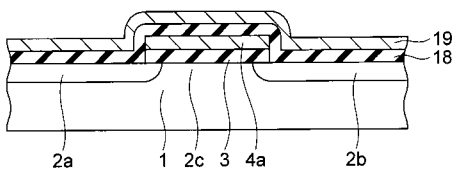
【 図 1 7 】



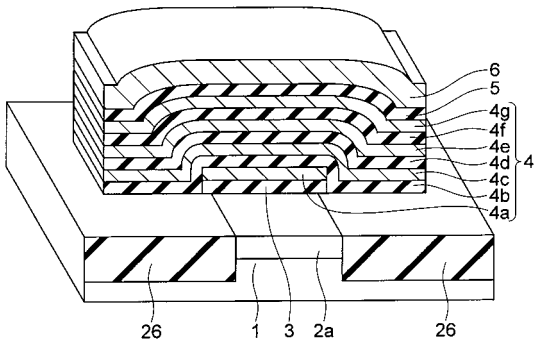
【 図 1 8 】



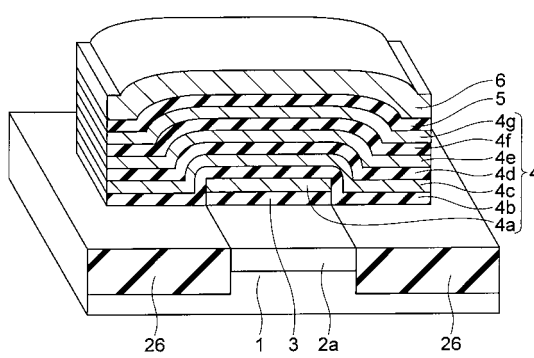
【 図 1 9 】



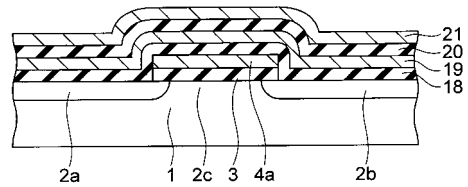
【 図 2 3 】



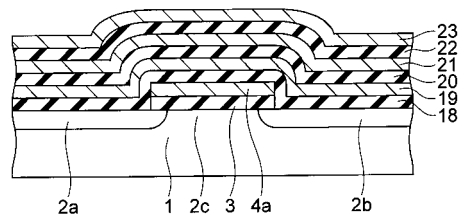
【 図 2 4 】



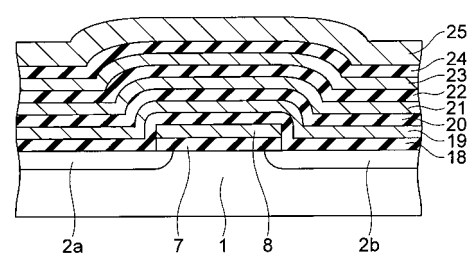
【 図 2 0 】



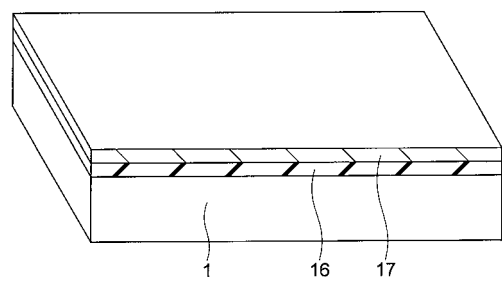
【 図 2 1 】



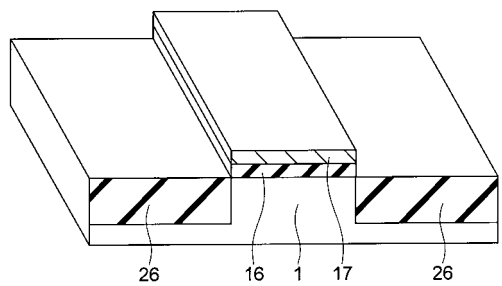
【 図 2 2 】



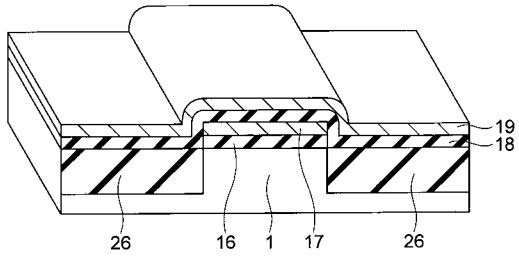
【 図 2 5 】



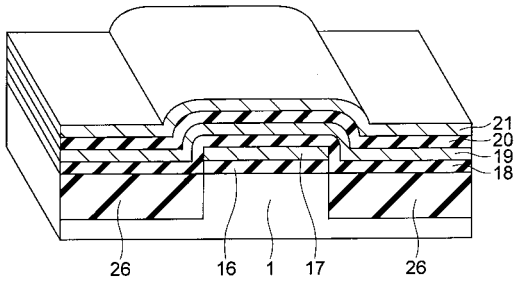
【 図 2 6 】



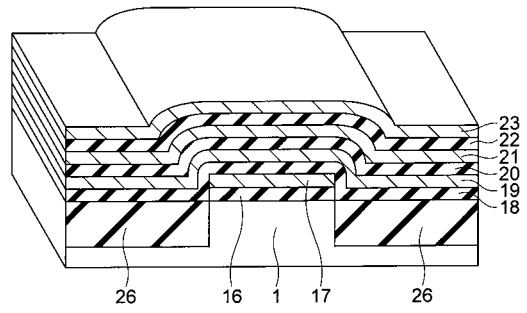
【 図 2 7 】



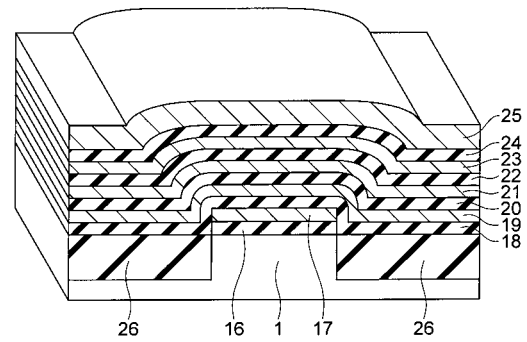
【 図 2 8 】



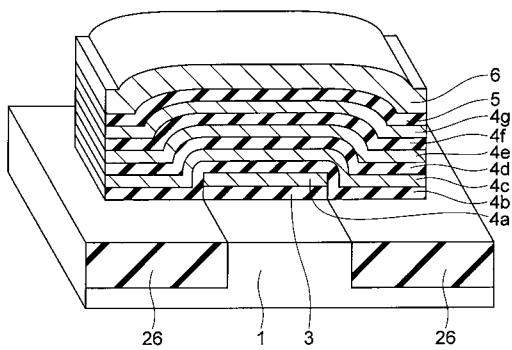
【 図 2 9 】



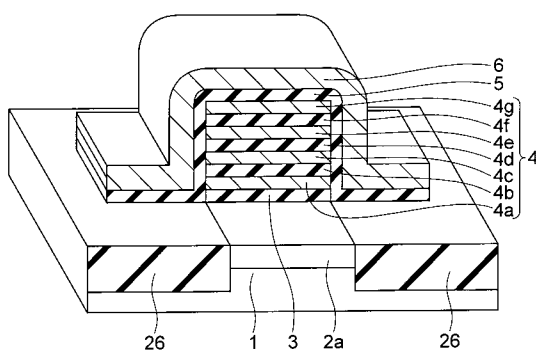
【 図 3 0 】



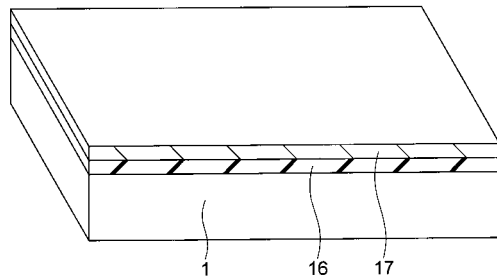
【 図 3 1 】



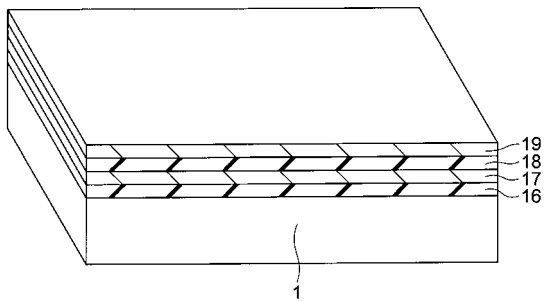
【 図 3 2 】



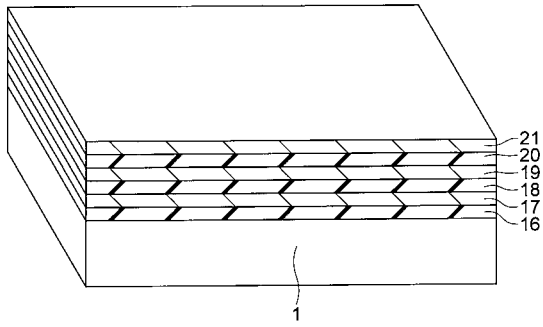
【 図 3 3 】



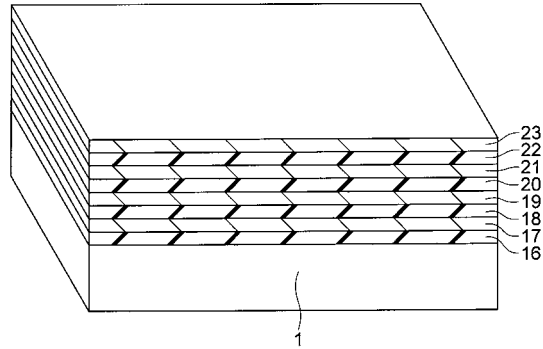
【 図 3 4 】



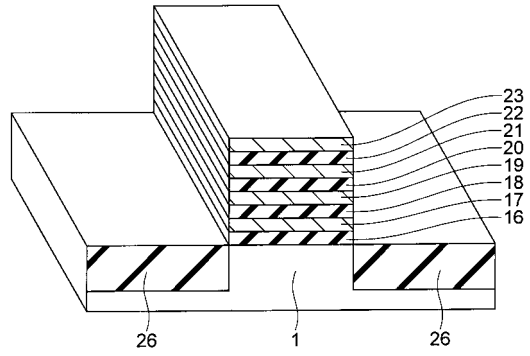
【 図 3 5 】



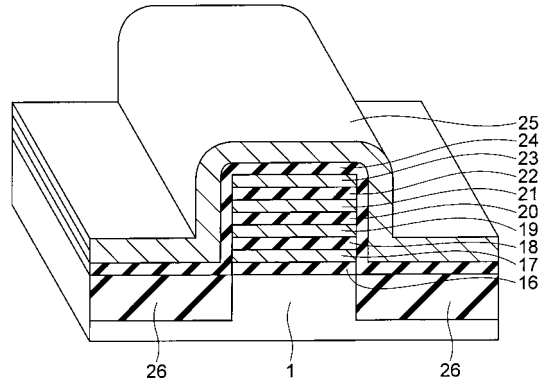
【 図 3 6 】



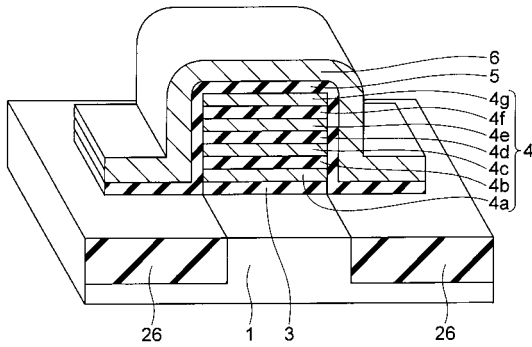
【 図 3 7 】



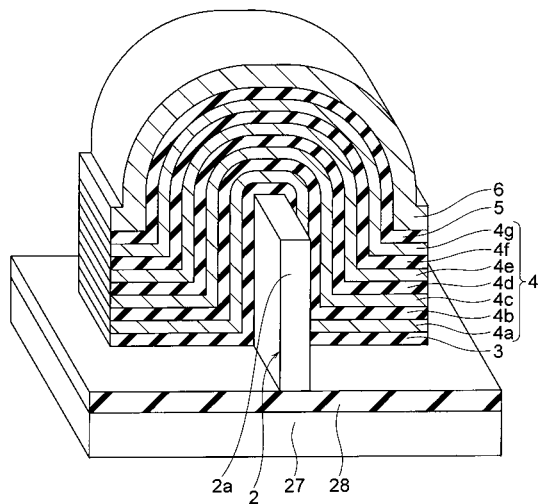
【 図 3 8 】



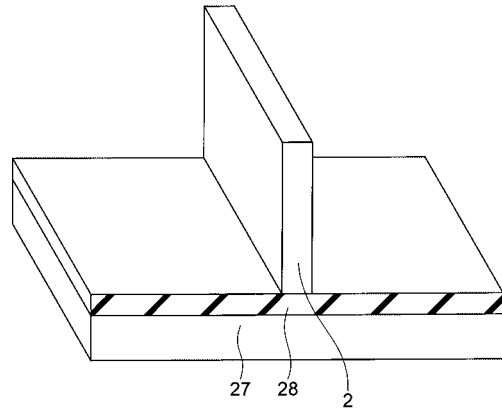
【 図 3 9 】



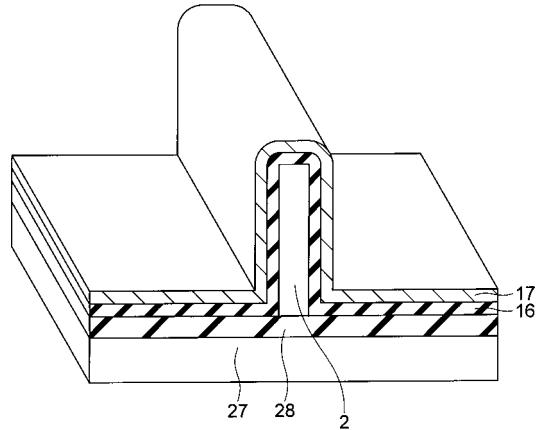
【 図 4 0 】



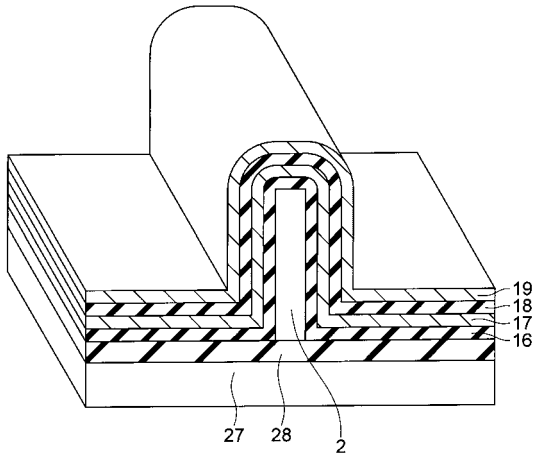
【 図 4 1 】



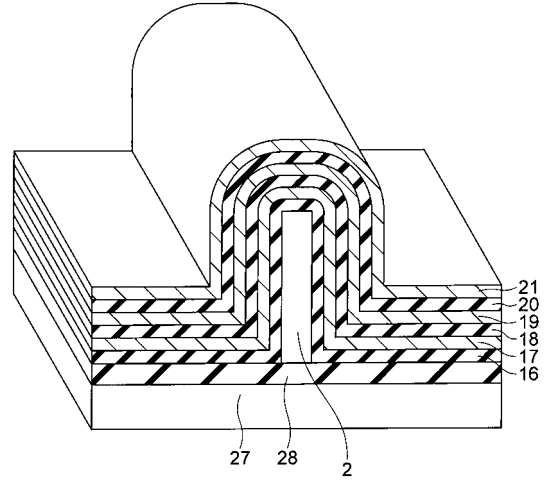
【 図 4 2 】



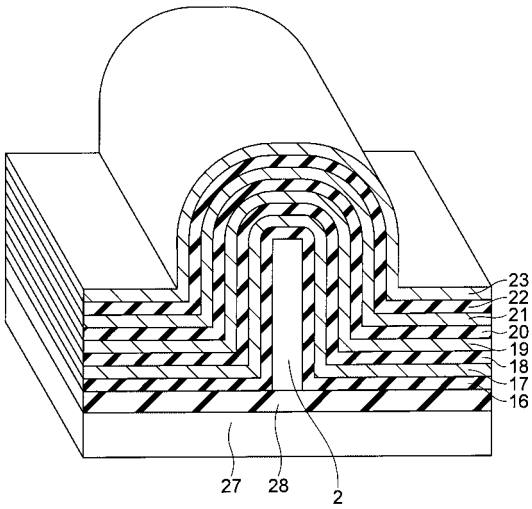
【 図 4 3 】



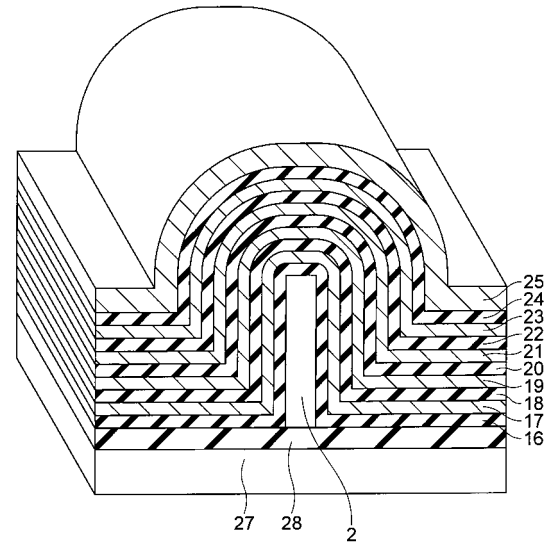
【 図 4 4 】



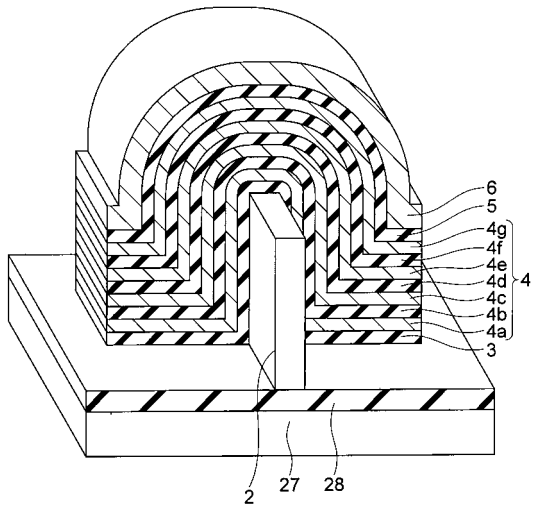
【 図 4 5 】



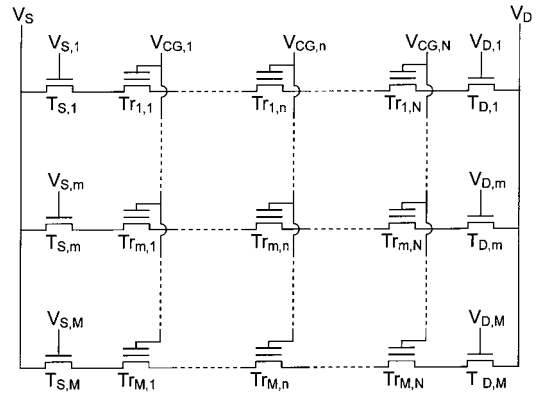
【 図 4 6 】



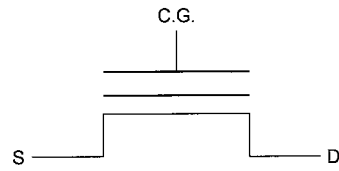
【 図 4 7 】



【 図 4 8 】



【 図 4 9 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
G 1 1 C 16/02 (2006.01)		G 1 1 C 17/00	6 1 1 Z	
G 1 1 C 16/04 (2006.01)		G 1 1 C 17/00	6 2 1 B	

Fターム(参考) 5B125 BA04 BA19 CA14 DB07 DB19 EA05 EB01
 5F083 EP04 EP09 EP23 EP48 EP49 EP61 EP63 EP68 ER02 ER21
 GA11 HA02 JA03 JA13 JA19 JA33 JA34 JA35 JA36 JA37
 JA39 JA40 JA53 PR21 PR34 PR36 PR40 ZA21
 5F101 BA16 BA19 BA26 BA29 BB05 BB08 BD02 BD07 BD30 BE05
 BE07 BF05 BH09
 5F110 AA30 BB08 CC10 DD05 DD13 EE04 EE09 EE45 FF01 FF03
 FF29 GG02 GG12 GG32 GG52 HJ13 HJ23 QQ04