

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-160519

(P2018-160519A)

(43) 公開日 平成30年10月11日(2018.10.11)

(5) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/301 (2006.01)	HO 1 L 21/78	Q 5 F 0 3 3
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88	J 5 F 0 6 3
HO 1 L 21/768 (2006.01)	HO 1 L 25/08	C
HO 1 L 23/522 (2006.01)		
HO 1 L 25/065 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2017-56174 (P2017-56174)
 (22) 出願日 平成29年3月22日 (2017. 3. 22)

(71) 出願人 317006041
 東芝メモリ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100091982
 弁理士 永井 浩之
 (74) 代理人 100091487
 弁理士 中村 行孝
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100105153
 弁理士 朝倉 悟
 (74) 代理人 100107582
 弁理士 関根 毅
 (74) 代理人 100118843
 弁理士 赤岡 明

最終頁に続く

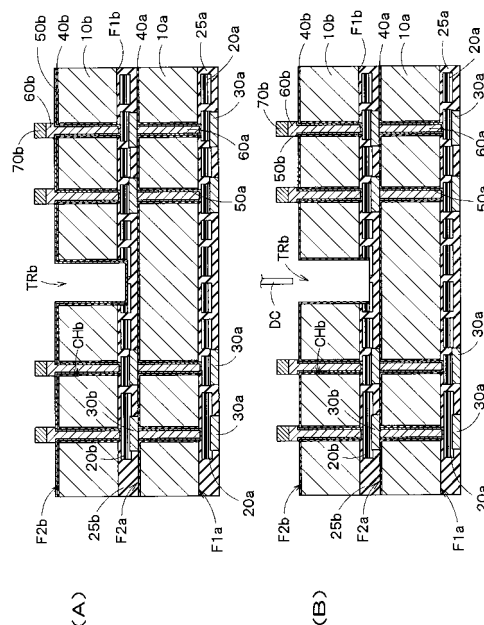
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】半導体ウェハの損傷を抑制しつつ、複数の半導体ウェハを積層後にまとめて個片化することができる半導体装置の製造方法および半導体装置を提供する。

【解決手段】本実施形態による半導体装置の製造方法は、半導体素子を有する第1面と該第1面に対して反対側にある第2面とを有する第1半導体基板と、半導体素子を有する第3面と該第3面に対して反対側にある第4面とを有する第2半導体基板とを積層する。第1半導体基板の第2面からエッチングして該第2面から第1面に達する第1コンタクトホールを形成し、かつ、第1半導体基板の第2面のうち第1領域に第1溝を形成する。第1溝を被覆する第1マスク材を形成する。第1マスク材をマスクとして用いて第1コンタクトホール内に第1金属電極を形成する。第1マスク材の除去後、第1半導体基板の第1領域を切断する。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

半導体素子を有する第 1 面と該第 1 面に対して反対側にある第 2 面とを有する第 1 半導体基板と、半導体素子を有する第 3 面と該第 3 面に対して反対側にある第 4 面とを有する第 2 半導体基板とを積層し、

前記第 1 半導体基板の前記第 2 面からエッチングして該第 2 面から前記第 1 面に達する第 1 コンタクトホールを形成し、かつ、前記第 1 半導体基板の前記第 2 面のうち第 1 領域に第 1 溝を形成し、

前記第 1 溝を被覆する第 1 マスク材を形成し、

前記第 1 マスク材をマスクとして用いて前記第 1 コンタクトホール内に第 1 金属電極を形成し、

前記第 1 マスク材の除去後、前記第 1 半導体基板の前記第 1 領域を切断する、ことを具備した半導体装置の製造方法。

10

【請求項 2】

前記第 1 および第 2 半導体基板は、前記第 1 半導体基板の前記第 1 面と前記第 2 半導体基板の前記第 3 面とを貼り合わせて積層され、

前記第 1 マスク材の除去後、

前記第 2 半導体基板の前記第 4 面からエッチングして前記第 2 半導体基板の前記第 4 面から前記第 3 面に達する第 2 コンタクトホールを形成し、かつ、前記第 2 半導体基板の前記第 4 面のうち第 2 領域に第 2 溝を形成し、

20

前記第 2 溝を被覆する第 2 マスク材を形成し、

前記第 2 マスク材をマスクとして用いて前記第 2 コンタクトホール内に第 2 金属電極を形成することをさらに具備し、

前記第 2 マスク材の除去後、前記第 1 および第 2 半導体基板の前記第 1 および第 2 領域を切断する、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 および第 2 半導体基板の積層前に、

前記第 2 半導体基板の前記第 4 面からエッチングして該第 4 面から前記第 3 面に達する第 2 コンタクトホールを形成し、かつ、前記第 2 半導体基板の前記第 4 面のうち第 2 領域に第 2 溝を形成し、

30

前記第 2 溝を被覆する第 1 マスク材を形成し、

前記第 1 マスク材をマスクとして用いて前記第 1 コンタクトホール内に第 1 金属電極を形成し、

前記第 1 マスク材の除去後、前記第 2 半導体基板の前記第 4 面上に前記第 1 半導体基板の前記第 1 面を接続して前記第 1 および第 2 半導体基板を積層する、ことをさらに具備する請求項 1 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 コンタクトホールは、前記第 1 半導体基板の前記第 2 面からエッチングして該第 1 半導体基板の前記第 2 面から前記第 2 半導体基板の前記第 3 面に達し、かつ、前記第 1 溝は、前記第 1 半導体基板の前記第 2 面のうち前記第 1 領域に形成される、請求項 1 に記載の半導体装置の製造方法。

40

【請求項 5】

半導体素子を有する第 1 面と該第 1 面に対して反対側にある第 2 面とを有する第 1 半導体基板と、

半導体素子を有する第 3 面と該第 3 面に対して反対側にある第 4 面とを有し、前記第 1 半導体基板に積層された第 2 半導体基板と、

前記第 1 半導体基板の前記第 2 面と前記第 1 面との間、あるいは、前記第 2 半導体基板の前記第 4 面と前記第 3 面との間に設けられた金属電極と、

前記第 1 半導体基板の前記第 1 面の外縁と前記第 2 面の外縁との間にある第 1 側面、または、前記第 2 半導体基板の前記第 3 面の外縁と前記第 4 面の外縁との間にある第 2 側面

50

上に設けられた絶縁膜とを備えた半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明による実施形態は、半導体装置の製造方法および半導体装置に関する。

【背景技術】

【0002】

複数の半導体チップを積層することによって、半導体装置全体の占有面積を低減する技術が開発されている。積層される半導体チップ同士は、TSV(Through-Silicon Via)と呼ばれる貫通金属によって電氣的に接続される。

10

【0003】

このような半導体装置は、従来、ダイシングで半導体ウェハから半導体チップに個片化した後に複数の半導体チップを積層することによって製造されていた。一方、複数の半導体ウェハを積層後にまとめてダイシングすることが考えられている。しかし、積層された複数の半導体ウェハを一度にダイシングすると、積層内部の回路等がチップングやクラック等によって損傷を受けやすいという問題があった。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許第8,563,349号

20

【特許文献2】米国特許第7,199,449号

【発明の概要】

【発明が解決しようとする課題】

【0005】

半導体ウェハの損傷を抑制しつつ、複数の半導体ウェハを積層後にまとめて個片化することができる半導体装置の製造方法および半導体装置を提供する。

【課題を解決するための手段】

【0006】

本実施形態による半導体装置の製造方法は、半導体素子を有する第1面と該第1面に対して反対側にある第2面とを有する第1半導体基板と、半導体素子を有する第3面と該第3面に対して反対側にある第4面とを有する第2半導体基板とを積層する。第1半導体基板の第2面からエッチングして該第2面から第1面に達する第1コンタクトホールを形成し、かつ、第1半導体基板の第2面のうち第1領域に第1溝を形成する。第1溝を被覆する第1マスク材を形成する。第1マスク材をマスクとして用いて第1コンタクトホール内に第1金属電極を形成する。第1マスク材の除去後、第1半導体基板の第1領域を切断する。

30

【図面の簡単な説明】

【0007】

【図1】第1実施形態による半導体装置の製造方法の一例を示す断面図。

【図2】図1に続く、半導体装置の製造方法の一例を示す断面図。

40

【図3】図2に続く、半導体装置の製造方法の一例を示す断面図。

【図4】図3に続く、半導体装置の製造方法の一例を示す断面図。

【図5】図4に続く、半導体装置の製造方法の一例を示す断面図。

【図6】図5に続く、半導体装置の製造方法の一例を示す断面図。

【図7】図6に続く、半導体装置の製造方法の一例を示す断面図。

【図8】図7に続く、半導体装置の製造方法の一例を示す断面図。

【図9】第1溝TRbのレイアウトの例を示す平面図。

【図10】第2実施形態に従った半導体装置の製造方法の一例を示す断面図。

【図11】第3実施形態に従った半導体装置の製造方法の一例を示す断面図。

【図12】第4実施形態による半導体装置の製造方法の一例を示す断面図。

50

【図13】図12に続く、半導体装置の製造方法の一例を示す断面図。

【図14】図13に続く、半導体装置の製造方法の一例を示す断面図。

【図15】図14に続く、半導体装置の製造方法の一例を示す断面図。

【図16】図15に続く、半導体装置の製造方法の一例を示す断面図。

【図17】図16に続く、半導体装置の製造方法の一例を示す断面図。

【図18】図17に続く、半導体装置の製造方法の一例を示す断面図。

【図19】第1実施形態の変形例による半導体装置の製造方法の一例を示す断面図。

【発明を実施するための形態】

【0008】

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。以下の実施形態において、半導体基板の上下方向は、半導体素子が設けられる表面またはその反対側の裏面を上とした場合の相対方向を示し、重力加速度に従った上下方向と異なる場合がある。

10

【0009】

(第1実施形態)

図1(A)~図8は、第1実施形態による半導体装置の製造方法の一例を示す断面図である。図1(A)~図8では、基板10aおよび10bの一部の断面を示す。第1実施形態では、半導体基板10aおよび10bの両方に金属電極としてのTSVを形成し、かつ、半導体基板10a上に半導体基板10bを積層する。半導体基板10aおよび10bは、例えば、NAND型EEPROM(Electrically Erasable and Programmable Read-Only Memory)等を備えた半導体基板でよい。半導体基板10aおよび10bは、ダイシング前のウェハ状態であり、まだ半導体チップに個片化されていない。

20

【0010】

まず、第2半導体基板としての半導体基板10aの第3面F1a上に、図示しないSTI(Shallow Trench Isolation)を形成し、アクティブエリアを決める。半導体基板10aは、例えば、シリコン基板である。STIは、例えば、シリコン酸化膜である。次に、アクティブエリアに半導体素子(図示せず)を形成する。半導体素子は、例えば、メモリセルアレイ、トランジスタ、抵抗素子、キャパシタ素子等でよい。半導体素子の形成の際に、アクティブエリアまたはSTI上には、層間絶縁膜を介して、例えば、配線構造20aが形成される。半導体素子および配線構造20aは、絶縁膜25aによって被覆される。次に、パッド30aが配線構造20aに接続されるように形成される。従って、アクティブエリアまたはSTI上には、導電体としての配線構造20aおよびパッド30aが形成される。配線構造20aおよびパッド30aには、タングステンやチタン等の低抵抗金属を用いる。以下、配線構造20aおよびパッド30aをまとめて導電体20a、30aともいう。

30

【0011】

半導体基板10aの第3面F1aに半導体素子等が形成された後、半導体基板10aは、第3面F1aとは反対側の第4面F2aから研磨され、例えば、約30μm以下に薄膜化されている。これにより、図1(A)に示す構造が得られる。尚、図1(A)では、第3面F1aが下向きに表示されている。

40

【0012】

図1(B)に示すように、リソグラフィ技術を用いて、第4面F2a上にレジスト膜PRが形成される。レジスト膜PRは、第4面F2aのうちTSVに用いられるコンタクトホール形成領域以外の領域を被覆する。

【0013】

次に、図2(A)に示すように、レジスト膜PRをマスクとして用いて、第4面F2aから基板10aをRIE(Reactive Ion Etching)法でエッチングする。これにより、第4面F2aから第3面F1aに達するコンタクトホール(第2コンタクトホール)CHAを形成する。TSVを導電体20a、30aに接続するために、コンタクトホールCHAは、導電体20a、30aが存在する領域に形成される。これにより、コンタクトホール

50

C H a の底部において導電体 2 0 a が露出される。

【 0 0 1 4 】

レジスト膜 P R の除去後、図 2 (B) に示すように、C V D (Chemical Vapor Deposition) 法または A L D (Atomic Layer Deposition) 法を用いて、コンタクトホール C H a の内側面、底面および半導体基板 1 0 a の第 4 面 F 2 a 上にスペーサ膜 4 0 a を形成する。スペーサ膜 4 0 a には、例えば、シリコン酸化膜等の絶縁膜を用いる。

【 0 0 1 5 】

次に、図 3 (A) に示すように、スペーサ膜 4 0 a を R I E 法でエッチバックすることによって、コンタクトホール C H a の底部のスペーサ膜 4 0 a をエッチングする。コンタクトホール C H a は、アスペクト比が大きいので、スペーサ膜 4 0 a は、第 4 面 F 2 a 上に比較的厚く形成され、コンタクトホール C H a の底部にはあまり形成されない。従って、スペーサ膜 4 0 a をエッチバックすることによって、コンタクトホール C H a がスペーサ膜 4 0 a を貫通し、導電体 2 0 a 、 3 0 a まで達する。即ち、コンタクトホール C H a は、導電体 2 0 a 、 3 0 a まで延長される。

10

【 0 0 1 6 】

次に、図 3 (B) に示すように、コンタクトホール C H a 内にバリアメタル 5 0 a を形成する。バリアメタル 5 0 a には、例えば、T i または C u 等を用いる。

【 0 0 1 7 】

次に、図 4 (A) に示すように、コンタクトホール C H a 内に金属電極としての T S V 6 0 a の金属材料を堆積する。T S V 6 0 a には、例えば、C u 等の金属材料を用いる。これにより、T S V 6 0 a およびバリアメタル 5 0 a を導電体 2 0 a 、 3 0 a に接続させることができる。

20

【 0 0 1 8 】

次に、図 4 (A) に示すように、C M P (Chemical Mechanical Polishing) 法を用いて、T S V 6 0 a を平坦化して、コンタクトホール C H a 内の T S V 6 0 a およびバリアメタル 5 0 a を残置させたまま、第 4 面 F 2 a 上にある T S V 6 0 a およびバリアメタル 5 0 a を除去する。これにより、T S V 6 0 a およびバリアメタル 5 0 a が、隣接するコンタクトホール C H a 間において電氣的に絶縁される。

【 0 0 1 9 】

次に、図 4 (B) に示すように、半導体基板 1 0 b を半導体基板 1 0 a の第 4 面 F 2 a 上に積層する。第 1 半導体基板としての半導体基板 1 0 b は、図 1 (A) の半導体基板 1 0 a とほぼ同様の構成を有する。従って、半導体基板 1 0 b の第 1 面 F 1 b 上には、図示しない S T I が形成され、アクティブエリアには半導体素子等 (図示せず) が形成される。アクティブエリアまたは S T I 上には、層間絶縁膜を介して、例えば、配線構造 2 0 b が形成される。半導体素子および配線構造 2 0 b は、絶縁膜 2 5 b によって被覆される。パッド 3 0 b は配線構造 2 0 b に接続されるように形成される。従って、アクティブエリアまたは S T I 上には、導電体としての配線構造 2 0 b およびパッド 3 0 b が形成される。以下、配線構造 2 0 b およびパッド 3 0 b をまとめて導電体 2 0 b 、 3 0 b ともいう。

30

【 0 0 2 0 】

半導体基板 1 0 b の第 1 面 F 1 b に半導体素子等が形成された後、半導体基板 1 0 b は、第 1 面 F 1 b とは反対側の第 2 面 F 2 b から研磨され、例えば、約 3 0 μ m 以下に薄膜化されている。これにより、半導体基板 1 0 a と同様の構成を有する半導体基板 1 0 b が形成される。

40

【 0 0 2 1 】

半導体基板 1 0 b は、第 1 面 F 1 b を半導体基板 1 0 a の第 4 面 F 2 a に向けて半導体基板 1 0 a 上に積層される。積層後、半導体基板 1 0 a および 1 0 b は、熱圧着により、接着される。このとき、半導体基板 1 0 b のパッド 3 0 b が半導体基板 1 0 a の T S V 6 0 a と接触し、半導体基板 1 0 a と 1 0 b とが電氣的に接続される。

【 0 0 2 2 】

次に、図 5 (A) に示すように、リソグラフィ技術を用いて、第 2 面 F 2 b 上にレジス

50

ト膜 P R が形成される。レジスト膜 P R は、コンタクトホール形成領域 R c h とダイシング領域 R d c 以外の領域を被覆する。コンタクトホール形成領域 R c h は、半導体基板 1 0 b の第 2 面 F 2 b のうち T S V に用いられるコンタクトホール形成領域である。ダイシング領域 R d c は、積層された半導体基板 1 0 a および 1 0 b を個別の半導体チップにするときに切断される領域である。

【 0 0 2 3 】

次に、図 5 (B) に示すように、レジスト膜 P R をマスクとして用いて、第 2 面 F 2 b から半導体基板 1 0 b を R I E 法でエッチングする。これにより、第 2 面 F 2 b から第 1 面 F 1 b に達する第 1 コンタクトホールとしてコンタクトホール C H b を形成する。T S V を導電体 2 0 b 、 3 0 b に接続するために、コンタクトホール C H b は、導電体 2 0 b 、 3 0 b が存在する領域に形成される。これにより、コンタクトホール C H b の底部において導電体 2 0 b が露出される。また、第 2 面 F 2 b のうち第 1 領域としてのダイシング領域 R d c に第 1 溝 T R b が形成される。

10

【 0 0 2 4 】

第 1 溝 T R b の開口部の面積は、コンタクトホール C H b の開口部の面積よりも広いので、コンタクトホール C H b よりも深く形成される。ダイシング領域 R d c は、ダイシングによって切断される領域であるので、第 1 溝 T R b はコンタクトホール C H b よりも深く形成されても構わない。寧ろ、後のダイシング工程において、ダイシングカッター D C が半導体基板 1 0 a および 1 0 b を切断し易くなるので、第 1 溝 T R b は深く形成されることが好ましい。一方、半導体基板 1 0 a および 1 0 b は、非常に薄いため、第 1 溝 T R b が深すぎると、ダイシング工程前にクラック等が意図せず生じるおそれがある。従って、第 1 溝 T R b は、或る程度浅くてもよく、あるいは、ダイシング領域 R d c の全体ではなくその一部分に形成してもよい。第 1 溝 T R b の平面レイアウトについては、後で、図 9 (A) ~ 図 9 (D) を参照して説明する。

20

【 0 0 2 5 】

レジスト膜 P R の除去後、図 2 (B) ~ 図 3 (B) を参照して説明したように、スペーサ膜 4 0 b (第 1 絶縁膜) およびバリアメタル 5 0 b を形成する。これにより、図 6 (B) に示すように、コンタクトホール C H b の内側面、第 1 溝 T R b の内側面および底面、並びに、半導体基板 1 0 b の第 2 面 F 2 b 上にスペーサ膜 4 0 b およびバリアメタル 5 0 b を形成する。スペーサ膜 4 0 b およびバリアメタル 5 0 b の材料は、それぞれスペーサ膜 4 0 a およびバリアメタル 5 0 a の材料と同様でよい。

30

【 0 0 2 6 】

コンタクトホール C H b および第 1 溝 T R b の底面にあるスペーサ膜 4 0 b は、R I E 法でエッチバックされているので、コンタクトホール C H b の底面には、スペーサ膜 4 0 b は無い。第 1 絶縁膜としてのスペーサ膜 4 0 b は、コンタクトホール C H b および第 1 溝 T R b の各内側面にある。一方、バリアメタル 5 0 b は、コンタクトホール C H b および第 1 溝 T R の底面に設けられている。これにより、コンタクトホール C H b 内において、バリアメタル 5 0 b は、基板 1 0 b から電氣的に絶縁された状態のまま、導電体 2 0 b 、 3 0 b に電氣的に接続される。

40

【 0 0 2 7 】

次に、図 6 (B) に示すように、リソグラフィ技術を用いて、コンタクトホール C H b およびその周辺以外の領域を第 1 マスク材としてのレジスト膜 P R で被覆する。このとき、レジスト膜 P R は、第 1 溝 T R b 上にも形成され、第 1 溝 T R b を被覆する。

【 0 0 2 8 】

次に、レジスト膜 P R をマスクとして用いて、コンタクトホール C H b 内に第 1 金属電極としての T S V 6 0 b を堆積する。T S V 6 0 b の材料は、T S V 6 0 a の材料と同様でよい。これにより、T S V 6 0 b を導電体 2 0 b 、 3 0 b に電氣的に接続させることができる。

【 0 0 2 9 】

次に、図 6 (B) のレジスト膜 P R をそのままマスクとして用いて、バンプ 7 0 b をめ

50

つき法でTSV60b上に形成する。パンプ70bには、例えば、スズまたは銅等のめっき可能な金属材料が用いられる。レジスト膜PRを除去すると、図7(A)に示す構造が得られる。

【0030】

次に、図7(B)に示すように、パンプ70bおよびTSV60bをマスクとして用いて、バリアメタル50bをウェットエッチングでエッチングする。これにより、第2面F2b上のバリアメタル50bおよび第1溝TRbの内面のバリアメタル50bは除去される。よって、隣接するTSV60bおよびパンプ70bは、互いに電氣的に分離される。一方、パンプ70bおよびTSV60bの直下にあるバリアメタル50bは残置されるので、各TSV60bおよびパンプ70bはその下にある導電体20b、30bに電氣的に接続された状態を維持する。

10

【0031】

その後、図8に示すように、基板10aおよび10bは積層された状態でダイシングされる。このとき、ダイシングカッターDCは、図5(A)に示す第1溝TRb内のダイシング領域Rdcの基板10aおよび/または10bを切断する。これにより、積層された基板10aおよび10bは、積層された半導体チップに個片化される。積層された半導体チップは、樹脂等でパッケージされ、製品として完成する。

【0032】

本実施形態によれば、ダイシング工程において、ダイシングカッターDCは、第1溝TRb内を切断するので、積層された複数の基板10aおよび10bを一度にダイシングしても、チッピングやクラック等が生じ難い。従って、基板10aおよび10bに形成された半導体素子等が損傷することを抑制できる。即ち、複数の半導体ウェハを積層後にまとめて個片化しても、半導体ウェハの素子の損傷を抑制することができる。

20

【0033】

また、本実施形態によれば、ダイシングカッターDCは、第1溝TRb内を切断するので、第1溝TRbの内側壁にスペーサ膜40bが残置される。従って、半導体チップに個片化された後、基板10bの側面がスペーサ膜40bで被覆される。これにより、基板10bを金属汚染等から保護することができる。また、第1溝TRbを深く形成して、スペーサ膜40bを基板10aおよび10bの側面に設ければ、基板10aおよび10bを金属汚染等から保護することができる。

30

【0034】

図8は、第1実施形態による半導体装置の構成例を示す断面図である。上記実施形態に従った製造方法で形成された半導体装置は、図8に示すような構成を有する。

【0035】

半導体装置1は、基板10aと、基板10bと、配線構造20a、20bと、絶縁膜25a、25bと、パッド30a、30bと、スペーサ膜40a、40bと、バリアメタル50a、50bと、TSV60a、60bと、パンプ70bとを備えている。

【0036】

第2半導体基板としての基板10aは、半導体素子を有する第3面F1aとその反対側にある第4面F2aとを有する。半導体素子は、基板10aのアクティブエリアに設けられている。配線構造20aは、基板10aの第3面F1a上のアクティブエリアまたはSTI上に、層間絶縁膜を介して設けられている。半導体素子および配線構造20aは、絶縁膜25aによって被覆される。パッド30aは、配線構造20aに接続されるように設けられている。従って、アクティブエリアまたはSTI上には、導電体としての配線構造20aおよびパッド30aが設けられている。

40

【0037】

金属電極としてのTSV60aは、基板10aの第4面F2aと第3面F1aとの間に基板10aを貫通するように設けられている。TSV60aは、導電体20a、30aと基板10bのパッド30bとの間を電氣的に接続する。

【0038】

50

スペーサ膜40aおよびバリアメタル50aは、基板10aとTSV60aとの間に設けられている。バリアメタル50aは、TSV60aの金属材料の拡散を抑制する。スペーサ膜40aは、バリアメタル50aと基板10aとの間において、TSV60aと基板10aとの間、および、バリアメタル50aと基板10aとの間を電氣的に分離している。

【0039】

第1半導体基板としての基板10bは、基板10aの上方に積層されている。基板10bは、半導体素子を有する第1面F1bとその反対側にある第2面F2bとを有する。半導体素子は、基板10bのアクティブエリアに設けられている。配線構造20bは、基板10bの第1面F1b上のアクティブエリアまたはSTI上に、層間絶縁膜を介して設けられている。半導体素子および配線構造20bは、絶縁膜25bによって被覆される。パッド30bは、配線構造20bに接続されるように設けられている。従って、アクティブエリアまたはSTI上には、導電体としての配線構造20bおよびパッド30bが設けられている。

10

【0040】

金属電極としてのTSV60bは、基板10bの第2面F2bと第1面F1bとの間に基板10bを貫通するように設けられている。TSV60bは、導電体20b、30bとバンプ70bとの間を電氣的に接続する。TSV60bは、導電体20b、30bを介して基板10aのTSV60aとも電氣的に接続する。

【0041】

スペーサ膜40bおよびバリアメタル50bは、基板10bとTSV60bとの間に設けられている。バリアメタル50bは、TSV60bの金属材料の拡散を抑制する。スペーサ膜40bは、バリアメタル50bと基板10bとの間でTSV60bおよびバリアメタル50bと基板10bとを電氣的に分離している。

20

【0042】

バンプ70bは、TSV60b上に設けられている。バンプ70bは、他の半導体装置等と接続する場合に用いられる。

【0043】

ここで、絶縁膜としてのスペーサ膜40bは、基板10aの第1面F1bの外縁と第2面F2bの外縁との間にある第1側面F3bに設けられている。ダイシング工程において、ダイシングカッターDCがダイシング領域Rdcの第1溝TRb内で基板10aおよび/または10bを切断する。従って、第1溝TRbの内側面にあるスペーサ膜40bは、ダイシング後も残置される。これにより、図8に示すように、スペーサ膜40bは第1側面F3bに設けられている。

30

【0044】

第1溝TRbの深さに依って、スペーサ膜40bは、基板10bの第1側面F3bの全体を被覆することもでき、あるいは、基板10bの第1側面F3bの一部を被覆することもできる。また、第1溝TRbが基板10aに達している場合、スペーサ膜40bは、基板10aの側面F3aの全部または一部を被覆することもできる。

【0045】

このように、スペーサ膜40bが基板10bの第1側面F3bの全体または一部あるいは、基板10aの側面F3aの全部または一部を被覆することによって、基板10aおよび10bの金属汚染等を抑制することができる。

40

【0046】

上記実施形態では、2枚の基板10aおよび10bについて説明したが、積層する基板の数は、3枚以上であってもよい。この場合、例えば、基板10aと同一の基板をn(nは2以上の整数)枚積層し、その最上段の基板上に基板10bを積層すればよい。第1溝TRbの深さは、基板10bの下にある複数の基板10aまで達してもよい。

【0047】

次に、第1溝TRbの平面レイアウトについて説明する。

50

【 0 0 4 8 】

図 9 (A) ~ 図 9 (D) は、第 1 溝 T R b のレイアウトの例を示す平面図である。破線で示す領域がダイシング領域 R d c である。これらの図は、基板 1 0 a および 1 0 b の表面の一部分を示している。実線の枠で示された領域が第 1 溝 T R b である。ダイシング領域 R d c は、第 2 面 F 2 b 上の x 方向と x 方向に直行する y 方向に延伸する。x 方向と y 方向との交点の角部分が半導体チップの角部分となる。

【 0 0 4 9 】

図 9 (A) では、ダイシング領域 R d c の全体に第 1 溝 T R b が設けられている。この場合、ダイシング工程において、ダイシングカッターが容易に基板 1 0 a および 1 0 b を切断することができる。一方、ダイシング前において、基板 1 0 a および 1 0 b のダイシング領域 R d c における機械的強度が低下するため、基板 1 0 a および 1 0 b の搬送時等において、基板 1 0 a および 1 0 b がクラックする場合がある。従って、第 1 溝 T R b は、あまり深く形成することはできない。

10

【 0 0 5 0 】

図 9 (B) では、ダイシング領域 R d c の交差部分に第 1 溝 T R b が設けられている。この交差部分以外のダイシング領域 R d c (以下、中心部分という)には、第 1 溝 T R b は設けられていない。ダイシング工程において、半導体チップの角部分が損傷を受けやすい。従って、ダイシング領域 R d c の交差部分に第 1 溝 T R b を設けることによって、半導体チップの損傷を抑制することができる。一方、ダイシング領域 R d c の中心部分には、第 1 溝 T R b は設けられていないので、ダイシング前における基板 1 0 a および 1 0 b の機械的強度は、左程低下しない。従って、図 9 (B) に示す平面レイアウトでは、ダイシング工程における半導体チップの損傷を抑制することができ、かつ、基板 1 0 a および 1 0 b の搬送時等において基板 1 0 a および 1 0 b のクラックを抑制することができる。このような平面レイアウトの場合、第 1 溝 T R b は、基板 1 0 a まで達するように形成しても構わない。

20

【 0 0 5 1 】

図 9 (C) では、ダイシング領域 R d c に断続的にミシン目状に第 1 溝 T R b が設けられている。換言すると、ダイシング領域 R d c において、基板 1 0 b は、はしご状に残置されている。これにより、ダイシング前における基板 1 0 a および 1 0 b の機械的強度は、左程低下しない。従って、図 9 (C) に示す平面レイアウトでは、ダイシング工程における半導体チップの損傷を抑制することができ、かつ、基板 1 0 a および 1 0 b の搬送時等において基板 1 0 a および 1 0 b のクラックを抑制することができる。よって、図 9 (C) に示すレイアウトにおいても、第 1 溝 T R b は、基板 1 0 a まで達するように形成しても構わない。

30

【 0 0 5 2 】

図 9 (D) では、ダイシング領域 R d c に T S V 6 0 b よりも小さな第 1 溝 T R b が多数設けられている。この場合、第 1 溝 T R b の開口径は、T S V 6 0 b の開口径よりも小さくなるので、第 1 溝 T R b の深さは T S V 6 0 b の深さよりも浅くなる。従って、ダイシング前における基板 1 0 a および 1 0 b の機械的強度は、左程低下しない。一方、第 1 溝 T R b は多数設けられているので、ダイシング工程においてダイシングを容易にし、半導体チップの損傷を抑制することができる。

40

【 0 0 5 3 】

第 1 実施形態では、基板 1 0 a の第 4 面 F 2 a と基板 1 0 b の第 1 面 F 1 b とが対向するように、基板 1 0 a および 1 0 b が積層されている。この場合、基板 1 0 a の T S V 6 0 a のうち第 4 面 F 2 a 側の端部は、基板 1 0 b のパッド 3 0 b に熱圧接されるため、パンプを必要としない。T S V 6 0 a は、図 3 (B) ~ 図 4 (A) に示すように、ダマシン法で形成される。以下、T S V 6 0 a の製造方法を、“T S V のダマシン形成法”と呼ぶ。一方、基板 1 0 b の T S V 6 0 b のうち第 2 面 F 2 b 側の端部は、外部の半導体装置等と接続するために、その上にパンプ 7 0 b が形成される。T S V 6 0 b は、図 6 (B) ~ 図 7 (B) に示すように、リソグラフィ技術およびエッチング技術を用いて形成される。

50

以下、TSV60bの製造方法を、“TSVのリソグラフィ形成法”と呼ぶ。

【0054】

(変形例)

図19は、変形例に従った半導体装置の製造方法を示す断面図である。

【0055】

第1実施形態では、図2(A)に示すコンタクトホールCHaの形成の際に、ダイシング領域Rdcに対応する半導体基板10aの部分には、溝が形成されていない。即ち、半導体基板10aのダイシング領域はエッチングされてはいない。

【0056】

しかし、図19に示すように、コンタクトホールCHaの形成の際に、半導体基板10aのダイシング領域Rdcに第2溝TRaを形成してもよい。この場合、図2(A)に示すコンタクトホールCHaを形成する際に、コンタクトホールCHaだけでなく、半導体基板10aの第4面F2aからエッチングして第4面F2aから第3面F1aに達する第2溝TRaを半導体基板10aのダイシング領域Rdcに形成する。

【0057】

次に、図2(B)を参照して説明したように、CVD法またはALD法を用いて、スペーサ膜40aを形成する。このとき、スペーサ膜40aは、第2溝TRaの内面も被覆する。次に、図3(A)を参照して説明したように、スペーサ膜40aをRIE法でエッチバックする。これにより、第2溝TRaの底部のスペーサ膜40aもエッチングされる。次に、第2溝TRaを被覆するマスク材を形成する。このときマスク材は、第1コンタクトホールCHaを被覆していない。マスク材をマスクとして用いてコンタクトホールCHa内にバリアメタル50aおよびTSV60aを形成する。

【0058】

その後、マスク材を除去して、図4(A)および図4(B)を参照して説明したように、半導体基板10aの第4面F1a上に半導体基板10bの第1面F2bを向けるようにして半導体基板10bを半導体基板10a上に積層する。半導体基板10bは、第1実施形態と同様に加工される。これにより、図19に示す構造が得られる。

【0059】

その後、基板10aおよび10bは積層された状態でダイシングされる。このとき、ダイシングカッターDCは、図19に示す第1および第2溝TRb、TRaを介してダイシング領域Rdcの基板10aおよび/または10bを切断する。これにより、基板10aおよび10bは、積層された半導体チップに個片化される。本変形例でも第1実施形態と同様の効果を得ることができる。

【0060】

尚、積層される半導体基板の数は、2枚に限定されず、3枚以上であってもよい。この場合、半導体基板10bの下に積層される複数の半導体基板は、半導体基板10aと同様に加工されてもよい。

【0061】

(第2実施形態)

図10(A)~図10(D)は、第2実施形態に従った半導体装置の製造方法の一例を示す断面図である。図10(A)~図10(D)には、基板10aおよび10bの全体の断面図を示す。また、図10(A)~図10(D)では、導電体20a、30a、20b、30b、スペーサ膜40a、40b、および、バリアメタル50a、50b等は、簡略化して示されまたは省略されている。図11(A)以降の図面についても同様である。

【0062】

第2実施形態では、基板10aの第3面F1aと基板10bの第3面F1bとを対向させるように、基板10aおよび10bが積層されている。基板10aの第4面F2aおよび基板10bの第2面F2bは、外部の半導体装置等と接続可能となっている。従って、第2実施形態では、基板10aおよび10bのそれぞれTSV60aおよび60bは、“TSVのリソグラフィ形成法”を用いて形成される。

10

20

30

40

50

【0063】

例えば、図10(A)に示すように、まず、基板10aおよび10bは、基板10aの第3面F1aと基板10bの第1面F1bとを貼り合わせて積層される。

【0064】

次に、CMP法を用いて、基板10bを第2面F2bから研磨し、基板10bを薄膜化する。その後、“TSVのリソグラフィ形成法”を用いてTSV60bが形成される。従って、図10(B)に示すように、TSV60b上には、パンプ70bが形成される。また、ダイシング領域には、第1溝TRbが形成される。尚、第1溝TRbの配置は、図示されている配置とは異なる場合がある。

【0065】

次に、図10(C)に示すように、基板10aおよび10bを反転させて、支持基板100上に基板10bを接着剤110で接着する。これにより、基板10aの第4面F2aが上方に向けられる。このとき、パンプ70bは接着剤110に埋没し保護される。

【0066】

次に、CMP法を用いて、基板10aを第4面F2aから研磨し、基板10aを薄膜化する。その後、“TSVのリソグラフィ形成法”を用いてTSV60aが形成される。従って、図10(D)に示すように、TSV60a上には、パンプ70aが形成される。また、ダイシング領域には、第2溝TRaが形成される。尚、第2溝TRaの配置も、図示されている配置とは異なる場合がある。TSV60aの形成方法および第2溝TRaの形成方法は、それぞれTSV60bおよび第1溝TRbの形成方法と同様でよい。

【0067】

例えば、第2実施形態では、基板10aを第4面F2aからエッチングして、第2コンタクトホールが、基板10aの第4面F2aから第3面F1aに達するように形成される。第2コンタクトホールは、図5(B)のCHbに対応する。それと同時に、基板10aの第4面F2aのうち第2領域としてのダイシング領域に第2溝TRaが形成される。第2溝TRaは、図5(B)のTRbに対応する。第2溝TRaの位置は、第1溝TRbの位置と対応しており、基板10aおよび10bの積層方向をzとすると、第2溝TRaは、z方向において、第1溝TRbの直上または直下にある。尚、第1および第2溝TRb、TRaの平面レイアウトは、図9(A)~図9(D)のいずれでもよい。

【0068】

次に、第2溝TRaを被覆し、第2コンタクトホールを露出するように第2マスク材が形成される。第2マスク材は、図6(A)に示すレジスト膜PRに対応する。この第2マスク材をマスクとして用いて第2コンタクトホール内に第2金属電極としてのTSV60aを形成する。さらに、TSV60a上にパンプ70bを形成する。これにより、図10(D)に示す構造が得られる。

【0069】

その後、支持基板100および接着剤110から基板10aおよび10bが取り外され、基板10aおよび10bは、第1および第2溝TRb、TRaにおいてダイシングされる。

【0070】

このように、基板10aおよび10bは、第3面F1aと第1面F1bとを対向させるように積層させてもよい。これにより、基板10aおよび10bの両方に、ダイシング用の第1および第2溝TRb、TRaを形成することができる。従って、第2実施形態では、ダイシングがさらに容易になる。また、第2実施形態は、第1実施形態と同様の効果を得ることができる。

【0071】

(第3実施形態)

図11(A)~図11(D)は、第3実施形態に従った半導体装置の製造方法の一例を示す断面図である。第3実施形態では、第2実施形態で示した第3面F1aと第1面F1bとを対向させて積層した基板10aおよび10bを2組積層させている。即ち、第3実

10

20

30

40

50

施形態では、4枚の基板10a__1、10b__1、基板10a__2、10b__2が積層される。

【0072】

図11(A)に示すように、基板10a__1の第3面F1a__1と基板10b__1の第1面F1b__1とを対向させるように、基板10a__1および10b__1が積層される。また、基板10a__2の第3面F1a__2と基板10b__2の第1面F1b__2とを対向させるように、基板10a__2および10b__2が積層される。

【0073】

一方、図11(B)および図11(C)に示すように、基板10b__1の第2面F2b__1と基板10b__2の第2面F2b__2とが熱圧接により接着される。従って、第3実施形態では、基板10b__1および10b__2のそれぞれのTSV60b__1および60b__2は、“TSVのダマシ形成法”を用いて形成される。

10

【0074】

基板10a__1および10a__2のそれぞれのTSV60a__1および60a__2は、外部の半導体装置等に接続可能にする。従って、基板10a__1および10a__2のそれぞれのTSV60a__1および60a__2は、“TSVのダマシ形成法”を用いて形成される。

【0075】

例えば、図11(A)に示すように、まず、基板10a__1および10b__1は、基板10a__1の第3面F1a__1と基板10b__1の第1面F1b__1とを貼り合わせて積層される。これとは別に、基板10a__2および10b__2は、基板10a__2の第3面F1a__2と基板10b__2の第1面F1b__2とを貼り合わせて積層される。便宜的に、基板10a__1および10b__1を積層体ST1とし、基板10a__2および10b__2を積層体ST2と呼ぶ。

20

【0076】

次に、CMP法を用いて、積層体ST1の第2面F2b__1から研磨し、基板10b__1を薄膜化する。また、積層体ST2の第2面F2b__2から研磨し、基板10b__2も薄膜化する。その後、“TSVのダマシ形成法”を用いてTSV60b__1、60b__2を形成する。従って、図11(B)に示すように、TSV60b__1、60b__2上には、パンプ70bが形成されていない。また、ダイシング領域には、溝が形成されない。

30

【0077】

次に、図11(C)に示すように、積層体ST2を反転させて、積層体ST1上に積層する。このとき、積層体ST2の第2面F2b__2と積層体ST1の第2面F2b__1とが対向するように熱圧接される。これにより、TSV60b__1とTSV60b__2とが電氣的に接続される。

【0078】

次に、CMP法を用いて、積層体ST2の第4面F2a__2から研磨し、基板10a__2を薄膜化する。その後、“TSVのリソグラフィ形成法”を用いてTSV60a__2が形成される。従って、図11(D)に示すように、TSV60a__2上には、パンプ70a__2が形成される。また、ダイシング領域には、第2溝TRa__2が形成される。TSV60a__2の形成方法および第2溝TRa__2の形成方法は、それぞれ第2実施形態のTSV60a__1および第2溝TRa__1の形成方法と同様でよい。

40

【0079】

次に、図11(E)に示すように、積層体ST1、ST2を反転させて、支持基板100上に積層体ST1、ST2を接着剤110で接着する。これにより、基板10a__1の第4面F2a__1が上方に向けられる。このとき、パンプ70a__2は接着剤110に埋没し保護される。

【0080】

次に、CMP法を用いて、第4面F2a__1から研磨し、基板10a__1を薄膜化する。その後、“TSVのリソグラフィ形成法”を用いてTSV60a__1が形成される。従

50

って、図 1 1 (F) に示すように、TSV60a__1 上には、パンプ 70a__1 が形成される。また、ダイシング領域には、第 2 溝 TRa__1 が形成される。TSV60a__1 の形成方法および第 2 溝 TRa__1 の形成方法は、それぞれ第 2 実施形態の TSV60a および第 2 溝 TRa の形成方法と同様でよい。

【0081】

その後、積層体 ST1、TR2 は、溝 TRa__1、TRa__2 においてダイシングされる。

【0082】

このように、2 枚の基板の第 1 面同士を対向させた積層体 ST1、ST2 をさらに積層させてもよい。第 3 実施形態では、基板 10a__1 および 10a__2 の両方に、ダイシング用の溝 TRa__1、TRa__2 を形成することができる。従って、第 3 実施形態は、第 2 実施形態と同様の効果を得ることができる。

10

【0083】

尚、第 3 実施形態において、2 組の積層体 ST1、ST2 について説明したが、積層する積層体の数は、3 枚以上であってもよい。この場合、例えば、両面ともダマシン形成法で形成された積層体を n (n は 2 以上の整数) 組積層し、その最上段および最下段の積層体を ST1、ST2 とすればよい。溝 TRa__1、TRa__2 の深さは、最上段または最下段から任意の深さに形成してよい。

【0084】

(第 4 実施形態)

図 1 2 (A) ~ 図 1 8 は、第 4 実施形態による半導体装置の製造方法の一例を示す断面図である。第 4 実施形態では、基板 10a および 10b を積層後に、TSV60 および第 1 溝 TR を一括で形成する点で、第 1 実施形態と異なる。

20

【0085】

まず、基板 10a および 10b が第 1 実施形態と同様に形成され、基板 10a および 10b がそれぞれ薄膜化される。

【0086】

次に、図 1 2 (A) に示すように、基板 10a および 10b が熱圧着で積層される。第 4 実施形態では、基板 10a の第 4 面 F2a と基板 10b の第 1 面 F1b とが対向するように基板 10a および 10b は積層される。

30

【0087】

図 1 2 (B) に示すように、リソグラフィ技術を用いて、第 2 面 F2b 上にレジスト膜 PR が形成される。レジスト膜 PR は、第 2 面 F2b のうち、TSV 用のコンタクトホール形成領域および第 1 溝の形成領域以外の領域を被覆する。

【0088】

次に、図 1 3 (A) に示すように、レジスト膜 PR をマスクとして用いて、第 2 面 F2b から基板 10a および 10b を RIE 法でエッチングする。これにより、第 2 面 F2b から第 3 面 F1a に達するコンタクトホール (第 1 コンタクトホール) CH を形成する。これと同時に、第 2 面 F2b のうち第 1 領域としてのダイシング領域 Rdc に第 1 溝 TR が形成される。また、図 1 3 (B) に示すように、パッド 30b が横方向 (基板 10a および 10b の積層方向に対して略垂直方向) へエッチングされる。これにより、パッド 30b は、基板 10a および 10b の側面よりも横方向へ窪む。尚、第 1 溝 TR の平面レイアウトは、図 9 (A) ~ 図 9 (D) のいずれでもよい。

40

【0089】

次に、図 1 4 (A) に示すように、コンタクトホール CH の内側面、第 1 溝 TR の内側面および底面、並びに、半導体基板 10b の第 2 面 F2b 上にスペーサ膜 40 (第 1 絶縁膜) を形成する。ここで、パッド 30b は、コンタクトホール CH 内において、基板 10a および 10b の側面から横方向へ窪んでいる。さらに、コンタクトホール CH は、アスペクト比が高い。よって、図 1 4 (B) に示すように、スペーサ膜 40 は、パッド 30b の表面に付着し難い。従って、スペーサ膜 40 は、パッド 30b の表面にはあまり付着し

50

ないか、あるいは、形成されても非常に薄い。スペーサ膜40bおよびバリアメタル50bの材料は、それぞれスペーサ膜40aおよびバリアメタル50aの材料と同様でよい。

【0090】

次に、スペーサ膜40をRIE法でエッチバックすることによって、コンタクトホールCHの底部のスペーサ膜40をエッチングする。このとき、パッド30bの表面に付着したスペーサ膜40も除去される。

【0091】

次に、図15(A)に示すように、コンタクトホールCH内にバリアメタル50を形成する。図15(B)に示すように、バリアメタル50は、スペーサ膜40と同様に、パッド30bの表面にはあまり付着しないか、あるいは、非常に薄く形成される。

10

【0092】

次に、図16(A)に示すように、リソグラフィ技術を用いて、コンタクトホールCHおよびその周辺以外の領域をレジスト膜PRで被覆する。このとき、レジスト膜PRは、第1溝TR上にも形成され、第1溝TRを被覆する。

【0093】

次に、レジスト膜PRをマスクとして用いて、コンタクトホールCH内にTSV60を堆積する。TSV60は、パッド30bの窪みにも入り込み、パッド30bにも電氣的に接続される。これにより、TSV60を導電体20b、30b、20a、30aに電氣的に接続させることができる。

【0094】

20

次に、レジスト膜PRをそのままマスクとして用いて、バンプ70をめっき法でTSV60上に形成する。レジスト膜PRを除去後、バンプ70およびTSV60の上部をマスクとして用いて、バリアメタル50をウェットエッチングでエッチングする。これにより、図17に示すように第2面F2b上および第1溝TRの内側面および底面のバリアメタル50は除去されるので、隣接するTSV60およびバンプ70は、互いに電氣的に分離される。一方、バンプ70およびTSV60の直下にあるバリアメタル50は残置されるので、各TSV60およびバンプ70はその下にある導電体20b、30b、20a、30aに電氣的に接続された状態を維持する。

【0095】

その後、基板10aおよび10bは積層された状態でダイシングされる。このとき、ダイシングカッターDCは、第1溝TR内の基板10a、10bを切断する。これにより、図18に示すように、積層された基板10aおよび10bは、積層された半導体チップに個片化される。積層された半導体チップは、樹脂等でパッケージされ、製品として完成する。

30

【0096】

第4実施形態によれば、ダイシング工程において、ダイシングカッターDCは、第1溝TR内を切断するので、積層された複数の基板10aおよび10bを一度にダイシングしても、チップングやクラック等が生じ難い。従って、第4実施形態は、第1実施形態と同様の効果を得ることができる。

【0097】

40

また、第1溝TRの内側壁にスペーサ膜40が残置される。従って、半導体チップに個片化された後、基板10bおよび10aの側面がスペーサ膜40で被覆される。これにより、基板10bおよび10aを金属汚染等から保護することができる。

【0098】

尚、第4実施形態において、2枚の基板10aおよび10bについて説明したが、積層する基板の数は、3枚以上であってもよい。この場合、例えば、同一の基板をn(nは2以上の整数)枚積層し、その最上段の基板から第1溝TRを形成すればよい。第1溝TRの深さは、最上段の基板から最下段の基板までの任意の位置でよい。

【0099】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したも

50

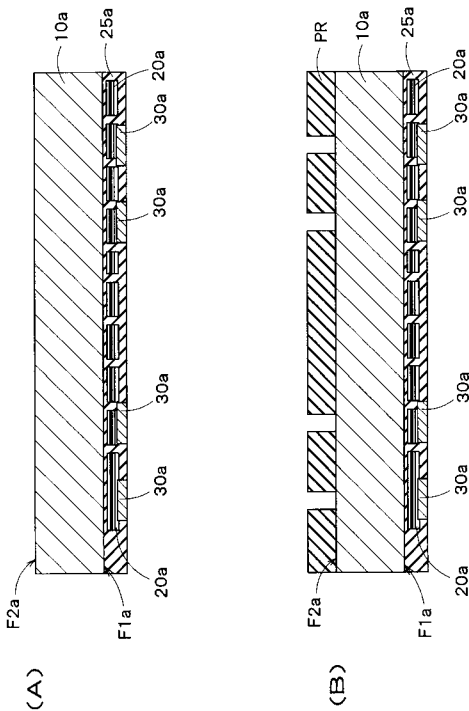
のであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

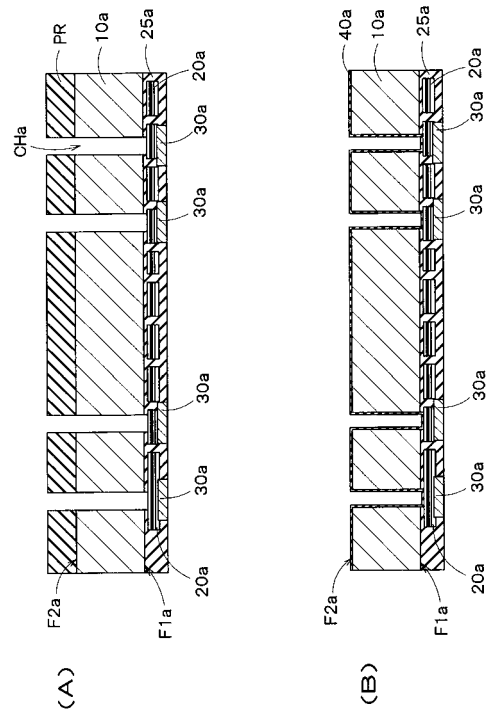
【0100】

10a, 10b 基板、20a, 20a 配線構造、30a, 30b パッド、20a, 20b 配線構造、25a, 25b 絶縁膜、CHa, CHb コンタクトホール、40a, 40b スペース膜、50a, 50b バリアメタル、60a, 60b TSV、70a, 70b バンプ、TRa, TRb 溝、Rdc ダイシング領域

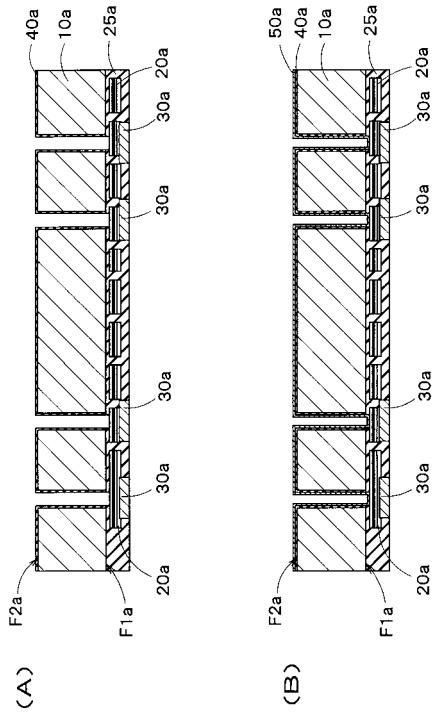
【図1】



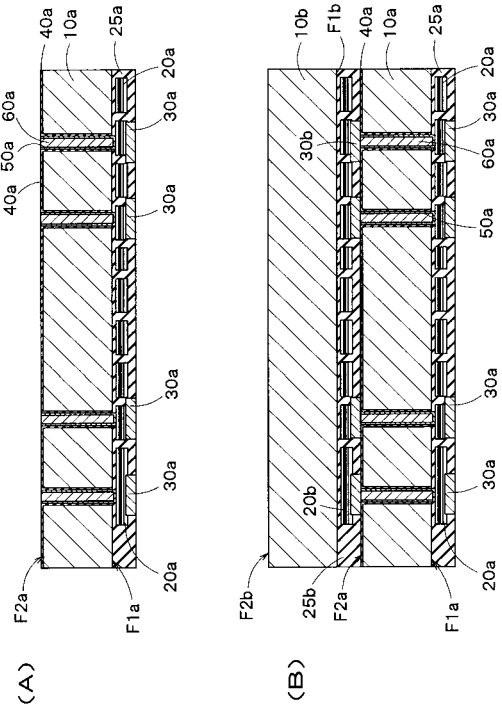
【図2】



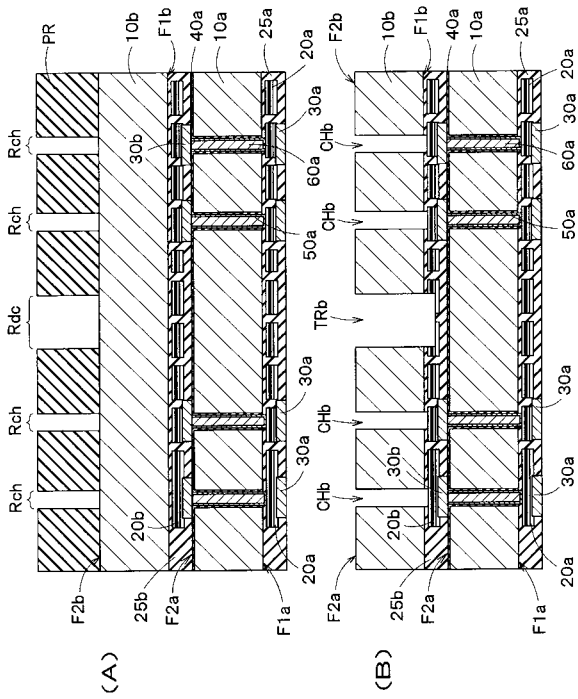
【 図 3 】



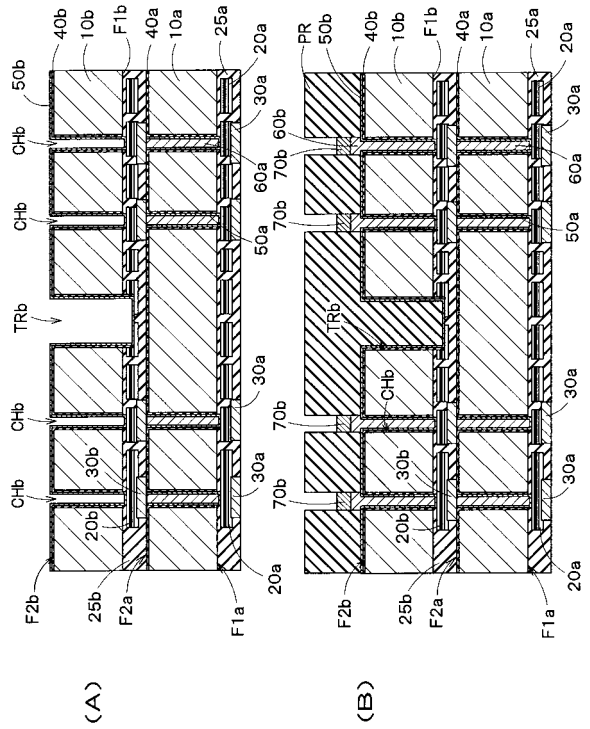
【 図 4 】



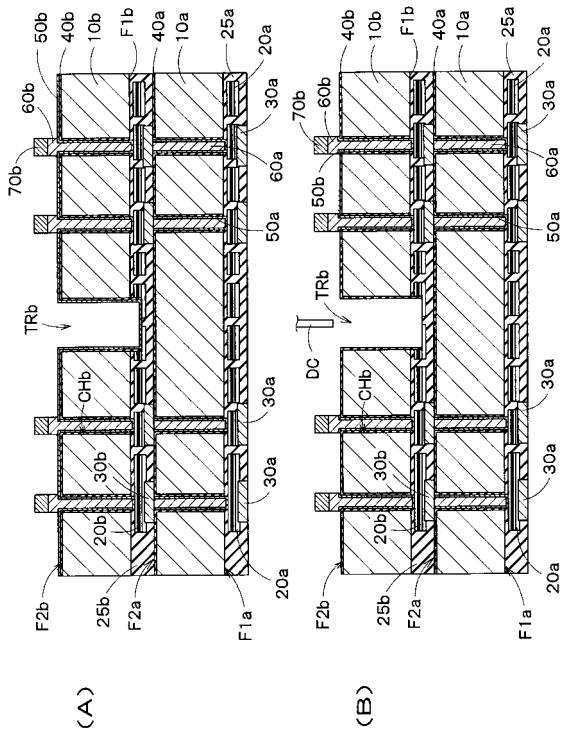
【 図 5 】



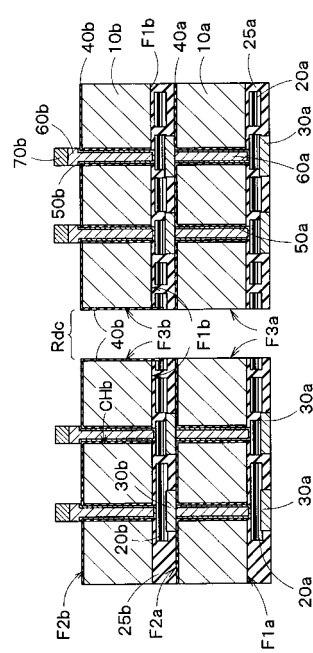
【 図 6 】



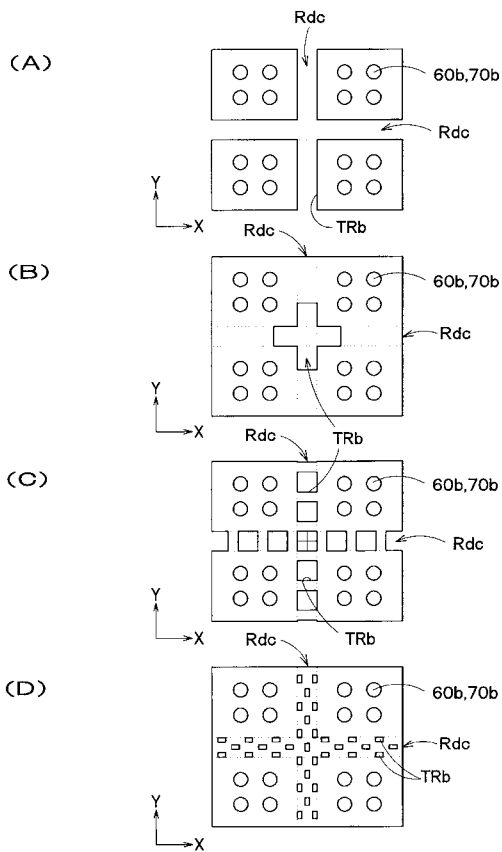
【 図 7 】



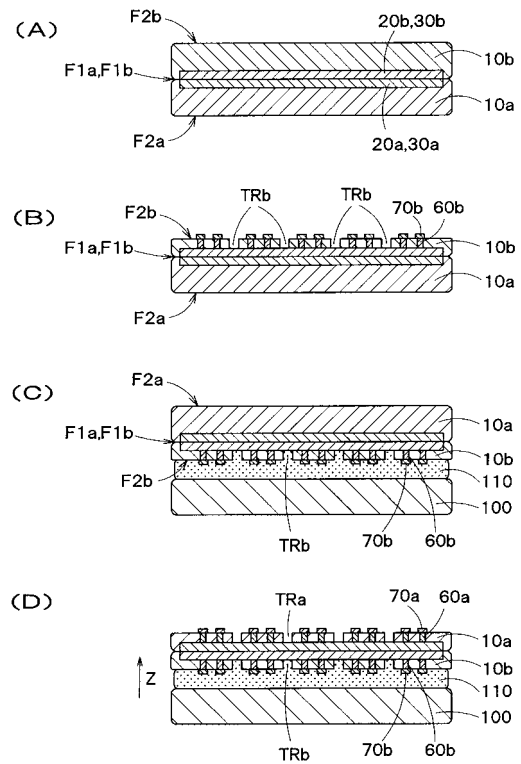
【 図 8 】



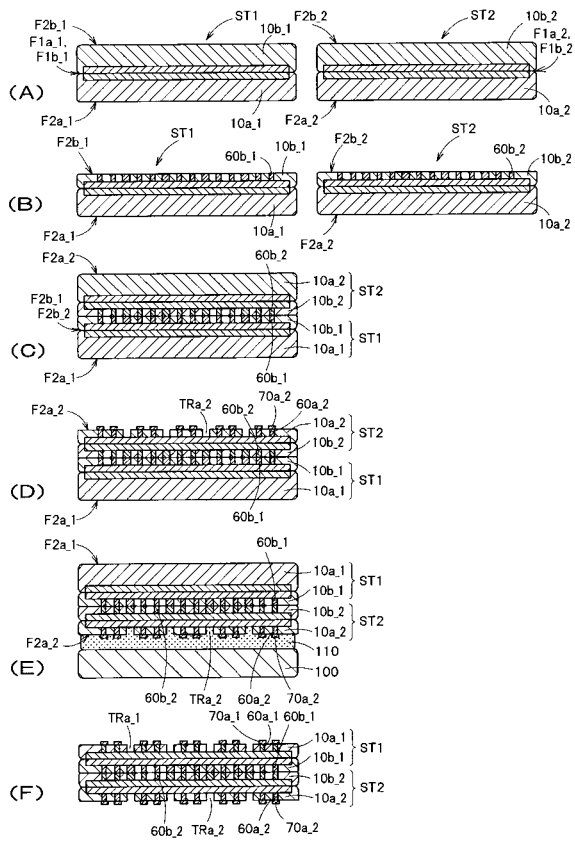
【 図 9 】



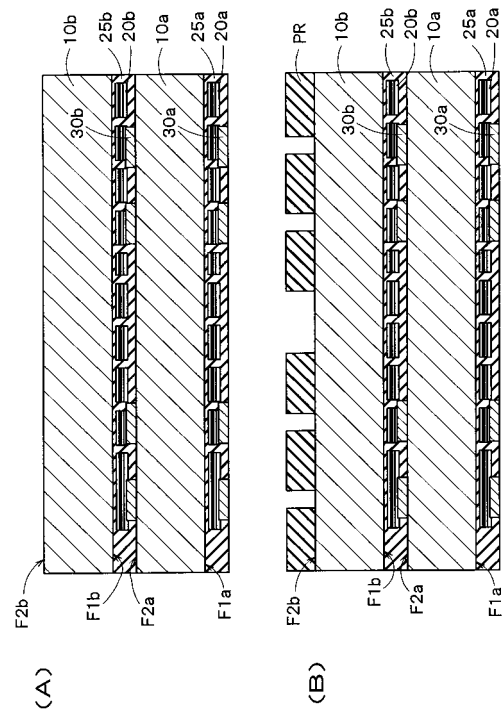
【 図 10 】



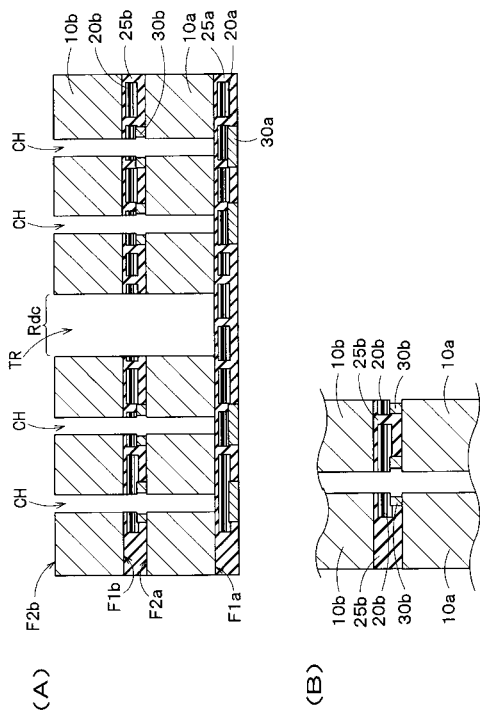
【図 1 1】



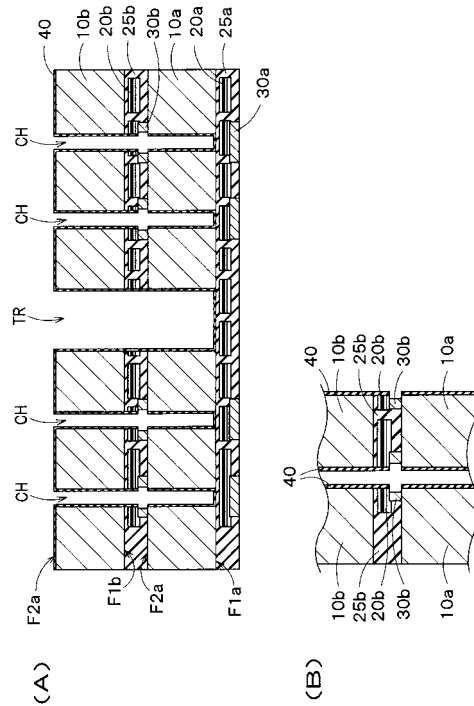
【図 1 2】



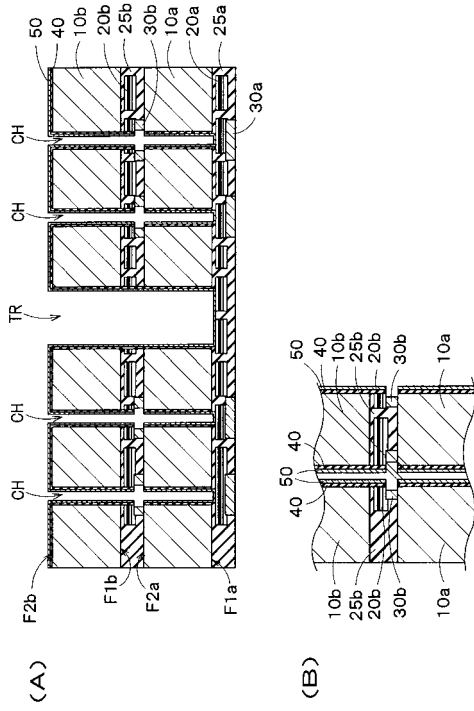
【図 1 3】



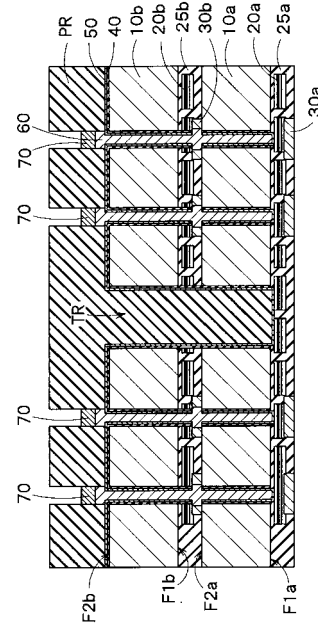
【図 1 4】



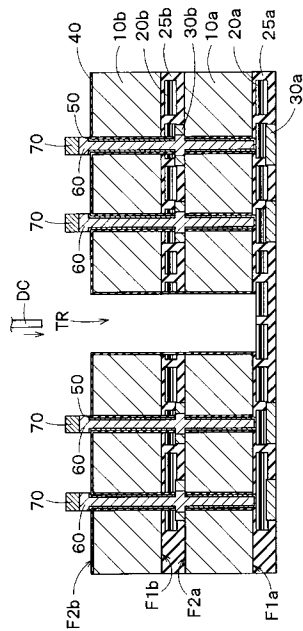
【 図 1 5 】



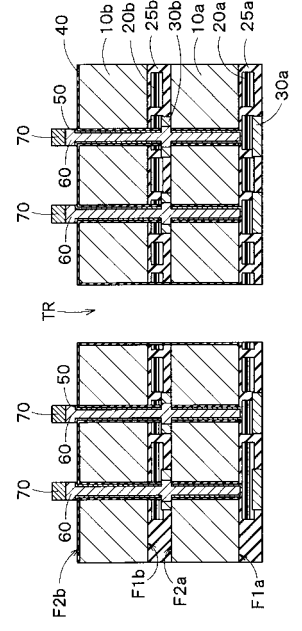
【 図 1 6 】



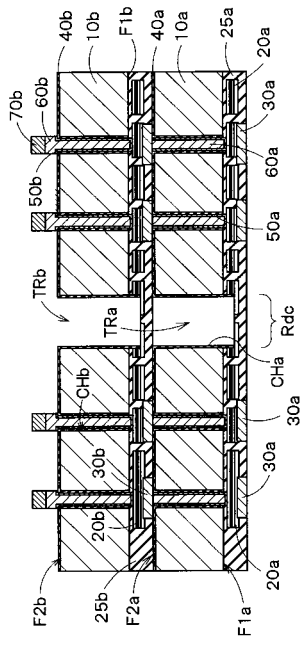
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 25/07 (2006.01)
H 0 1 L 25/18 (2006.01)

(72)発明者 志摩 真也
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 高野 英治
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 久米 一平
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 野田 有輝
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F033 HH18 HH19 JJ11 MM30 NN06 NN07 QQ07 QQ08 QQ09 QQ13
QQ24 QQ27 QQ47 QQ48 RR04 SS11 TT07 VV07 XX17
5F063 AA05 BA11 BA20 BA23