



## (12)发明专利

(10)授权公告号 CN 106068565 B

(45)授权公告日 2019.05.10

(21)申请号 201580010571.6

(22)申请日 2015.02.17

(65)同一申请的已公布的文献号  
申请公布号 CN 106068565 A

(43)申请公布日 2016.11.02

(30) 优先权数据

61/946,105 2014.02.28 US

14/281.660 2014.05.19 US

(85)PCT国际申请进入国家阶段日  
2016.08.25

(86)PCT国际申请的申请数据  
PCT/US2015/016081 2015.02.17

(87)PCT国际申请的公布数据  
W02015/130507 EN 2015.09.03

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 J·J·徐 C·F·耶普

(74) 专利代理机构 上海专利商标事务所有限公  
司 31100

代理人 袁逸

(51) Int.Cl.

H01L 29/78(2006.01)

H01L 21/336(2006.01)

(56)对比文件

US 2011/0198695 A1, 2011.08.18.

US 2003/0111699 A1, 2003.06.19,

CN 101924107 B, 2012.09.26,

审查员 张玉萍

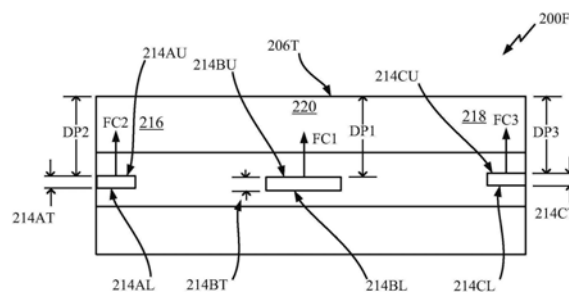
权利要求书3页 说明书9页 附图9页

(54)发明名称

# 受应力鳍NMOS FinFET的方法和装置

(57)摘要

半导体鳍在基板上,并且在平行于该基板的纵向方向上延伸。该鳍在垂直方向上突出至处于基板上方鳍高度处的鳍顶部。嵌入式鳍应力源元件被嵌入到该鳍中。该鳍应力源元件配置成在该鳍内平行于该垂直方向地施加垂直压缩力。任选地,该半导体材料包括硅,且嵌入式鳍应力源元件包括二氧化硅。



1. 一种受应力鳍FinFET器件, 包括:

基板;

在所述基板上的鳍, 所述鳍包括第一垂直壁和第二垂直壁, 所述第二垂直壁平行于所述第一垂直壁并且与所述第一垂直壁隔开鳍厚度, 所述鳍进一步包括半导体材料并且沿平行于所述基板的纵轴延伸, 其中所述鳍在垂直方向上延伸至处于所述基板上方的鳍高度处的鳍顶部, 其中所述鳍包括鳍基部和鳍有源区, 所述鳍基部邻近于所述基板, 所述鳍有源区包括源极区、漏极区、和沟道区, 所述沟道区在所述源极区与所述漏极区之间;

第一嵌入式鳍应力源元件, 所述第一嵌入式鳍应力源元件被嵌入在处于所述沟道区下方的所述鳍基部中, 其中所述第一嵌入式鳍应力源元件被配置成在所述沟道区的晶格中引入应力, 该应力在所述沟道区内平行于所述垂直方向地建立第一垂直压缩力; 以及

第二嵌入式鳍应力源元件, 所述第二嵌入式鳍应力源元件被嵌入在处于所述源极区和所述漏极区中的一者下方的所述鳍基部中, 其中所述第二嵌入式鳍应力源元件被配置成在所述源极区和所述漏极区中的所述一者的晶格中引入应力, 该应力在所述源极区和所述漏极区中的所述一者内平行于所述垂直方向地建立第二垂直压缩力, 其中所述第一嵌入式鳍应力源元件和所述第二嵌入式鳍应力源元件具有基本上等于所述鳍厚度的宽度。

2. 如权利要求1所述的受应力鳍FinFET器件, 其特征在于, 所述半导体材料包括硅, 并且其中所述鳍应力源元件包括二氧化硅。

3. 如权利要求1所述的受应力鳍FinFET器件, 其特征在于, 进一步包括围绕所述沟道区的至少一部分的栅极。

4. 如权利要求1所述的受应力鳍FinFET器件, 其特征在于, 所述沟道区用p+掺杂剂来掺杂, 并且所述源极区和所述漏极区用n+掺杂剂来掺杂。

5. 如权利要求1所述的受应力鳍FinFET器件, 其特征在于,

所述第一嵌入式鳍应力源元件在垂直方向上具有应力源元件厚度, 在所述鳍厚度的方向上具有应力源元件宽度, 并且在平行于所述纵轴的方向上具有应力源元件长度。

6. 如权利要求5所述的受应力鳍FinFET器件, 其特征在于,

所述第一嵌入式鳍应力源元件和所述鳍被配置成在上主界面处会合, 所述上主界面在所述鳍内部且在深度方向上在所述鳍顶部之下隔开一深度, 所述深度方向与所述垂直方向对向, 以及

其中, 所述第一嵌入式鳍应力源元件和所述鳍具有下主界面, 所述下主界面在所述深度方向上在所述上主界面之下隔开所述应力源元件厚度。

7. 如权利要求6所述的受应力鳍FinFET器件, 其特征在于,

所述深度是第一深度,

其中所述应力源元件厚度是第一应力源元件厚度,

其中所述上主界面是第一上主界面, 且所述下主界面是第一下主界面,

其中, 所述第二嵌入式鳍应力源元件和所述鳍具有第二上主界面和第二下主界面,

其中, 所述第二上主界面在所述鳍内部并且在深度方向上在所述鳍顶部之下隔开第二深度, 以及

其中所述第二下主界面在所述深度方向上在所述第二上主界面之下隔开第二应力源元件厚度。

8. 如权利要求7所述的受应力鳍FinFET器件,其特征在于,所述第一深度和所述第二深度中的一者大于所述第一深度和所述第二深度中的另一者。

9. 如权利要求7所述的受应力鳍FinFET器件,其特征在于,所述第一应力源元件厚度和所述第二应力源元件厚度中的一者大于所述第一应力源元件厚度和所述第二应力源元件厚度中的另一者。

10. 如权利要求7所述的受应力鳍FinFET器件,其特征在于,进一步包括第三嵌入式鳍应力源元件,所述第三嵌入式鳍应力源元件被嵌入在处于所述源极区和所述漏极区中的另一者下方的所述鳍基部中。

11. 如权利要求10所述的受应力鳍FinFET器件,其特征在于,

所述第三嵌入式鳍应力源元件和所述鳍具有第三上主界面,以及

其中,所述第三上主界面在所述鳍内部并且在所述深度方向上在所述鳍顶部之下隔开第三深度。

12. 如权利要求11所述的受应力鳍FinFET器件,其特征在于

所述第三嵌入式鳍应力源元件在所述第三上主界面处对着所述鳍的所述源极区和所述漏极区中的所述另一者施加第三向上压缩力,该第三向上压缩力在所述源极区和所述漏极区中的所述另一者内平行于所述垂直方向地建立第三垂直压缩力,

其中,所述第一垂直压缩力、所述第二垂直压缩力和所述第三垂直压缩力之和是总结果向上压缩力,以及

其中所述总结果向上压缩力具有关于沿所述纵轴的位置的力分布。

13. 如权利要求1所述的受应力鳍FinFET器件,其特征在于,所述受应力鳍FinFET被集成在至少一个半导体管芯中。

14. 如权利要求1所述的受应力鳍FinFET器件,其特征在于,还包括其中集成了所述受应力鳍FinFET器件的设备,所述设备选自包括以下的组:机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置数据单元、以及计算机。

15. 一种用于在FinFET的鳍中提供垂直压缩的方法,包括:

在基板上形成半导体鳍,所述半导体鳍是硅半导体材料的,其中所述半导体鳍包括第一垂直壁和第二垂直壁,所述第二垂直壁平行于所述第一垂直壁并且与所述第一垂直壁隔开鳍厚度,其中所述鳍沿平行于所述基板的纵轴延伸并且在垂直方向上延伸至处于所述基板上方鳍高度处的鳍顶部,其中所述鳍包括鳍基部和鳍有源区,所述鳍基部邻近于所述基板,所述鳍有源区包括源极区、漏极区、和沟道区,所述沟道区在所述源极区与所述漏极区之间;

在所述半导体鳍上形成氧合掩模,以至少提供在所述沟道区下方的暴露区;

至少对所述沟道区下方的所述暴露区执行氧化,穿透以在所述沟道区下方形成氧化区;以及

通过至少对所述沟道区下方的所述氧化区执行氧注入隔离SIMOX操作来形成二氧化硅层,其中所述二氧化硅层被嵌入在处于所述沟道区下方的所述鳍基部中,其中所述二氧化硅层的形成包括在所述沟道区中建立垂直压缩应力的体积膨胀,

其中所述沟道区下方的所述暴露区是第一暴露区,并且其中在所述半导体鳍上形成所述氧合掩模被配置成进一步提供第二暴露区,其中所述第二暴露区在所述源极区下方或在

所述漏极区下方，

其中所述氧化区是第一氧化区，并且其中执行氧化被配置成进一步对所述第二暴露区执行氧化，穿透以在所述源极区下或在所述漏极区下方形成第二氧化区，

其中所述二氧化硅层是第一二氧化硅层，其中所述SIMOX操作被执行以包括所述第二氧化区以在所述源极区下方或在所述漏极区下方的所述鳍基部中形成第二二氧化硅层，其中所述第二二氧化硅层的形成包括在所述源极区中或在漏极区中建立垂直压缩应力的体积膨胀，其中所述第一二氧化硅层和所述第二二氧化硅层具有基本上等于所述鳍厚度的宽度。

16. 如权利要求15所述的方法，其特征在于，

所述SIMOX操作包括所述沟道区和至少处于所述沟道区下方的所述氧化区的再结晶，其中所述SIMOX操作包括配置成在所述再结晶期间形成所述二氧化硅层。

17. 如权利要求16所述的方法，其特征在于，进一步包括用p+掺杂剂来掺杂所述沟道区。

18. 一种计算机可读介质，包括当由连接到半导体制造系统的计算机执行时使得计算机控制所述半导体制造系统执行如权利要求15-17中任一权利要求所述的方法的计算机可执行指令。

## 受应力鳍NMOS FinFET的方法和装置

[0001] 相关申请的交叉引用

[0002] 本专利申请要求于2014年2月28日提交的题为“METHOD AND APPARATUS OF STRESSED FIN NMOS FINFET (受应力鳍NMOS FINFET的方法和装置)”的美国临时申请 No.61/946,105的权益,该临时申请已被转让给本申请受让人并由此通过援引明确地整体纳入于此。

[0003] 公开领域

[0004] 本申请一般涉及晶体管结构并且尤其涉及FinFET器件。

### 背景技术

[0005] 更低的门延迟和更快的切换速度长久以来一直是场效应晶体管 (FET) 器件的设计目的之一,FET器件是集成电路 (IC) 的基本构建块。一种已知的用于降低门延迟并提高切换速度(统称为“增进FET速度”)的技术是将专门结构化的应力引入元件放置在特定FET的特定区域中。此类应力引入元件(半导体领域中也称之为“应力源”)在FET的某些结构中处在源极与漏极之间的半导体沟道的晶格中引入特定的机械应力。如半导体领域的普通技术人员所知,应力可以提高电子迁移率,由此增进了FET速度。

[0006] 例如,当前在消费者产品和各种其他应用中使用的FET结构包括“平面”FET和三维“FinFET”。FinFET可以具有某些优势,例如克服在简单地比例缩小平面FET的特征大小时可能出现的“短沟道”效应。然而,如从引入了FinFET起所已知的,FinFET与平面FET所共有的设计目标是电子迁移率。长久以来已知,经证实在平面FET中有用的某些应力源技术可能不适用于FinFET,或者在被应用于FinFET时可能招致特别的成本。

[0007] 概述

[0008] 以下概述涉及根据一个或多个示例性实施例的某些示例。其并不是所有示例性实施例或构想到的方面的定义综览。其并不旨在对所有方面排列优先次序或者甚至是标识所有方面的关键元素,也不旨在限定任何实施例或任何实施例的任何方面的范围。

[0009] 根据一个或多个示例性实施例的一个示例受应力鳍FinFET器件可包括基板、以及在该基板上的鳍。该鳍可包括半导体材料并且可以在平行于该基板的纵向方向上延伸,并且可以在垂直方向上突出或延伸至处于该基板上方的鳍高度处的鳍顶部。在一方面,嵌入式鳍应力源元件可以被嵌入到该鳍中。该嵌入式鳍应力源元件可以被配置成在该鳍内平行于该垂直方向地施加垂直压缩力。

[0010] 在一方面,该半导体材料可包括硅,并且该鳍应力源元件可包括二氧化硅。

[0011] 在一方面,该鳍可包括鳍基部和鳍有源区,并且该有源区可包括源极区、漏极区、和沟道区,该沟道区在该源极区与该漏极区之间。在相关方面,该鳍基部可以邻近于该基板,并且该嵌入式鳍应力源元件被嵌入到在该沟道区下方的鳍基部中。

[0012] 在一方面,该沟道区可以用p+掺杂剂来掺杂,并且该源极区和该漏极区用n+掺杂剂来掺杂。

[0013] 根据一个或多个示例性实施例的一个示例FinFET器件可包括基板、以及鳍,该鳍

包括半导体材料,具有鳍宽度并且在垂直方向上延伸到处于该基板上上方鳍高度处的鳍顶部。在一方面,该鳍可包括鳍基部和鳍有源部分,该鳍基部在该基板上沿纵轴延伸,该鳍有源部分在该鳍基部上并且在垂直方向上向该鳍顶部延伸。在相关方面,该鳍基部可具有小于该鳍高度的高度。该鳍有源部分可具有源极区、漏极区、和处在该源极区与该漏极区之间的沟道区,并且栅极可以围绕该沟道区的至少一部分。根据一个或多个示例性实施例,至少一个嵌入式鳍应力源元件可以被嵌入在该鳍有源部分下方,并且可以被配置成在该鳍有源部分中平行于该垂直方向地施加给定压缩力。

[0014] 在一方面,该半导体材料可包括硅,并且该至少一个嵌入式鳍应力源元件可包括二氧化硅。

[0015] 在一方面,该至少一个应力源元件可以被嵌入在该沟道区下方的鳍基部中。

[0016] 根据各示例性实施例的示例方法可以提供在FinFET的鳍中的垂直压力、以及其他特征。在一方面,示例方法可包括在基板上形成半导体鳍,该半导体鳍是硅半导体材料的并且具有给定沟道区;在该半导体鳍上形成氧合掩模;在该给定沟道区下方至少提供暴露区。根据各示例性实施例的示例方法可包括至少处于在该给定沟道区下方的该暴露区上执行氧化,穿透以在该给定沟道区下方形成氧化区。在一方面,示例方法可包括:形成二氧化硅层,其中该二氧化硅层可以被嵌入在该半导体鳍的该给定沟道区下方。在相关方面,该二氧化硅层可以通过至少在该给定沟道区下方的该氧化区上执行氧注入隔离(SIMOX)操作来形成。

[0017] 在一方面,在根据各示例性实施例的示例方法中,SIMOX操作可包括该给定沟道区和至少处在该给定沟道区下方的该氧化区的再结晶。在相关方面,该二氧化硅层可以在该再结晶期间形成,并且该二氧化硅层的形成可包括在该沟道区中建立垂直压缩应力的体积膨胀。

[0018] 根据一个或多个示例性实施例,一种计算机可读介质可包括当由连接到半导体制造系统的计算机执行时使得计算机控制该半导体制造系统来在基板上形成半导体鳍的计算机可执行指令,该半导体鳍是硅半导体材料的,具有给定沟道区。该计算机可执行指令在由连接到半导体制造系统的计算机执行时可以使得计算机在该半导体鳍上形成氧合掩模,该氧合掩模至少提供在该给定沟道区下方的暴露区。在一方面,该计算机可执行指令在由连接到半导体制造系统的计算机执行时可以使得计算机至少在处于该给定沟道区下方的该暴露区上执行氧化,穿透以在该给定沟道区下方形成氧化区。在一方面,该计算机可执行指令在由连接到半导体制造系统的计算机执行时可以使得计算机形成二氧化硅层,该二氧化硅层可以通过至少在该给定沟道区下方的该氧化区上执行氧注入隔离(SIMOX)操作来被嵌入在该半导体鳍的该给定沟道区下方。在一方面,SIMOX操作可包括给定沟道区以及至少处在该给定沟道区下方的氧化区的再结晶,其中该二氧化硅层可以在该再结晶期间形成,并且该二氧化硅层的形成可包括可在该沟道区中建立垂直压缩应力的体积膨胀。

[0019] 附图简述

[0020] 给出附图以帮助对本发明实施例进行描述,且提供附图仅用于解说实施例而非对其进行限定。

[0021] 图1A是根据一个或多个示例性实施例的一个示例受应力鳍NMOS FinFET器件的部分剖视立体视图。

[0022] 图1B 100是栅极的某些外部被画为透明的图1A的受应力鳍NMOS FinFET的外表面的立体视图。

[0023] 图1C是从图1B的切面1-1来看的图1A的受应力鳍NMOS FinFET器件的截面视图。

[0024] 图1D是图1C中的截面视图,其作了标注以示出与根据一个或多个示例性实施例的一个示例嵌入式鳍应力源相关联的示例力矢量。

[0025] 图2A到2H按照快照顺序示出了根据各种示例性实施例的在制造受应力鳍NMOS FinFET器件的工艺的一部分中的示例操作。

[0026] 图3示出了根据各种示例性实施例的沿受应力鳍NMOS FinFET器件的纵轴的一种假定垂直压缩力分布的一种示例形式。

[0027] 图4示出了根据各种示例性实施例的用于形成受应力鳍FinFET器件的半导体制造系统的高级功能框图。

[0028] 图5示出了根据一个或多个示例性实施例的具有受应力鳍NMOS FinFET器件的組合的通信和计算设备的一个示例系统的功能示意图。

[0029] 详细描述

[0030] 本发明的各方面在以下针对本发明具体实施例的描述和有关附图中被公开。可以设计替换实施例而不会脱离本发明的范围。另外,本发明中众所周知的元素将不被详细描述或将被省去以免湮没本发明的相关细节。

[0031] 措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实施例不必被解释为优于或胜过其他实施例。同样,术语“本发明的各实施例”并不要求本发明的所有实施例都包括所讨论的特征、优点、或工作模式。

[0032] 本文所使用的术语仅出于描述解说各实施例的特定示例的目的,而并不旨在限定本发明的实施例。如本文所使用的,单数形式的“一”、“某”和“该”旨在也包括复数形式,除非上下文另有明确指示。还将理解,术语“包括”、“具有”、“包含”和/或“含有”在本文中使用指明所陈述的特征、整数、步骤、操作、元素、和/或组件的存在,但并不排除一个或多个其他特征、整数、步骤、操作、元素、组件和/或其群组的存在或添加。

[0033] 此外,许多实施例是根据将由例如计算设备的元件执行的动作序列来描述的。将认识到,本文描述的各种动作能由专用电路(例如,专用集成电路(ASIC))、由正被一个或多个处理器执行的程序指令、或由这两者的组合来执行。另外,本文中所描述的这些动作序列可完全体现在任何形式的计算机可读存储介质内,该计算机可读存储介质内存储有一经执行就将使相关联的处理器执行本文所描述的功能性的相应计算机指令集。因此,本发明的各方面可以用数种不同形式来体现,所有这些形式都已被构想落在所要求保护的主体内容的范围内。另外,对于本文描述的每个实施例,任何此类实施例的对应形式可在本文中被描述为例如被配置成执行所描述的动作的“逻辑”。

[0034] 根据一个或多个示例性实施例,受应力鳍NMOS FinFET通过给该鳍施加压缩应力的新技术来提供提高的电子迁移率,这是通过新颖地嵌入特定配置的应力源元件来实现的。在一个方面,至少一个应力源元件可以被嵌入到半导体鳍中,其可根据一个或多个示例性实施例配置成对该半导体鳍的半导体材料施加特定可选幅度和分布的垂直压缩力。配置参数包括,例如,该半导体鳍的可选数量、位置、形状、尺度和在该半导体鳍内的取向。在一方面,如本公开中稍后更为详细地描述的,配置参数的设置可以通过直接设置氧化掩模来

提供。

[0035] 在一方面,可以给出半导体鳍内垂直压缩力的期望或目标幅度和分布。在另一方面,可以给出半导体鳍内各区域的目标电子迁移率,并且基于给定目标电子迁移率和该鳍的垂直压缩应力对电子迁移率特征的给定的或能现成标识的映射,可以确定该半导体鳍内的垂直压缩力的目标幅度和分布(以及容限)。相关领域普通技术人员在阅读本公开之际将会领会,确定半导体鳍内的垂直压力的目标幅度和分布以满足给定的或早前确定的电子迁移率要求可以通过调适和应用常规市售半导体仿真和设计工具来执行而无需过度实验。

[0036] 在一方面,一旦确定或被给予或使用了先前确定的在半导体鳍内的垂直压缩力的目标幅度和分布,就可以确定根据各种示例性实施例的将提供此类幅度和分布的嵌入式应力源元件的参数。示例参数可包括但不必被限定于嵌入式应力源元件的数量(例如,2、3或4个)、材料、形状、尺度、取向、和位置。半导体领域的普通技术人员在阅读本公开之际将会领会,这些人员可以通过调适和应用常规市售半导体仿真和设计工具来确定嵌入式应力源元件的此类参数的可接受值而无需过度实验。

[0037] 根据一方面,用于形成一个或多个应力源元件的方法可包括在半导体鳍上形成氧注入掩模,利用该氧注入掩模来注入氧和/或执行其他氧化操作,结合高温退火和再结晶以形成嵌入式应力源元件。在一个示例中,嵌入式应力源元件可以是二氧化硅层。在一方面,根据各种示例性实施例的嵌入式应力源元件的此类形成以新颖的方式利用了体积膨胀效应,其可通过高温退火和再结晶来获得。

[0038] 在一方面,形成氧注入掩模、注入氧和/或氧化操作、高温退火和再结晶可以被调适并纳入到常规FinFET制造中而只稍许(若有)在实质上包括其他设计和制造目的,且只有稍许(若有)增加的开销。

[0039] 在进一步的方面,可以通过简单改变在氧注入中所使用的氧化掩模来获得嵌入式应力源元件的特定参数的调谐、调节和其他变动。

[0040] 如将会进一步详细描述,参照附图中的各种示例,根据一个或多个示例性实施例的受应力鳍FinFET器件可包括基板、以及在该基板上的鳍。该鳍可以是半导体材料的并且可以在平行于该基板的纵向方向上延伸。该半导体材料可包括硅。该鳍可以在垂直方向上突出或延伸至处在该基板上方的鳍高度处的鳍顶部。该鳍可以具有第一垂直壁和第二垂直壁,并且第二垂直壁可以平行于该第一垂直壁,并且与第一垂直壁隔开鳍厚度。

[0041] 根据各种示例性实施例,受应力鳍FinFET器件可包括嵌入式鳍应力源元件,该嵌入式鳍应力源元件可以被嵌入到鳍中并且配置成在该鳍内平行于垂直方向地施加垂直压缩力。在一方面,该鳍应力源元件可包括二氧化硅。其中SIMOX操作包括给定沟道区以及至少处在该给定沟道区下方的氧化区的再结晶,其中二氧化硅层在该再结晶期间形成,并且其中形成该二氧化硅层包括在沟道区中建立垂直压缩应力的体积膨胀。

[0042] 在一方面,嵌入式鳍应力源元件可在垂直方向上具有应力源元件厚度,在鳍厚度的方向上具有应力源元件宽度,以及在纵向方向上具有应力源元件长度。在进一步的方面,该应力源元件宽度可以等于鳍厚度。

[0043] 图1A是一个示例受应力鳍NMOS FinFET器件100(下文中出于简洁起见称为“SFN FinFET 100”)的部分剖视立体视图。图1B是栅极108的某些外部被画为透明的SFN FinFET 100的外表面的立体视图。图1C是从图1B切割面1-1来看的截面视图。



[0044] 参照图1A和1B, SFN FinFET 100可包括由例如硅(Si)形成的且由例如基板104支承的半导体鳍102。半导体鳍102(下文称为“鳍102”)可以沿纵轴LX在基板104的表面(示出但未单独标记)上或平行于基板104的表面地延伸。鳍102可以从基板104在大体垂直方向(即,基板的法向)上向上延伸到处在基板104上方鳍高度FH处的鳍顶面102T。鳍102可以具有由鳍厚度或鳍宽度隔开的对向的平行的外壁,诸如,鳍第一垂直壁102R和鳍第二垂直壁102L,其隔开鳍厚度或宽度FW。鳍102可以例如由浅沟渠隔离(STI)区(如由STI区103A和103B(统称为“STI区”103)所示)形成。

[0045] 在一方面,根据一个或多个示例实施例的受应力鳍FinFET器件中的鳍可以具有被命名为鳍基部的区域或部分、以及鳍有源区,该鳍基部邻近于基板,而该鳍有源区可在该鳍基部之上。有源区可包括源极区、漏极区、和沟道区,其中沟道区在源极区与漏极区之间。根据一个或多个示例性实施例,鳍应力源元件或多个鳍应力源元件可以被嵌入到鳍基部中。在一方面,一个示例鳍应力源元件可以被嵌入在沟道区下方。

[0046] 参照图1A-1C,在一方面,鳍102可包括鳍基部102B和鳍有源区102A,其从最邻近(即最接近)基板的部分开始以垂直升序次序列出。将会理解,鳍基部102B和鳍有源区102A是根据功能的区域命名,并且未必定义可分开的或相异的结构。在一示例中,鳍基部102B可具有高度HB。将会理解,高度HB并非必需是沿着LX轴均一的。

[0047] 参见图1A,根据各种示例性实施例,至少一个嵌入式应力源元件(诸如示例嵌入式应力源元件106C、106S和106D(统称为“嵌入式鳍应力源元件”106))被嵌入在鳍102中(诸如嵌入在鳍基部102B中)。嵌入式应力源元件106C可以被嵌入为嵌入式鳍沟道应力源106C。嵌入式应力源元件106S可以被嵌入为嵌入式鳍源极应力源106S,并且嵌入式漏极应力源元件106D可以被嵌入为嵌入式鳍漏极应力源106D。

[0048] 还将理解,图1A-1C中可见的示例嵌入式鳍应力源元件106的示例布置、数量、和各自的形状和尺度并不旨在对根据示例性实施例的嵌入式鳍应力源元件106的布置、数量、和各自的形状和尺度构成任何限定。

[0049] 嵌入式鳍应力源元件(诸如示例嵌入式鳍应力源元件106)的示例形成和其他方面在稍后的章节更详细地描述。

[0050] 参见图1B,鳍102可具有例如位于或邻近于鳍102如所示出的一端处的源极区102S,以及与源极区102S由沟道区102C来隔开的漏极区102D。源极区102S和漏极区102D可以各自用n+掺杂剂(在图1A-1C中并非显式可见)来掺杂。使用常规NMOS FinFET掺杂技术,源极区102S和漏极区102D的n+掺杂可具有常规浓度分布。同样根据常规NMOS FinFET鳍p+沟道掺杂分布,沟道区102C可以使用常规NMOS FinFET掺杂技术来用p+掺杂剂(图1A-1C中并非显式可见)来掺杂。

[0051] 参见图1A和1B,栅极108可以实质上跨骑沟道区102C。栅极108可以由例如合理的良导电材料(诸如,多晶硅)形成。栅极108藉由绝缘层(图1A-1C中并不显式可见)(例如,二氧化硅)来从鳍102电绝缘。栅极108可具有反U形,其中包括越过鳍顶106T的桥或连接部分108B,并且分隔开的栅极臂108R和108L从该桥或连接部分108B延伸向基板104,分隔开的栅极臂108R和108L具有对向的面向内的表面(示出但未单独标记)。这些对向的面向内的表面可以被分隔达等于或约等于鳍厚度FW加两倍的绝缘层厚度(在图1A-1C中不可见)的距离(示出但未单独标记)。

[0052] 图1D是图1C中的截面视图,其作了标注以示出与根据一个或多个示例性实施例的嵌入式鳍沟道应力源106C相关联的应力矢量。如本公开稍后更为详细描述,根据各示例性实施例,元件、嵌入式鳍沟道应力源106C(以及其他嵌入式应力源元件106)可以通过选择性氧化、高温退火和再结晶来形成。根据这些方面的嵌入式应力源元件106的形成可以获得施加可观的、可选择的及可使用的压缩力的体积膨胀效应。在一方面,通过示例性实施例的嵌入式应力源元件106的新颖形成,嵌入式应力源元件106可以具有与FW大约相同的宽度(在FW(鳍厚度)方向)。相应地,由体积膨胀效应获得的力可以主要被向上地或垂直地引导。参见图1D,力矢量F1和F2(它们相等并对向)解说了该方面。

[0053] 将会理解,参照嵌入式鳍沟道应力源106C描述的示例应力可以藉由嵌入式鳍源极应力源106S和嵌入式鳍漏极应力源106来获得并且由嵌入式鳍源极应力源106S和嵌入式鳍漏极应力源106以类似方式来提供。

[0054] 图2A-2H按照快照顺序示出了根据各种示例性实施例的制造受应力鳍NMOS FinFET器件(诸如图1A-1D的SFN FinFET 100)的工艺的各部分的示例操作。为了避免被对非这些实施例所特有的细节的描述所模糊化,图2A到2H聚焦于演示新颖概念的操作和结构。因此将理解,图2A-2G示出的快照省略了对非这些实施例所特有的细节的描述,除非是其中此类细节是伴随着所描述的演示概念的操作或结构而发生的场合。

[0055] 参照图2A,一种过程中的操作可包括起始结构200,其包括在基板204上的浅沟渠隔离(STI)区202S和202R(统称为“STI区”202),这些STI区202由其中形成了(例如,硅)鳍206的沟渠来分隔开(示出但未单独标记)。鳍206可以用分别对应于参照图1A-1D所描述鳍基部102B和鳍有源区102A的鳍基部区206B和鳍有源区206A标记。

[0056] 接着,参照图2B,可以形成氧注入掩模(诸如氧注入掩模208A和208B(统称为氧注入掩模208))来获得工艺内结构200B。在一方面,该氧注入掩模208可以被形成成为留下鳍有源区206A的暴露的表面区域(诸如,第一暴露区域210A和第二暴露区域210B)。将会理解,图2B的示例氧注入掩模208也留下了在图2A上示为210C的暴露的第三表面区域,该第三表面区域的视图被氧注入掩模208B所遮挡。如参照稍后的附图2A-2H快照序列所更为详细地描述的,第一暴露区域210A、第二暴露区域210B和第三暴露区域210C(统称为“暴露区域210”)可以沿嵌入式鳍应力源元件106的LX轴建立各自相应的位置和尺度(即,长度)。一起参照图1A和2B,将会清楚,形成嵌入式鳍应力源元件106可以采用氧注入掩模208的对应配置。

[0057] 接着参照图2C,在一方面,氧注入可以对过程中结构200B来执行以向各暴露区域210注入氧以获得对应的过程中结构200C。过程中结构200C在鳍206的各暴露表面上形成第一氧注入区212A、第二氧注入区212B和第三氧注入区212C(统称为“氧注入区212”)。第三氧注入区212C的可见性在图2C中被氧注入掩模208B所遮挡。在一方面,氧注入区212可以覆盖各暴露区的区域,包括从各STI区202的顶表面到鳍顶部(示出,但未单独标记)的整个高度(例如,图2C上标记为“FHI”的高度)。

[0058] 如本领域普通技术人员将会在阅读本公开之际领会的,在涉及图2C的氧注入中应用的具体值或工艺参数(诸如温度和注入剂量)可以是因应用而异的。氧注入剂量范围的一个解说性而非限定性示例范围可以是在约600摄氏度的示例温度情况下大约 $10^{17}$ 到 $10^{18}/\text{cm}^2$ 。本领域普通技术人员在阅读本公开之际可以标识氧注入剂量和温度的其他范围。

[0059] 参照图2D,在氧注入之后,可以移除氧注入掩模208A和208B以提供工艺内结构

202D。

[0060] 接着参照图2E,在一方面,可以对过程中结构200D执行氧注入隔离(SIMOX)操作(其为高温退火后跟随从破坏进行的再结晶)以形成过程中结构200E。在进一步的方面,SIMOX操作可以在鳍基部中形成第一嵌入式SiO<sub>2</sub>层或元件214A,第二嵌入式SiO<sub>2</sub>层或元件214B和第三嵌入式SiO<sub>2</sub>层或元件214C(统称为“嵌入式SiO<sub>2</sub>元件”214),在这些层或元件之下将是鳍有源区。将会理解,在再结晶期间,SiO<sub>2</sub>的体积膨胀可以显著高于Si的体积膨胀。在一方面,参照图2C描述的氧注入、以及参照图2E描述的高温退火后跟随再结晶这一组合可以形成具有与鳍102的厚度TW基本相同的宽度的嵌入式SiO<sub>2</sub>元件214。相应地,嵌入式SiO<sub>2</sub>元件214的较高体积膨胀可以产生可观的向上(以及相等的向下)力,诸如示例FCM所示出的。嵌入式SiO<sub>2</sub>元件214藉此如参照图1A-1D所描述的鳍应力源元件106那样执行。

[0061] 在一方面,源极区216和漏极区218可以各自用n+掺杂剂来掺杂(图2E中并不显式可见)。使用常规NMOS FinFET掺杂技术,对源极和漏极区216和218的n+掺杂可以具有常规的浓度分布。同样根据常规NMOS FinFET鳍p+沟道掺杂剂分布,沟道区220可以使用常规NMOS FinFET掺杂技术来用p+掺杂剂(图2E中并不显式可见)来掺杂。

[0062] 图2F示出了从图2E投影平面2-2来看的过程中结构200E。为了方便起见,在参照图2F的描述中,嵌入式SiO<sub>2</sub>元件214B将被称为“第一嵌入式鳍应力源元件”214B,嵌入式SiO<sub>2</sub>元件214A将被称为“第二嵌入式鳍应力源元件”214A,并且嵌入式SiO<sub>2</sub>元件214C将被称为“第三嵌入式鳍应力源元件”214C。参见图2F,第一嵌入式鳍应力源元件214B和鳍206在处于鳍206内部并且在鳍顶部206T下隔开深度DP1的上主界面214BU处会合。深度DP1在与垂直方向VR对向的深度方向(未单独标记)上。第一鳍应力源元件214B和鳍206具有下主界面214BL,该下主界面214BL在深度方向上在上主界面214BU之下隔开第一应力源元件厚度214BT。由于嵌入式SiO<sub>2</sub>的较高体积膨胀,所以第一鳍应力源元件214在上主界面214BU处对着鳍206的沟道区220施加向上的压缩力FC1。如所示出的,向上的压缩力FC1在沿垂直方向VR上。

[0063] 继续参照图2F,为了便于描述第二嵌入式鳍应力源元件214A和第三嵌入式鳍应力源元件214C的操作和贡献,深度DP1将被称为“第一深度DP1”,并且向上的压缩力FC1将被称为“第一向上压缩力FC1”。出于类似的便利的目的,上主界面214BU将被称为第一上主界面214BU,并且下主界面214BL将被称为第一下主界面214B。第二嵌入式鳍应力源元件214A和鳍206具有第二上主界面214AU和第二下主界面214AL。第二上主界面214AU在鳍206内部并且在深度方向上在鳍顶部206T下隔开第二深度DP2。第二下主界面214AL在深度方向上在第二上主界面214AU下隔开第二应力源元件厚度214AT。

[0064] 继续参照图2F,由于形成第二嵌入式鳍应力源元件214A的SiO<sub>2</sub>的较高的体积膨胀,所以第二嵌入式鳍应力源元件214A在第二上主界面214AU处对着鳍206的源极区216施加第二向上压缩力FC1。用类似的方式,第三嵌入式鳍应力源元件214C和鳍206具有第三上主界面214CU和第三下主界面214CL。第三上主界面214CU在鳍206内部并且在深度方向上在鳍顶部206T之下隔开第三深度DP3。第三下主界面214CL在深度方向上在第三上主界面214CU之下隔开第三应力源元件厚度214CT。由于形成第三嵌入式鳍应力源元件214C的SiO<sub>2</sub>的较高的体积膨胀,所以第三嵌入式鳍应力源元件214C在第三上主界面214CU处对着鳍206的漏极区218施加第三向上压缩力FC3。

[0065] 参见图3,第一向上压缩力FC1、第二向上压缩力FC2和第三向上压缩力FC3相加成

具有关于沿纵轴LX或者沿平行于LX的轴的位置的力分布(诸如标记为“CMP分布”的假定力分布)的总结果向上压缩力

[0066] 参照图2F,在一方面,第一深度DP1和第二深度DP2中的一者可以大于另一者。类似地,第一应力源元件厚度214BT和第二应力源元件厚度214AT中的一者可以大于另一者。

[0067] 接着,参照图2G部分剖视视图,在一方面,栅极222、源极电极或触点224以及漏极电极或触点226可以被形成以获得受应力鳍NMOS FinFET器件200F。栅极222、源电极或触点224以及漏电极或触点226可以使用常规NMOS FinFET技术来形成。

[0068] 图2H示出了图2F的受应力鳍NMOS FinFET器件200F的外部立体视图200G。

[0069] 将会理解,受应力鳍NMOS FinFET器件200F的栅极222仅是一个示例。各种示例性实施例包括替换性栅极,诸如省略了区域222B的双输入栅极(未在附图中示出)。

[0070] 参见图4,半导体制造系统400可包括耦合到存储器404的计算机402,该存储器404存储了当由计算机402执行时使得计算机402控制半导体制造装备406执行根据一个或多个示例性实施例的制造工艺中的操作的计算机可执行指令450。在一方面,示例操作可包括图2A-2G中所示的快照序列中的操作。

[0071] 继续参照图4,在一方面,计算机可执行指令450可包括半导体鳍形成模块452,其配置成使得计算机402形成在基板上形成具有给定沟道区的硅半导体材料的半导体鳍。在一方面,计算机可执行指令450可包括配置成使得计算机402控制半导体制造装备406在该半导体鳍上形成氧合掩模的氧合掩模形成模块454。在一方面,氧合掩模形成模块454可以配置成使得氧合掩模至少提供在该给定沟道区域下方的暴露区域。在一方面,计算机可执行指令450可包括二氧化硅层形成模块456,其配置成控制半导体制造装备406以形成嵌入在该半导体鳍的给定沟道区域下方的二氧化硅层。在进一步的方面,二氧化硅层形成模块456可以配置成包括氧注入隔离(SIMOX)模块458以使得计算机402控制半导体制造装备406通过至少对该给定沟道区域下方的氧化区执行SIMOX操作来形成该半导体层。进一步对于该方面,SIMOX模块458可以被配置成使得计算机402控制半导体制造装备306执行SIMOX操作以包括给定沟道区以及至少在该给定沟道区域下方的该氧化区的再结晶。在一方面,SIMOX模块458可以配置成使得在再结晶期间该二氧化硅层形成。在进一步的方面,SIMOX模块458可以配置成使得该二氧化硅层的形成包括在沟道区域中建立垂直压缩应力的体积膨胀。

[0072] 图5解说了其中可有利地采用本公开的一个或多个实施例的示例性无线通信系统500。出于解说目的,图5示出了三个远程单元520、530和550以及两个基站540。将认识到,常规无线通信系统可具有远多于此的远程单元和基站。远程单元520、530和550包括采用例如参照图1A-1D和2A-2G所描述的受应力鳍NMOS FinFET器件的集成电路或其他半导体设备525、535和555(如本文中所公开包括片上电压调节器)图5示出了从基站540到远程单元520、530和550的前向链路信号580,以及从远程单元520、530和550到基站540的反向链路信号590。

[0073] 在图5中,远程单元520被示为移动电话,远程单元530被示为便携式计算机,且远程单元550被示为无线本地环路系统中的位置固定的远程单元。例如,这些远程单元可以是移动电话、手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数据助理(PDA))、导航设备(诸如启用GPS的设备)、机顶盒、音乐播放器、视频播放器、娱乐单元、位置固定的数

据单元(诸如仪表读数装置)、或者存储或检索数据或计算机指令的任何其他设备、或者其任何组合中的任一者或其组合。尽管图5解说了根据本公开的教义的远程单元,但本公开并不限于这些所解说的示例性单元。本公开的各实施例可适于用在具有有源集成电路系统(包括存储器以及用于测试和表征的片上电路系统)的任何设备中。

[0074] 上文公开的设备和功能性可被设计和配置在存储于计算机可读介质上的计算机文件(例如,RTL、GDSII、GERBER等)中。一些或全部此类文件可被提供给基于此类文件来制造设备的制造处理人员。结果得到的产品包括半导体晶片,其随后被切割为半导体管芯并被封装成半导体芯片。这些芯片随后被用在以上描述的设备中。

[0075] 本领域技术人员将领会,信息和信号可使用各种不同技术和技艺中的任何一种来表示。例如,贯穿上面描述始终可能被述及的数据、指令、命令、信息、信号、位(比特)、码元、以及码片可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子、或其任何组合来表示。

[0076] 此外,本领域技术人员将领会,结合本文中所公开的实施例描述的各种解说性逻辑块、模块、电路、和算法步骤可被实现为电子硬件、计算机软件、或两者的组合。为解说硬件与软件的这一可互换性,各种解说性组件、块、模块、电路、以及步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。技术人员对于每种特定应用可用不同的方式来实现所描述的功能性,但这样的实现决策不应被解读成导致脱离了本发明的范围。

[0077] 结合本文中所公开的实施例描述的方法、序列和/或算法可直接在硬件中、在由处理器执行的软件模块中、或者在这两者的组合中体现。软件模块可驻留在RAM存储器、闪存、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动盘、CD-ROM或者本领域中所知的任何其他形式的存储介质中。示例性存储介质耦合到处理器以使得该处理器能从/向该存储介质读写信息。在替换方案中,存储介质可以被整合到处理器。

[0078] 尽管上述公开示出了本发明的解说性实施例,但是应当注意到,在其中可作出各种更换和改动而不会脱离如所附权利要求定义的本发明的范围。根据本文中所描述的本发明实施例的方法权利要求的功能、步骤和/或动作不必按任何特定次序来执行。此外,尽管本发明的要素可能是以单数来描述或主张权利的,但是复数也是已料想了的,除非显式地声明了限定于单数。

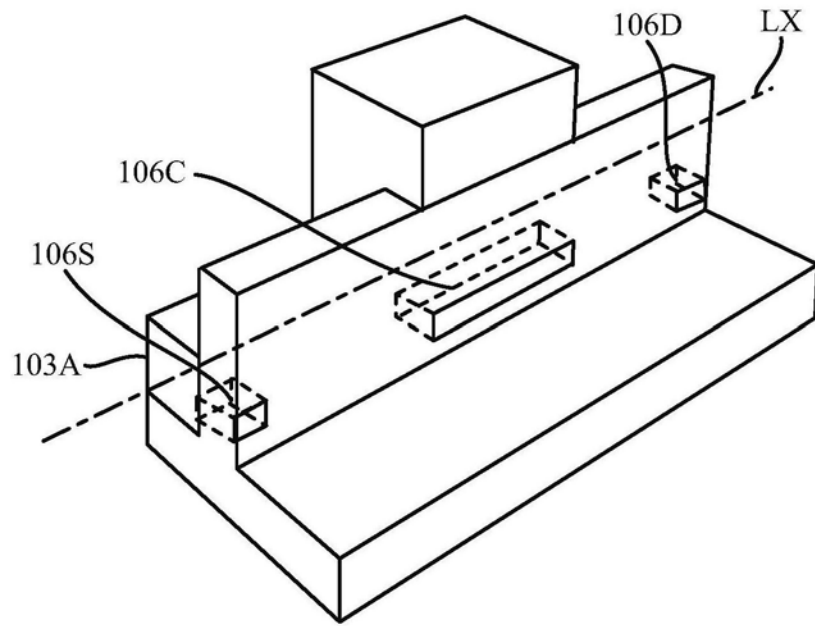


图1A

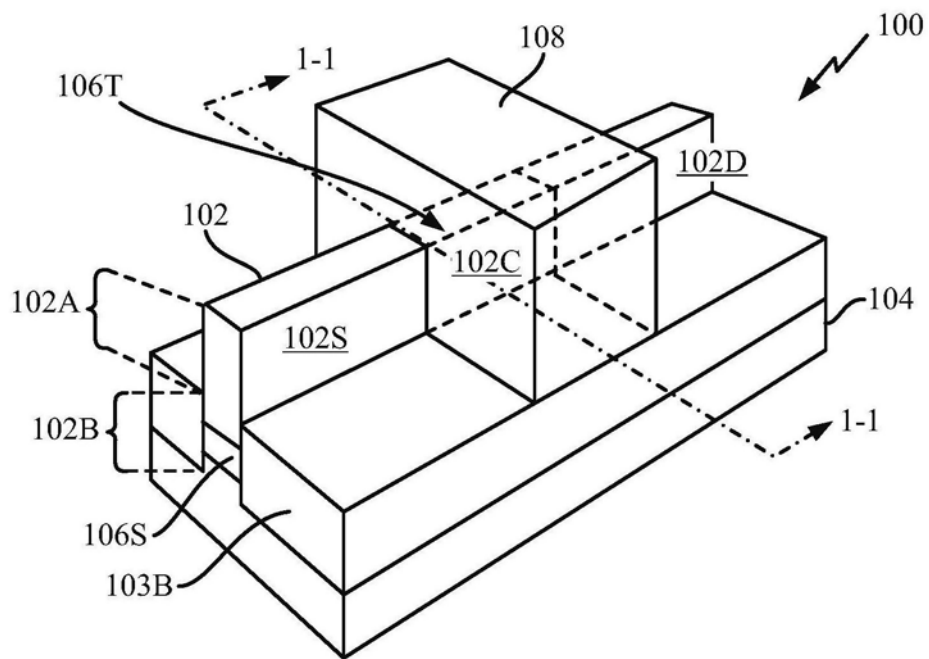


图1B

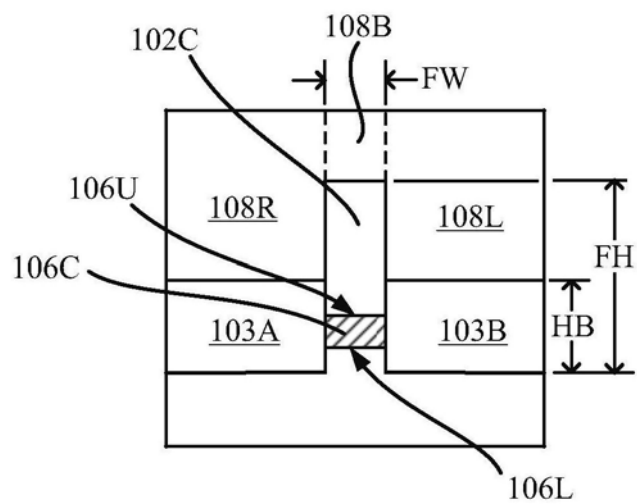


图1C

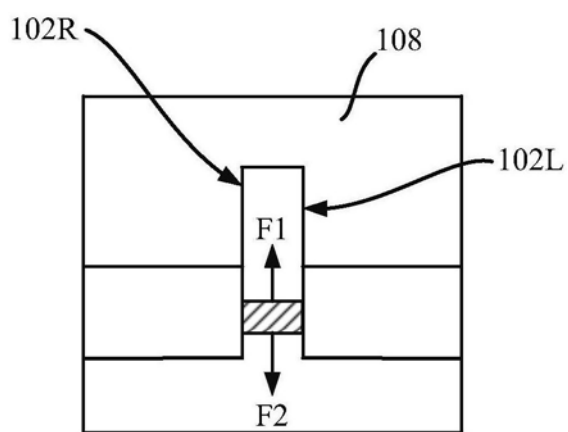


图1D

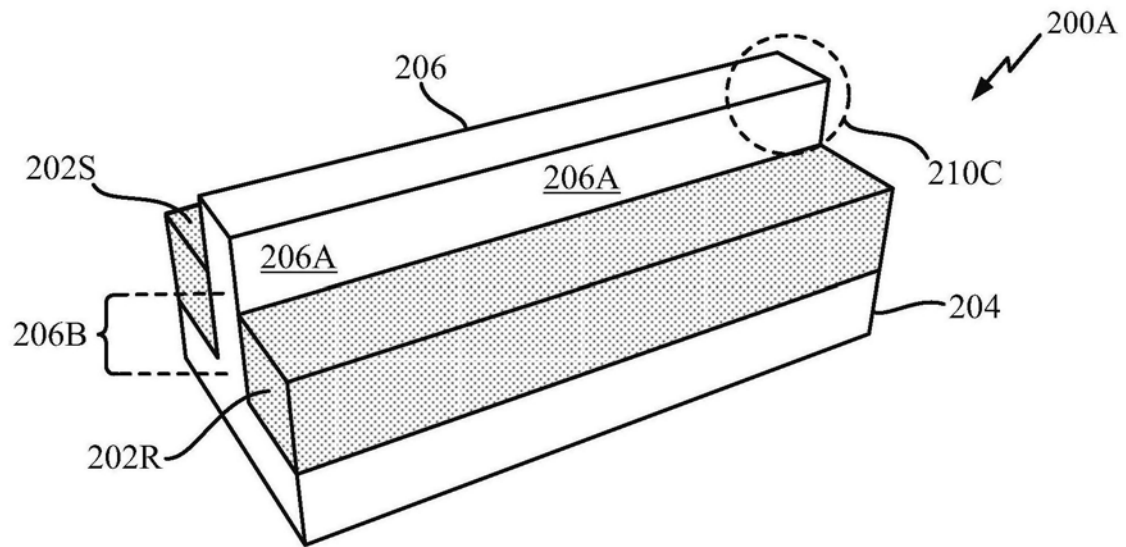


图2A

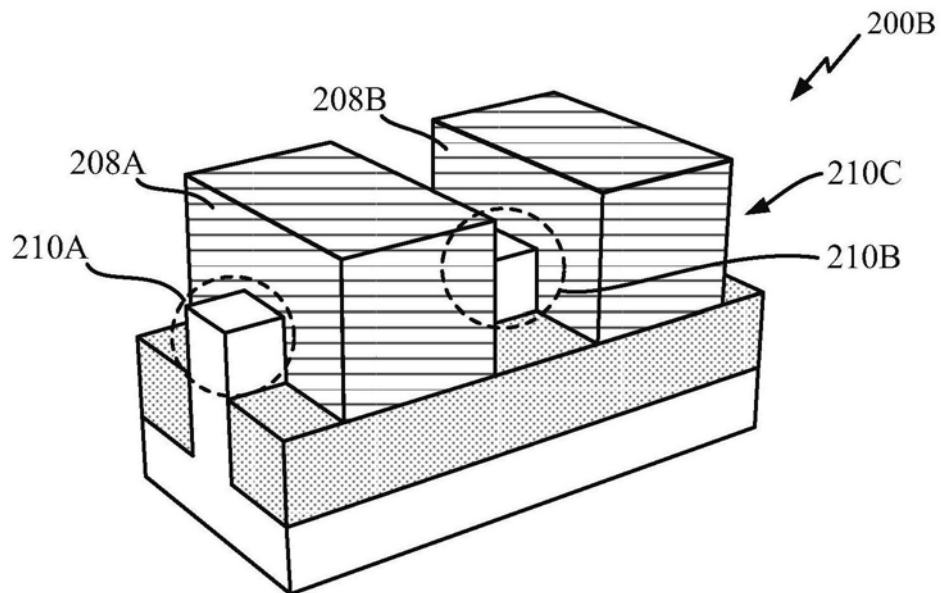


图2B



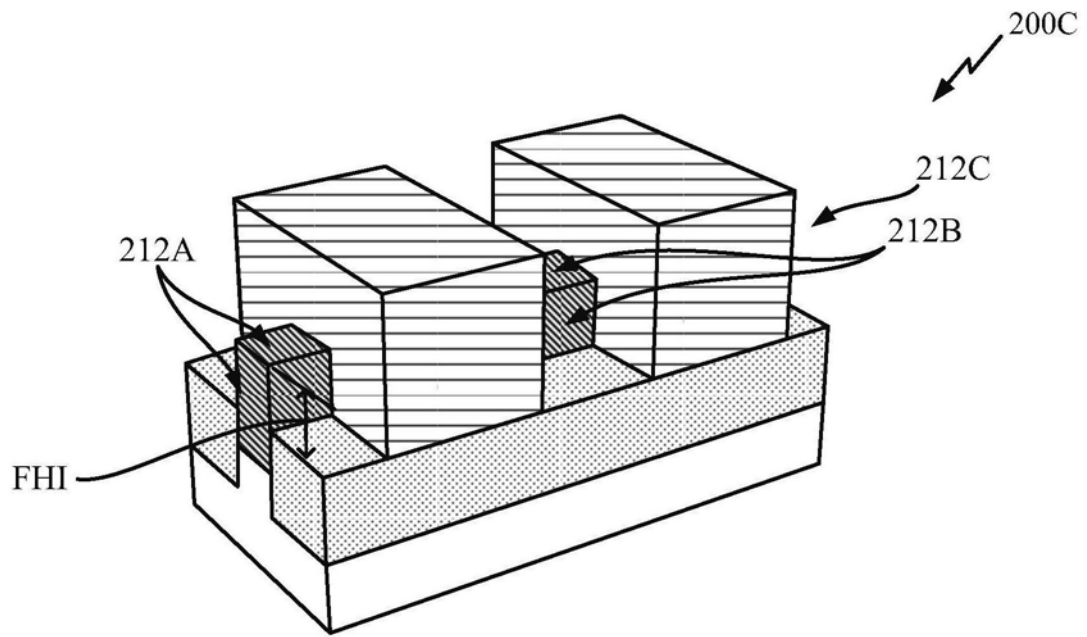
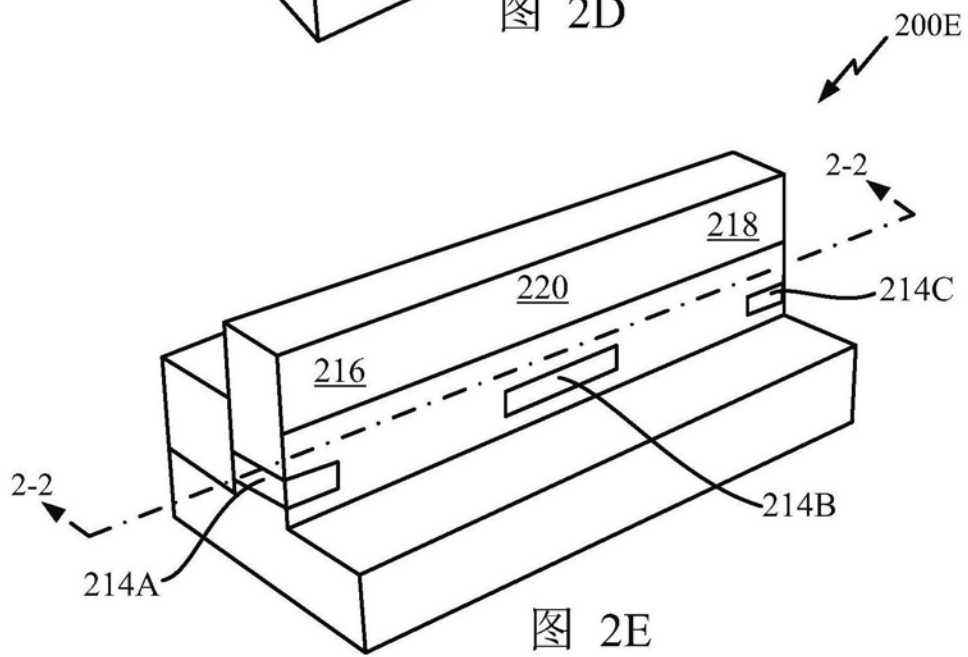
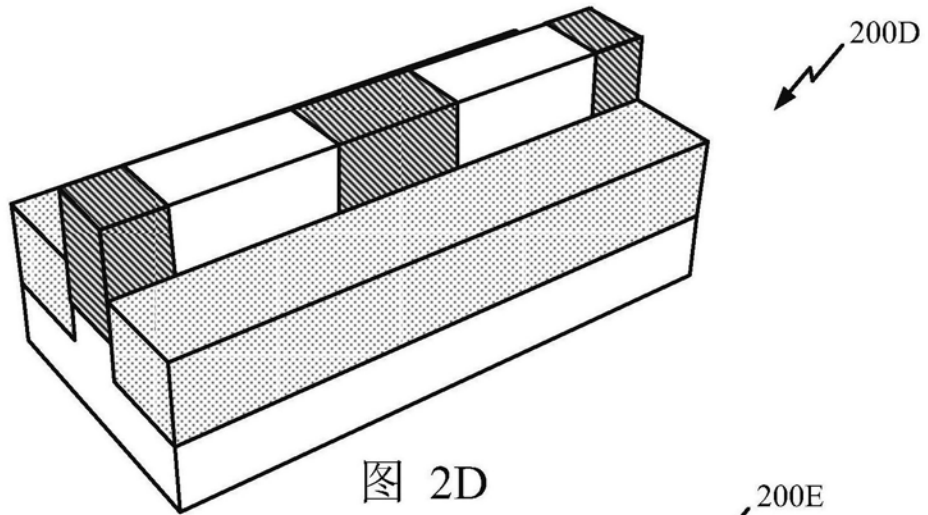


图2C



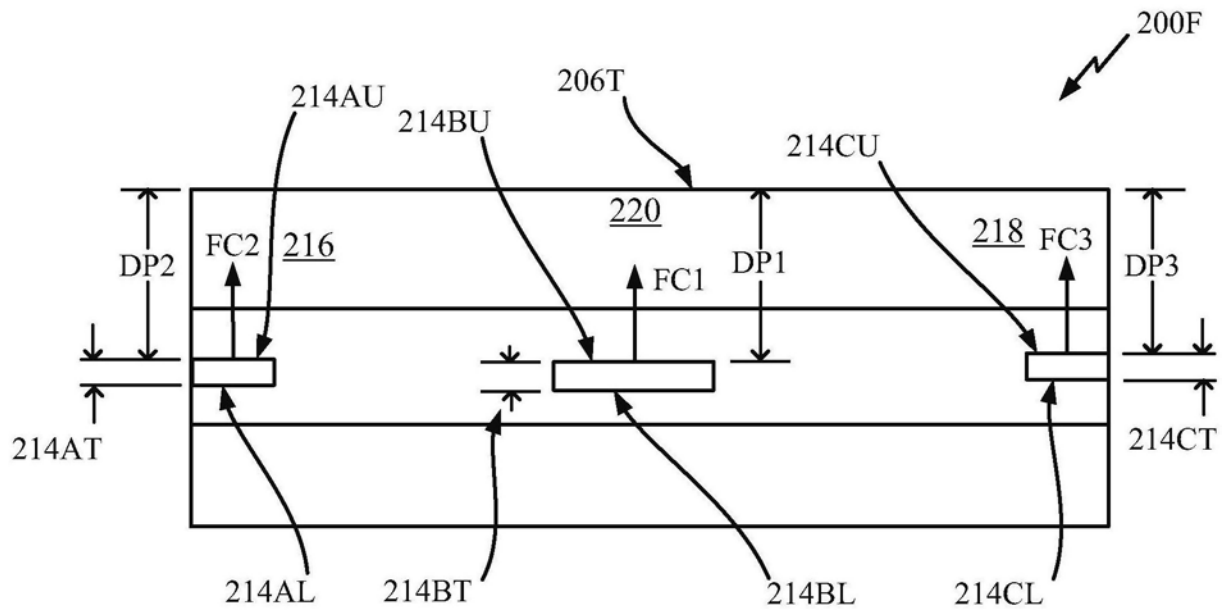


图2F

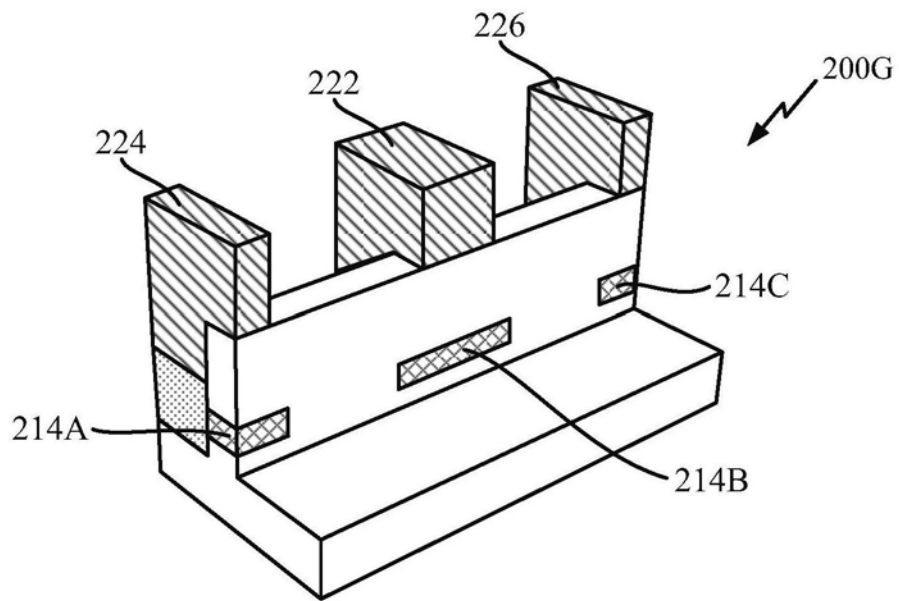


图2G

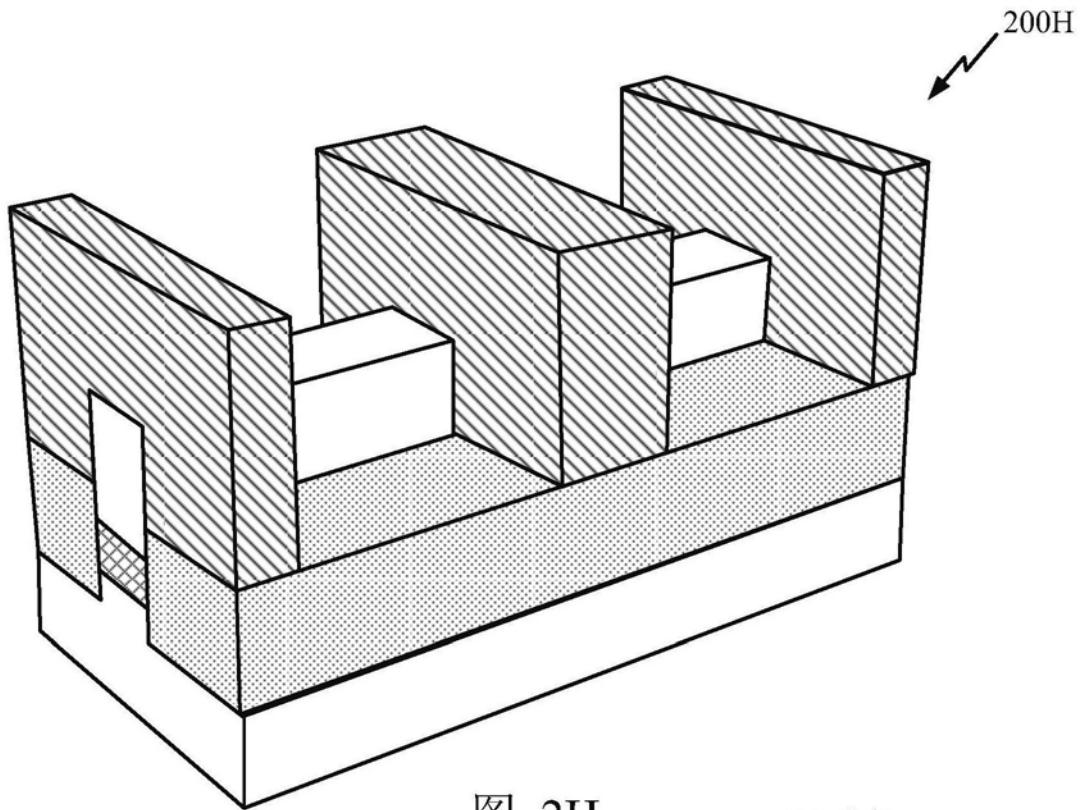


图 2H

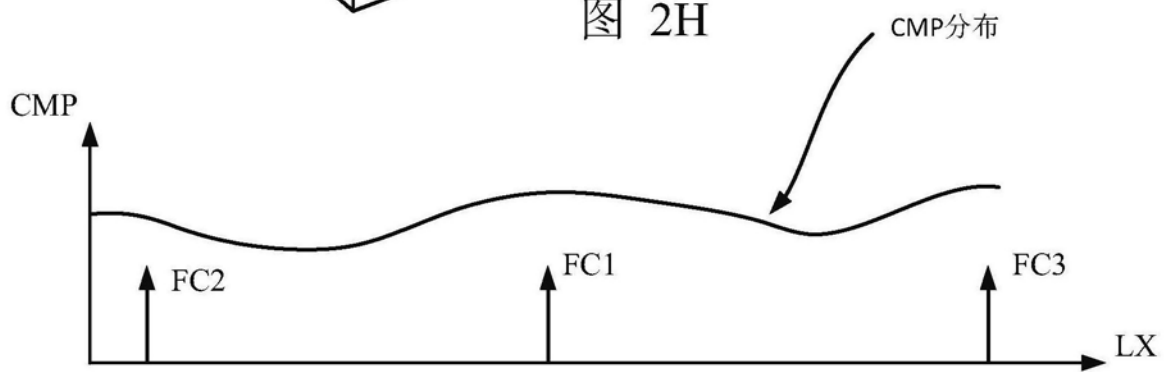


图 3

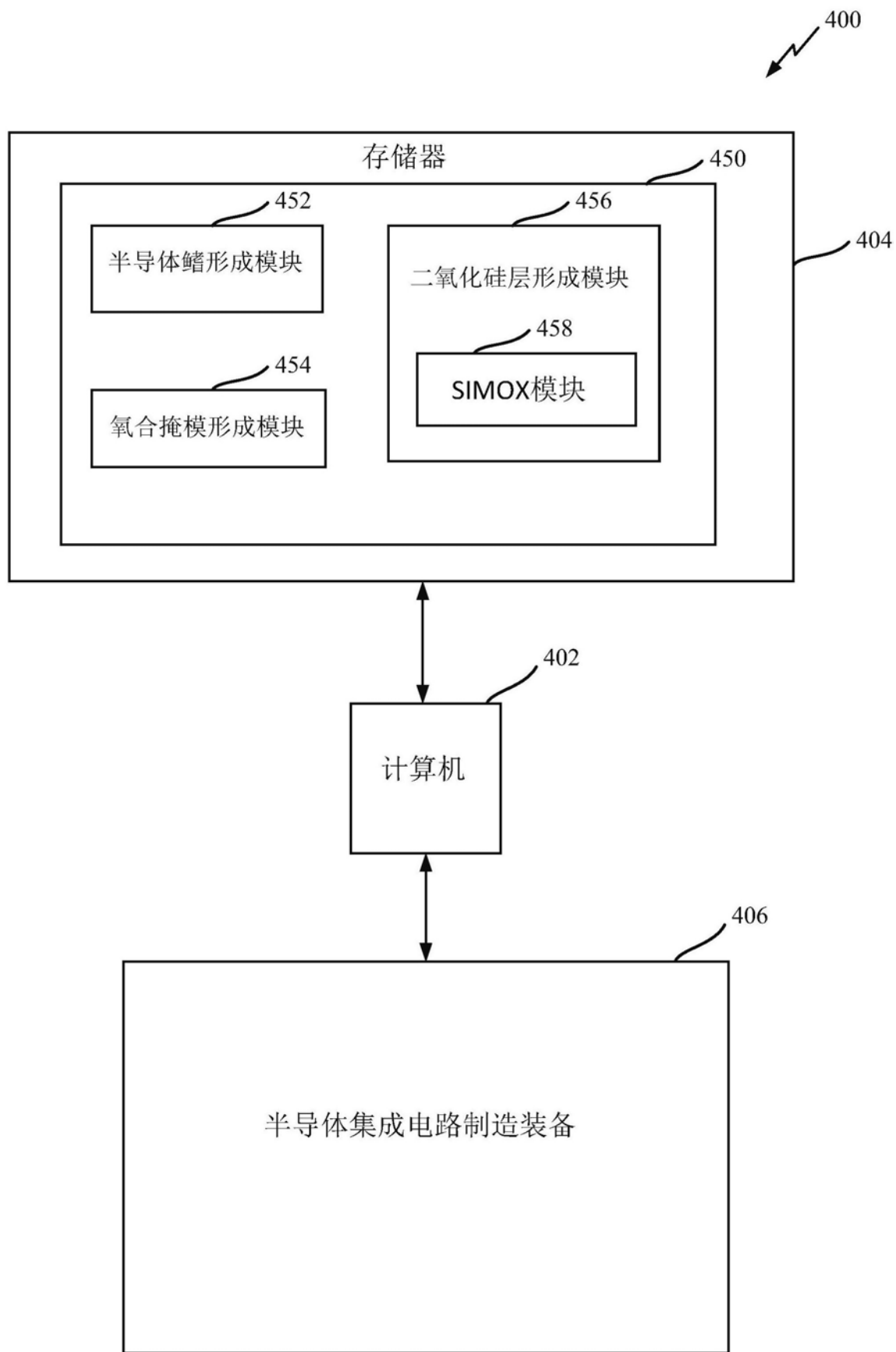


图4

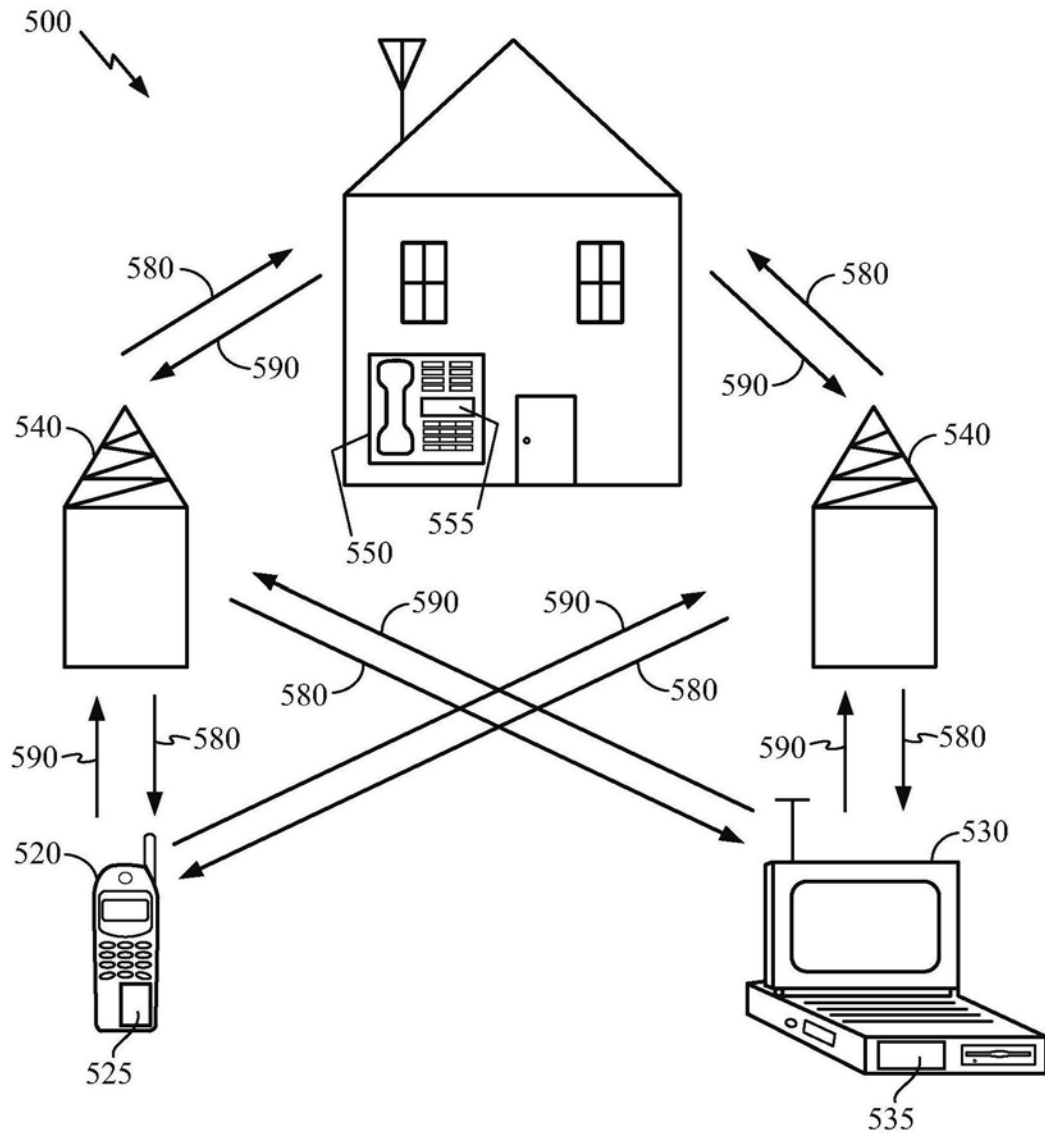


图5