(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年6月15日(15.06.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/106105 A1

(51) 国際特許分類:
G11C 5/14 (2006.01) *G11C 11/417* (2006.01)

(21) 国際出願番号： PCT/JP2022/043303

(22) 国際出願日： 2022年11月24日(24.11.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-199650 2021年12月8日(08.12.2021) JP

(71) 出願人: ヌヴォトンテクノロジージャパン株式会社 (**NUVOTON TECHNOLOGY CORPORATION JAPAN**) [JP/JP]; 〒6178520 京都府長岡京市神足焼町１番地 Kyoto (JP).

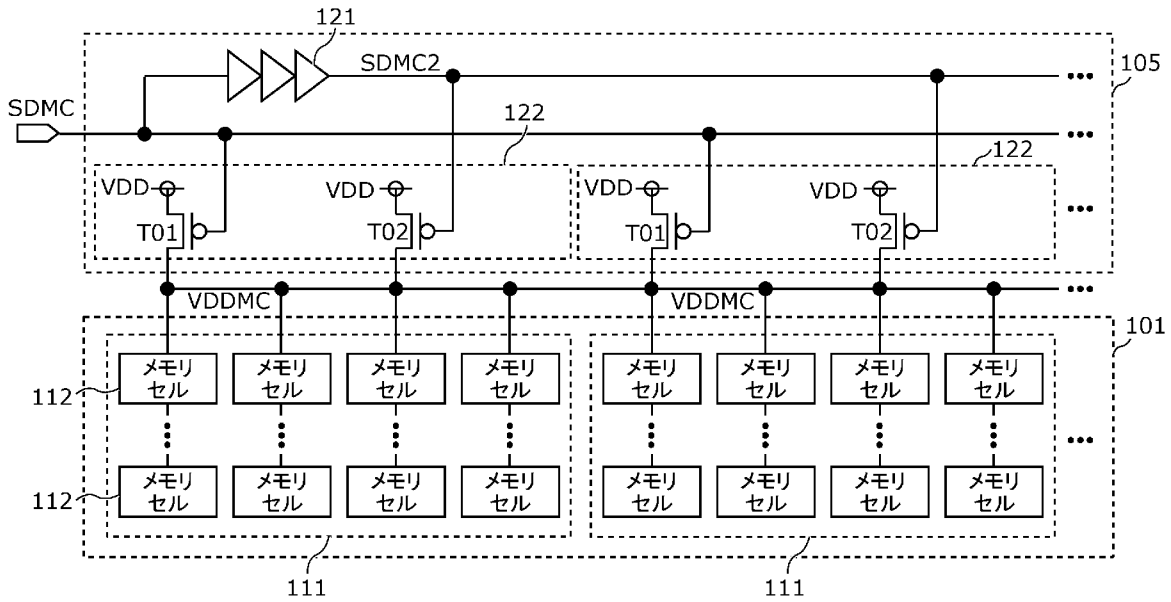
(72) 発明者: 本谷 篤志(**MOTOTANI, Atsushi**).

(74) 代理人: 新居 広守, 外 (**NII, Hiromori** et al.); 〒5320011 大阪府大阪市淀川区西中島５丁目３番１０号タナカ・イトーピア新大阪ビル６階新居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,

(54) **Title:** SEMICONDUCTOR MEMORY DEVICE AND CONTROL METHOD

(54) 発明の名称： 半導体記憶装置及び制御方法



112Memory cell

(57) **Abstract:** A semiconductor memory device (100) is provided with: a plurality of memory cells (112); a first power supply line (VDD); a second power supply line (VDDMC); a first transistor (T01) and a second transistor (T02) connected in parallel between the first power supply line (VDD) and the second power supply line (VDDMC); and a power supply control circuit (105) that, on the basis of a first signal (SDMC) for switching between a first mode (normal mode) in which a power supply voltage is supplied to the plurality of memory cells (112) and a second mode (power-down mode) in which

WO 2023/106105 A1

[続葉有]

PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

the power supply voltage is not supplied to the plurality of memory cells (112), (i) turns off the first transistor (T01) and the second transistor (T02) during the second mode, and (ii) turns on the first transistor (T01) when switching from the second mode to the first mode and turns on the second transistor (T02) after turning on the first transistor (T01).

(57) 要約：半導体記憶装置（１００）は、複数のメモリセル（１１２）と、第１電源線（ＶＤＤ）と、第２電源線（ＶＤＤＭＣ）と、第１電源線（ＶＤＤ）と第２電源線（ＶＤＤＭＣ）との間に並列に接続された第１トランジスタ（Ｔ０１）及び第２トランジスタ（Ｔ０２）と、複数のメモリセル（１１２）に電源電圧を供給する第１モード（通常モード）と、複数のメモリセル（１１２）に電源電圧を供給しない第２モード（パワーダウンモード）とを切り替えるための第１信号（ＳＤＭＣ）に基づき、（ｉ）第２モード時には、第１トランジスタ（Ｔ０１）及び第２トランジスタ（Ｔ０２）をオフし、（ｉｉ）第２モードから第１モードへの切り替え時に、第１トランジスタ（Ｔ０１）をオンし、第１トランジスタ（Ｔ０１）をオンした後に第２トランジスタ（Ｔ０２）をオンする電源制御回路（１０５）とを備える。

明　細　書

発明の名称 ： 半導体記憶装置及び制御方法

技術分野

[0001]　本開示は、半導体記憶装置及び制御方法に関する。

背景技術

[0002]　ＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）などの半導体記憶装置において回路ブロックが待機状態の場合に、電源を遮断することで消費電流を抑制する技術が知られている。また、この待機状態からの復帰においてピーク電流が増加するという課題がある。これに対して、複数の回路ブロックを時系列に順次起動する等の制御を行うことでピーク電流を抑制する技術が知られている（例えば、特許文献１及び特許文献２参照）。

先行技術文献

特許文献

[0003] 特許文献1：特許第５５８０７５１号公報

特許文献2：特許第６５７８４１３号公報

発明の概要

発明が解決しようとする課題

[0004]　複数の回路ブロックを時系列に順次起動する等の制御を行う場合には、制御の複雑化、又は回路面積の増加等が懸念される。

[0005]　そこで、本開示は、ピーク電流を抑制するとともに、それに伴う制御の複雑化、又は回路面積の増加を抑制できる半導体記憶装置及び制御方法を提供することを目的とする。

課題を解決するための手段

[0006]　本開示の一態様に係る半導体記憶装置は、複数のメモリセルと、電源電圧が供給される第１電源線と、前記複数のメモリセルの電源電圧線である第２電源線と、前記第１電源線と前記第２電源線との間に並列に接続された第１

トランジスタ及び第２トランジスタと、前記複数のメモリセルに前記電源電圧を供給する第１モードと、前記複数のメモリセルに前記電源電圧を供給しない第２モードとを切り替えるための第１信号に基づき、（ｉ）前記第２モード時には、前記第１トランジスタ及び第２トランジスタをオフし、（ｉｉ）前記第２モードから前記第１モードへの切り替え時に、前記第１トランジスタをオンし、前記第１トランジスタをオンした後に前記第２トランジスタをオンする制御回路とを備える。

[0007] 本開示の一態様に係る半導体記憶装置は、複数のメモリセルと、前記複数のメモリセルに接続された第１ビット線と、前記第１ビット線に接続された第１プリチャージ回路及び第２プリチャージ回路と、前記第１ビット線をプリチャージする第１モードと、前記第１ビット線をプリチャージしない第２モードとを切り替えるための第１信号に基づき、（ｉ）前記第２モード時には、前記第１プリチャージ回路及び第２プリチャージ回路をオフし、（ｉｉ）前記第２モードから前記第１モードへの切り替え時に、前記第１プリチャージ回路をオンし、前記第１プリチャージ回路をオンした後に前記第２プリチャージ回路をオンする制御回路とを備える。

[0008] なお、これらの全般的または具体的な態様は、システム、方法、又は集積回路で実現されてもよく、システム、方法、及び集積回路の任意な組み合わせで実現されてもよい。

発明の効果

[0009] 本開示は、ピーク電流を抑制するとともに、それに伴う制御の複雑化、又は回路面積の増加を抑制できる半導体記憶装置及び制御方法を提供できる。

図面の簡単な説明

[0010] [図1]図１は、実施の形態１に係る半導体記憶装置のブロック図である。

[図2]図２は、実施の形態１に係る電源制御回路及びメモリセルアレイの構成を示す図である。

[図3]図３は、実施の形態１に係るメモリセルの回路図である。

[図4]図４は、実施の形態１に係る電源制御回路に関するタイミングチャート

である。

[図5]図５は、実施の形態１に係る電源制御回路の変形例の構成を示す図である。

[図6]図６は、実施の形態１に係る電源制御回路の変形例に関するタイミングチャートである。

[図7]図７は、実施の形態２に係る半導体記憶装置のブロック図である。

[図8]図８は、実施の形態２に係る書き込み補助回路の構成を示す図である。

[図9]図９は、実施の形態２に係る列回路の構成を示す図である。

[図10]図１０は、実施の形態２に係る書き込み補助回路に関するタイミングチャートである。

[図11]図１１は、実施の形態３に係る半導体記憶装置のブロック図である。

[図12]図１２は、実施の形態３に係るＩ／Ｏ回路の構成を示す図である。

[図13]図１３は、実施の形態３にＩ／Ｏ回路に関するタイミングチャートである。

[図14]図１４は、実施の形態３に係るＩ／Ｏ回路の変形例１の構成を示す図である。

[図15]図１５は、実施の形態３にＩ／Ｏ回路の変形例１に関するタイミングチャートである。

[図16]図１６は、実施の形態３に係るＩ／Ｏ回路の変形例２の構成を示す図である。

発明を実施するための形態

[0011] 本開示の一態様に係る半導体記憶装置は、複数のメモリセルと、電源電圧が供給される第１電源線と、前記複数のメモリセルの電源電圧線である第２電源線と、前記第１電源線と前記第２電源線との間に並列に接続された第１トランジスタ及び第２トランジスタと、前記複数のメモリセルに前記電源電圧を供給する第１モードと、前記複数のメモリセルに前記電源電圧を供給しない第２モードとを切り替えるための第１信号に基づき、（ｉ）前記第２モード時には、前記第１トランジスタ及び第２トランジスタをオフし、（ｉｉ

）前記第２モードから前記第１モードへの切り替え時に、前記第１トランジスタをオンし、前記第１トランジスタをオンした後に前記第２トランジスタをオンする制御回路とを備える。

[0012] これによれば、当該半導体記憶装置では、第２モードから第１モードへの切り替え時に、第１トランジスタをオンし、その後、第２トランジスタをオンすることで電源復帰に伴うピーク電流を抑制できる。また、複数のブロックを時系列に制御する場合等に比べて、制御の複雑化を抑制できる。

[0013] 例えば、前記第２トランジスタは、前記第１トランジスタより駆動能力が高くてもよい。

[0014] これによれば、効率的にピーク電流を抑制できる。

[0015] 例えば、前記制御回路は、前記第１信号を遅延させることで第２信号を生成する遅延回路を含み、前記第１トランジスタの制御端子には前記第１信号が供給され、前記第２トランジスタの制御端子には前記第２信号が供給されてもよい。

[0016] これによれば、簡易な構成で第１トランジスタ及び第２トランジスタを制御できる。

[0017] 例えば、前記半導体記憶装置は、各々が前記複数のメモリセルを含む複数のメモリブロックを含み、前記第１トランジスタ及び前記第２トランジスタは、前記複数のメモリブロックの各々に設けられ、前記遅延回路で生成された前記第２信号は、前記複数のメモリブロックのうち２以上のメモリブロックに設けられた２以上の前記第２トランジスタの制御端子に供給されてもよい。

[0018] これによれば、複数のメモリブロックで遅延回路を共有できるので回路面積を削減できる。

[0019] 例えば、前記制御回路は、前記第２電源線の電圧を検知し、前記第２モードから前記第１モードへの切り替え時に、前記第１トランジスタをオンした後、かつ、前記第２電源線の電圧が予め定められた電圧に達した場合に、前記第２トランジスタをオンしてもよい。

[0020] これによれば、精度よく第１トランジスタ及び第２トランジスタを制御できる。

[0021] 例えば、前記半導体記憶装置は、前記複数のメモリセルへのデータ書き込み時に前記第２電源線の電圧を、前記データ書き込み時以外の期間における前記第２電源線の電圧よりも低下させる書き込み補助回路を備え、前記第１トランジスタ及び前記第２トランジスタは、前記書き込み補助回路に含まれ、前記第１トランジスタ及び前記第２トランジスタの一方は、前記データ書き込み時にオフされてもよい。

[0022] これによれば、第１トランジスタ及び第２トランジスタとして、書き込み補助回路で用いられるトランジスタを兼用できるので、回路面積の増加を抑制できる。

[0023] 例えば、本開示の一態様に係る半導体記憶装置は、複数のメモリセルと、前記複数のメモリセルに接続された第１ビット線と、前記第１ビット線に接続された第１プリチャージ回路及び第２プリチャージ回路と、前記第１ビット線をプリチャージする第１モードと、前記第１ビット線をプリチャージしない第２モードとを切り替えるための第１信号に基づき、（ｉ）前記第２モード時には、前記第１プリチャージ回路及び第２プリチャージ回路をオフし、（ｉｉ）前記第２モードから前記第１モードへの切り替え時に、前記第１プリチャージ回路をオンし、前記第１プリチャージ回路をオンした後に前記第２プリチャージ回路をオンする制御回路とを備える。

[0024] これによれば、当該半導体記憶装置では、第２モードから第１モードへの切り替え時に、第１プリチャージ回路をオンし、その後、第２プリチャージ回路をオンすることで電源復帰に伴うピーク電流を抑制できる。また、複数のブロックを時系列に制御する場合等に比べて、制御の複雑化を抑制できる。

[0025] 例えば、前記第２プリチャージ回路は、前記第１プリチャージ回路より駆動能力が高くてもよい。

[0026] これによれば、効率的にピーク電流を抑制できる。

[0027] 例えば、前記制御回路は、前記第１信号を遅延させることで第２信号を生成する遅延回路を含み、前記第１プリチャージ回路は前記第１信号に基づき、オンとオフとが切り替えられ、前記第２プリチャージ回路は前記第２信号に基づき、オンとオフとが切り替えられてもよい。

[0028] これによれば、簡易な構成で第１プリチャージ回路及び第２プリチャージ回路を制御できる。

[0029] 例えば、前記半導体記憶装置は、各々が前記複数のメモリセルを含む複数のメモリブロックを含み、前記第１プリチャージ回路及び前記第２プリチャージ回路は、前記複数のメモリブロックの各々に設けられ、前記遅延回路で生成された前記第２信号は、前記複数のメモリブロックのうち２以上のメモリブロックに設けられた２以上の前記第２プリチャージ回路に供給されてもよい。

[0030] これによれば、複数のメモリブロックで遅延回路を共有できるので回路面積を削減できる。

[0031] 例えば、前記制御回路は、前記第１ビット線の電圧を検知し、前記第２モードから前記第１モードへの切り替え時に、前記第１プリチャージ回路をオンした後、かつ、前記第１ビット線の電圧が予め定められた電圧に達した場合に、前記第２プリチャージ回路をオンしてもよい。

[0032] これによれば、精度よく第１プリチャージ回路及び第２プリチャージ回路を制御できる。

[0033] 例えば、前記半導体記憶装置は、さらに、前記複数のメモリセルに接続された第２ビット線を備え、前記第１プリチャージ回路は、ソース及びドレインの一方が前記第１ビット線に接続され、ゲートが前記第２ビット線に接続された第１トランジスタと、ソース及びドレインの一方が前記第２ビット線に接続され、ゲートが前記第１ビット線に接続された第２トランジスタとを備えてもよい。

[0034] これによれば、第１プリチャージ回路として、第１ビット線及び第２ビット線の電圧を保持するための回路を兼用できるので、回路面積の増加を抑制

できる。

[0035] また、本開示の一態様に係る制御方法は、複数のメモリセルと、第１トランジスタと、第２トランジスタとを備える半導体記憶装置の制御方法であって、前記複数のメモリセルに電源電圧を供給する第１モードと、前記複数のメモリセルに前記電源電圧を供給しない第２モードとを有し、前記第２モードから前記第１モードへの切り替え時の第１期間において、前記第１トランジスタを介して前記複数のメモリセルに前記電源電圧を供給し、前記第１期間の後の第２期間において前記第１トランジスタ及び前記第２トランジスタを介して前記複数のメモリセルに前記電源電圧を供給する。

[0036] これによれば、当該半導体記憶装置では、第２モードから第１モードへの切り替え時に、第１トランジスタを介して電源電圧の供給を行い、その後、第１トランジスタ及び第２トランジスタを介して電源電圧の供給を行うことで電源復帰に伴うピーク電流を抑制できる。また、複数のブロックを時系列に制御する場合等に比べて、制御の複雑化を抑制できる。

[0037] また、本開示の一態様に係る制御方法は、複数のメモリセルと、前記複数のメモリセルに接続されたビット線と、第１プリチャージ回路と、第２プリチャージ回路とを備える半導体記憶装置の制御方法であって、前記ビット線をプリチャージする第１モードと、前記ビット線をプリチャージしない第２モードとを有し、前記第２モードから前記第１モードへの切り替え時の第１期間において、前記第１プリチャージ回路により前記ビット線をプリチャージし、前記第１期間の後の第２期間において前記第１プリチャージ回路及び前記第２プリチャージ回路により前記ビット線をプリチャージする。

[0038] これによれば、当該半導体記憶装置では、第２モードから第１モードへの切り替え時に、第１プリチャージ回路によりビット線のプリチャージを行い、その後、第１プリチャージ回路及び第２プリチャージ回路によりビット線のプリチャージを行うことで電源復帰に伴うピーク電流を抑制できる。また、複数のブロックを時系列に制御する場合等に比べて、制御の複雑化を抑制できる。

[0039] なお、これらの全般的または具体的な態様は、システム、方法、又は集積回路で実現されてもよく、システム、方法、及び集積回路の任意な組み合わせで実現されてもよい。

[0040] 以下、実施の形態について、図面を参照しながら具体的に説明する。なお、以下で説明する実施の形態は、いずれも本開示の一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

[0041] （実施の形態１）

本実施の形態では、パワーダウンモードから通常モードに復帰する際のピーク電流を抑制する半導体記憶装置について説明する。ここで、ピーク電流とは、瞬間的に流れる電流の最大値を意味する。また、ピーク電流が大きくなることで電源ノイズが発生し、それにより、他の論理回路等が誤動作を起こす可能性が増加するという問題がある。

[0042] 図１は、本実施の形態に係る半導体記憶装置１００のブロック図である。この半導体記憶装置１００は、ＳＲＡＭであり、メモリセルアレイ１０１と、行デコーダ１０２と、Ｉ／Ｏ回路１０３と、制御回路１０４と、電源制御回路１０５とを備える。

[0043] なお、ここでは、半導体記憶装置１００がＳＲＡＭである例を説明するが、半導体記憶装置１００は、ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）等の他のＲＡＭ（Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）であってもよい。また、半導体記憶装置１００は、フラッシュメモリ等の不揮発性メモリであってもよい。

[0044] また、半導体記憶装置１００は、例えば、集積回路であるＬＳＩ（Ｌａｒｇｅ　Ｓｃａｌｅ　Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）として実現される。これらは個別に１チップ化されてもよいし、一部又は全てを含むよう

に１チップ化されてもよい。また、半導体記憶装置１００は、ＬＳＩに含まれる１つのブロックであってもよい。

[0045] メモリセルアレイ１０１は、行列状に配置され、各々が１ビットのデータを保持する複数のメモリセル１１２を備える。行デコーダ１０２は、行列状に配置された複数のメモリセル１１２の行選択を行う。Ｉ／Ｏ回路１０３は、メモリセルアレイ１０１へのデータ書き込み、及びメモリセルアレイ１０１に保持されているデータの読み出しを行う。

[0046] 電源制御回路１０５は、メモリセルアレイ１０１に電源電圧を供給（以下、電源供給とも記す）するか否かを切り替える。

[0047] ここで、半導体記憶装置１００は、少なくともメモリセルアレイ１０１に電源供給を行わないパワーダウンモード（第２モード）と、メモリセルアレイ１０１に電源供給を行う通常モード（第１モード）とを有する。なお、パワーダウンモードにおいて、行デコーダ１０２及びＩ／Ｏ回路１０３等の周辺回路への電源供給も行われなくてもよい。また、通常モードにおいては、メモリセルアレイ１０１だけでなく周辺回路への電源供給も行われる。なお、半導体記憶装置１００は、メモリセルアレイ１０１への電源供給は行うが、周辺回路への電源供給を行わないモード（周辺回路への電源供給は行わないが、メモリセルアレイ１０１のデータ保持は継続するモード）をさらに有してもよい。

[0048] 制御回路１０４は、各処理部を制御する。具体的には、制御回路１０４は、各処理部を制御するための複数の制御信号を生成する。また、制御回路１０４は、パワーダウンモードと通常モードとを切り替えるための信号ＳＤＭＣを生成し、生成した信号ＳＤＭＣを電源制御回路１０５に供給する。例えば、制御回路１０４は、半導体記憶装置１００の外部から入力された信号に基づき信号ＳＤＭＣを生成する。なお、制御回路１０４は、半導体記憶装置１００の外部から入力された信号ＳＤＭＣをそのまま電源制御回路１０５に供給してもよいし、半導体記憶装置１００の外部から入力された信号ＳＤＭＣが制御回路１０４を介さずに、そのまま電源制御回路１０５に供給されて

もよい。

[0049] 図２は、メモリセルアレイ１０１及び電源制御回路１０５の構成を示す図である。メモリセルアレイ１０１は、複数のメモリブロック１１１を含む。各メモリブロック１１１は、複数のメモリセル１１２を含む。なお、ここでは、メモリセルアレイ１０１を複数列を単位として横方向に分割することで複数のメモリブロック１１１が形成されているが、複数のメモリブロック１１１は、メモリセルアレイ１０１を複数行を単位として縦方向に分割したものであってもよいし、メモリセルアレイ１０１を複数列及び複数行を単位として縦及び横方向に分割したものであってもよい。また、メモリブロック１１１に含まれるメモリセル１１２の数は任意の数でよい。また、メモリセルアレイ１０１は、複数のメモリブロック１１１に分割されていなくてもよい。

[0050] 各メモリセル１１２は、メモリセル１１２の電源線であるメモリ電源線ＶＤＤＭＣに接続され、各メモリセル１１２には、メモリ電源線ＶＤＤＭＣを介して電源電圧が供給される。

[0051] 電源制御回路１０５は、遅延回路１２１と、複数の電源切替回路１２２とを備える。遅延回路１２１は、信号ＳＤＭＣを遅延させることで信号ＳＤＭＣ２を生成する。

[0052] 電源切替回路１２２は、メモリブロック１１１毎に設けられ、メモリセルアレイ１０１への電源供給を行うか否かを切り替える。

[0053] 電源切替回路１２２は、第１トランジスタＴ０１と、第２トランジスタＴ０２とを備える。第１トランジスタＴ０１は、電源電圧が供給される電源線ＶＤＤと、メモリ電源線ＶＤＤＭＣとの間に接続される。具体的には第１トランジスタＴ０１のソースは電源線ＶＤＤに接続され、ドレインはメモリ電源線ＶＤＤＭＣに接続される。第１トランジスタＴ０１のゲート（制御端子）には信号ＳＤＭＣが供給される。なお、電源線ＶＤＤは、半導体記憶装置１００の電源線であり、例えば、半導体記憶装置１００の外部より供給される電源電圧が印加される。

[0054] 第２トランジスタＴ０２は、電源線ＶＤＤとメモリ電源線ＶＤＤＭＣとの間に接続される。具体的には第２トランジスタＴ０２のソースは電源線ＶＤＤに接続され、ドレインはメモリ電源線ＶＤＤＭＣに接続される。第２トランジスタのゲート（制御端子）には信号ＳＤＭＣ２が供給される。つまり、第１トランジスタＴ０１と第２トランジスタＴ０２とは、電源線ＶＤＤとメモリ電源線ＶＤＤＭＣとの間に並列に接続される。

[0055] また、第２トランジスタＴ０２は、第１トランジスタＴ０１より駆動能力が高い。ここで、駆動能力の高低は、例えば、トランジスタのＷ／Ｌ（ゲート幅／ゲート長）、トランジスタの閾値電圧、又はトランジスタのゲート或いはソースに印加される電圧のレベルによって調整される。なお、第２トランジスタＴ０２の駆動能力は、第１トランジスタＴ０１の駆動能力と同じであってもよいし、第１トランジスタＴ０１の駆動能力より低くてもよい。

[0056] なお、本実施の形態では、主にトランジスタとしてＭＯＳＦＥＴ（ｍｅｔａｌ－ｏｘｉｄｅ－ｓｅｍｉｃｏｎｄｕｃｔｏｒ　ｆｉｅｌｄ－ｅｆｆｅｃｔ　ｔｒａｎｓｉｓｔｏｒ）が用いられる例を示すが、バイポーラトランジスタ等の他のトランジスタが用いられてもよい。

[0057] 図３は、メモリセル１１２の回路図である。メモリセル１１２は、例えば、図３に示すように６つのトランジスタＴ１１～Ｔ１６で構成されるＳＲＡＭメモリセルであり、行毎に設けられているワード線ＷＬと、列毎に設けられている１対のビット線ＢＬ及びＮＢＬに接続される。また、メモリセル１１２は、メモリ電源線ＶＤＤＭＣを介して電源電圧が供給される。

[0058] 次に、上記のように構成された半導体記憶装置１００における動作モードの切り替え時の動作を説明する。図４は、半導体記憶装置１００における動作モードの切り替え時の動作を示すタイミングチャートである。信号ＳＤＭＣは、通常モード時にはローレベルであり、パワーダウンモード時にはハイレベルである。

[0059] 図４に示す時刻ｔ０１より前の期間では、信号ＳＤＭＣはローレベルであり、半導体記憶装置１００は通常モードで動作している。なお、通常モード

において、書き込み動作及び読み出し動作が行われていない状態をスタンバイ状態と呼ぶ。

[0060] 時刻ｔ０１において、信号ＳＤＭＣがローレベルからハイレベルになり動作モードがパワーダウンモードに移行する。信号ＳＤＭＣがハイレベルになることで第１トランジスタＴ０１はオフする。また、信号ＳＤＭＣより遅れて信号ＳＤＭＣ２が時刻ｔ０２においてハイレベルになる。信号ＳＤＭＣ２がハイレベルになることで第２トランジスタＴ０２はオフする。第１トランジスタＴ０１及び第２トランジスタＴ０２が共にオフすることで、メモリセルアレイ１０１への電源供給が遮断され、メモリ電源線ＶＤＤＭＣはＨｉ－Ｚ（ハイインピーダンス）状態となる。

[0061] 時刻ｔ０３において、信号ＳＤＭＣがハイレベルからローレベルになり動作モードがパワーダウンモードから通常モードに移行する。信号ＳＤＭＣがローレベルになることで第１トランジスタＴ０１はオンする。これにより、メモリ電源線ＶＤＤＭＣへの電源供給が開始され、メモリ電源線ＶＤＤＭＣの電圧が上昇し始める。

[0062] また、信号ＳＤＭＣより遅れて信号ＳＤＭＣ２が時刻ｔ０４においローレベルになる。信号ＳＤＭＣ２がローレベルになることで第２トランジスタＴ０２はオンする。

[0063] このように、パワーダウンモードから通常モードへの切り替え時の期間ｔ０３～ｔ０４において、第１トランジスタＴ０１はオンし、第２トランジスタＴ０２はオンしない。これにより、切り替え時のピーク電流を抑制できる。また、時刻ｔ０４以降の期間においては、第１トランジスタＴ０１及び第２トランジスタＴ０２の両方がオンすることで十分な能力の電源供給を実現できる。

[0064] なお、図４において、本実施の形態の手法を適用した場合の電流を実線で示し、本実施の形態の手法を適用しない場合の電流（比較例）を破線で示している。また、同図における、メモリ電源線ＶＤＤＭＣの期間ｔ０３～ｔ０４におけるハッチングは動作状態及び製造ばらつき等に基づく電圧値のばら

つきを示す。

[0065] 以上のように、本実施の形態に係る半導体記憶装置１００は、複数のメモリセル１１２と、電源電圧が供給される第１電源線ＶＤＤと、複数のメモリセル１１２の電源電圧線である第２電源線ＶＤＤＭＣと、第１電源線ＶＤＤと第２電源線ＶＤＤＭＣとの間に並列に接続された第１トランジスタＴ０１及び第２トランジスタＴ０２と、複数のメモリセル１１２に電源電圧を供給する第１モード（通常モード）と、複数のメモリセル１１２に電源電圧を供給しない第２モード（パワーダウンモード）とを切り替えるための第１信号ＳＤＭＣに基づき、（ｉ）第２モード時には、第１トランジスタＴ０１及び第２トランジスタＴ０２をオフし、（ｉｉ）第２モードから第１モードへの切り替え時に、第１トランジスタＴ０１をオンし、第１トランジスタＴ０１をオンした後に第２トランジスタＴ０２をオンする電源制御回路１０５とを備える。

[0066] これによれば、半導体記憶装置１００では、第２モードから第１モードへの切り替え時に、第１トランジスタＴ０１をオンし、その後、第２トランジスタＴ０２をオンすることで電源復帰に伴うピーク電流を抑制できる。また、複数のブロックを時系列に制御する場合等に比べて、制御の複雑化を抑制できる。

[0067] 例えば、第２トランジスタＴ０２は、第１トランジスタＴ０１より駆動能力が高い。これによれば、効率的にピーク電流を抑制できる。

[0068] 例えば、電源制御回路１０５は、第１信号ＳＤＭＣを遅延させることで第２信号ＳＤＭＣ２を生成する遅延回路１２１を含む。第１トランジスタＴ０１の制御端子には第１信号ＳＤＭＣが供給され、第２トランジスタＴ０２の制御端子には第２信号ＳＤＭＣ２が供給される。これによれば、簡易な構成で第１トランジスタＴ０１及び第２トランジスタＴ０２を制御できる。

[0069] 例えば、半導体記憶装置１００は、各々が複数のメモリセル１１２を含む複数のメモリブロック１１１を含む。第１トランジスタＴ０１及び第２トランジスタＴ０２は、複数のメモリブロック１１１の各々に設けられる。遅延

回路１２１で生成された第２信号ＳＤＭＣ２は、複数のメモリブロック１１１のうち２以上のメモリブロック１１１に設けられた２以上の第２トランジスタＴ０２の制御端子に供給される。これによれば、複数のメモリブロック１１１で遅延回路１２１を共有できるので回路面積を削減できる。

[0070] なお、図２では、遅延回路１２１により生成された信号ＳＤＭＣ２が全ての第２トランジスタＴ０２に供給される例（つまり、全ての第２トランジスタＴ０２で１つの遅延回路１２１を共有している例）を示しているが、１又は複数のメモリブロック１１１（１又は複数の第２トランジスタＴ０２）毎に、遅延回路１２１が設けられ、各遅延回路１２１で生成された信号ＳＤＭＣ２が、当該遅延回路１２１に対応する１又は複数の第２トランジスタＴ０２に供給されてもよい。

[0071] また、本実施の形態に係る半導体記憶装置１００の制御方法は、複数のメモリセル１１２と、第１トランジスタＴ０１と、第２トランジスタＴ０２とを備える半導体記憶装置１００の制御方法である。当該制御方法は、複数のメモリセル１１２に電源電圧を供給する第１モード（通常モード）と、複数のメモリセル１１２に電源電圧を供給しない第２モード（パワーダウンモード）とを有する。当該制御方法は、第２モードから第１モードへの切り替え時の第１期間（図４のｔ０３～ｔ０４）において、第１トランジスタＴ０１を介して複数のメモリセル１１２に電源電圧を供給し、第１期間の後の第２期間（図４のｔ０４以降）において第１トランジスタＴ０１及び第２トランジスタＴ０２を介して複数のメモリセル１１２に電源電圧を供給する。

[0072] これによれば、半導体記憶装置１００では、第２モードから第１モードへの切り替え時に、第１トランジスタＴ０１を介して電源電圧の供給を行い、その後、第１トランジスタＴ０１及び第２トランジスタＴ０２を介して電源電圧の供給を行うことで電源復帰に伴うピーク電流を抑制できる。また、複数のブロックを時系列に制御する場合等に比べて、制御の複雑化を抑制できる。

[0073] 以下、電源制御回路１０５の変形例を説明する。図５は、電源制御回路１

０５の変形例である電源制御回路１０５Ａの構成を示す図である。図５に示す電源制御回路１０５Ａは、図２に示す電源制御回路１０５に対して、遅延回路１２１に代わり電圧検知回路１２３を備える点が異なる。

[0074] 電圧検知回路１２３は、メモリ電源線ＶＤＤＭＣの電圧を検知し、信号ＳＤＭＣがローレベル（パワーダウンモード）であり、且つ、メモリ電源線ＶＤＤＭＣの電圧が予め定められた電圧以上である場合に、ローレベルとなり、それ以外の場合にハイレベルとなる信号ＳＤＭＣ３を生成する。信号ＳＤＭＣ３は、第２トランジスタＴ０２のゲート（制御端子）に供給される。なお、図５に示す電圧検知回路１２３の回路構成は一例であり、同様の機能を実現できる回路構成であれば、任意の回路構成でよい。

[0075] 図６は、当該変形例における動作モードの切り替え時の動作を示すタイミングチャートである。図６に示す時刻ｔ１１より前の期間では、信号ＳＤＭＣはローレベルであり、半導体記憶装置１００は通常モードで動作している。

[0076] 時刻ｔ１１において、信号ＳＤＭＣがローレベルからハイレベルになり動作モードがパワーダウンモードに移行する。信号ＳＤＭＣがハイレベルになることで第１トランジスタＴ０１はオフする。また、信号ＳＤＭＣがハイレベルになると信号ＳＤＭＣ３がハイレベルになる。信号ＳＤＭＣ３がハイレベルになることで第２トランジスタＴ０２はオフする。第１トランジスタＴ０１及び第２トランジスタＴ０２が共にオフすることで、メモリセルアレイ１０１への電源供給が遮断され、メモリ電源線ＶＤＤＭＣはＨｉ－Ｚ状態となる。

[0077] 時刻ｔ１２において、信号ＳＤＭＣがハイレベルからローレベルになり動作モードがパワーダウンモードから通常モードに移行する。信号ＳＤＭＣがローレベルになることで第１トランジスタＴ０１はオンする。

[0078] 第１トランジスタＴ０１がオンしたことでメモリ電源線ＶＤＤＭＣの電圧は上昇し、時刻ｔ１３において、予め定められた電圧Ｖ０に達する。電圧検知回路１２３は、メモリ電源線ＶＤＤＭＣの電圧が電圧Ｖ０に達したことを

検知し、信号ＳＤＭＣ３をローレベルにする。信号ＳＤＭＣ３がローレベルになることで第２トランジスタＴ０２はオンする。

[0079] このように、パワーダウンモードから通常モードへの切り替え時の期間ｔ１２～ｔ１３において、第１トランジスタＴ０１はオンし、第２トランジスタＴ０２はオンしない。これにより、切り替え時のピーク電流を抑制できる。また、時刻ｔ１３以降の期間においては、第１トランジスタＴ０１及び第２トランジスタＴ０２の両方がオンすることで十分な能力の電源供給を実現できる。

[0080] 以上のように、電源制御回路１０５Ａは、第２電源線ＶＤＤＭＣの電圧を検知し、第２モード（パワーダウンモード）から第１モード（通常モード）への切り替え時に、第１トランジスタＴ０１をオンした後、かつ、第２電源線ＶＤＤＭＣの電圧が予め定められた電圧Ｖ０に達した場合に、第２トランジスタＴ０２をオンする。これによれば、精度よく第１トランジスタＴ０１及び第２トランジスタＴ０２を制御できる。

[0081] （実施の形態２）

本実施の形態では、実施の形態１で説明した電源制御回路１０５の機能を、データ書き込み時にメモリセルアレイ１０１の電源電圧を制御する書き込み補助回路と兼用する例を説明する。

[0082] 図７は、本実施の形態に係る半導体記憶装置１００Ａのブロック図である。図７に示す半導体記憶装置１００Ａは、図１に示す半導体記憶装置１００に対して、電源制御回路１０５の代わりに書き込み補助回路１０６を備える。

[0083] 書き込み補助回路１０６は、データ書き込み時にメモリセル１１２の電源電圧を低下させることで、データ書き込みを行いやすくする回路である。本実施の形態では、この書き込み補助回路１０６は、実施の形態１で説明した電源制御回路１０５の機能を有する。

[0084] 図８は、メモリセルアレイ１０１及び書き込み補助回路１０６の構成を示す図である。メモリセルアレイ１０１は、複数のメモリブロック１１１を含

む。各メモリブロック１１１は、複数のメモリセル１１２を含む。なお、ここでは、メモリセルアレイ１０１は列毎にメモリブロック１１１に分割される。

[0085] また、列毎（メモリブロック１１１毎）にメモリ電源線ＶＤＤＭＣ（ＶＤＤＭＣ０～ＶＤＤＭＣ７）が設けられる。各メモリブロック１１１は、当該メモリブロック１１１に対応するメモリ電源線ＶＤＤＭＣに接続され、各メモリブロック１１１には、当該メモリブロック１１１に対応するメモリ電源線ＶＤＤＭＣを介して電源電圧が供給される。

[0086] 書き込み補助回路１０６は、遅延回路１３１と、複数の列回路１３２とを備える。遅延回路１３１は、信号ＳＤＭＣを遅延及び反転させることで信号ＮＳＤＭＣを生成する。

[0087] 列回路１３２は、列毎に設けられ、各列のメモリセル１１２へ供給する電源電圧のレベルを制御する。具体的には、列回路１３２は、データ書き込み時に電源電圧を下げる制御を行う。また、列回路１３２は、動作モードの切り替え時に、実施の形態１と同様の制御を行う。

[0088] 図９は、列回路１３２の構成を示す図である。図９に示すように列回路１３２は、論理回路１４１と、トランジスタＴ３１～Ｔ３４を含む。

[0089] 図１０は、本実施の形態に係る動作モードの切り替え時の動作を示すタイミングチャートである。信号ＳＤＭＣは、通常モード時にはローレベルであり、パワーダウンモード時にはハイレベルである。信号ＮＳＷＷＡは、書き込み補助を行うか否かを示す信号であり、書き込み補助を行う場合はローレベルであり、書き込み補助を行わない場合はハイレベルである。図１０では、信号ＮＳＷＷＡはローレベルであり、書き込み補助が行われる。

[0090] 信号ＮＷＣＡ（ＮＷＣＡ０～ＮＷＣＡ７）は、メモリセル１１２にデータを書き込む書き込みモードであるか否か示す信号であり、書き込みモード時はローレベルであり、書き込みモード時以外はハイレベルである。また、同図に示す信号ＣＬＫは、書き込み動作に用いられるクロック信号である。信号ＮＳＷＷＡ、信号ＮＷＣＡ及び信号ＣＬＫは、例えば、制御回路１０４で

生成される。なお、制御回路１０４は、半導体記憶装置１００の外部から入力された信号に基づき、これらの信号の少なくとも一つを生成してもよい。また、制御回路１０４は、半導体記憶装置１００の外部から入力された信号をそのまま書き込み補助回路１０６に供給してもよいし、半導体記憶装置１００の外部から入力された信号が制御回路１０４を介さずに、そのまま書き込み補助回路１０６に供給されてもよい。

[0091] 論理回路１４１は、信号ＮＳＤＭＣ及び信号ＮＷＣＡ０に基づき信号ＷＴＡを生成する。具体的には、論理回路１４１は、信号ＮＳＤＭＣ及び信号ＮＷＣＡ０の少なくとも一方がローレベルの場合にハイレベルの信号ＷＴＡを出力し、それ以外の場合にはローレベルの信号ＷＴＡを出力する。

[0092] 第１トランジスタＴ３１は、実施の形態１に係る第１トランジスタＴ０１に対応する。第１トランジスタＴ３１は、電源電圧が供給される電源線ＶＤＤと、メモリ電源線ＶＤＤＭＣ０との間に接続される。具体的には第１トランジスタＴ０１のソースは電源線ＶＤＤに接続され、ドレインはメモリ電源線ＶＤＤＭＣに接続される。第１トランジスタＴ３１のゲート（制御端子）には信号ＳＤＭＣが供給される。

[0093] 第２トランジスタＴ３２は、電源線ＶＤＤとメモリ電源線ＶＤＤＭＣ０との間に接続される。具体的には第２トランジスタＴ３２のソースは電源線ＶＤＤに接続され、ドレインはメモリ電源線ＶＤＤＭＣ０に接続される。第２トランジスタＴ３２のゲート（制御端子）には信号ＷＴＡが供給される。つまり、第１トランジスタＴ３１と第２トランジスタＴ３２とは、電源線ＶＤＤとメモリ電源線ＶＤＤＭＣ０との間に並列に接続される。

[0094] また、第２トランジスタＴ３２は、第１トランジスタＴ３１より駆動能力が高い。なお、第２トランジスタＴ３２の駆動能力は、第１トランジスタＴ３１の駆動能力と同じであってもよいし、第１トランジスタＴ３１の駆動能力より低くてもよい。

[0095] トランジスタＴ３３及びトランジスタＴ３４は、メモリ電源線ＶＤＤＭＣ０と、接地電位が供給されるグランド線との間に直列に接続される。トラン

ジスタＴ３３のゲート（制御単位）には信号ＮＳＷＷＡが供給される。トランジスタＴ３４のゲート（制御単位）には信号ＷＴＡが供給される。

[0096] 図１０に示す時刻ｔ２１より前の期間では、信号ＳＤＭＣはローレベルであり、半導体記憶装置１００は通常モードで動作している。

[0097] 時刻ｔ２１において、信号ＳＤＭＣがローレベルからハイレベルになり動作モードがパワーダウンモードに移行する。信号ＳＤＭＣがハイレベルになることで第１トランジスタＴ３１はオフする。また、信号ＳＤＭＣより遅れて信号ＮＳＤＭＣが時刻ｔ２２においてローレベルになり、信号ＷＴＡがハイレベルになる。信号ＷＴＡがハイレベルになることで第２トランジスタＴ３２はオフする。第１トランジスタＴ３１及び第２トランジスタＴ３２が共にオフすることで、メモリセルアレイ１０１への電源供給が遮断され、メモリ電源線ＶＤＤＭＣ０はＨｉ－Ｚ状態となる。

[0098] 時刻ｔ２３において、信号ＳＤＭＣがハイレベルからローレベルになり動作モードがパワーダウンモードから通常モードに移行する。信号ＳＤＭＣがローレベルになることで第１トランジスタＴ３１はオンする。これにより、メモリ電源線ＶＤＤＭＣ０への電源供給が開始され、メモリ電源線ＶＤＤＭＣ０の電圧が上昇し始める。

[0099] また、信号ＳＤＭＣより遅れて信号ＮＳＤＭＣが時刻ｔ２４においてハイレベルになり、信号ＷＴＡがローレベルになる。信号ＷＴＡがローレベルになることで第２トランジスタＴ３２はオンする。

[0100] このように、パワーダウンモードから通常モードへの切り替え時の期間ｔ２３～ｔ２４において、第１トランジスタＴ３１はオンし、第２トランジスタＴ３２はオンしない。これにより、切り替え時のピーク電流を抑制できる。また、時刻ｔ２４以降の期間においては、第１トランジスタＴ３１及び第２トランジスタＴ３２の両方がオンすることで十分な能力の電源供給を実現できる。

[0101] さらに、時刻ｔ２５において信号ＮＷＣＡ０がローレベルになり動作モードが書き込みモードに移行する。信号ＮＷＣＡ０がローレベルになると信号

ＷＴＡはハイレベルになる。これにより、第２トランジスタＴ３２がオフし、トランジスタＴ３４がオンする。また、信号ＮＳＷＷＡはローレベルであるためトランジスタＴ３３はオンしており、信号ＳＤＭＣはローレベルであるため第１トランジスタＴ３１はオンしている。これにより、メモリ電源線ＶＤＤＭＣ０の電圧は、第１トランジスタＴ３１のオン抵抗と、トランジスタＴ３３及びＴ３４のオン抵抗との比に応じた電圧になる。つまり、メモリ電源線ＶＤＤＭＣ０の電圧が低下し、書き込み補助が実現される。

[0102] 以上のように、本実施の形態に係る半導体記憶装置１００Ａは、複数のメモリセル１１２へのデータ書き込み時に第２電源線ＶＤＤＭＣ０の電圧を、データ書き込み時以外の期間における第２電源線ＶＤＤＭＣ０の電圧よりも低下させる書き込み補助回路１０６を備える。第１トランジスタＴ３１及び第２トランジスタＴ３２は、書き込み補助回路１０６に含まれる。第１トランジスタＴ３１及び第２トランジスタＴ３２の一方は、データ書き込み時にオフされる。これによれば、第１トランジスタＴ３１及び第２トランジスタＴ３２として、書き込み補助回路１０６で用いられるトランジスタを兼用できるので、回路面積の増加を抑制できる。

[0103] （実施の形態３）

上記実施の形態では、メモリセル１１２への電源復帰時においてピーク電流を低減する手法を述べた。本実施の形態では、同様の手法をビット線のプリチャージを行う回路に適用した例を説明する。

[0104] 図１１は、本実施の形態に係る半導体記憶装置１００Ｂのブロック図である。図１１に示す半導体記憶装置１００Ｂは、図１に示す半導体記憶装置１００に対して、電源制御回路１０５を備えず、Ｉ／Ｏ回路１０３Ｂ及び制御回路１０４Ｂの構成がＩ／Ｏ回路１０３及び制御回路１０４と異なる。

[0105] また、半導体記憶装置１００Ｂは、ビット線のプリチャージを行わないパワーダウンモード（第２モード）と、ビット線のプリチャージを行う通常モード（第１モード）とを有する。なお、パワーダウンモードにおいて、行デコーダ１０２及びＩ／Ｏ回路１０３Ｂに含まれるプリチャージに関連する回

路以外の回路への電源供給も行われなくてもよい。また、通常モードにおいては、これらの回路への電源供給も行われる。なお、パワーダウンモードにおいて、メモリセルアレイ１０１への電源供給は行われてもよいし、行われなくてもよい。なお、半導体記憶装置１００Ｂは、周辺回路への電源供給を行わない状態において、メモリセルアレイ１０１へ電源供給を行うモードとメモリセルアレイ１０１へ電源供給を行わないモードとを有してもよい。

[0106] 制御回路１０４Ｂは、パワーダウンモードと通常モードとを切り替えるための信号ＮＳＬＰＰＣを生成し、生成した信号ＮＳＬＰＰＣをＩ／Ｏ回路１０３Ｂに供給する。例えば、制御回路１０４Ｂは、半導体記憶装置１００Ｂの外部から入力された信号に基づき信号ＮＳＬＰＰＣを生成する。なお、制御回路１０４Ｂは、半導体記憶装置１００Ｂの外部から入力された信号ＮＳＬＰＰＣをそのままＩ／Ｏ回路１０３Ｂに供給してもよいし、半導体記憶装置１００Ｂの外部から入力された信号ＮＳＬＰＰＣが制御回路１０４Ｂを介さずに、そのままＩ／Ｏ回路１０３Ｂに供給されてもよい。

[0107] 図１２は、メモリセルアレイ１０１及びＩ／Ｏ回路１０３Ｂの構成を示す図である。なお、同図では、メモリセルアレイ１０１の一列に対応する回路構成を示しており、列毎に図１２に示す構成が設けられる。なお、図１２に示す構成のうち、プリチャージ制御回路１５１は、複数列に共通の回路として設けられてもよい。

[0108] 複数のメモリセル１１２は、列毎に設けられた一対のビット線ＢＬ及びＮＢＬに接続される。

[0109] Ｉ／Ｏ回路１０３Ｂは、プリチャージ制御回路１５１と、第１プリチャージ回路１５２と、第２プリチャージ回路１５３と、ライトドライバ１５４と、センスアンプ１５５と、トランジスタＴ４６及びＴ４７とを備える。

[0110] プリチャージ制御回路１５１は、信号ＮＳＬＰＰＣ及び信号ＮＰＣに基づき、第１プリチャージ回路１５２のオン／オフを制御する信号Ｙと、第２プリチャージ回路１５３のオン／オフを制御する信号Ｚとを生成する。プリチャージ制御回路１５１は、遅延回路１５６と、論理回路１５７及び１５８を

含む。

[0111] 信号ＮＳＬＰＰＣは、通常モード時にはハイレベルであり、パワーダウンモード時にはローレベルである。信号ＮＰＣは、プリチャージを行うか否かを示す信号であり、プリチャージを行う場合（スタンバイ時）はハイレベルであり、プリチャージを行わない場合（読み出し時及び書き込み時）はローレベルである。信号ＮＲＣＡは、アドレス選択信号であり、読み出し時にローレベルであり、それ以外はハイレベルの信号である。

[0112] 遅延回路１５６は、信号ＮＳＬＰＰＣを遅延させることで信号Ｘを生成する。論理回路１５７は、ＮＡＮＤ回路であり、信号ＮＳＬＰＰＣ及び信号ＮＰＣの少なくとも一方がローレベルの場合、ハイレベルの信号Ｙを出力し、それ以外はローレベルの信号Ｙを出力する。論理回路１５８は、ＮＡＮＤ回路であり、信号Ｘ及び信号ＮＰＣの少なくとも一方がローレベルの場合、ハイレベルの信号Ｚを出力し、それ以外はローレベルの信号Ｚを出力する。

[0113] 第１プリチャージ回路１５２は、ビット線ＢＬ及びＮＢＬをプリチャージする回路であり、信号Ｙがローレベルの場合にビット線ＢＬ及びＮＢＬをプリチャージし、信号Ｙがハイレベルの場合にはビット線ＢＬ及びＮＢＬをプリチャージしない。この第１プリチャージ回路１５２は、トランジスタＴ４１及びＴ４２を含む。

[0114] トランジスタＴ４１は、電源電圧が供給される電源線ＶＤＤと、ビット線ＢＬとの間に接続される。具体的にはトランジスタＴ４１のソースは電源線ＶＤＤに接続され、ドレインはビット線ＢＬに接続される。トランジスタＴ４１のゲート（制御端子）には信号Ｙが供給される。なお、電源線ＶＤＤは、半導体記憶装置１００Ｂの電源線であり、例えば、半導体記憶装置１００Ｂの外部より供給される電源電圧が印加される。

[0115] トランジスタＴ４２は、電源線ＶＤＤとビット線ＮＢＬとの間に接続される。具体的にはトランジスタＴ４２のソースは電源線ＶＤＤに接続され、ドレインはビット線ＮＢＬに接続される。トランジスタＴ４２のゲート（制御端子）には信号Ｙが供給される。

[0116] 第２プリチャージ回路１５３は、ビット線ＢＬ及びＮＢＬをプリチャージする回路であり、信号Ｚがローレベルの場合にビット線ＢＬ及びＮＢＬをプリチャージし、信号Ｚがハイレベルの場合にはビット線ＢＬ及びＮＢＬをプリチャージしない。この第２プリチャージ回路１５３は、トランジスタＴ４３、Ｔ４４及びＴ４５を含む。

[0117] トランジスタＴ４３は、電源線ＶＤＤとビット線ＢＬとの間に接続される。具体的にはトランジスタＴ４３のソースは電源線ＶＤＤに接続され、ドレインはビット線ＢＬに接続される。トランジスタＴ４３のゲート（制御端子）には信号Ｚが供給される。つまり、トランジスタＴ４１とトランジスタＴ４３とは、電源線ＶＤＤとビット線ＢＬとの間に並列に接続される。

[0118] トランジスタＴ４４は、電源線ＶＤＤとビット線ＮＢＬとの間に接続される。具体的にはトランジスタＴ４４のソースは電源線ＶＤＤに接続され、ドレインはビット線ＮＢＬに接続される。トランジスタＴ４４のゲート（制御端子）には信号Ｚが供給される。つまり、トランジスタＴ４２とトランジスタＴ４４とは、電源線ＶＤＤとビット線ＮＢＬとの間に並列に接続される。

[0119] トランジスタＴ４５はビット線ＢＬとビット線ＮＢＬとの間に接続される。トランジスタＴ４５のゲート（制御端子）には信号Ｚが供給される。

[0120] また、トランジスタＴ４３及びＴ４４は、トランジスタＴ４１及びＴ４２より駆動能力が高い。ここで、駆動能力の高低は、例えば、トランジスタのＷ／Ｌ（ゲート幅／ゲート長）、トランジスタの閾値電圧、又はトランジスタのゲート或いはソースに印加される電圧のレベルによって調整される。なお、トランジスタＴ４３及びＴ４４の駆動能力は、トランジスタＴ４１及びＴ４２の駆動能力と同じであってもよいし、トランジスタＴ４１及びＴ４２の駆動能力より低くてもよい。

[0121] ライトドライバ１５４は、書き込み時にビット線ＢＬ及びＮＢＬを、書き込みデータに応じて駆動する。センスアンプ１５５は、読み出し時にビット線ＢＬ及びＮＢＬの電圧を検知し、当該電圧に応じた読み出しデータを生成する。トランジスタＴ４６及びＴ４７は、ビット線ＢＬ及びＮＢＬとセンス

アンプ１５５との間に接続される。

[0122] 次に、上記のように構成された半導体記憶装置１００Ｂにおける動作モードの切り替え時の動作を説明する。図１３は、半導体記憶装置１００Ｂにおける動作モードの切り替え時の動作を示すタイミングチャートである。

[0123] 図１３に示す時刻ｔ３１より前の期間では、信号ＮＳＬＰＰＣはハイレベルであり、半導体記憶装置１００Ｂは通常モードで動作している。時刻ｔ３１において、信号ＮＳＬＰＰＣがハイレベルからローレベルになり動作モードがパワーダウンモードに移行する。信号ＮＳＬＰＰＣがローレベルになることで信号Ｙがハイレベルになる。これにより、第１プリチャージ回路１５２はオフする。つまり、トランジスタＴ４１及びＴ４２はオフする。

[0124] また、信号Ｙより遅れて信号Ｚが時刻ｔ３２においてハイレベルになる。信号Ｚがハイレベルになることで第２プリチャージ回路１５３はオフする。つまり、トランジスタＴ４３、Ｔ４４及びＴ４５がオフする。

[0125] 第１プリチャージ回路１５２及び第２プリチャージ回路１５３が共にオフすることで、ビット線ＢＬ及びＮＢＬへのプリチャージは行われず、ビット線ＢＬ及びＮＢＬはＨｉ－Ｚ状態となる。

[0126] 時刻ｔ３３において、信号ＮＳＬＰＰＣがローレベルからハイレベルになり動作モードがパワーダウンモードから通常モードに移行する。信号ＮＳＬＰＰＣがハイレベルになることで信号Ｙがローレベルになる。これにより、第１プリチャージ回路１５２はオンする。つまり、トランジスタＴ４１及びＴ４２はオンする。これにより、ビット線ＢＬ及びＮＢＬへの電圧供給（プリチャージ）が開始され、ビット線ＢＬ及びＮＢＬの電圧が上昇し始める。

[0127] また、信号Ｙより遅れて信号Ｚが時刻ｔ３４においてローレベルになる。信号Ｚがローレベルになることで第２プリチャージ回路１５３はオンする。つまり、トランジスタＴ４３、Ｔ４４及びＴ４５がオンする。

[0128] このように、パワーダウンモードから通常モードへの切り替え時の期間ｔ３３～ｔ３４において、第１プリチャージ回路１５２はオンし、第２プリチャージ回路１５３はオンしない。これにより、切り替え時のピーク電流を抑

制できる。また、時刻ｔ３４以降の期間においては、第１プリチャージ回路１５２及び第２プリチャージ回路１５３の両方がオンすることで十分な能力の電圧供給を実現できる。

[0129] 以下、Ｉ／Ｏ回路１０３Ｂの変形例１を説明する。上記の構成では、プリチャージ回路に含まれるトランジスタのゲートを制御することでプリチャージ回路のオン／オフを切り替えていたが、本変形例１では、プリチャージ回路に電源電圧を供給するか否かを切り替えることでプリチャージ回路のオン／オフを切り替える。

[0130] 図１４は、Ｉ／Ｏ回路１０３Ｂの変形例であるＩ／Ｏ回路１０３Ｃの構成を示す図である。このＩ／Ｏ回路１０３Ｃは、Ｉ／Ｏ回路１０３Ｂに対して、プリチャージ制御回路１５１Ａ、第１プリチャージ回路１５２Ａ、及び第２プリチャージ回路１５３Ａの構成が、プリチャージ制御回路１５１、第１プリチャージ回路１５２、及び第２プリチャージ回路１５３の構成と異なる。

[0131] なお、図１４に示す構成のうち、プリチャージ制御回路１５１Ａは、複数列に共通の回路として設けられてもよい。

[0132] プリチャージ制御回路１５１Ａは、信号ＮＳＬＰＰＣに基づき、第１プリチャージ回路１５２Ａのオン／オフを制御する信号ＮＹと、第２プリチャージ回路１５３Ａのオン／オフを制御する信号ＮＺとを生成する。プリチャージ制御回路１５１Ａは、インバータ１６１及び１６３と、遅延回路１６２と、トランジスタＴ６１及びＴ６２とを備える。

[0133] インバータ１６１は、信号ＮＳＬＰＰＣを反転させることで信号Ａを生成する。遅延回路１６２は、信号Ａを遅延させることで信号Ｘを生成する。インバータ１６３は、信号ＮＰＣを反転させることで信号Ｂを生成する。

[0134] トランジスタＴ６１は、電源線ＶＤＤとビット線ＢＬ及びビット線ＮＢＬとの間に接続される。具体的には、トランジスタＴ６１は、トランジスタＴ５１を介してビット線ＢＬに接続され、トランジスタＴ５２を介してビット線ＮＢＬに接続される。言い換えると、トランジスタＴ６１は、信号Ａ（信

号ＮＳＬＰＰＣ）に基づき、第１プリチャージ回路１５２Ａに電源電圧を供給するか否かを切り替える。具体的にはトランジスタＴ６１のソースは電源線ＶＤＤに接続され、ドレインは電源線ＮＹに接続される。トランジスタＴ６１のゲート（制御端子）には信号Ａが供給される。

[0135] トランジスタＴ６２は、電源線ＶＤＤとビット線ＢＬ及びビット線ＮＢＬとの間に接続される。具体的には、トランジスタＴ６２は、トランジスタＴ５３を介してビット線ＢＬに接続され、トランジスタＴ５４を介してビット線ＮＢＬに接続される。言い換えると、トランジスタＴ６２は、信号Ｘに基づき第２プリチャージ回路１５３Ａに電源電圧を供給するか否かを切り替える。具体的にはトランジスタＴ６２のソースは電源線ＶＤＤに接続され、ドレインは電源線ＮＺに接続される。トランジスタＴ６２のゲート（制御端子）には信号Ｘが供給される。つまり、トランジスタＴ６１とトランジスタＴ６２とは、電源線ＶＤＤとビット線ＢＬ及びＮＢＬとの間に並列に接続される。

[0136] また、トランジスタＴ６２は、トランジスタＴ６１より駆動能力が高い。ここで、駆動能力の高低は、例えば、トランジスタのＷ／Ｌ（ゲート幅／ゲート長）、閾値電圧、又はゲート或いはソースに印加される電圧のレベルによって調整される。なお、トランジスタＴ６２の駆動能力は、トランジスタＴ６１の駆動能力と同じであってもよいし、トランジスタＴ５１及びＴ５２の駆動能力より低くてもよい。

[0137] 第１プリチャージ回路１５２Ａは、ビット線ＢＬ及びＮＢＬをプリチャージする回路である。この第１プリチャージ回路１５２Ａは、トランジスタＴ５１及びＴ５２を含む。

[0138] トランジスタＴ５１は、電源線ＮＹと、ビット線ＢＬとの間に接続される。具体的にはトランジスタＴ５１のソースは電源線ＮＹに接続され、ドレインはビット線ＢＬに接続される。トランジスタＴ５１のゲート（制御端子）には信号Ｂが供給される。

[0139] トランジスタＴ５２は、電源線ＮＹとビット線ＮＢＬとの間に接続される

。具体的にはトランジスタＴ５２のソースは電源線ＮＹに接続され、ドレインはビット線ＮＢＬに接続される。トランジスタＴ５２のゲート（制御端子）には信号Ｂが供給される。

[0140] 第２プリチャージ回路１５３Ａは、ビット線ＢＬ及びＮＢＬをプリチャージする回路である。この第２プリチャージ回路１５３Ａは、トランジスタＴ５３及びＴ５４と、トランジスタＴ５５とを含む。

[0141] トランジスタＴ５３は、電源線ＮＺとビット線ＢＬとの間に接続される。具体的にはトランジスタＴ５３のソースは電源線ＮＺに接続され、ドレインはビット線ＢＬに接続される。トランジスタＴ５３のゲート（制御端子）には信号Ｂが供給される。

[0142] トランジスタＴ５４は、電源線ＮＺとビット線ＮＢＬとの間に接続される。具体的にはトランジスタＴ５４のソースは電源線ＮＺに接続され、ドレインはビット線ＮＢＬに接続される。トランジスタＴ５４のゲート（制御端子）には信号Ｂが供給される。

[0143] トランジスタＴ５５はビット線ＢＬとビット線ＮＢＬとの間に接続される。トランジスタＴ５５のゲート（制御端子）には信号Ｂが供給される。

[0144] また、トランジスタＴ５３及びＴ５４は、トランジスタＴ５１及びＴ５２より駆動能力が高い。なお、トランジスタＴ５３及びＴ５４の駆動能力は、トランジスタＴ５１及びＴ５２の駆動能力と同じであってもよいし、トランジスタＴ５１及びＴ５２の駆動能力より低くてもよい。

[0145] 次に、変形例１における動作モードの切り替え時の動作を説明する。図１５は、変形例１における動作モードの切り替え時の動作を示すタイミングチャートである。

[0146] 図１５に示す時刻ｔ４１より前の期間では、信号ＮＳＬＰＰＣはハイレベルであり、半導体記憶装置１００Ｂは通常モードで動作している。時刻ｔ４１において、信号ＮＳＬＰＰＣがハイレベルからローレベルになり動作モードがパワーダウンモードに移行する。信号ＮＳＬＰＰＣがローレベルになることで信号Ａがハイレベルになる。これにより、トランジスタＴ６１はオフ

する。

[0147] また、信号Ａより遅れて信号Ｘが時刻ｔ４２においてハイレベルになる。信号ＸがハイレベルになることでトランジスタＴ６２はオフする。

[0148] トランジスタＴ６１及びトランジスタＴ６２がオフすることで、第１プリチャージ回路１５２Ａ及び第２プリチャージ回路１５３Ａへの電源供給が遮断され、第１プリチャージ回路１５２Ａ及び第２プリチャージ回路１５３Ａはオフする。よって、ビット線ＢＬ及びＮＢＬへのプリチャージは行われず、ビット線ＢＬ及びＮＢＬはＨｉ－Ｚ状態となる。

[0149] 時刻ｔ４３において、信号ＮＳＬＰＰＣがローレベルからハイレベルになり動作モードがパワーダウンモードから通常モードに移行する。信号ＮＳＬＰＰＣがハイレベルになることで信号Ａがローレベルになる。これにより、トランジスタＴ６１がオンし、電源線ＮＹの電圧が上昇し始める。これにより、第１プリチャージ回路１５２Ａがオンし、第１プリチャージ回路１５２Ａによるビット線ＢＬ及びＮＢＬへのプリチャージが開始されことで、ビット線ＢＬ及びＮＢＬの電圧が上昇し始める。また、ビット線ＢＬ及びＮＢＬから第２プリチャージ回路１５３Ａを介して電源線ＮＺに電圧供給が行われ電源線ＮＺの電圧が上昇する。

[0150] また、信号Ａより遅れて信号Ｘが時刻ｔ４４においてローレベルになる。信号ＸがローレベルになることでトランジスタＴ６２がオンし、電源線ＶＤＤから第２プリチャージ回路１５３Ａへの電源供給が行われる。これにより、第２プリチャージ回路１５３Ａがオンし、第１プリチャージ回路１５２Ａ及び第２プリチャージ回路１５３Ａによるビット線ＢＬ及びＮＢＬへのプリチャージが行われる。

[0151] このように、パワーダウンモードから通常モードへの切り替え時の期間ｔ４３～ｔ４４において、トランジスタＴ６１はオンし、トランジスタＴ６２はオンしない。つまり、第１プリチャージ回路１５２Ａはオンし、第２プリチャージ回路１５３Ａはオンしない。これにより、切り替え時のピーク電流を抑制できる。また、時刻ｔ４４以降の期間においては、トランジスタＴ６

１及びトランジスタＴ６２の両方がオンすることで第１プリチャージ回路１５２Ａ及び第２プリチャージ回路１５３Ａの両方がオンする。これにより、十分な能力の電圧供給を実現できる。

[0152] 以上のように、本実施の形態に係る半導体記憶装置１００Ｂは、複数のメモリセル１１２と、第１ビット線ＢＬに接続された第１プリチャージ回路１５２及び第２プリチャージ回路１５３（又は第１プリチャージ回路１５２Ａ及び第２プリチャージ回路１５３Ａ）と、第１ビット線ＢＬをプリチャージする第１モード（通常モード）と、第１ビット線ＢＬをプリチャージしない第２モード（パワーダウンモード）とを切り替えるための第１信号ＮＳＬＰＰＣに基づき、（ｉ）第２モード時には、第１プリチャージ回路１５２及び第２プリチャージ回路１５３をオフし、（ｉｉ）第２モードから第１モードへの切り替え時に、第１プリチャージ回路１５２をオンし、第１プリチャージ回路１５２をオンした後に第２プリチャージ回路１５３をオンするプリチャージ制御回路１５１（又はプリチャージ制御回路１５１Ａ）とを備える。

[0153] これによれば、半導体記憶装置１００Ｂでは、第２モードから第１モードへの切り替え時に、第１プリチャージ回路１５２をオンし、その後、第２プリチャージ回路１５３をオンすることで電源復帰に伴うピーク電流を抑制できる。また、複数のブロックを時系列に制御する場合等に比べて、制御の複雑化を抑制できる。

[0154] 例えば、第２プリチャージ回路１５３は、第１プリチャージ回路１５２より駆動能力が高い。これによれば、効率的にピーク電流を抑制できる。

[0155] 例えば、プリチャージ制御回路１５１は、第１信号ＮＳＬＰＰＣを遅延させることで第２信号Ｘを生成する遅延回路１５６（又は遅延回路１６２）を含む。第１プリチャージ回路１５２は第１信号ＮＳＬＰＰＣ（例えば、第１信号ＮＳＬＰＰＣに基づく信号Ｙ）に基づき、オンとオフが切り替えられる。第２プリチャージ回路１５３は第２信号Ｘ（第２信号Ｘに基づく信号Ｚ）に基づき、オンとオフが切り替えられる。これによれば、簡易な構成で第１プリチャージ回路１５２及び第２プリチャージ回路１５３を制御できる。

[0156] 例えば、半導体記憶装置１００Ｂは、各々が複数のメモリセル１１２を含む複数のメモリブロック（例えば、列毎の複数のメモリセル１１２）を含む。第１プリチャージ回路１５２及び第２プリチャージ回路１５３は、複数のメモリブロック（例えば列）の各々に設けられる。遅延回路１５６で生成された第２信号Ｘ（例えば、第２信号Ｘに基づく信号Ｚ）は、複数のメモリブロックのうち２以上のメモリブロックに設けられた２以上の第２プリチャージ回路１５３の制御端子に供給される。つまり、遅延回路１５６は、例えば複数の列で共用される。これによれば、複数のメモリブロックで遅延回路１５６を共有できるので回路面積を削減できる。

[0157] なお、図１２及び図１４に示す回路は、図２に示す回路と同様に、遅延回路を用いて制御信号を生成する構成であるが、図５に示す回路と同様に、電圧検知を用いた回路を適用してもよい。例えば、図１２に示す例では、プリチャージ制御回路１５１は、遅延回路１５６の代わりに、ビット線ＢＬ又はビット線ＮＢＬの電圧が予め定められた電圧以上であるかを検知する電圧検知回路を有する。プリチャージ制御回路１５１は、信号ＮＳＬＰＰＣがハイレベルであり、かつ、ビット線ＢＬ又はビット線ＮＢＬの電圧が予め定められた電圧以上である場合に、第２プリチャージ回路１５３をオンする。なお、このような電圧検知回路としては、任意の構成を用いることができるが、例えば、基準電圧とビット線ＢＬの電圧とを比較するオペアンプ等の比較器を用いてもよい。

[0158] つまり、プリチャージ制御回路１５１は、第１ビット線ＢＬの電圧を検知し、第２モードから第１モードへの切り替え時に、第１プリチャージ回路１５２をオンした後、かつ、第１ビット線ＢＬの電圧が予め定められた電圧に達した場合に、第２プリチャージ回路１５３をオンする。これによれば、精度よく第１プリチャージ回路１５２及び第２プリチャージ回路１５３を制御できる。

[0159] また、半導体記憶装置１００Ｂの制御方法は、複数のメモリセル１１２と、複数のメモリセル１１２に接続されたビット線ＢＬと、第１プリチャージ

回路１５２と、第２プリチャージ回路１５３とを備える半導体記憶装置１００Ｂの制御方法であって、ビット線ＢＬをプリチャージする第１モード（通常モード）と、ビット線ＢＬをプリチャージしない第２モード（パワーダウンモード）とを有し、第２モードから第１モードへの切り替え時の第１期間（例えば図１３のｔ３３～ｔ３４）において、第１プリチャージ回路１５２によりビット線ＢＬをプリチャージし、第１期間の後の第２期間（例えばｔ３４以降）において第１プリチャージ回路１５２及び第２プリチャージ回路１５３によりビット線ＢＬをプリチャージする。

[0160] これによれば、半導体記憶装置１００Ｂでは、第２モードから第１モードへの切り替え時に、第１プリチャージ回路１５２によりビット線ＢＬのプリチャージを行い、その後、第１プリチャージ回路１５２及び第２プリチャージ回路１５３によりビット線ＢＬのプリチャージを行うことで電源復帰に伴うピーク電流を抑制できる。また、複数のブロックを時系列に制御する場合等に比べて、制御の複雑化を抑制できる。

[0161] 以下、Ｉ／Ｏ回路１０３Ｂの変形例２を説明する。図１６は、Ｉ／Ｏ回路１０３Ｃの変形例であるＩ／Ｏ回路１０３Ｄの構成を示す図である。このＩ／Ｏ回路１０３Ｄは、Ｉ／Ｏ回路１０３Ｃに対して、第１プリチャージ回路１５２Ｂの構成が、第１プリチャージ回路１５２Ａと異なる。

[0162] 第１プリチャージ回路１５２Ｂは、書き込み時においてビット線ＢＬ及びＮＢＬのうち高電圧側のビット線の電圧を保持するためのクロスラッチ回路と兼用される。第１プリチャージ回路１５２Ｂは、トランジスタＴ７１及びＴ７２を含む。トランジスタＴ７１のゲートはビット線ＮＢＬに接続され、ソースは電源線ＮＹに接続され、ドレインはビット線ＢＬに接続される。トランジスタＴ７２のゲートはビット線ＢＬに接続され、ソースは電源線ＮＹに接続され、ドレインはビット線ＮＢＬに接続される。

[0163] このように、半導体記憶装置１００Ｂは、さらに、複数のメモリセル１１２に接続された第２ビット線ＮＢＬを備える。第１プリチャージ回路１５２Ｂは、ソース及びドレインの一方が第１ビット線ＢＬに接続され、ゲートが

第２ビット線ＮＢＬに接続された第１トランジスタＴ７１と、ソース及びドレインの一方が第２ビット線ＮＢＬに接続され、ゲートが第１ビット線ＢＬに接続された第２トランジスタＴ７２とを備える。これによれば、第１プリチャージ回路１５２Ｂとして、第１ビット線ＢＬ及び第２ビット線ＮＢＬの電圧を保持するための回路を兼用できるので、回路面積の増加を抑制できる。

[0164] 以上、本開示の実施の形態に係る半導体記憶装置及びその制御方法について説明したが、本開示は、この実施の形態に限定されるものではない。

[0165] なお、上記では、メモリセルへの電源供給を切り替える例（実施の形態１及び２）と、ビット線のプリチャージを切り替える例（実施の形態３）とを個別に説明したが、半導体記憶装置はこれらの両方の機能を有してもよい。

[0166] また、上記実施の形態に係る半導体記憶装置は、典型的には集積回路であるＬＳＩとして実現される。これらは個別に１チップ化されてもよいし、一部又は全てを含むように１チップ化されてもよい。

[0167] また、集積回路化はＬＳＩに限るものではなく、専用回路又は汎用プロセッサで実現してもよい。ＬＳＩ製造後にプログラムすることが可能なＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）、又はＬＳＩ内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。

[0168] また、本開示は、半導体記憶装置を制御する制御方法として実現されてもよい。

[0169] また、ブロック図における機能ブロックの分割は一例であり、複数の機能ブロックを一つの機能ブロックとして実現したり、一つの機能ブロックを複数に分割したり、一部の機能を他の機能ブロックに移してもよい。また、類似する機能を有する複数の機能ブロックの機能を単一のハードウェア又はソフトウェアが並列又は時分割に処理してもよい。

[0170] また、上記回路図等に示す回路構成は、一例であり、本開示は上記回路構成に限定されない。つまり、上記回路構成と同様に、本開示の特徴的な機能

を実現できる回路も本開示に含まれる。例えば、上記回路構成と同様の機能を実現できる範囲で、ある素子に対して、直列又は並列に、スイッチング素子（トランジスタ）、抵抗素子、又は容量素子等の素子を接続したものも本開示に含まれる。言い換えると、上記実施の形態における「接続される」とは、２つの端子（ノード）が直接接続される場合に限定されるものではなく、同様の機能が実現できる範囲において、当該２つの端子（ノード）が、素子を介して接続される場合も含む。

[0171] また、上記で用いた数字は、全て開示を具体的に説明するために例示するものであり、本開示は例示された数字に制限されない。さらに、ハイ／ローにより表される論理レベル又はオン／オフにより表されるスイッチング状態は、本開示を具体的に説明するために例示するものであり、例示された論理レベル又はスイッチング状態の異なる組み合わせにより、同等な結果を得ることも可能である。さらに、上で示した論理回路の構成は本開示を具体的に説明するために例示するものであり、異なる構成の論理回路により同等の入出力関係を実現することも可能である。また、トランジスタ等のｎ型及びｐ型等は、本開示を具体的に説明するために例示するものであり、これらを反転させることで、同等の結果を得ることも可能である。

[0172] 以上、一つまたは複数の態様に係る半導体記憶装置及びその制御方法について、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、一つまたは複数の態様の範囲内に含まれてもよい。

産業上の利用可能性

[0173] 本開示は、半導体記憶装置に適用できる。

符号の説明

[0174] １００、１００Ａ、１００Ｂ　半導体記憶装置

１０１　メモリセルアレイ

１０２　行デコーダ

１０３、１０３Ｂ、１０３Ｃ、１０３Ｄ　Ｉ／Ｏ回路

１０４、１０４Ｂ　制御回路

１０５、１０５Ａ　電源制御回路

１０６　書き込み補助回路

１１１　メモリブロック

１１２　メモリセル

１２１、１３１、１５６、１６２　遅延回路

１２２　電源切替回路

１２３　電圧検知回路

１３２　列回路

１４１、１５７、１５８　論理回路

１５１、１５１Ａ　プリチャージ制御回路

１５２、１５２Ａ、１５２Ｂ　第１プリチャージ回路

１５３、１５３Ａ　第２プリチャージ回路

１５４　ライトドライバ

１５５　センスアンプ

１６１、１６３　インバータ

Ｔ０１、Ｔ３１　第１トランジスタ

Ｔ０２、Ｔ３２　第２トランジスタ

Ｔ１１、Ｔ１２、Ｔ１３、Ｔ１４、Ｔ１５、Ｔ１６、Ｔ３３、Ｔ３４、Ｔ４１、Ｔ４２、Ｔ４３、Ｔ４４、Ｔ４５、Ｔ４６、Ｔ５１、Ｔ５２、Ｔ５３、Ｔ５４、Ｔ５５、Ｔ６１、Ｔ６２、Ｔ７１、Ｔ７２　トランジスタ

請求の範囲

[請求項1] 複数のメモリセルと、

電源電圧が供給される第１電源線と、

前記複数のメモリセルの電源電圧線である第２電源線と、

前記第１電源線と前記第２電源線との間に並列に接続された第１トランジスタ及び第２トランジスタと、

前記複数のメモリセルに前記電源電圧を供給する第１モードと、前記複数のメモリセルに前記電源電圧を供給しない第２モードとを切り替えるための第１信号に基づき、（ｉ）前記第２モード時には、前記第１トランジスタ及び第２トランジスタをオフし、（ｉｉ）前記第２モードから前記第１モードへの切り替え時に、前記第１トランジスタをオンし、前記第１トランジスタをオンした後に前記第２トランジスタをオンする制御回路とを備える

半導体記憶装置。

[請求項2] 前記第２トランジスタは、前記第１トランジスタより駆動能力が高い

請求項１記載の半導体記憶装置。

[請求項3] 前記制御回路は、前記第１信号を遅延させることで第２信号を生成する遅延回路を含み、

前記第１トランジスタの制御端子には前記第１信号が供給され、

前記第２トランジスタの制御端子には前記第２信号が供給される

請求項１又は２記載の半導体記憶装置。

[請求項4] 前記半導体記憶装置は、各々が前記複数のメモリセルを含む複数のメモリブロックを含み、

前記第１トランジスタ及び前記第２トランジスタは、前記複数のメモリブロックの各々に設けられ、

前記遅延回路で生成された前記第２信号は、前記複数のメモリブロックのうち２以上のメモリブロックに設けられた２以上の前記第２ト

ランジスタの制御端子に供給される

請求項３記載の半導体記憶装置。

[請求項5] 前記制御回路は、

前記第２電源線の電圧を検知し、

前記第２モードから前記第１モードへの切り替え時に、前記第１トランジスタをオンした後、かつ、前記第２電源線の電圧が予め定められた電圧に達した場合に、前記第２トランジスタをオンする

請求項１又は２記載の半導体記憶装置。

[請求項6] 前記半導体記憶装置は、

前記複数のメモリセルへのデータ書き込み時に前記第２電源線の電圧を、前記データ書き込み時以外の期間における前記第２電源線の電圧よりも低下させる書き込み補助回路を備え、

前記第１トランジスタ及び前記第２トランジスタは、前記書き込み補助回路に含まれ、

前記第１トランジスタ及び前記第２トランジスタの一方は、前記データ書き込み時にオフされる

請求項１又は２記載の半導体記憶装置。

[請求項7] 複数のメモリセルと、

前記複数のメモリセルに接続された第１ビット線と、

前記第１ビット線に接続された第１プリチャージ回路及び第２プリチャージ回路と、

前記第１ビット線をプリチャージする第１モードと、前記第１ビット線をプリチャージしない第２モードとを切り替えるための第１信号に基づき、（ｉ）前記第２モード時には、前記第１プリチャージ回路及び第２プリチャージ回路をオフし、（ｉｉ）前記第２モードから前記第１モードへの切り替え時に、前記第１プリチャージ回路をオンし、前記第１プリチャージ回路をオンした後に前記第２プリチャージ回路をオンする制御回路とを備える

半導体記憶装置。

[請求項8] 前記第２プリチャージ回路は、前記第１プリチャージ回路より駆動能力が高い

請求項７記載の半導体記憶装置。

[請求項9] 前記制御回路は、前記第１信号を遅延させることで第２信号を生成する遅延回路を含み、

前記第１プリチャージ回路は前記第１信号に基づき、オンとオフとが切り替えられ、

前記第２プリチャージ回路は前記第２信号に基づき、オンとオフとが切り替えられる

請求項７又は８記載の半導体記憶装置。

[請求項10] 前記半導体記憶装置は、各々が前記複数のメモリセルを含む複数のメモリブロックを含み、

前記第１プリチャージ回路及び前記第２プリチャージ回路は、前記複数のメモリブロックの各々に設けられ、

前記遅延回路で生成された前記第２信号は、前記複数のメモリブロックのうち２以上のメモリブロックに設けられた２以上の前記第２プリチャージ回路に供給される

請求項９記載の半導体記憶装置。

[請求項11] 前記制御回路は、

前記第１ビット線の電圧を検知し、

前記第２モードから前記第１モードへの切り替え時に、前記第１プリチャージ回路をオンした後、かつ、前記第１ビット線の電圧が予め定められた電圧に達した場合に、前記第２プリチャージ回路をオンする

請求項７又は８記載の半導体記憶装置。

[請求項12] 前記半導体記憶装置は、さらに、

前記複数のメモリセルに接続された第２ビット線を備え、

前記第１プリチャージ回路は、

ソース及びドレインの一方が前記第１ビット線に接続され、ゲートが前記第２ビット線に接続された第１トランジスタと、

ソース及びドレインの一方が前記第２ビット線に接続され、ゲートが前記第１ビット線に接続された第２トランジスタとを備える

請求項７又は８記載の半導体記憶装置。

[請求項13] 複数のメモリセルと、第１トランジスタと、第２トランジスタとを備える半導体記憶装置の制御方法であって、

前記複数のメモリセルに電源電圧を供給する第１モードと、前記複数のメモリセルに前記電源電圧を供給しない第２モードとを有し、

前記第２モードから前記第１モードへの切り替え時の第１期間において、前記第１トランジスタを介して前記複数のメモリセルに前記電源電圧を供給し、前記第１期間の後の第２期間において前記第１トランジスタ及び前記第２トランジスタを介して前記複数のメモリセルに前記電源電圧を供給する

制御方法。

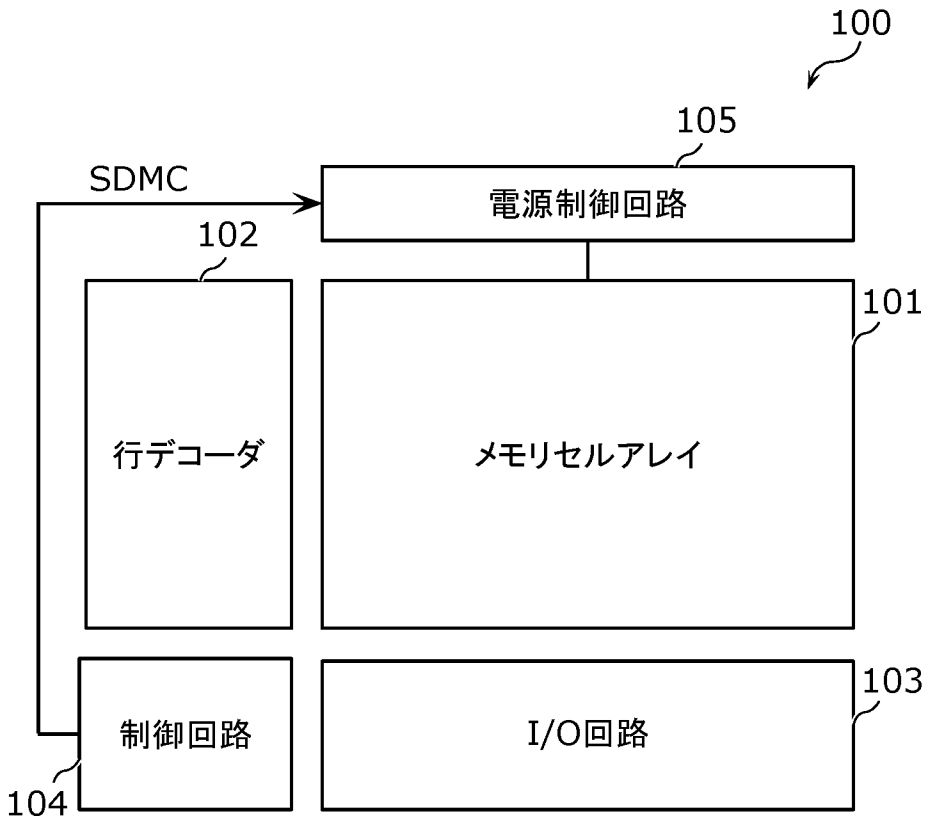
[請求項14] 複数のメモリセルと、前記複数のメモリセルに接続されたビット線と、第１プリチャージ回路と、第２プリチャージ回路とを備える半導体記憶装置の制御方法であって、

前記ビット線をプリチャージする第１モードと、前記ビット線をプリチャージしない第２モードとを有し、

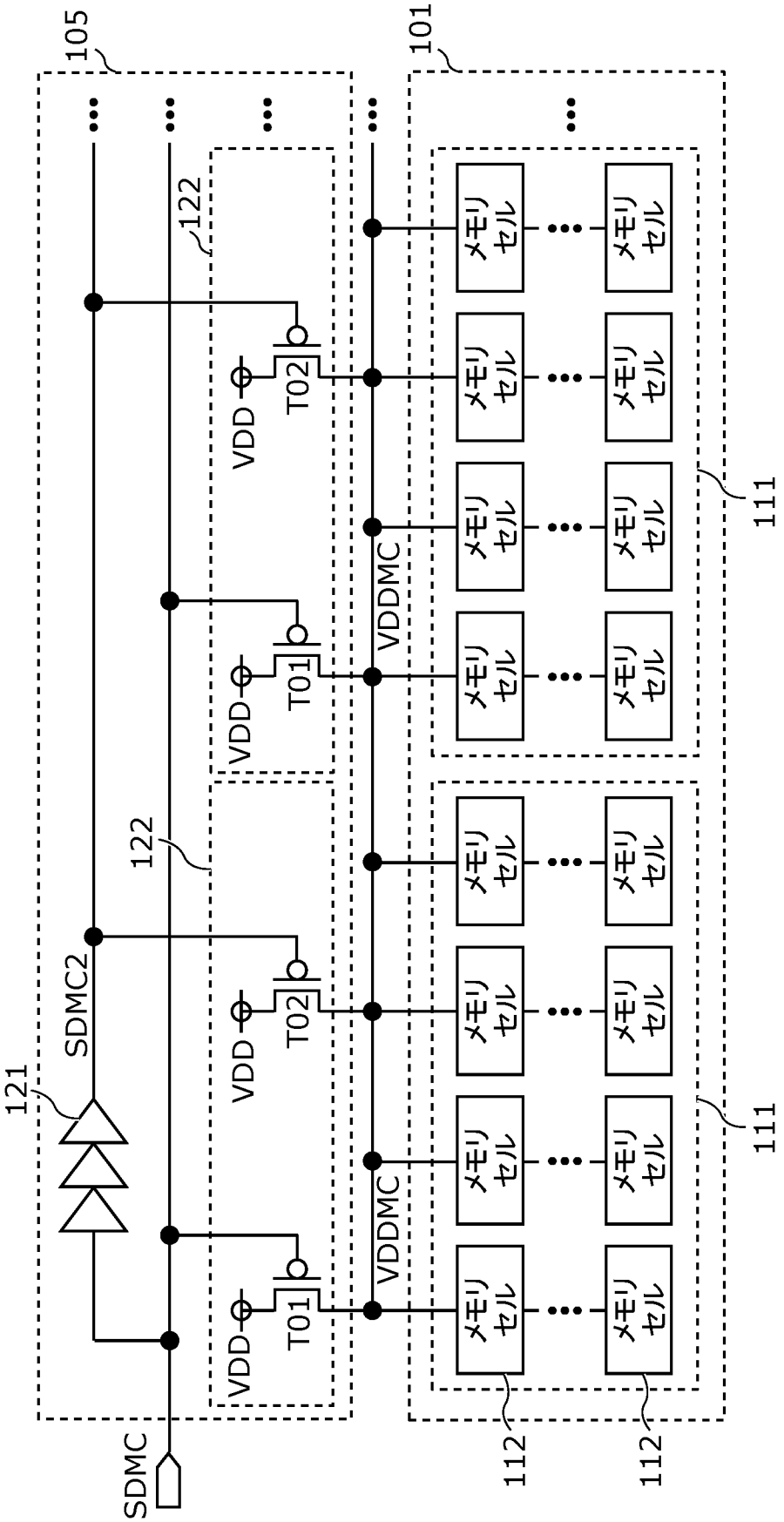
前記第２モードから前記第１モードへの切り替え時の第１期間において、前記第１プリチャージ回路により前記ビット線をプリチャージし、前記第１期間の後の第２期間において前記第１プリチャージ回路及び前記第２プリチャージ回路により前記ビット線をプリチャージする

制御方法。

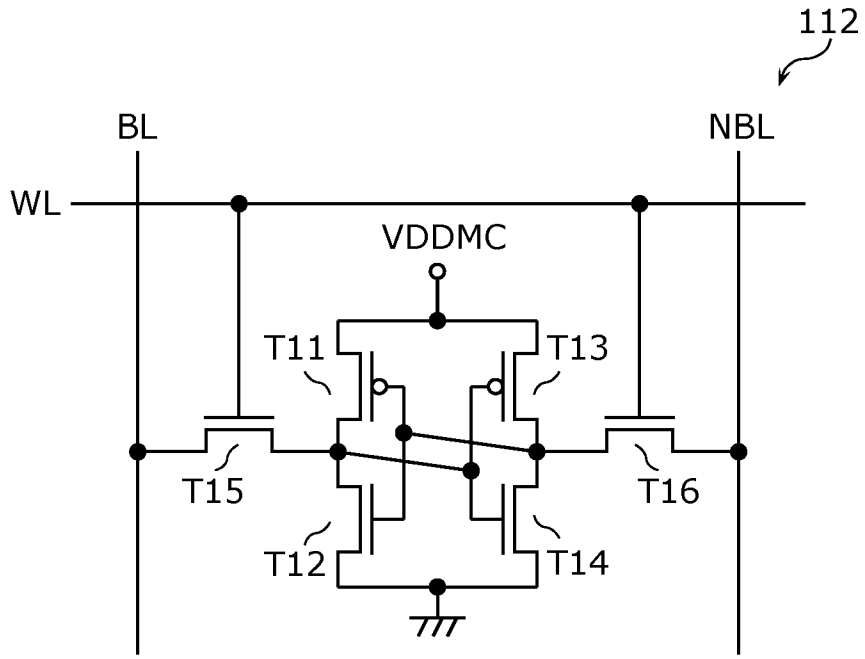
[図1]



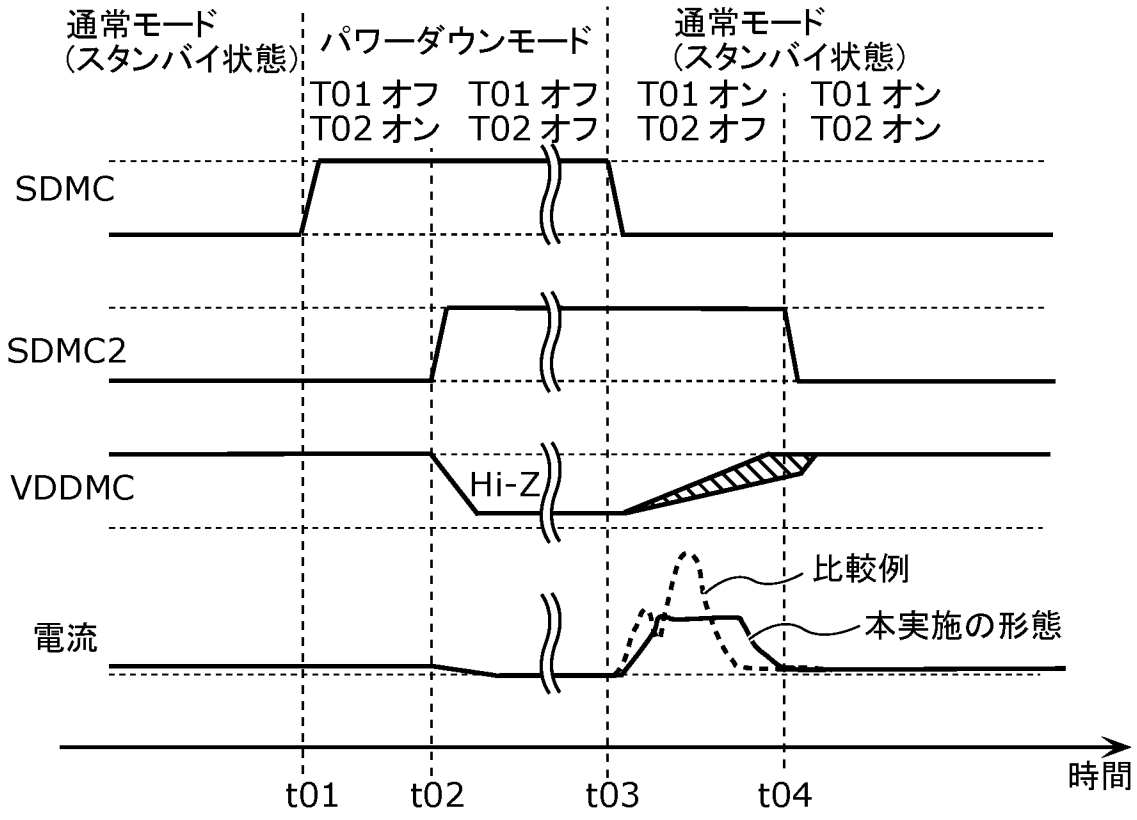
[図2]



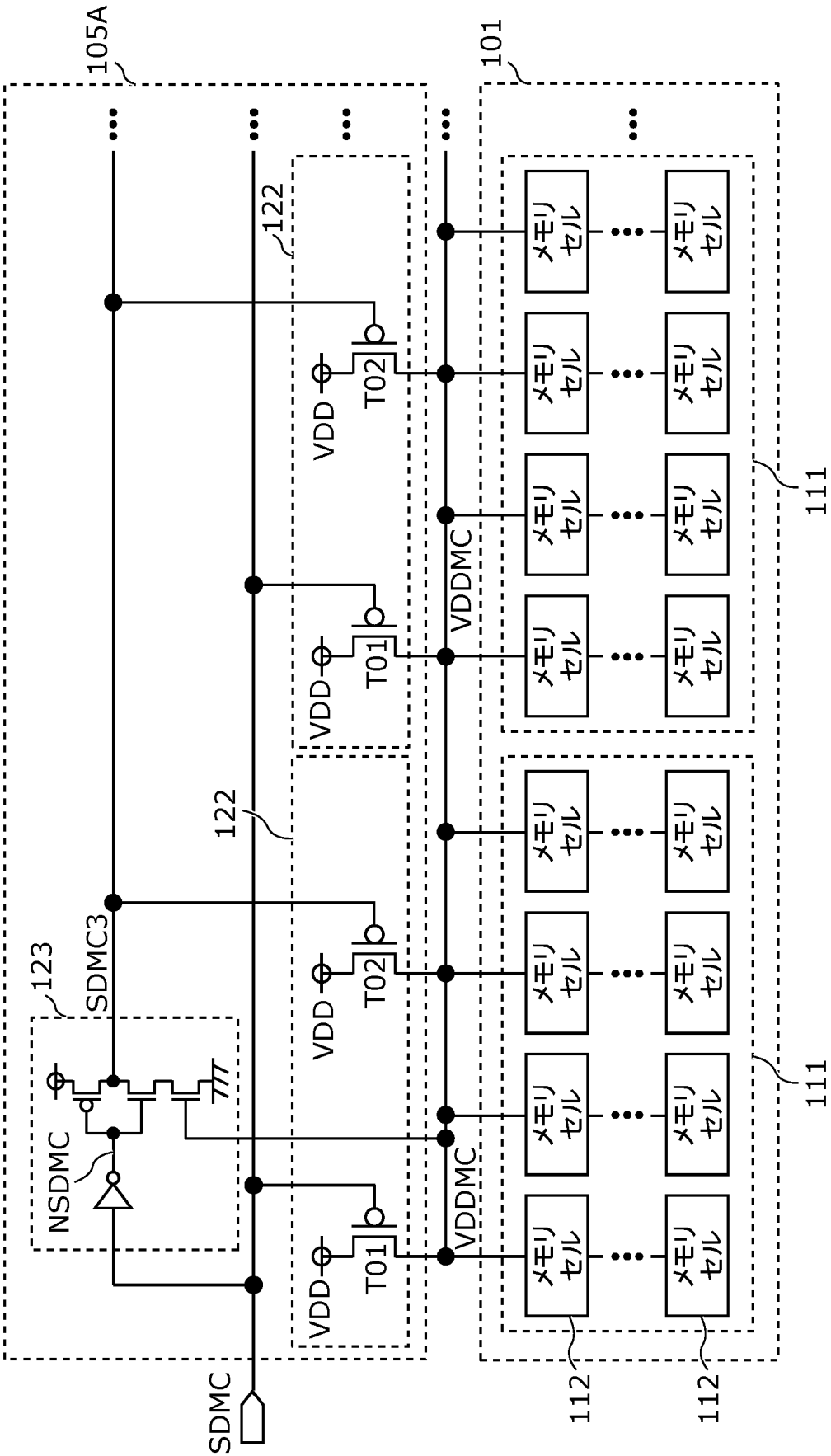
[図3]


112
BL
NBL
WL
VDDMC
T11
T13
T15
T16
T12
T14

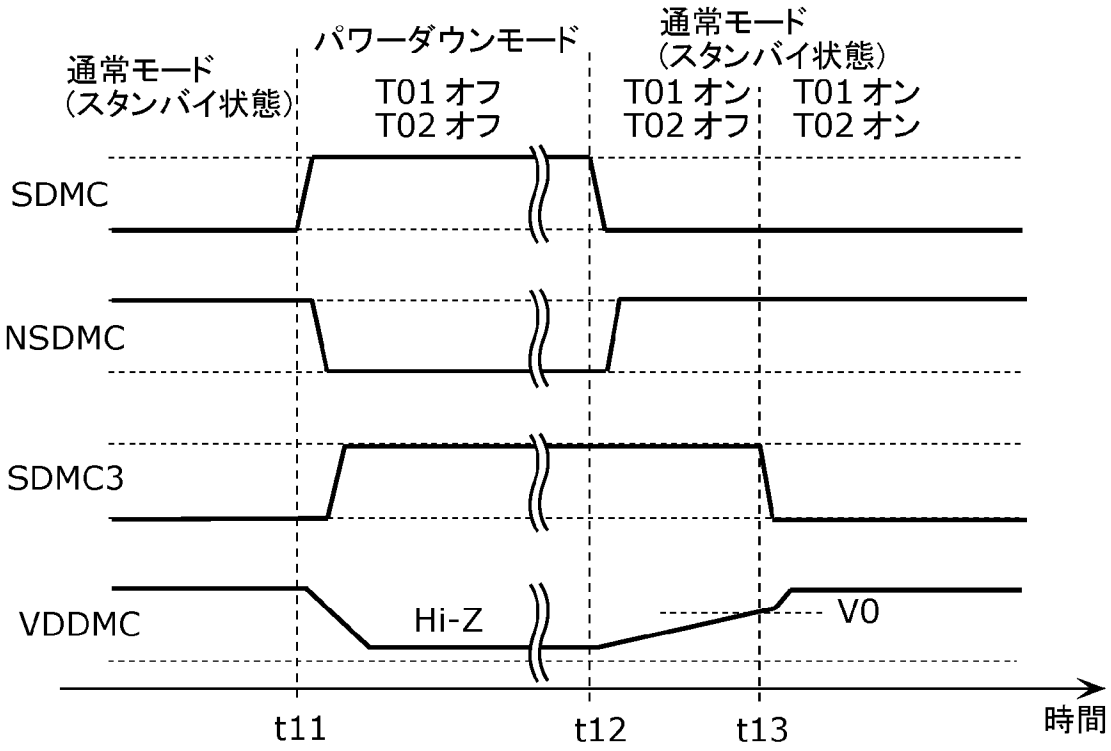
[図4]


通常モード
(スタンバイ状態)
パワーダウンモード
通常モード
(スタンバイ状態)
T01 オフ
T02 オン
T01 オフ
T02 オフ
T01 オン
T02 オフ
T01 オン
T02 オン
SDMC
SDMC2
VDDMC
Hi-Z
比較例
本実施の形態
電流
時間
t01
t02
t03
t04

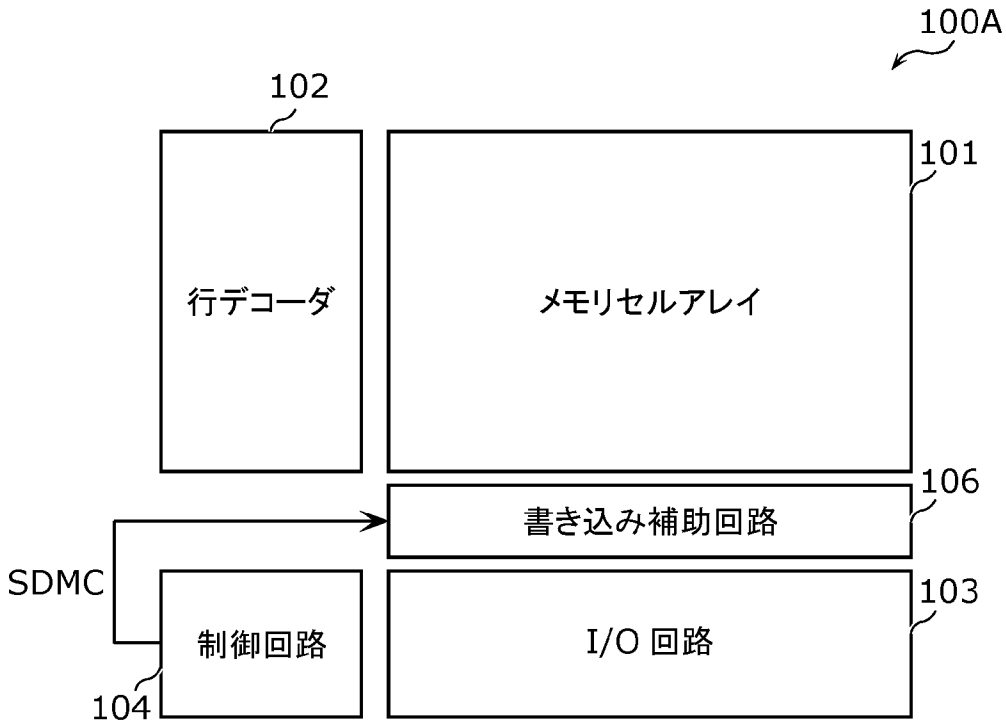
[図5]


105A
101
122
122
123
SDMC3
NSDMC
VDD
T02
T01
VDDMC
メモリセル
111
111
112
112
SDMC

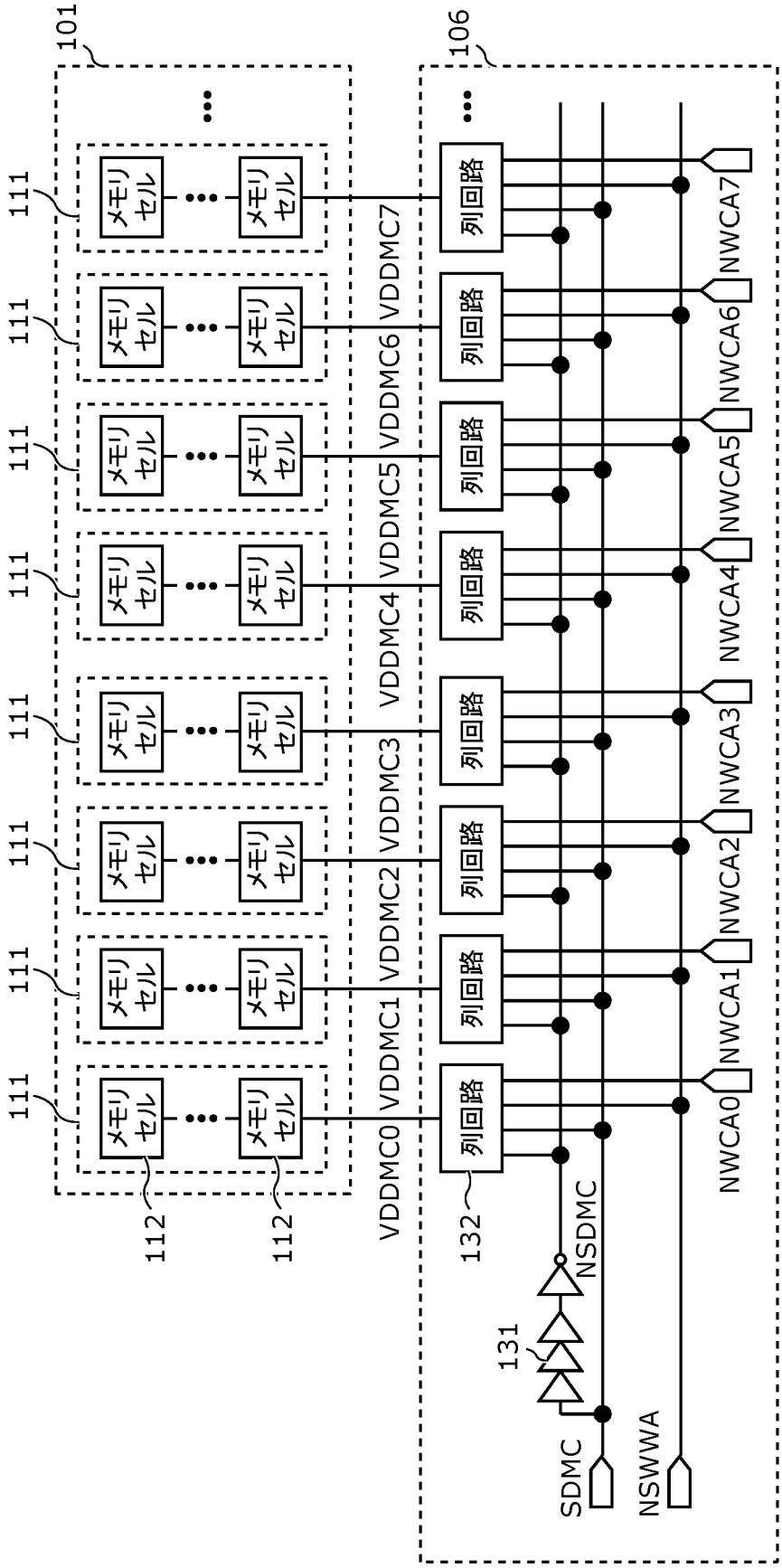
[図6]


通常モード
(スタンバイ状態)
パワーダウンモード
T01 オフ
T02 オフ
通常モード
(スタンバイ状態)
T01 オン
T02 オフ
T01 オン
T02 オン
SDMC
NSDMC
SDMC3
VDDMC
Hi-Z
V0
t11
t12
t13
時間

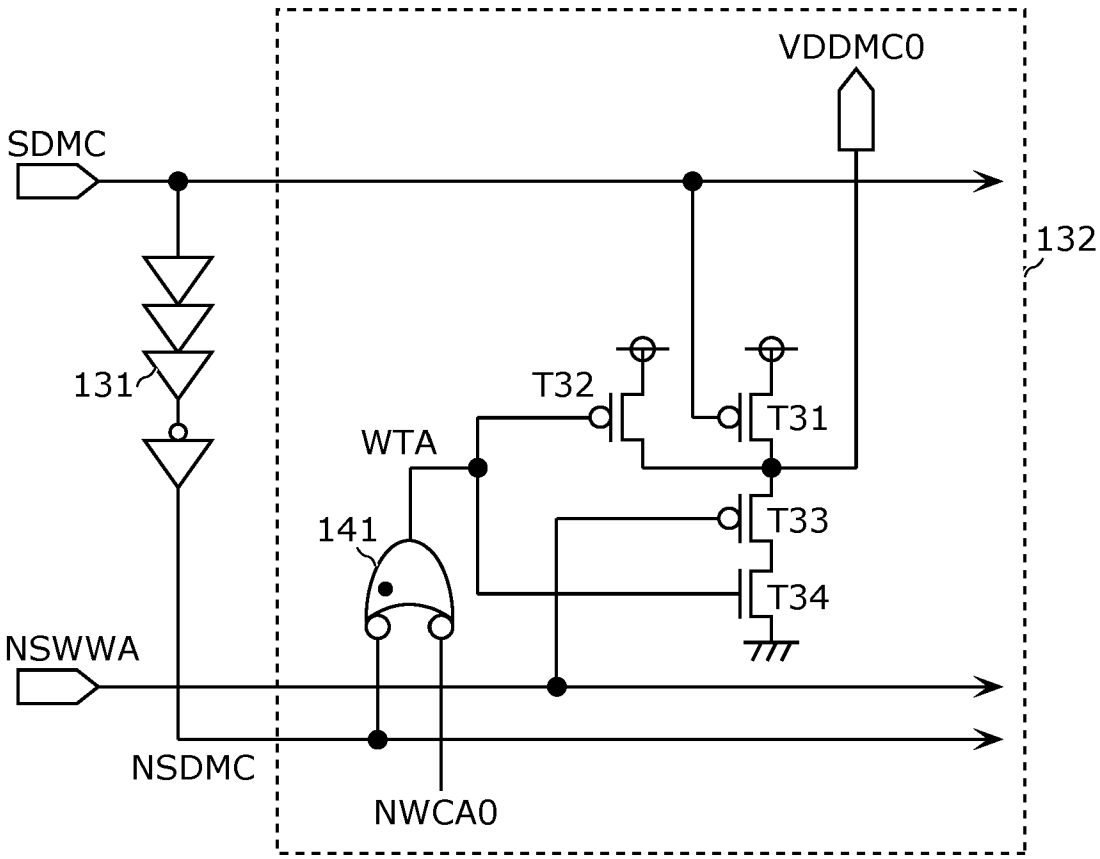
[図7]


100A
102
101
行デコーダ
メモリセルアレイ
106
書き込み補助回路
SDMC
103
制御回路
I/O 回路
104

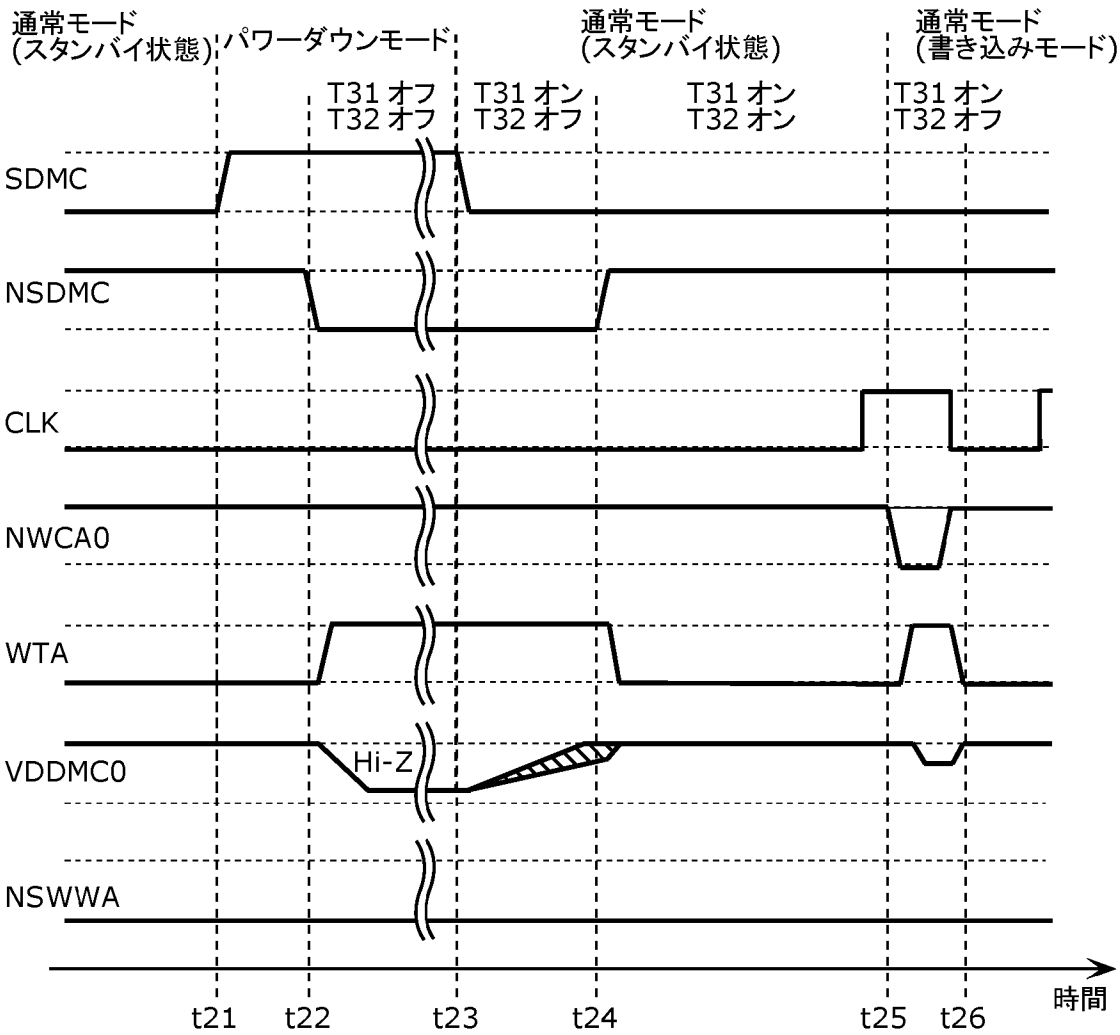
[図8]


101
106
111
メモリセル
112
VDDMC0
VDDMC1
VDDMC2
VDDMC3
VDDMC4
VDDMC5
VDDMC6
VDDMC7
列回路
132
NWCA0
NWCA1
NWCA2
NWCA3
NWCA4
NWCA5
NWCA6
NWCA7
131
NSDMC
SDMC
NSWWA

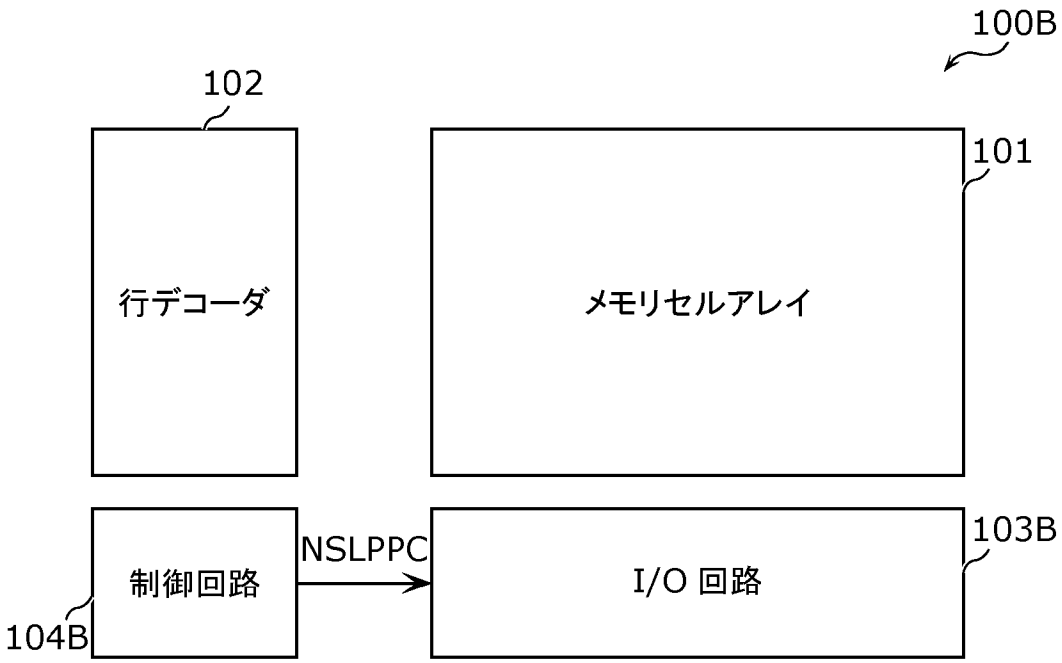
[図9]



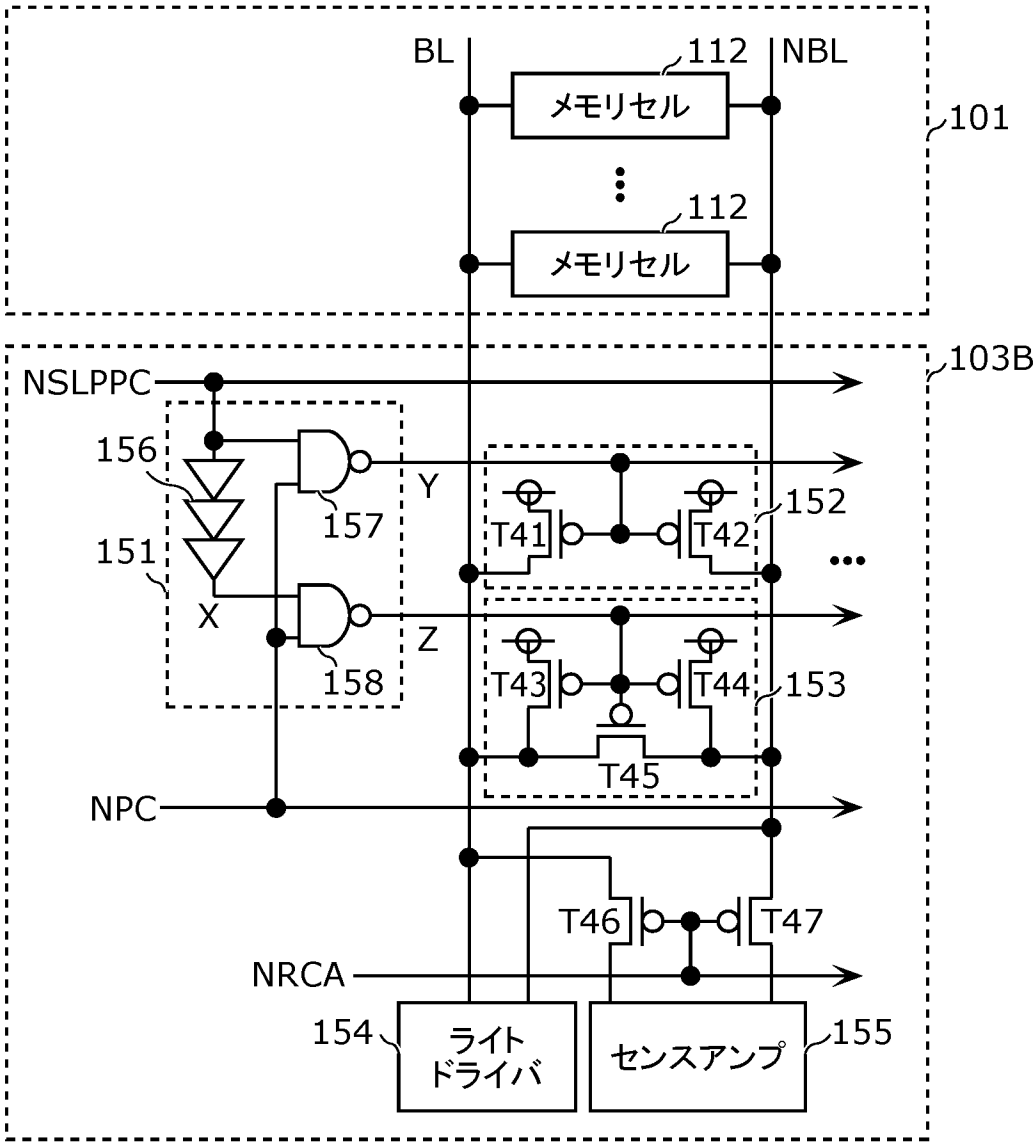
[図10]


通常モード
(スタンバイ状態)
パワーダウンモード
通常モード
(スタンバイ状態)
通常モード
(書き込みモード)
T31 オフ
T32 オフ
T31 オン
T32 オフ
T31 オン
T32 オン
T31 オン
T32 オフ
SDMC
NSDMC
CLK
NWCA0
WTA
VDDMC0
Hi-Z
NSWWA
時間
t21
t22
t23
t24
t25
t26

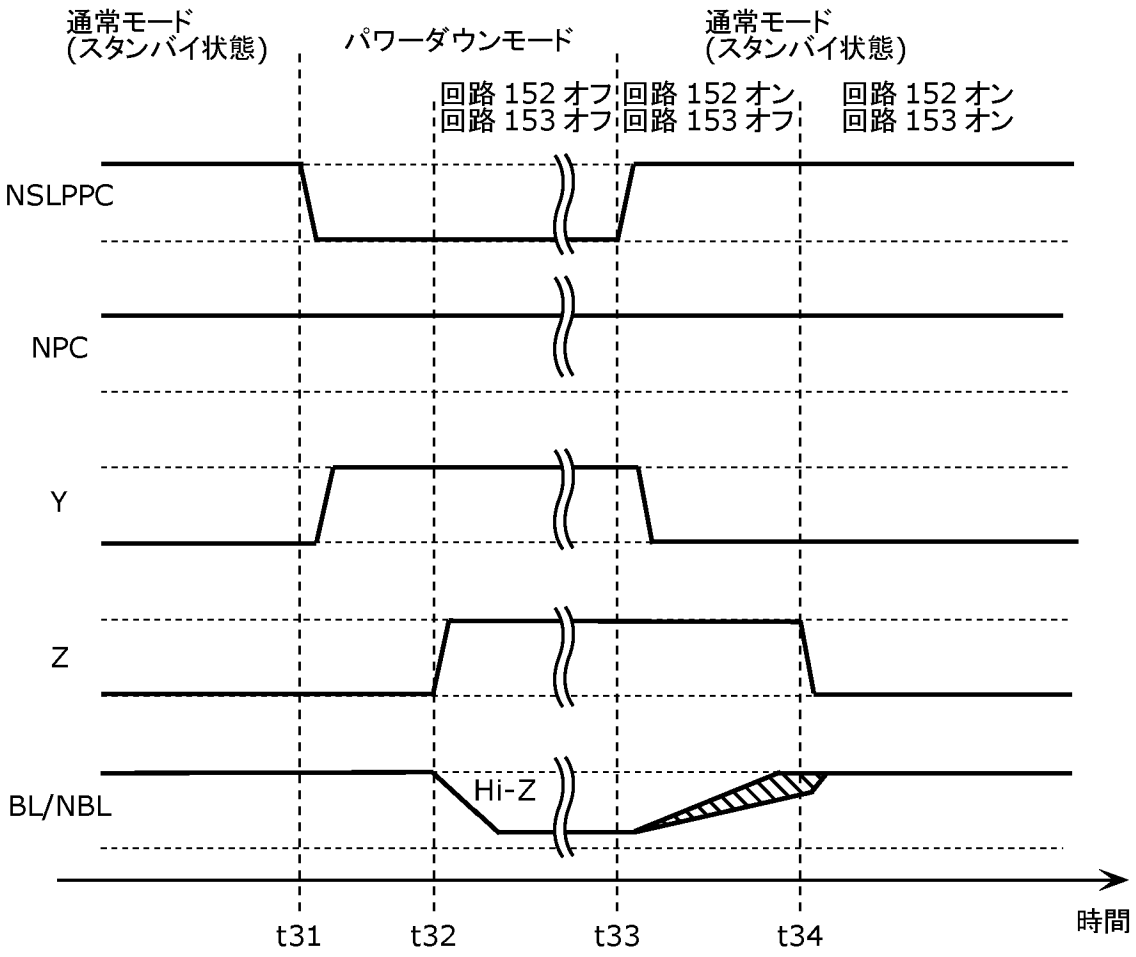
[図11]


100B
102
行デコーダ
101
メモリセルアレイ
制御回路
NSLPPC
I/O 回路
103B
104B

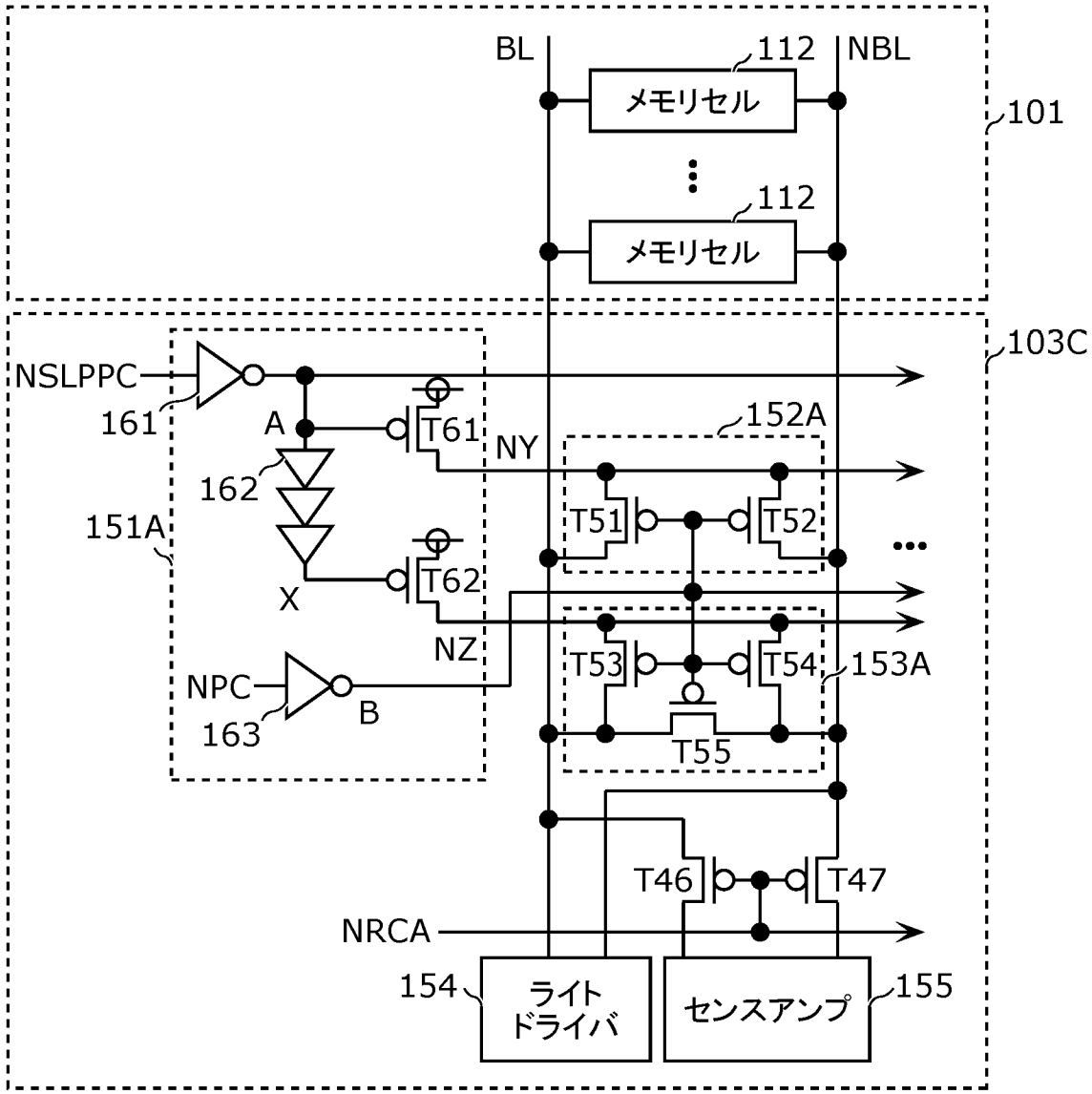
[図12]


BL
112
NBL
メモリセル
101
112
メモリセル
103B
NSLPPC
156
151
X
157
158
Y
Z
T41
T42
152
T43
T44
153
T45
NPC
T46
T47
NRCA
154
ライト
ドライバ
センスアンプ
155

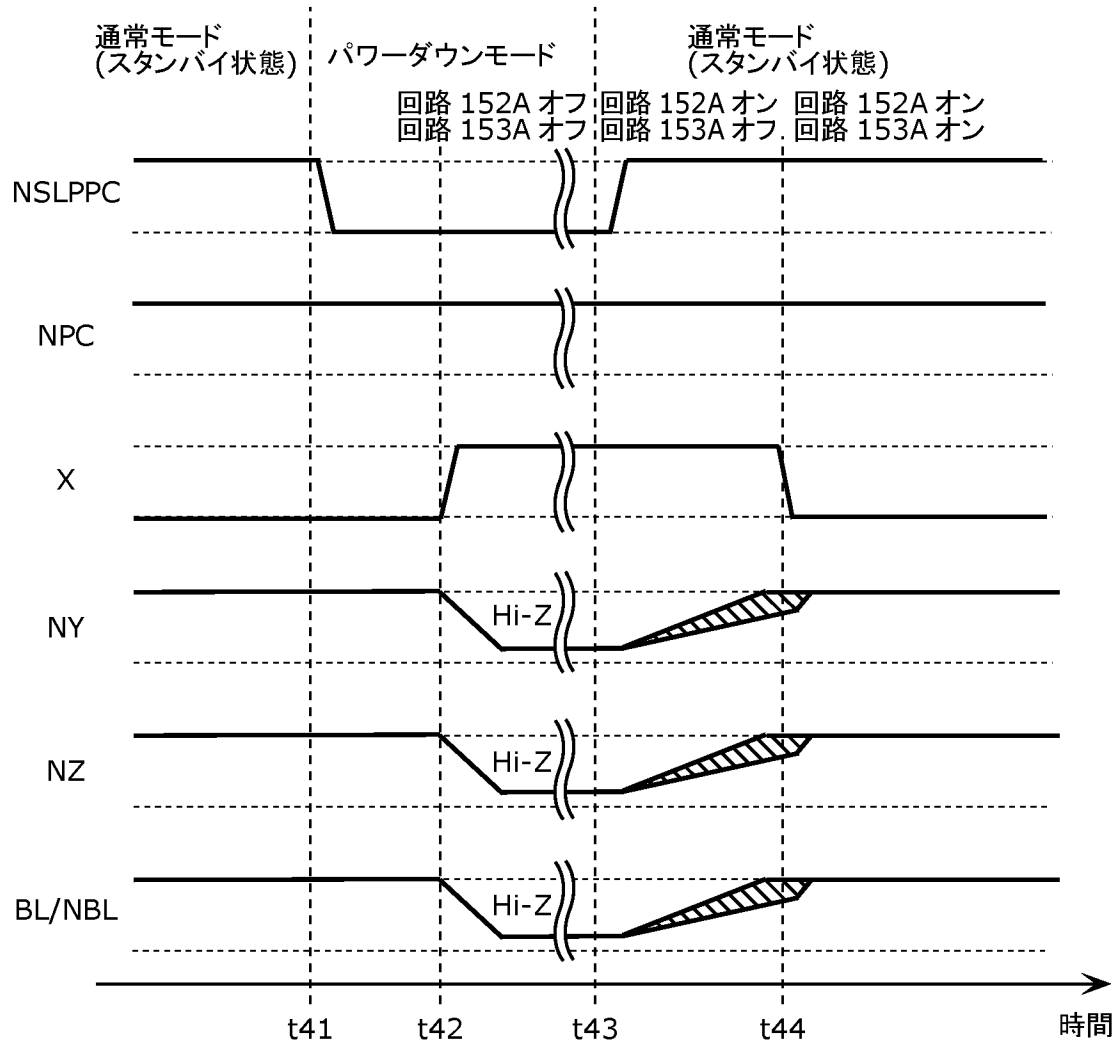
[図13]


通常モード
(スタンバイ状態)
パワーダウンモード
通常モード
(スタンバイ状態)
回路 152 オフ
回路 153 オフ
回路 152 オン
回路 153 オフ
回路 152 オン
回路 153 オン
NSLPPC
NPC
Y
Z
BL/NBL
Hi-Z
t31
t32
t33
t34
時間

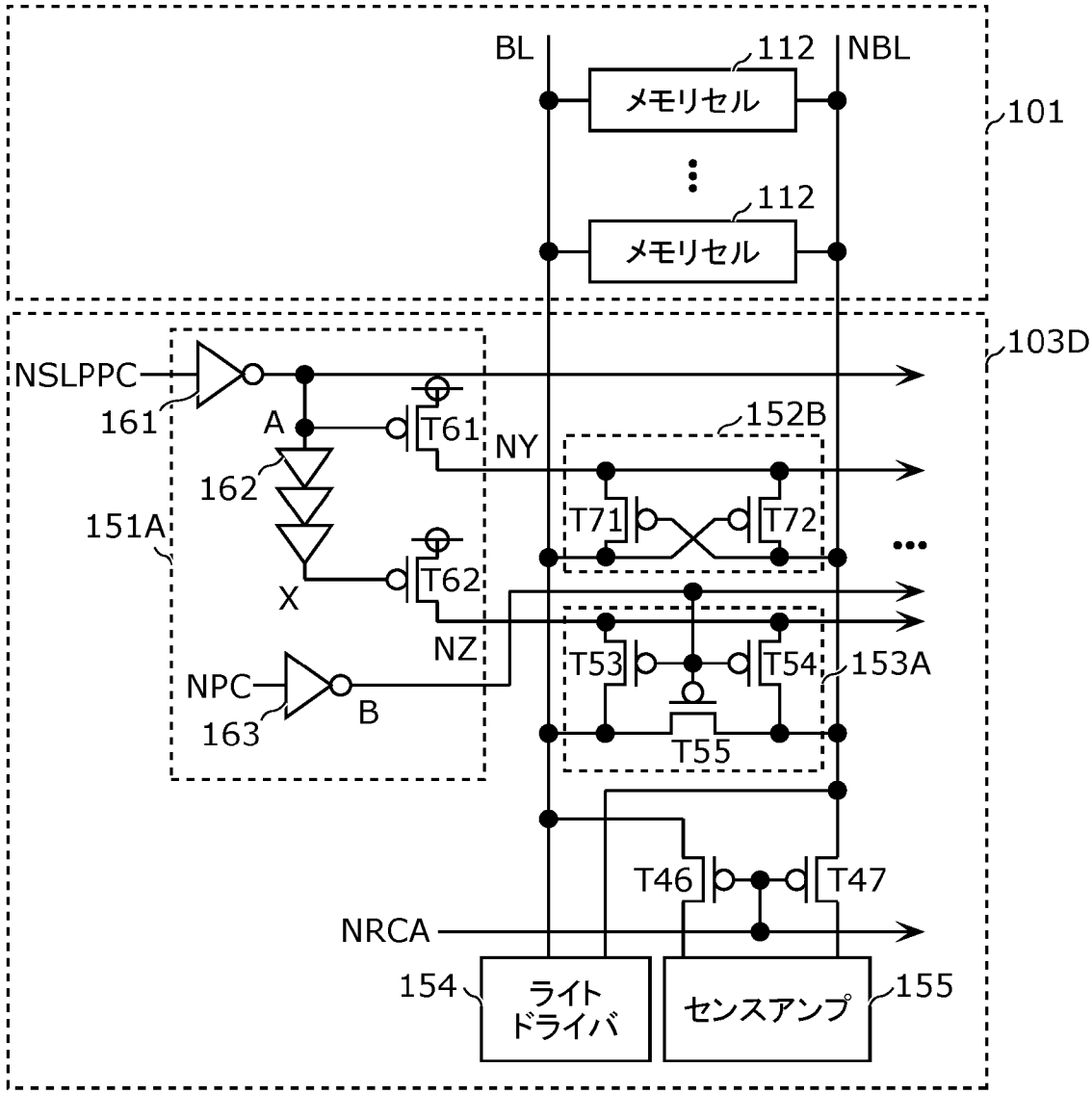
[図14]


BL
112
NBL
メモリセル
101
112
メモリセル
103C
NSLPPC
161
A
T61
NY
152A
162
T51
T52
151A
X
T62
NZ
T53
T54
153A
NPC
163
B
T55
T46
T47
NRCA
154
ライト
ドライバ
センスアンプ
155

[図15]


通常モード
(スタンバイ状態)
パワーダウンモード
通常モード
(スタンバイ状態)
回路 152A オフ
回路 153A オフ
回路 152A オン
回路 153A オフ
回路 152A オン
回路 153A オン
NSLPPC
NPC
X
NY
NZ
BL/NBL
Hi-Z
Hi-Z
Hi-Z
t41
t42
t43
t44
時間

[図16]


BL
112
NBL
メモリセル
101
112
メモリセル
103D
NSLPPC
161
A
T61
NY
152B
162
T71
T72
151A
X
T62
NZ
T53
T54
153A
NPC
163
B
T55
T46
T47
NRCA
154
ライト
ドライバ
センスアンプ
155

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/043303

A. CLASSIFICATION OF SUBJECT MATTER

G11C 5/14(2006.01)i; ***G11C 11/417***(2006.01)i
FI: G11C5/14 370; G11C11/417 100

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C5/14; G11C11/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2008/0056048 A1 (SEO, Dong-Wook) 06 March 2008 (2008-03-06) paragraphs [0038]-[0063], fig. 2-5	1-3, 5, 13
A		4, 6
A	JP 2010-198718 A (FUJITSU SEMICONDUCTOR LTD) 09 September 2010 (2010-09-09) paragraphs [0004], [0021]-[0045], [0176]-[0178], fig. 3, 9	1-6, 13

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 February 2023	**14 February 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/043303

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1: US 2008/0056048 A1 (SEO, Dong-Wook) 06 March 2008 (2008-03-06), paragraphs [0038]-[0063], fig. 2-5 & KR 10-0806127 B1

Claims are classified into two inventions below.

(Invention 1) Claims 1-6, 13

It is considered that in particular, with reference to paragraphs [0038]-[0063] and fig. 2-5, document 1 discloses a semiconductor storage device comprising: a plurality of memory cells (210); a first power supply line (VDD) through which a power supply voltage is supplied; a second power supply line (INTVDD; paragraph [0063]) which is a power supply voltage line of the plurality of memory cells; a first transistor (230, 360) and a second transistor (240, 370) which are connected in parallel between the first power supply line and the second power supply line; and a control circuit (260, 270, 500, an inverter that generates PDN_B) that (i) turns off the first transistor and the second transistor in the second mode, and (ii) turns on the first transistor at a time of switching from the second mode to the first mode and turns on the second transistor after the first transistor is turned on, on the basis of a first signal (PD) for performing switching between the first mode in which the power supply voltage is supplied to the plurality of memory cells and the second mode in which the power supply voltage is not supplied to the plurality of memory cells.

It is consider that paragraph [0048] of document 1 indicates that the second transistor is higher than the first transistor in driving capability.

The language an "inverter delay chain (260)" or an "inverter that generates PDN_B and a NAND circuit (510)" in document 1 is considered to correspond to a "delay circuit" of the invention in claim 3 of the present application.

Therefore, the invention in claims 1-3 lack novelty in light of document 1, and thus does not have a special technical feature. However, claim 4 dependent on claim 1 has the special technical feature in which a "plurality of memory blocks respectively including a plurality of memory cells are provided; a first transistor and a second transistor are respectively provided in the plurality of memory blocks; and a second signal generated in a delay circuit is supplied to control terminals of two or more second transistors provided in two or more memory blocks among the plurality of memory blocks."

Claims 5 and 6 are dependent on claim 1, inventively related to claim 1, and are thus classified as invention 1. Claim 13 is substantially identical to or similarly closely related to claim 1, and is thus classified as invention 1.

(Invention 2) Claims 7-12, 14

It cannot be said that the invention in claims 7-12 and 14 has the special technical feature identical or corresponding to the invention in claim 4 classified as invention 1. Claims 7-12 and 14 are not dependent on claim 1. Claims 7-12 and 14 are not substantially identical to or similarly closely related to any of the claims classified as invention 1.

Therefore, claims 7-12 and 14 cannot be classified as invention 1.

The invention in claims 7-12 and 14 has the special technical feature of a "semiconductor storage device comprising: a first precharge circuit and a second precharge circuit that are connected to a first bit line; and a control circuit that (i) turns off the first precharge circuit and the second precharge circuit in the second mode, and (ii) turns on the first precharge circuit at a time of switching from the second mode to the first mode and turns on the second precharge circuit after the first precharge circuit is turned on, on the basis of a first signal for performing switching between the first mode in which the first bit line is precharged and the second mode in which the first bit line is not precharged," and is thus classified as invention 2.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/043303

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☑ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: **claims 1-6, 13**

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/043303

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2008/0056048 A1	06 March 2008	KR 10-0806127 B1	
JP 2010-198718 A	09 September 2010	US 2010/0188922 A1 paragraphs [0023], [0034]-[0059], [0187], [0188], fig. 3, 9	

国際調査報告

国際出願番号
PCT/JP2022/043303

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G11C 5/14(2006.01)i; G11C 11/417(2006.01)i
FI: G11C5/14 370; G11C11/417 100

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G11C5/14; G11C11/417

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	US 2008/0056048 A1 (SEO, Dong-wook) 06.03.2008 (2008-03-06) 段落[0038]-[0063]、図2-5	1-3,5,13
A		4,6
A	JP 2010-198718 A (富士通セミコンダクター株式会社) 09.09.2010 (2010-09-09) 段落[0004],[0021]-[0045],[0176]-[0178]、図3,9	1-6,13

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
03.02.2023	14.02.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
後藤　彰 5S 4226
電話番号 03-3581-1101 内線 3546

第Ⅲ欄　　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

文献１：US 2008/0056048 A1 (SEO, Dong-wook)06.03.2008(2008-03-06), 段落[0038]-[0063]、図2-5 & KR 10-0806127 B1

請求の範囲は、以下の２つの発明に区分される。

（発明１）請求項１－６，１３

文献１には、特に[0038]-[0063]、図2-5の記載に注意すると、複数のメモリセル（２１０）と、電源電圧が供給される第１電源線（ＶＤＤ）と、前記複数のメモリセルの電源電圧線である第２電源線（ＩＮＴＶＤＤ；[0063]）と、前記第１電源線と前記第２電源線との間に並列に接続された第１トランジスタ（２３０，３６０）及び第２トランジスタ（２４０，３７０）と、前記複数のメモリセルに前記電源電圧を供給する第１モードと前記複数のメモリセルに前記電源電圧を供給しない第２モードとを切り替えるための第１信号（ＰＤ）に基づき、（ｉ）前記第２モード時には、前記第１トランジスタ及び第２トランジスタをオフし、（ｉｉ）前記第２モードから前記第１モードへの切り替え時に、前記第１トランジスタをオンし、前記第１トランジスタをオンした後に前記第２トランジスタをオンする制御回路（２６０，２７０，５００，ＰＤＮ＿Ｂを生成するインバータ）とを備える半導体記憶装置が記載されていると認められる。

また、文献１の[0048]の記載は、第２トランジスタが第１トランジスタより駆動能力が高いことを示していると認められる。

さらに、文献１記載の「インバータ遅延チェーン（２６０）」または「ＰＤＮ＿Ｂを生成するインバータ及びＮＡＮＤ回路（５１０）」は、本願請求項３に係る発明の「遅延回路」に相当すると認められる。

それ故、請求項１－３に係る発明は、文献１により新規性が欠如しているため、特別な技術的特徴を有しない。しかしながら、請求項１の従属項である請求項４は「各々が複数のメモリセルを含む複数のメモリブロックを含み、第１トランジスタ及び第２トランジスタは、前記複数のメモリブロックの各々に設けられ、遅延回路で生成された第２信号は、前記複数のメモリブロックのうち２以上のメモリブロックに設けられた２以上の第２トランジスタの制御端子に供給される」という特別な技術的特徴を有している。

また、請求項５，６は請求項１の従属請求項であり、請求項１に対して発明の連関を有しているので、発明１に区分する。さらに、請求項１３は請求項１と実質的に同一またはそれに準ずる関係にあるので、発明１に区分する。

（発明２）請求項７－１２，１４

請求項７－１２，１４に係る発明は、発明１に区分された請求項４に係る発明と同一の又は対応する特別な技術的特徴を有しているとはいえない。また、請求項７－１２，１４は請求項１の従属請求項でもない。さらに、発明１に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にない。

したがって、請求項７－１２，１４に係る発明は発明１に区分できない。

そして、請求項７－１２，１４に係る発明は、「第１ビット線に接続された第１プリチャージ回路及び第２プリチャージ回路と、前記第１ビット線をプリチャージする第１モードと、前記第１ビット線をプリチャージしない第２モードとを切り替えるための第１信号に基づき、（ｉ）前記第２モード時には、前記第１プリチャージ回路及び第２プリチャージ回路をオフし、（ｉｉ）前記第２モードから前記第１モードへの切り替え時に、前記第１プリチャージ回路をオンし、前記第１プリチャージ回路をオンした後に前記第２プリチャージ回路をオンする制御回路とを備える半導体記憶装置」という特別な技術的特徴を有しているので、発明２に区分する。

国際調査報告

国際出願番号
PCT/JP2022/043303

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

4. ☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。 請求項１－６，１３

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/043303

引用文献	公表日	パテントファミリー文献	公表日
US 2008/0056048 A1	06.03.2008	KR 10-0806127 B1	
JP 2010-198718 A	09.09.2010	US 2010/0188922 A1 段落[0023],[0034]-[0059], [0187],[0188]、図3,9	