СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1339553 A1

(51) 4 G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

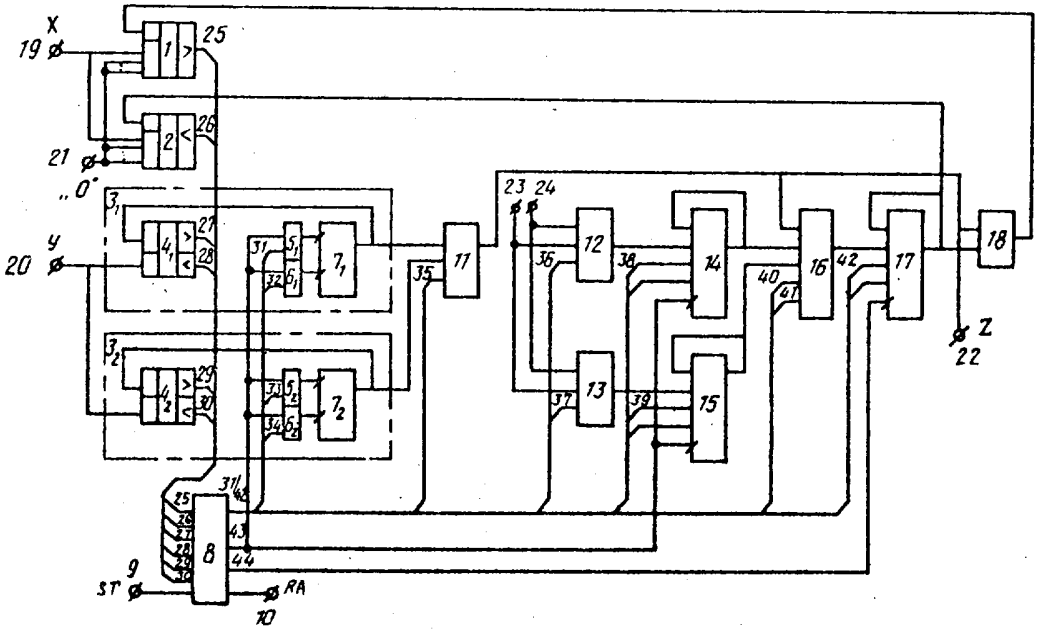
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3995702/24-24
(22) 24.12.85
(46) 23.09.87. Бюл. № 35
(71) Ленинградский электротехнический институт им. В.И.Ульянова(Ленина)
(72) А.А.Валов, Л.М.Виткин и И.В.Герасимов
(53) 681.325(088.8)
(56) Авторское свидетельство СССР № 1013948, кл. G 06 F 7/52, 1981.
Авторское свидетельство СССР № 781813, кл. G 06 F 7/52, 1978.

(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ

(57) Изобретение относится к вычислительной технике. Цель изобретения - повышение достоверности вычисления результата. Сущность изобретения заключается в использовании рекурсивного принципа вычисления значений арифметической функции деления. Устройство для деления содержит две схемы сравнения 1-2, итерационные блоки 3_1-3_2, в состав которых входят схемы сравнения 4_i, элементы И 5_i-6_i и реверсивные счетчики 7_i, коммутаторы 11-13, 16, накапливающие сумматоры 14-15, 17 сумматор 18, входы пуска 9, делимого 19, делителя 20, логического нуля 21, констант 23-24. Устройство обеспечивает высокое быстродействие при отработке малых приращений входных данных. 1 з.п., 3 ил., 1 табл.



Фиг.1

(19) SU (11) 1339553 A1

Изобретение относится к вычислительной технике и может быть использовано в составе специализированных управляющих или универсальных цифровых вычислительных машин, а также в качестве базового элемента при разработке различного типа распределенных вычислительных структур с повышенной достоверностью получения результата и высоким быстродействием, при отработке малых приращений входных данных.

Цель изобретения - повышение достоверности вычисления результата.

На фиг. 1 представлена функциональная схема устройства для деления; на фиг. 2 - пример выполнения блока микропрограммного управления; на фиг. 3 - временная диаграмма работы устройства.

Устройство для деления (фиг. 1) содержит две схемы 1 и 2 сравнения, первый и второй итерационные блоки 3_1 и 3_2, содержащие схему 4_i (i=1,2) сравнения, два элемента И 5_i-6_i, реверсивный счетчик 7_i, блок 8 микропрограммного управления, вход 9 пуска, выход 10 готовности результата, третий, первый и второй коммутаторы 11-13, первый и второй накапливающие сумматоры 14 и 15, четвертый коммутатор 16, третий накапливающий сумматор 17, сумматор 18, входы 19 и 20 делимого и делителя, вход 21 логического нуля, выход 22 частотного, входы 23 и 24 первой и второй констант, выход 25 "Больше" схемы 1 сравнения, выход 26 "Меньше" схемы 2 сравнения, выходы 27-44 блока 8.

Блок микропрограммного управления (фиг. 2) содержит генератор 45 импульсов, регистр 46, первый блок 47 памяти, первый элемент задержки 48, второй блок 49 памяти, элемент ИЛИ 50, второй элемент 51 задержки.

Работа устрйоства основана на рекурсивном принципе вычисления значений арифметической функции деления ($Z = \frac{X}{Y}$). При этом для рекурсивного представления функции деления используются лишь элементарные функции непосредственного следования, непосредственного предшествования, константы и оператор примитивной рекурсии. Вычисление значения рекурсивно определенной функции деления для заданных аргументов является многошаговым процессом, похожим на метод последовательных приближений, так как при вычислении отслеживается разность между исходными и заданными значениями аргументов путем положительного или отрицательного наращивания значений исходных аргументов. За счет отслеживания разности удается повысить достоверность рекурсивных вычислений, так как ошибочное значение аргумента можно рассматривать как его новое исходное значение. Рекурсивный метод вычислений становится самоисправляющимся, помехоустойчивым за счет некритичности к единичным сбоям делимого X и делителя У.

Работа устройства заключается в вычислении по рекуррентным соотношениям, описывающим функцию деления, последующих значений функции для заданных аргументов, если известны предыдущие значения функции. Рекуррентные соотношения подразделяются на шесть групп, каждая из которых учитывает специфику потока данных, являющихся значениями аргументов (делимого и делителя) функции деления.

При организации вычисления функции деления по рекуррентным соотношениям будем считать (для определенности), что при делителе, равном нулю, частное будет также равно нулю, т.е. $\frac{X}{0} = 0$.

Если делимое X и делитель У увеличиваются одновременно, то используются для вычисления значения частного Z рекуррентные соотношения

$$\begin{aligned} z_{i+1} &= z_i + 1 \\ x_{i+1} &= x_i + h_i \\ y_{i+1} &= y_i + 1 \\ h_{i+1} &= h_i + 2 \\ g_{i+1} &= g_i; \end{aligned} \qquad (1)$$

если X и У уменьшаются одноверменно, то

$$\begin{aligned} z_{i+1} &= z_i - 1 \\ x_{i+1} &= x_i - h_{i+1} \\ y_{i+1} &= y_i - 1 \\ h_{i+1} &= h_i - 2 \\ g_{i+1} &= g_i; \end{aligned} \qquad (2)$$

если X увеличивается или X - постоянное, а У уменьшается, то

$$\begin{aligned} z_{i+1} &= z_i + 1 \\ x_{i+1} &= x_i + g_i \\ y_{i+1} &= y_i - 1 \end{aligned} \qquad (3)$$

$$h_{i+1} = h_i$$
$$g_{i+1} = g_i - 2;$$

если X уменьшается или X – постоянное, а Y увеличивается, то

$$\begin{aligned} z_{i+1} &= z_i - 1 \\ x_{i+1} &= x_i - g_{i+1} \\ y_{i+1} &= y_i + 1 \\ h_{i+1} &= h_i \\ g_{i+1} &= g_i + 2; \end{aligned} \qquad (4)$$

если X увеличивается, а Y – постоянно, то

$$\begin{aligned} z_{i+1} &= z_i + 1 \\ x_{i+1} &= x_i + y_i \\ y_{i+1} &= y_i \\ h_{i+1} &= h_i + 1 \\ g_{i+1} &= g_i - 1; \end{aligned} \qquad (5)$$

если X уменьшается, а Y – постоянно, то

$$\begin{aligned} z_{i+1} &= z_i - 1 \\ x_{i+1} &= x_i - y_i \\ y_{i+1} &= y_i \\ h_{i+1} &= h_i - 1 \\ g_{i+1} &= g_i + 1. \end{aligned} \qquad (6)$$

Начальные значения функции и аргументов: $z_0 = 0$, $x_0 = 0$, $y_0 = 0$, $h_0 = 1$, $g_0 = -1$.

Условие завершения рекурсивного процесса операции деления следующие:

$$RA = [x_i = X \,\&\, y_i = Y].$$

Пусть делимое и делитель, частное представимы дробями $\frac{X}{R}$, $\frac{Y}{R}$, $\frac{Z}{R}$.

При этом $\frac{Z}{R} = \frac{X}{R} : \frac{Y}{R} = \frac{\frac{X \cdot R}{Y}}{R}$.

При двоичном представлении чисел $R = 2^n$, где n – количество разрядов двоичного представления числа.

Пусть X, Y – суть целые числа. Нетрудно заметить, что если X делится на Y нацело и результат равен Z, причем разрядность представления z равно p, то и при делении любого целого числа $\theta \in [X, X + Y - 1]$ на Y, результат, представленный p разрядами, также равен Z. Действительно, пусть Z – частное от деления X на Y, Z + 1 – частное от деления φ на Y. Тогда $\varphi = X + Y$ и для любых $\theta \in [X, \varphi]$ результат деления θ на Y будет равен Z. При вычислении по рекуррентным формулам текущего значения делимого x_i, признаком достижения x_i заданного значения X будет попадание X в интервал $[x_i, x_i + Y - 1]$. Операцию деления над дробными представлениями делимого, делителя и частного можно путем предварительных преобразований свести к операции деления над целочисленными представлениями ее аргументов и функций.

Представим рекуррентные соотношения (1) – (6) несколько иначе. Введём новые переменные a_i и b_i, при этом $a_i \geq b_i$. Эти переменные имеют следующий смысл: если соответствует значению делителя y_i, то b_i соответствует значению частного z_i, если b_i соответствует значению делителя y_i, то a_i соответствует значению частного z_i.

В процессе отслеживания разности между исходными и заданными значениями операндов текущее значение делителя y_i будем сравнивать со значениями a_i и b_i. Учитывая, что $a_i \geq b_i$, возможны следующие соотношения между заданными и текущими значениями X и x_i, Y и a_i, b_i:

1. $X > x_i$, $Y > a_i$, $Y > b_i$
2. $X > x_i$, $Y < a_i$, $Y > b_i$
3. $X > x_i$, $Y < a_i$, $Y < b_i$
4. $X > x_i$, $Y < a_i$, $Y = b_i$
5. $X > x_i$, $Y = a_i$, $Y > b_i$
6. $X > X_i$, $Y = a_i$, $Y = b_i$
7. $X < x_i$, $Y > a_i$, $Y > b_i$
8. $X < X_i$, $Y < a_i$, $Y > b_i$
9. $X < X_i$, $Y < a_i$, $Y < b_i$
10. $X < x_i$, $Y < a_i$, $Y = b_i$
11. $X < x_i$, $Y = a_i$, $Y > b_i$
12. $X < x_i$, $Y = a_i$, $Y = b_i$
13. $X = x_i$, $Y > a_i$, $Y > b_i$
14. $X = x_i$, $Y < a_i$, $Y > b_i$
15. $X = x_i$, $Y < a_i$, $Y < b_i$
16. $X = x_i$, $Y < a_i$, $Y = b_i$
17. $X = x_i$, $Y = a_i$, $Y > b_i$
18. $X = x_i$, $Y = a_i$, $Y = b_i$

С учетом введенных переменных a_i и b_i рекурентные соотношения (1) – (6) преобразуются в следующие:

Если $X > x_i$, $Y > a_i$, $Y > b_i$, то в качетстве y_i примем a_i, в качестве z_i – b_i, рекуррентные соотношения будут:

$$\begin{aligned} x_{i+1} &= x_i + h_i \\ a_{i+1} &= a_i + 1 \\ b_{i+1} &= b_i + 1 \end{aligned} \qquad (7)$$

$$h_{i+1} = h_i + 2$$
$$g_{i+1} = g_i.$$

Если $X > x_i$ или $X = x_i$, $y < a_i$, $y < b_i$, то в качестве y примем a_i, в качестве $z - b$, рекуррентные соотношения будут:

$$\begin{aligned} x_{i+1} &= x_i + g_i \\ a_{i+1} &= a_i - 1 \\ b_{i+1} &= b_i + 1 \\ h_{i+1} &= h_i \\ g_{i+1} &= g_i - 2. \end{aligned} \qquad (8)$$

Если $X > x_i$ или $X = x_i$, $y < a_i$, $y < b_i$, то примем $y_i - b_i$ $z_i - a_i$, если $X < x_i$ или $X = x_i$, $y > a_i$, $y > b_i$ то $y_i - a_i$, $z_i - b_i$. Для этих случаев рекуррентные соотношения будут:

$$\begin{aligned} x_{i+1} &= x_i - g_{i+1} \\ a_{i+1} &= a_i + 1 \\ b_{i+1} &= b_i - 1 \\ h_{i+1} &= h_i \\ g_{i+1} &= g_i + 2. \end{aligned} \qquad (9)$$

Если $X > x_i$, $y < a_i$, $y = b_i$, то $y_i - b_i$, $z_i - a_i$ рекуррентные соотношения будут:

$$\begin{aligned} x_{i+1} &= x_i + b_i \\ a_{i+1} &= a_i + 1 \\ b_{i+1} &= b_i \\ h_{i+1} &= h_i + 1 \\ g_{i+1} &= g_i + 1. \end{aligned} \qquad (10)$$

Если $X > x_i$, $y = a_i$, $y > b_i$, то $y_i - a_i$, $z_i - b_i$ рекуррентные соотношения будут:

$$\begin{aligned} x_{i+1} &= x_i + a_i \\ a_{i+1} &= a_i \\ b_{i+1} &= b_i + 1 \\ h_{i+1} &= h_i + 1 \\ g_{i+1} &= g_i - 1. \end{aligned} \qquad (11)$$

Если $X < x_i$, $y < a_i$, $y > b_i$, то $y_i - a_i$, $z_i - b_i$, если $X < x_i$, $y < a_i$, $y < b_i$, то $y_i - b_i$, $z_i - a_i$, для этих случаев рекуррентные соотношения будут:

$$\begin{aligned} x_{i+1} &= x_i - h_{i+1} \\ a_{i+1} &= a_i - 1 \\ b_{i+1} &= b_i - 1 \\ h_{i+1} &= h_i - 2 \\ g_{i+1} &= g_i. \end{aligned} \qquad (12)$$

Если $X < x_i$, $y < a_i$, $y = b_i$, то $y - b_i$, $z_i - a_i$, рекуррентные соотношения будут:

$$\begin{aligned} x_{i+1} &= x_i - b_i \\ a_{i+1} &= a_i - 1 \\ b_{i+1} &= b_i \\ h_{i+1} &= h_i - 1 \\ g_{i+1} &= g_i - 1. \end{aligned} \qquad (13)$$

Если $X < x_i$, $y = a_i$, $y > b_i$, или $y = b_i$, то $y_i - a_i$, $z_i - b_i$, рекуррентные соотношения будут

$$\begin{aligned} x_{i+1} &= x_i - a_i \\ a_{i+1} &= a_i \\ b_{i+1} &= b_i - 1 \\ h_{i+1} &= h_i - 1 \\ g_{i+1} &= g_i + 1. \end{aligned} \qquad (14)$$

Начальные значения функций и аргументов: $x_o = 0$, $a_o = 0$, $b_o = 0$, $h_o = 1$, $g_o = -1$.

Условие завершения рекурсивного процесса операции деления следующее:

$$RA = [x_i = X \,\&\, (a_i \vee b_i) = Y].$$

При этом если $Y = a_i$, то $Z = b_i$
если $Y = b_i$, то $Z = a_i$; (15)
если $Y = a_i = b_i$, то
$Y = B_i$, $Z = a_i$.

Признаком достижения x_i заданного значения X будет попадание X в интервал $[x_i, x_i + Y - 1]$.

На основании сравнения вычислений частного по рекуррентным соотношениям (1)-(6) с вычислением частного по рекуррентным соотношениям (7), (9) (10), (15) видно, что во втором случае результат достигается за меньшее число шагов.

Для упрощения описания работы устройства целесообразно устновить соответствие между соотношениями (7) - (15) и отдельными структурными элементами устройства для деления, которые их реализуют. Для реализации функций h, g в устройстве используются сумматоры 14 и 15. Отслеживание разности между исходными и заданными значениями делимого путем наращивания исходных значений осуществляется с помощью сумматоров 18 и 17 и схем сравнения 1 и 2. Число подключенных к шине 21 логического нуля младших разрядов схем 1 и 2 сравнения равно

числу n разрядов двоичного представления входных операндов и частного.

Это связано с необходимостью предварительного сдвига делимого на n разрядов влево.

Отслеживание разности между исходным и заданным значением делителя путем наращивания исходного значения делителя осуществляется с помощью блоков 3_1 и 3_2.

Условия завершения рекурсивного процесса вычисления частного и выбор соответствующих рекуррентных соотношений, по которым должны производиться вычисления частного, осуществляются с помощью блока 8.

Устройство работает следующим образом.

Исходное состояние задается сигналом системного сброса, по которому выходы блоков 3_1 и 3_2 устанавливаются в нулевое состояние, синхронизирующие сигналы с выходов блока 8 отсутствуют, а сигнал готовности на его выходе 10 устанавливается в единичное состояние. Выход сумматора 17 устанавливается в нулевое состояние, а в сумматоры 14 и 15 записывается код числа "1" и "-1" соответственно.

После поступления операндов X и Y соответственно на входы делимого и делителя на выходах схем 1 и 2 сравнения и на сигнальных выходах блоков 3_1 и 3_2 будет находиться информация о соотношениях между значениями поступивших операндов и исходными значениями делимого и делителя, хранящихся соответственно в сумматоре 17 и блоках 3_1 и 3_2. После поступления единичного сигнала пуска ST = 1 на вход 9 блока 8 с его выхода управляющие сигналы подготавливают накапливающие сумматоры 14, 15 и 17 и блоки 3_1 и 3_2 на вычисление частного в соответствии с рекуррентными соотношениями (7)-(15). Управляющим сигналом с выхода блока 8 на выход коммутатора 11 подключается информационный выход того итерационного блока, в котором находится текущее значение делителя.

Выбор блоком 8 блоков 3_1 и 3_2 отводимого для хранения текущего значения делителя и для хранения текущего значения частного производится исходя из следующего. Так как в блоке 3_1 содержится информация о переменной a, а в блоке 3_2 о переменной b и $a \geq b$, то: если значение делителя на входе устройства для деления больше, чем значения, хранящиеся в блоках 3_1 и 3_2, то в качестве итерационного блока делителя выбирается элемент 3_1, а частного - элемент 3_2, если значение делителя на входе устройства меньше, чем значения хранящиеся в блоках 3_1 и 3_2, то в качестве итерационного блока делителя выбирается элемент 3_2, а частного - элемент 3_1, если значение делителя на входе устройства больше, чем значение, хранящееся в одном из блоков 3_1 или 3_2, и меньше, чем значение, хранящееся в другом, последний выбирается в качестве итерационного блока делителя.

Такая организация позволяет существенно сократить время выполнения вычислительного процесса.

С задержкой, определяемой временем установки накапливающих сумматоров 14, 15 и 17, на выходах 43 и 44 блока 8 формируется двухтактная последовательность синхронизирующих сигналов.

При равенстве текущих значений делимого и делителя заданным, установленным на входе устройства для деления, с выходов 25-30 в блок 4 управления поступают нулевые сигналы. При этом сигналом с выхода блока 8 на выход коммутатора 11 подключается информационный выход того итерационного блока, в котором находится вычисленное значение частного. Соответственно в другом итерационном блоке будет содержаться достигнутое значение делителя. Одновременно на выходе 10 блока 8 сформируется единичный сигнал, свидетельствующий о готовности результата.

Работа устройства иллюстрируется таблицей, в которой знак "-" означает отсутствие сигнала, "*" - любое состояние.

Работа блока 8 происходит следующим образом.

В начале работы, после установления на входах 25-30 информации, определяющей состояние его выходов, на первый вход 9 поступает единичный импульсный сигнал, передним фронтом которого запускается генератор 45. По переднему фронту импульса информация с входов 25-30 записывается в регистр 46 и устанавливается на входах блока 47 памяти. При этом на выходах

31-42 образуется комбинация сигналов, которая настраивает в соответствии с таблицей накапливающие сумматоры 14, 15 и 17 и коммутатор 11. Эти сигналы подготовляют также блоки 3_1 и 3_2 для последующего суммирования или вычитания единицы в них в соответствии с таблицей. С задержкой, определяемой временем установки сумматоров 14, 15 и 17, с выхода элемента 48 задержки поступает импульсный сигнал, по единичному значению которого на четвертом (пятом) выходах блока 8 формируется единичный сигнал, который проходит через элемент ИЛИ 50 и элемент 51 задержки. При этом соответствующие выходы блока 8 переходят в единичное состояние, которое сохраняется до момента прекращения действия единичного сигнала на первом входе блока. Задержка на элементе 51 необходима для обеспечения надежной последовательности срабатывания накапливающего сумматора 17 относительно накапливающих сумматоров 14 и 15. При образовании единичного сигнала на выходе 10 он поступает на вход останова генератора 45 импульсов, свидетельствуя о готовности результата.

В блоках 3_1 и 3_2 на счетчиках 7 хранятся предыдущие значения делителя и частного. Если на информационный вход блоков 3_1 и 3_2 поступает значение делителя, не совпадающее со значением, хранящимся в счетчике 7, схема 4 сравнения вырабатывает соответствующие сигналы, поступающие на сигнальные выходы блоков 3. С учетом этих сигналов в следующем такте вычислений сигналом с управляющего входа блока 3 будет подготовлен один из элементов И 5 или 6 (или не подготовлен ни один, если изменять содержание итерационного блока не требуется). В следующем такте работы устройства для деления сигнал с синхронизирующего входа блока 3 через подготовленный ранее элемент И 5 или 6 поступает соответственно на суммирующий или вычитающий входы счетчика 7, производя изменения на единицу хранящегося в нем значения. Новое текущее значение со счетчика 7 поступает на вход схемы 4 сравнения для сравнения с входным значением делителя.

Формула изобретения

1. Устройство для деления, содержащее первый итерационный блок, два коммутатора, первую схему сравнения и блок микропрограммного управления, первый и второй выходы которого соединены с управляющими входами первого и второго коммутаторов соответственно, выход "Больше" первой схемы сравнения соединен с первым входом признака перехода блока микропрограммного управления, о т л и ч а ю щ е е с я тем, что, с целью повышения достоверности вычисления результата, в него введены вторые схема сравнения и итерационный блок, три накапливающих сумматора, третий и четвертый коммутаторы и сумматор, причем вход делимого устройства соединен с входами старших разрядов первого операнда первой и второй схем сравнения, входы младших разрядов первых операндов которых соединены с входом логического нуля устройства, вход делителя которого соединен с информационными входами первого и второго итерационных блоков, первые и вторые выходы которых соединены с второго по пятый входами признаков перехода блока микропрограммного управления, шестой вход признака перехода которого соединен с выходом "Меньше" второй схемы сравнения, вход пуска устройства соединен с входом запуска блока микропрограммного управления, третий выход которого соединен с управляющим входом третьего коммутатора, первый и второй информационные входы которого соединены с третьими выходами первого и второго итерационных блоков соответственно, синхровходы которых соединены с синхровходами первого и второго накапливающих сумматоров и с четвертым выходом блока микропрограммного управления, пятый и шестой выходы которого соединены с входами разрешения суммирования и вычитания первого итерационного блока, седьмой и восьмой выходы блока микропрограммного управления соединены с входами разрешения суммирования и вычитания второго итерационного блока, вход первой константы устройства соединен с первыми информационными входами первого и второго коммутаторов, вторые информационные входы которых соединены с входом второй

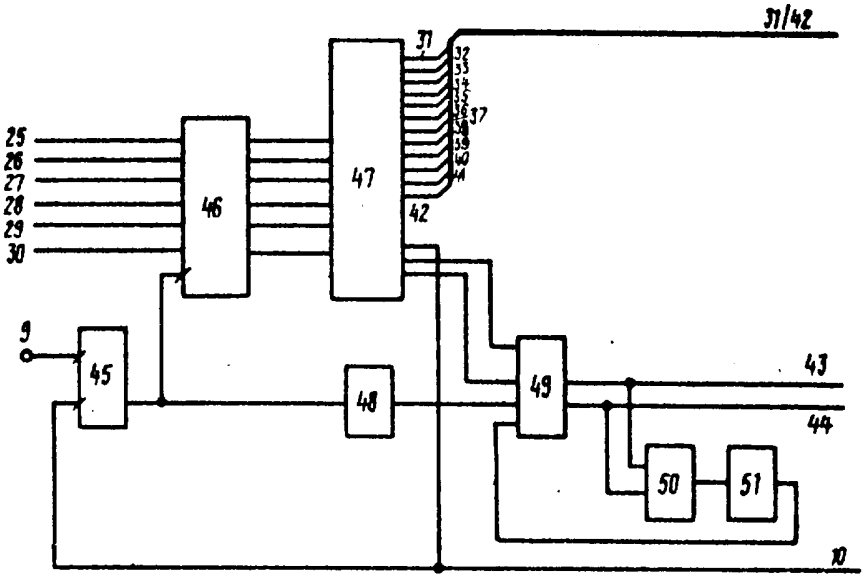
константы устройства, выходы первого и второго коммутаторов соединены с информационными входами первого и второго сумматоров соответственно, выходы которых соединены с первым и вторым информационными входами четвертого коммутатора, третий информационный вход которого соединен с выходом третьего коммутатора, с выходом частного устройства и с первым информационным входом сумматора, второй информационный вход которого соединен с входом второго операнда второй схемы сравнения и выходом третьего накапливающего сумматора, информационный вход которого соединен с выходом четвертого коммутатора, первый и второй управляющие входы которого соединены с девятым и десятым выходами блока микропрограммного управления, одиннадцатый и двенадцатый выходы которого соединены с входами разрешения работы первого и второго накапливающих сумматоров соответственно, тринадцатый и четырнадцатый выходы блока микропрограммного управления соединены с входом разрешения работы и синхровходом соответственно третьего накапливающего сумматора, вход второго операнда первой схемы сравнения соединен с выходом сумматора, пятнадцатый выход блока микропрограммного управления соединен с выходом готовности результата устройства.

2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что каждый итерационный блок содержит схему сравнения, два элемента И и реверсивный счетчик, причем информационный вход блока является входом первого операнда схемы сравнения, выходы "Больше" и "Меньше" которой соединены с первым и вторым выходами блока соответственно, синхровход блока соединен с первыми входами первого и второго элементов И, выходы которых соединены со счетным и вычитающим входами соответственно реверсивного счетчика, выход которого соединен с входом второго операнда схемы сравнения и является третьим выходом блока, входы разрешения суммирования и вычитания блока соединены с вторыми входами первого и второго элементов И соответственно.

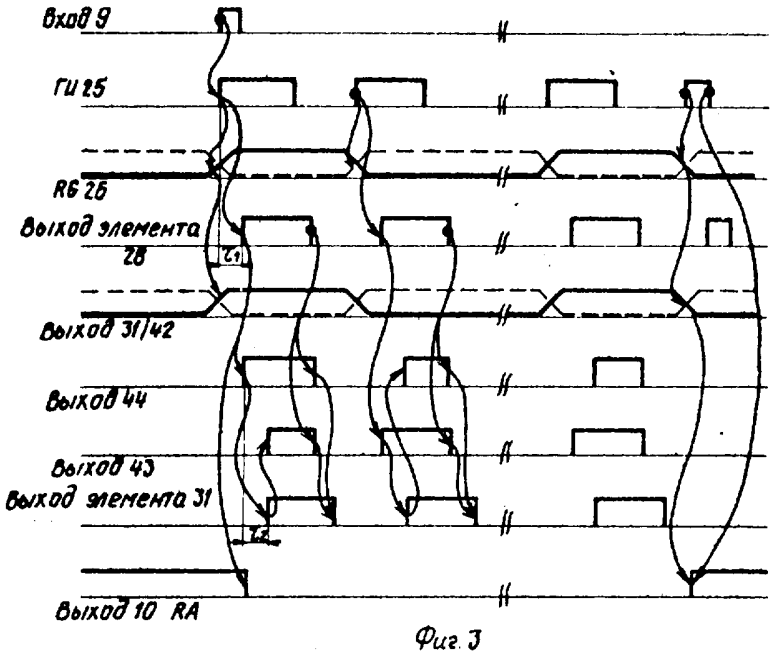
№ пп	Состояния выходов блоков						Состояния управляющих входов коммутаторов				Последовательность срабатывания выходов 43 и 44	Функции, выполняемые блоками				
	1	2	3_1		3_2		11	12	13	16		3_1	3_2	14	15	13
			27	28	29	30										
1	1	0	1	0	1	0	1	1	*	10	44 43	$CT7_1+1$	$CT7_2+1$	SM12+2	SM15	SM13+SM14
2	1	0	0	1	1	0	1	*	1	11	44 43	$CT7_1-1$	$CT7_2+1$	SM14	SM15-2	SM13+SM15
3	1	0	0	1	0	1	0	*	1	11	43 44	CT7+1	$CT7_2-1$	SM14	SM15+2	SM13-SM15
4	1	0	0	1	0	0	0	0	0	01	43 44	$CT7_1+1$	$CT7_2$	SM14+1	SM15+1	$SM13+CT7_2$
5	1	0	0	0	1	0	1	0	0	01	43 44	$CT7_1$	$CT7_2+1$	SM14+1	SM15-1	$SM13+CT7_1$
6	1	0	0	0	0	0	0	0	0	01	43 44	$CT7_1+1$	$CT7_2$	SM14+1	SM15+1	$SM13+CT7_2$
7	0	1	1	0	1	0	1	*	1	11	43 44	$CT7_1$	$CT7_2-1$	SM14	SM15+2	SM13-SM15
8	0	1	0	1	1	0	1	1	*	10	43 44	$CT7_1-1$	$CT7_2-1$	SM14-2	SM15	SM13-SM14
9	0	1	0	1	0	1	0	1	*	10	43 44	$CT7_1-1$	$CT7_2-1$	SM14-2	SM15	SM13-SM14
10	0	1	0	1	0	0	0	0	0	01	43 44	$CT7_1-1$	$CT7_2$	SM14-1	SM15-1	$SM13-CT7_2$
11	0	1	0	0	1	0	1	0	0	01	43 44	$CT7_1$	$CT7_2-1$	SM14-1	SM15+1	$SM13-CT7_2$

Продолжение таблицы

№ пп	Состояния выходов блоков						Состояния управляющих входов коммутаторов				Последовательность срабатывания выходов 43 и 44	Функции, выполняемые блоками				
	1	2	3_1		3_2		11	12	13	16		3_1	3_2	14	15	13
			27	28	29	30										
12	0	1	0	0	0	0	1	0	0	01	43 44	$CT7_1$	$CT7_2-1$	SM14-1	SM15+1	SM13-CT7/
13	0	0	1	0	1	0	1	*	1	11	43 44	$CT7_1+1$	$CT7_2-1$	SM14	SM15+2	SM13-SM15
14	0	0	0	1	1	0	1	*	1	11	44 43	$CT7_1-1$	$CT7_2+1$	SM14	SM15-2	SM13+SM15
15	0	0	0	1	0	1	0	*	1	11	43 44	$CT7_1+1$	$CT7_2-1$	SM14	SM15-2	SM13-SM15
16	0	0	0	1	0	0	1	*	*	*	-	$CT7_1$	$CT7_2$	SM14	SM15	SM13
17	0	0	0	0	1	0	0	*	*	*	-	$CT7_1$	$CT7_2$	SM14	SM15	SM13
18	0	0	0	0	0	0	1	*	*	*	-	$CT7_1$	$CT7_2$	SM14	SM15	SM13



Фиг.2



Фиг.3

Составитель Н.Маркелова
Редактор Е.Папп Техред М.Дидык Корректор А.Тяско

Заказ 4223/39 Тираж 672 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4