

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8246 (2006.01)

H01L 27/115 (2006.01)



[12] 发明专利说明书

专利号 ZL 01819608. X

[45] 授权公告日 2009年8月19日

[11] 授权公告号 CN 100530600C

[22] 申请日 2001.8.7 [21] 申请号 01819608. X

[30] 优先权

[32] 2000.11.28 [33] US [31] 09/723, 635

[86] 国际申请 PCT/US2001/024829 2001.8.7

[87] 国际公布 WO2002/045157 英 2002.6.6

[85] 进入国家阶段日期 2003.5.27

[73] 专利权人 斯班逊有限公司

地址 美国加利福尼亚州

[72] 发明人 M·T·拉姆斯贝 J·Y·杨

H·舍瑞瓦 M·A·范巴斯柯克

D·M·罗杰斯 R·山卡瓦利

J·王 N·德尔哈科比安 Y·吴

[56] 参考文献

US6117730A 2000.9.12

US5751037A 1998.5.12

US5753551A 1998.5.19

审查员 杨子芳

[74] 专利代理机构 北京戈程知识产权代理有限公司

代理人 程伟

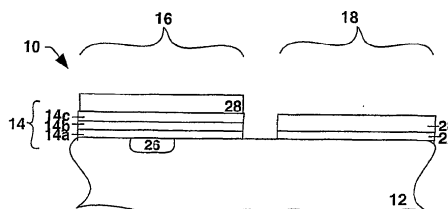
权利要求书4页 说明书19页 附图10页

[54] 发明名称

形成非易失性半导体内存组件的方法

[57] 摘要

本发明涉及一种形成非挥发易失性半导体内存组件的方法，该方法包括以连续或非连续的步骤在一基材衬底(12)上形成电荷捕捉俘获介电质(14)，该基材衬底(12)具有一中心区域(16)与一周围区域(18)；移除该周围区域(18)中至少一部分的电荷捕捉俘获介电质(14)；在该周围区域(18)中形成栅极介电质(22)；在该中心区域(16)中形成埋置位线(26)；以及在该中心区域(16)与该周围区域(18)中形成栅极(28)。



1. 一种形成非易失性半导体内存组件的方法，包括：

在一衬底（12）上形成电荷俘获介电质（14），该衬底（12）具有一中心区域（16）与一周围区域（18），该电荷俘获介电质（14）包含有能够进行电子俘获的介电层；

移除该周围区域（18）中至少一部分的电荷俘获介电质（14）；

在该周围区域（18）中形成栅极介电质（22）；

在该中心区域（16）中形成埋置位线（26）；以及

在该中心区域（16）与该周围区域（18）中形成栅极（28）；

藉以通过该电荷俘获介电质（14）隔离该埋置位线（26），以致在该中心区域（16）的埋置位线（26）上未形成有局部硅氧化结构。

2. 如权利要求1所述的方法，其中，该周围区域（18）的部分电荷俘获介电质（14）是在该中心区域（16）形成埋置位线（26）前加以移除。

3. 如权利要求1所述的方法，其中，该中心区域（16）的埋置位线（26）是在移除该周围区域（18）的部分电荷俘获介电质（14）前加以形成。

4. 如权利要求1所述的方法，其中，该周围区域（18）的栅极介电质（22）是在该中心区域（16）形成埋置位线（26）前加以形成。

5. 如权利要求1所述的方法，其中，该中心区域（16）的埋置位线（26）是在该周围区域（18）形成栅极介电质（22）前加以形成。

6. 如权利要求1至5中任一权利要求所述的方法，其中，该埋置位线（26）通过注入剂量每平方厘米从 1×10^{14} 至 1×10^{16} 原子的砷、硼、磷中的至少一种而形成。

7. 如权利要求1至5中任一权利要求所述的方法，其中，该电荷俘获介电质（14）包含有二氧化硅/氮化硅/二氧化硅三层介电质，氧化硅/氮化硅双层介电质，氮化硅/氧化硅双层介电质，氧化硅/氧化钽双层介电质，氧化硅/氧化钽/氧化硅三层介电质，氧化硅/钛酸

锶双层介电质，氧化硅 / 钛酸锶钡双层介电质，氧化硅 / 钛酸锶 / 氧化硅三层介电质，氧化硅 / 钛酸锶 / 钛酸锶钡三层介电质，氧化硅 / 氧化铪 / 氧化硅三层介电质的其中之一。

8. 如权利要求 1 至 5 中任一权利要求所述的方法，其中，该电荷俘获介电质（14）包含有二氧化硅/氮化硅/二氧化硅介电质，该二氧化硅/氮化硅/二氧化硅介电质包含有氮化氧化层与富硅氮化硅层中的至少一种。

9. 一种形成非易失性半导体内存组件的方法，包括连续执行的步骤：

在衬底（12）上形成电荷俘获介电质（14），该衬底(12)具有一中心区域(16)与一周围区域(18)，该电荷俘获介电质(14)包含有能够进行电子俘获的介电层；

移除该周围区域（18）中至少一部分的该电荷俘获介电质（14）；

在该周围区域（18）中形成栅极介电质（22）；

在该中心区域（16）中形成埋置位线（26）；以及

在该中心区域（16）与该周围区域（18）中形成栅极（28）；

其中在该中心区域（16）中未形成有局部硅氧化结构。

10. 如权利要求 9 所述的方法，其中，该埋置位线（26）通过注入剂量每平方厘米从 1×10^{14} 至 1×10^{16} 原子的砷、硼、磷中的至少一种而形成。

11. 如权利要求 9 所述的方法，其中，该电荷俘获介电质（14）包含有二氧化硅/氮化硅/二氧化硅三层介电质，氧化硅 / 氮化硅双层介电质，氮化硅 / 氧化硅双层介电质，氧化硅 / 氧化钽双层介电质，氧化硅 / 氧化钽 / 氧化硅三层介电质，氧化硅 / 钛酸锶双层介电质，氧化硅 / 钛酸锶钡双层介电质，氧化硅 / 钛酸锶 / 氧化硅三层介电质，氧化硅 / 钛酸锶 / 钛酸锶钡三层介电质，氧化硅 / 氧化铪 / 氧化硅三层介电质的其中之一。

12. 如权利要求 9 所述的方法，其中，该电荷俘获介电质（14）

包含有二氧化硅/氮化硅/二氧化硅介电质，该二氧化硅/氮化硅/二氧化硅介电质包含有氮化氧化层与富硅氮化硅层中的至少一种。

13. 一种形成非易失性半导体内存组件的方法，包括连续执行的步骤：

在衬底（12）上形成电荷俘获介电质（14），该衬底（12）具有一中心区域（16）与一周围区域（18），该电荷俘获介电质（14）包含有能够进行电子俘获的介电层；

在该中心区域（16）中形成埋置位线（26）；

移除该周围区域（18）中至少一部分的该电荷俘获介电质（14）；

在该周围区域（18）中形成栅极介电质（22）；以及

在该中心区域（16）与该周围区域（18）中形成栅极（28）；

其中在该中心区域（16）中未形成有局部硅氧化结构。

14. 如权利要求 13 所述的方法，还包括在该衬底（12）上形成电荷俘获介电质（14）前实施临界注入。

15. 如权利要求 13 所述的方法，还包括在该衬底（12）上形成该电荷俘获介电质（14）后，并在该中心区域（16）形成该埋置位线（26）前实施临界注入。

16. 一种形成非易失性半导体内存组件的方法，包括：

在衬底（12）上形成电荷俘获介电质（14），该衬底（12）具有一中心区域（16）与一周围区域（18），该电荷俘获介电质（14）包含有能够进行电子俘获的介电层；

移除该周围区域（18）中至少一部分的该电荷俘获介电质（14）；

在该周围区域（18）中形成具有第一厚度的栅极介电质（22）；

在该中心区域（16）中形成埋置位线（26）；

增加该周围区域（18）的至少一部分的该栅极介电质（22）的厚度，以提供具有第二厚度的栅极介电质（40）；以及

在该中心区域（16）与该周围区域（18）中形成栅极（28）；

其中在该中心区域（16）中未形成有局部硅氧化结构。

17. 如权利要求 16 所述的方法，还包括在该衬底（12）上形成电荷俘获介电质（14）后，并在该中心区域（16）形成埋置位线（26）前实施临界注入。

18. 如权利要求 16 所述的方法，还包括在该中心区域（16）形成埋置位线（26）后，并在该中心区域（16）与该周围区域（18）形成栅极（28）前实施临界注入。

形成非易失性半导体内存组件的方法

技术领域

本发明涉及非易失性内存组件的制造领域，尤其涉及制造硅氧化氮氧化硅(SONOS)型式的非易失性内存组件的改进方法。

背景技术

已有电可擦只读存储器(EEPROM, Electrically Erasable Programmable Read-Only Memory)的浮置栅极(Floating gate)闪存型态是应用一以垂直堆栈的穿隧氧化层(Tunnel Oxide)，一在该穿隧氧化层上的第一多晶硅层(first polysilicon layer)，一在该第一多晶硅层上的二氧化硅/氮化硅/二氧化硅(Oxide/Nitride/Oxide, ONO)内层介电层，以及一在该ONO内层介电层上的第二多晶硅层为特征的内存单元。例如，Guterman等人于1979年电气和电子工程师协会(IEEE)的电子组件会刊第26卷第4号第576页，指出浮置栅极非易失性内存单元是将浮置栅极夹置在栅极氧化物及内层氧化物间，通过该内层氧化物上的控制栅极所构成。

一般而言，一闪存单元是通过自一衬底(Substrate)部分，例如接近漏极的沟道区段(channel section)，导入热电子喷射(Hot electron injection)至该浮置栅极而加以程序化。电子喷射传递负电荷至该浮置栅极。该喷射机制可通过源极区域的接地与该衬底整块区域及提供相对高正电压，加以导入至控制电极而产生一电子吸引场，以及提供一适当强度正电压至该漏极以产生“热”(高能量)电子。在累积足够负电荷于该浮置栅极后，该浮置栅极负电位提升其场效应晶体管(FET)的临界电压(Threshold voltage)并抑制经由随后的“读取”模式(“read” mode)所通过该沟道区段的电流。该读取电流的强度用以计算一闪存单元是否程序化。排放一闪存单元的浮置栅极的动作称作擦除功能。该擦除功能一般是通过在该晶体管浮置栅极与该源极区域间(源极擦除或负栅极擦除)或该浮置栅极与该衬底(沟道擦除)的富尔诺罕

(Fowler-Nordheim)穿隧机制加以完成。一源极擦除操作是当浮置该各自内存单元的漏极时，通过提供一高正电压导入至该源极区域，以及一0伏特至该控制栅极与该衬底。

随后，硅氧化氮氧化硅(SONOS)形式的内存组件开始导入。请参阅19879年电气和电子工程师协会的电子组件信函第8卷第3号第93页。硅氧化氮氧化硅(SONOS)形式闪存组件由具有电荷俘获(charge trapping)非导体介电层，一般为氮化硅层，夹置在二氧化硅层(绝缘层)间所建构而成。该非导体介电层作用为一电荷俘获媒介。一导体栅极层安置于该上二氧化硅层上。由于该电荷是局部俘获接近作为该漏极的无论哪一侧边，因此该结构可描述为二个晶体管单元或每单元二位。假如使用多层结构，即可完成每单元四位或者更多位。多位单元(Multi-bit cell)能够使硅氧化氮氧化硅(SONOS)形式的内存件具有超越其它内存组件在一集成电路芯片上所具有//处理的信息数量的促进连续趋势的优点。

为求简化，以下将描述硅氧化氮氧化硅(SONOS)的每单元二位的形成。当硅氧化氮氧化硅(SONOS)形式内存组件的二位是在一已有方式中程序化，例如使用热电子程序化时，每一位于相对其通过一相对低栅极电压方向上可读取。例如，右侧位是于该源极接地或在一低电压时，通过提供程序化电压至该栅极与漏极以惯例地程序化。热电子是有效加速使其喷射至接近该漏极之一俘获介电层区域。然而，该组件是于其写入相对方向上读取，意指电压是当漏极接地或在一低电压时提供至栅极及源极。左侧位同样地程序化且通过交换该源极及漏极电极功能而加以读取。程序化该位之任一者将使另一位具有其完整无缺且未受干扰信息。然而，纵使程序化该位之任一者，将使另一位具有极小的影响。请参阅美国专利第5,349,221(Shimoji)与4,173,766(Hsyas)发明。

美国专利第5,349,221(Shimoji)中指出，当正高电压分别提供至硅氧化氮氧化硅(SONOS)形式内存单元的栅极与漏极且该源极区域接地时，热电子是产生于该漏极区域与该沟道间的边界。该热电子是局部喷射至一绝缘膜且于其中进行俘获。因此，信息为写入。而在读取信息时，该漏极为接地，一正读取电压供给至该源极区域，以及一预

定决定检测电压供给至该栅极。

当使用相对低栅极电压时，于相反方向上进行读取是非当有效的。一利用相对低栅极电压结合在相反方向上进行读取的好处在于通过位于该俘获电荷区域下的沟道部分，该电位下降将有效降低。由于在该电荷俘获区域下较低沟道电位下降，一相对小程序化区域或电荷俘获区域是为可能。因为在局部俘获区域的电荷俘获影响扩大，其将允许较快的程序化时间。当位于该程序化相对非程序化状态间的临界电压变化量维持相等于当该组件于向前方向读取时，程序化时间将可减少。

硅氧化氮氧化硅(SONOS)形式内存单元同时提供另外的优点。特别是该内存单元擦除机制大幅地加强。该内存单元的二位可通过供给适当擦除电压至右侧位的栅极与漏极与该左侧位的栅极与源极而加以擦除。另一优点包括降低循环磨损从而增加组件寿命。对于相反方向读取的影响在于一对应相同程度程序的较高临界电压是为可能的。因此，为达成在该内存组件的程序化与非程序化状态间的临界电压一足够变化量，相较当该组件于向前方向读取时，当该组件于相反方向读取，一较小俘获电荷区域是必要的。

当该电荷俘获区域尽可能狭小化时该擦除机制则可予强化。于向前方向程序化且于相反方向读取允许限制该电荷俘获宽度至一接近该漏极(右侧位)或该源极的狭窄区域。其准许更多有效的内存单元擦除。

另一局部电荷俘获优点在于，远离该漏极的氮区域并未遭受深度消耗，其是因该擦除仅发生于接近该漏极处。于擦除后，该单元的最终临界值通过该组件结构本身的自我限制。此是直接对照于已有单一晶体管浮置栅极闪存单元，其通常具有深度消耗问题。

虽然以上描述许多硅氧化氮氧化硅(SONOS)形式内存单元的优点，但其仍具有至少二缺点。其一缺点在于局部硅氧化结构(LOCOS)的绝缘占用大量的空间。而对于给定连续趋势朝向小型化与增加集成电路芯片上组件的集成度，以有效利用空间乃逐渐重要。此外，局部硅氧化结构(LOCOS)亦产生非必要的掺杂物加热除去气体。

另一硅氧化氮氧化硅(SONOS)形式内存单元的缺点在于该局部硅氧化的形成产生短沟道(Short channel)效应。于该局部硅氧化形成时所需高温通常在 800°C 至 1100°C。短沟道为有效沟道长度的减少，通常

表示为 L_{eff} 。非必要的有效沟道长度减少将导致非预期的大电流于低栅极电压(例如当该晶体管处于关闭(off)状态)通过晶体管。

关于局部硅氧化的形成的热循环亦产生位线对位线的突穿效应(Punch-through)效应漏损量的增加。由此,因热循环产生的扩散将导致在位线间非预期的漏损量。

该硅氧化氮氧化硅形式内存单元可通过以下方式形成。于美国专利第 5,168,334 号(Mitchell 等人)中指出,电子式可擦只读存储器单元(EEPROM)通过埋置位线而形成。该埋置的位线与位线氧化物是在形成二氧化硅/氮化硅/二氧化硅(ONO)内层介电层前形成于衬底中心区域。再者, Mitchell 等人是通过形成二氧化硅/氮化硅/二氧化硅(ONO)内层介电层,沉积多晶硅于该二氧化硅/氮化硅/二氧化硅(ONO)内层介电层,图案化该多晶硅,形成该埋置位线,以及移除覆盖在该位线上的该二氧化硅/氮化硅/二氧化硅(ONO)内层介电层,而形成硅氧化氮氧化硅内存单元。在美国专利第 5,966,603 号(Eitan)中指出,二氧化硅/氮化硅/二氧化硅(ONO)内层介电层是形成于衬底上,当完成覆盖于该二氧化硅/氮化硅/二氧化硅(ONO)内层介电层周围时一位线屏蔽是图案化于该二氧化硅/氮化硅/二氧化硅(ONO)内层介电层的中心上,部分顶部氧化层及氮化层曝露出该位线屏蔽者加以蚀刻/移除,该位线即加以注入,接着在该位线上形成位线氧化层。在 Eitan 的 PCT 国际刊物号码 WO 99/60631 中指示,内存单元的形成是通过形成二氧化硅/氮化硅/二氧化硅(ONO)内层介电层,在该二氧化硅/氮化硅/二氧化硅(ONO)内层介电层上形成具有开口的位线屏蔽,该开口为形成位线,顶部氧化层及氮化层曝露出该位线屏蔽者加以蚀刻/移除,该位即加以注入,移除该位线屏蔽,移除该二氧化硅//氮化硅/二氧化硅(ONO)内层介电层的底部氧化物的曝露部分,包含厚氧化物生长的栅极氧化物生长于该位线上,以及形成多晶硅栅极与字符线(wordline)。

于美国专利第 6,117,730 号(Komori 等人)中指出,金属氧化氮氧化硅(MONOS)形式闪存单元形成一具有中心区域与周围区域的半导体衬底上。一硅氧化层形成于该衬底上,以及一硅氮化层沉积于该硅氧化层上。接着形成一位线屏蔽俾用以形成该位线。通过沉积硼至未形成屏蔽有的区域以形成埋置位线。在形成该位线制程中蚀刻该氮化层,

以及在该位线上生长位线氧化层以形成位线氧化物。因此，沉积第二硅氧化层而完成该二氧化硅/氮化硅/二氧化硅（ONO）结构。

于美国专利第 5,751,037(Aozasa 等人)中指出，利用二氧化硅/氮化硅/二氧化硅（ONO）膜以形成非易失性内存组件。

发明内容

本发明提供一种用以制造硅氧化氮氧化硅(SONOS)形式的非易失性内存组件的简化制程，特别是，一种用以于硅氧化氮氧化硅(SONOS)形式的非易失性内存组件中形成位线的简化制程。该硅氧化氮氧化硅(SONOS)形式的非易失内存组件导致有效率生产密集，坚固耐用的单一多晶组件(Singlepoly device)，且具有实质上平整的结构。对照于已有硅氧化氮氧化硅(SONOS)内存制程，本发明排除每一步骤的中心区域的需求，因此减低成本与缺陷的形成。本发明排除在该中心区域中有关于形成局部硅氧化（LOCOS）的高温热循环，藉以减小及 / 或排除短沟道(short channeling)问题。本发明亦排除有关于形成局部硅氧化（LOCOS）中的非预期的鸟嘴部（bird's beak），其可能导致些许缺陷并 / 或改进的尺寸（scaling）。另外的优点在于一些例子中该位线的植置毋需经历周围栅极氧化物的热循环。

本发明的一特征是有关于一种形成非易失性半导体内存组件的方法，该方法包括连续或非连续步骤在一衬底上形成电荷俘获介电质，该衬底具有中心区域与周围区域；在该周围区域中移除至少一部分的电荷俘获介电质；在该周围区域中形成栅极介电质；在该中心区域中形成埋置位线；以及在该中心区域与周围区域中形成栅极。

本发明的另一特征是有关于一种形成非易失性半导体内存组件的方法，该方法步骤包括在一衬底上形成电荷俘获介电质，该衬底具有中心区域与周围区域；在该周围区域中移除至少一部分的电荷俘获介电质；在该周围区域中形成栅极介电质；在该中心区域中形成埋置位线；以及在该中心区域与周围区域中形成栅极。

本发明的又一特征是有关于一种形成非易失性半导体内存组件的方法，该方法步骤包括在一衬底上形成电荷俘获介电质，该衬底具有中心区域与周围区域；在该中心区域中形成埋置位线；在该周围区域

中移除至少一部分的电荷俘获介电质；在该周围区域中形成栅极介电质；以及在该中心区域与周围区域中形成栅极。

本发明的又再一特征是有关于一种形成非易失性半导体内存组件的方法，该方法步骤包括在一衬底上形成电荷俘获介电质，该衬底具有中心区域与周围区域；在该周围区域中移除至少一部分的电荷俘获介电质；在该周围区域中形成具有第一厚度的栅极介电层；在该中心区域中形成埋置位线；于至少一部分的周围区域中增加该栅极介电质厚度，以提供具有第二厚度的栅极介电质；以及在该中心区域与周围区域中形成栅极。

附图说明

图 1 是根据本发明的方法中一特征的剖面示意图；

图 2 是根据本发明的方法中另一特征的剖面示意图；

图 3 是根据本发明的方法中又另一特征的剖面示意图；

图 4 是根据本发明的方法中再另一特征的剖面示意图；

图 5 是根据本发明的方法中一特征的剖面示意图；

图 6 是根据本发明的方法中一特征的硅氧化氮氧化硅(SONOS)形式的内存单元剖面示意图；

图 7 是根据本发明的另一方法中一特征的剖面示意图；

图 8 是根据本发明的另一方法中另一特征的剖面示意图；

图 9 是根据本发明的另一方法中又另一特征的剖面示意图；

图 10 是根据本发明的另一方法中再另一特征的剖面示意图；

图 11 是根据本发明的另一方法中另一特征的剖面示意图；

图 12 是根据本发明的方法中另一特征的硅氧化氮氧化硅(SONOS)形式的内存单元剖面示意图；

图 13 是根据本发明的再另一方法中一特征的剖面示意图；

图 14 是根据本发明的再另一方法中另一特征的剖面示意图；

图 15 是根据本发明的再另一方法中又另一特征的剖面示意图；

图 16 是根据本发明的再另一方法中又再另一特征的剖面示意图；

图 17 是根据本发明的另一方法中另一特征的剖面示意图；

图 18 是根据本发明的另一方法中另一特征的剖面示意图；以及

图 19 是根据本发明的方法中又另一特征的硅氧化氮氧化硅 (SONOS) 形式的内存单元剖面示意图。

具体实施方式

本发明包含用以制造硅氧化氮氧化硅 (SONOS) 形式非易失性内存组件的制程，尤其是，一种用以在硅氧化氮氧化硅 (SONOS) 形式非易失性内存组件中形成位线的简化制程。一矩阵的该硅氧化氮氧化硅 (SONOS) 形式内存单元耦合至字符线与位线。尤其是，该硅氧化氮氧化硅 (SONOS) 形式内存单元的漏极与源极是连结至该位线。利用周围译码器与控制电路系统，每一内存单元可因应程序化、读取或擦除功能而传递。因此，形成位线乃为操作该硅氧化氮氧化硅 (SONOS) 形式非易失性内存组件的必要条件。

本发明的一特征包含一种用以制造非易失半导体内存组件的制程，其毋需在中心区域包含有局部硅氧化 (LOCOS)。因此，非预期的鸟嘴部与相关于局部硅氧化 (LOCOS) 形成的高温热循环将可减少及 / 或排除。本发明的制程亦可提供具有本质上平整结构的内存组件。

本发明将参照所附附图描述于下，其中相似特征是参照相似遍布号码。本发明的一特征描述于第 1 至 6 图中。请参阅图 1，显示一在一电荷俘获介电质 14 中具有半导体衬底 12 的半导体结构 10。半导体结构 10 包含有二区域，中心区域 16 包含有内存单元，周围区域 18 包含有例如控制逻辑与输入 / 输出组件的芯片的剩余部分。如图所示，该电荷俘获介电质 14 包含有三层；亦即，一第一二氧化硅层 14a，一氮化硅层 14b，以及一第二二氧化硅层 14c (二氧化硅/氮化硅/二氧化硅介电质)。尤其是，在一二氧化硅/氮化硅/二氧化硅介电质中，电荷俘获是位于该氮化层硅 14b 中。

该电荷俘获介电质 14 可为任一介电层亦或能够或促进电荷俘获的层。例如，电荷俘获介电质包含有二氧化硅/氮化硅/二氧化硅三层介电质，氧化硅 / 氮化硅双层介电质，氮化硅 / 氧化硅双层介电质，氧化硅 / 氧化钽双层介电质 (SiO₂/Ta₂O₅)，氧化硅 / 氧化钽 / 氧化硅三层介电质 (SiO₂/Ta₂O₅/ SiO₂)，氧化硅 / 钛酸锶双层介电质 (SiO₂/SrTiO₃)，氧化硅 / 钛酸锶钡双层介电质 (SiO₂/BaSrTiO₂)，

氧化硅 / 钛酸锶 / 氧化硅三层介电质 ($\text{SiO}_2/\text{SrTiO}_3/\text{SiO}_2$)，氧化硅 / 钛酸锶 / 钛酸锶钡三层介电质 ($\text{SiO}_2/\text{SrTiO}_3/\text{BaSrTiO}_2$)，氧化硅 / 氧化铅 / 氧化硅三层介电质等 (于本实施例中当该最后层指顶层时，该第一层是指底层)。虽然该硅氧化氮氧化硅(SONOS)形式非易失性内存组件通常使用于此，其必须了解到在此所使用的硅氧化氮氧化硅(SONOS)形式非易失性内存组件可包含任一先前所描述的电荷俘获介电质。换言之，硅氧化氮氧化硅(SONOS)形式非易失性内存组件包含任一介电层亦或能够或促进电荷俘获的层，且该硅氧化氮氧化硅(SONOS)形式非易失性内存组件仅当指示该介电质的特定参考时，包含有二氧化硅/氮化硅/二氧化硅电荷俘获介电质。

再者，于本实施例中该电荷俘获介电质为二氧化硅/氮化硅/二氧化硅介电质，该二氧化硅层 14a 及 14c 的其一或两者可为富硅二氧化硅层。该二氧化硅层 14a 及 14c 的其一或两者可为富氧二氧化硅层。该二氧化硅层 14a 及 14c 的其一或两者可为热成长或沉积氧化层。该二氧化硅层 14a 及 14c 的其一或两者可为氮化氧化层。该氮化层 14b 可为富硅氮化硅层。该氮化层 14b 亦可为富氮氮化硅层。于一实施例中，该电荷俘获介电质 14 具有大约 75 埃(\AA)至 300 埃(\AA)的厚度。于另一实施例中，该电荷俘获介电质 14 具有大约 100 埃(\AA)至 275 埃(\AA)的厚度。于又另一实施例中，该电荷俘获介电质 14 具有大约 110 埃(\AA)至 250 埃(\AA)的厚度。

通过此关系，在一实施例中，当该氮化层 14b 具有大约 20 埃(\AA)至 80 埃(\AA)的厚度时，该氧化层 14a 及 14c 各别具有大约 50 埃(\AA)至 150 埃(\AA)的厚度。在另一实施例中，当该氮化层 14b 具有大约 25 埃(\AA)至 75 埃(\AA)的厚度时，该氧化层 14a 及 14c 各别具有大约 60 埃(\AA)至 140 埃(\AA)的厚度。在又另一实施例中，当该氮化层 14b 具有大约 30 埃(\AA)至 70 埃(\AA)的厚度时，该氧化层 14a 及 14c 各别具有大约 70 埃(\AA)至 130 埃(\AA)的厚度。

虽然并未加以显示，但在该结构上形成该电荷俘获介电质 14 前，可加以实施一临界注入 (V_t 调节注入) 步骤。例如，硼的覆盖注入可仅先于形成该电荷俘获介电质 14 前加以实施。将如以下所述，该注入步骤的实施可先于或晚于该位线的注入步骤。

请参阅图 2，一屏蔽，例如一合适的光阻 20 是用以覆盖该电荷俘获介电质 14 于该中心区域 16，而使剩余的该电荷俘获介电质 14 曝露于该结构 10 的周围区域 18。该曝露于周围区域 18 的电荷俘获介电质 14 向下蚀刻至该衬底 12(该第一硅氧化层 14a，氮化硅层 14b，以及第二硅氧化层 14c 由该结构 10 的周围区域 18 中加以移除)。多重蚀刻步骤可应用于移除该电荷俘获介电质 14。

请参阅图 3，提供一栅极介电层 22，例如一氧化层其可利用任一合适方式达成，例如化学气相沉积(CVD)、干氧化法 (Dry oxidation)、湿氧化法 (Wet oxidation) 或快速热氧化法 (Rapid Thermal Oxidation) 以形成在该衬底 12 的曝露部分的至少一部分上(于该周围区域 18 上)。其中最佳的方式为干氧化法 (Dry oxidation)、湿氧化法 (Wet oxidation) 或快速热氧化法 (Rapid Thermal Oxidation)，尤其该栅极介电质 22 包含有二氧化硅时。而化学气相沉积(CVD)技术应用于例如当该栅极介电质 22 包含有二氧化硅，氮化硅，以及氮氧化硅之一或多者时。

该栅极介电质 22 稍后应用于接续在该周围区域 18 中形成高及 / 或低电压晶体管(未显示)的栅极介电质。在一实施例中，该栅极介电质 22 具有大约从 30 埃(Å)至 300 埃(Å)的厚度。在另一实施例中，该栅极介电质 22 具有大约从 40 埃(Å)至 250 埃(Å)的厚度。在形成该栅极介电质 22 之前或之后，光阻 20 可自该半导体结构 10 剥去或移除。

请参阅图 4，另一屏蔽，例如一合适的光阻 24 用以当覆盖该结构 10 周围区域 18 的栅极介电质 22 时，部分覆盖该中心区域 16 的电荷俘获介电质 14。于该中心区域 16，光阻 24 加以图案化而于其中形成有开孔 25。该光阻 24 于中心区域 16 内加以图案化而促进/符合于该埋置位线的形成(亦即，直接位于后续形成的埋置位线上的该电荷俘获介电质 14 区域曝露于该图案化光阻 24)。如箭头所示，离子加以注入，而直接在开孔 25 下形成注入区域 26。该半导体结构 10 是在进行注入后于合适温度下随意退火。

一或多个适合的注入材料可加以应用。该注入材料的选择主要依据衬底形式的使用，例如，不管是加以使用 p 形或 n 形(p+,p-,n+,n-)。该注入材料是例如包括砷，硼与磷之一或多种。在一实施例中，一 n+ 掺杂物用于注入中。在一实施例中，一 p+ 掺杂物用于注入中。加以管

理注入以获得一合适剂量。

该注入材料是在一合适剂量中进行注入以形成埋置位线。在一实施例中，该注入材料是在每平方厘米大约 1×10^{14} 至大约 1×10^{16} 原子剂量中进行注入。在另一实施例中，该注入材料是在每平方厘米大约 5×10^{14} 至大约 7×10^{15} 原子剂量中进行注入。在又另一实施例中，该注入材料是在每平方厘米大约 1×10^{15} 至大约 5×10^{15} 原子剂量中进行注入。

相对应于该开孔 25 的该注入区域 26 是在该最终硅氧化氮氧化硅 (SONOS) 形式非易失性内存组件中形成埋置位线。该注入区域 26 的宽度本质上是对应于该开孔 25 的宽度。在一实施例中，该注入区域 26 的宽度（以及随后形成的位线）是大约由 0.15 微米至大约 1.5 微米。在另一实施例中，该注入区域 26 的宽度（以及随后形成的位线）是大约由 0.18 微米至大约 1 微米。在又另一实施例中，该注入区域 26 的宽度（以及随后形成的位线）是大约由 0.2 微米至大约 0.75 微米。

虽然附图中没有显示，一 V_t 调整注入步骤可随意地实施于该位线注入步骤之前或之后。例如，该结构 10 可相对于注入角度倾斜以及硼注入可通过于该中心区域 16 的光阻 24 中该开孔 25 而实施，藉以形成邻接于该注入区域 26 的注入区域（未显示）。该 V_t 调节注入步骤典型上应用一相对于该位线注入种类的掺杂物形式。

请参阅图 5，图案化光阻 24 是由该结构 10 上加以移除，以及多晶硅栅极 28 形成于该结构 10 上。特别是，在该光阻 24 剥离后，多晶硅（或掺杂非晶硅）通过合适的技术而沉积在该中心区域 16 的电荷俘获介电质 14 上以及该周围区域 18 的栅极介电质 22 上。在一实施例中，该多晶硅层具有大约从 500 埃(Å)至大约 6000 埃(Å)的厚度(超过该电荷俘获介电质 14)。在另一实施例中，该多晶硅层具有大约从 1000 埃(Å)至大约 5000 埃(Å)的厚度。在又另一实施例中，该多晶硅层具有大约从 1500 埃(Å)至大约 4000 埃(Å)的厚度。该多晶硅层接着利用合适技术图案化以形成多晶硅栅极 28。例如一光阻（未显示）可利用标准平版印刷技术加以沉积与图案化而覆盖住部分的多晶硅层并曝露出部分的多晶硅层。该多晶硅层所曝露的部分通过标准制程，例如使用非等向性蚀刻，而加以移除。

虽然未显示，当该多晶硅栅极 28 形成于该结构 10 上时，进一步

制程加以实施以完成该硅氧化氮氧化硅(SONOS)形式非易失性内存组件。例如，周围源极 / 漏极区域与栅极的掺杂，形成间隔物，硅化作用(salicidation)，完成硅氧化氮氧化硅(SONOS)形式闪存单元的形成，选择栅极，高电压栅极，以及低电压栅极等。该中心区域与周围区域的栅极可同时或于不同时间加以形成。例如，栅极可先形成于该中心区域之后再形成于该周围区域，或者先形成于该周围区域之后再形成于该中心区域。再者，个别栅极可同时形成或在不同的时间形成在每一个该周围区域及中心区域中。

请参阅图 6，是一硅氧化氮氧化硅(SONOS)形式内存单元 30 形成在一硅氧化氮氧化硅(SONOS)形式内存组件的中心区域中。该单元包含电荷俘获介电质 14，栅极 28，源极 32 以及漏极 34。硅氧化氮氧化硅(SONOS)形式内存单元 30 可作用与操作为单一位单元(single bit cell)或双位单元(double bit cell)。

本发明另一特征描述于第 7 至 12 图中。请参阅图 7，一半导体结构 10 显示具有一半导体衬底 12 位于一电荷俘获介电质 14 下方。半导体结构 10 包含两区域，该中心区域 16 包含有内存单元，以及该周围区域 18 包含有例如控制逻辑与输入 / 输出组件的芯片的剩余部分。如图所示，该电荷俘获介电质 14 包含有三层；亦即，一第一二氧化硅层 14a，一氮化硅层 14b，以及一第二二氧化硅层 14c（二氧化硅/氮化硅/二氧化硅介电质）。尤其是，在一二氧化硅/氮化硅/二氧化硅介电质中，电荷俘获是位于该氮化硅层 14b 中。

该电荷俘获介电质 14 可为任一介电层亦或能够或促进电荷俘获的层。例如，电荷俘获介电质包含有二氧化硅/氮化硅/二氧化硅三层介电质，氧化硅 / 氮化硅双层介电质，氮化硅 / 氧化硅双层介电质，氧化硅 / 氧化钽双层介电质，氧化硅 / 氧化钽 / 氧化硅三层介电质，氧化硅 / 钛酸锶双层介电质，氧化硅 / 钛酸锶钡双层介电质，氧化硅 / 钛酸锶 / 氧化硅三层介电质，氧化硅 / 钛酸锶 / 钛酸锶钡三层介电质，氧化硅 / 氧化铪 / 氧化硅三层介电质等。

再者，于本实施例中该电荷俘获介电质为二氧化硅/氮化硅/二氧化硅介电质，该二氧化硅层 14a 及 14c 的其一或两者可为富硅二氧化硅层。该二氧化硅层 14a 及 14c 的其一或两者可为富氧二氧化硅层。该

二氧化硅层 14a 及 14c 的其一或两者可为热成长或沉积氧化层。该二氧化硅层 14a 及 14c 的其一或两者可为氮化氧化层。该氮化层 14b 可为富硅氮化硅层。该氮化层 14b 亦可为富氮氮化硅层。

虽然并未加以显示，但在该结构上形成该电荷俘获介电质 14 前，可加以实施一临界注入（ V_t 调节注入）步骤。例如，硼的覆盖注入可仅先于形成该电荷俘获介电质 14 前加以实施。将如以下所述，该注入步骤的实施可先于或晚于该位线的注入步骤。

请参阅图 8，一屏蔽，例如一合适的光阻 36 用以当覆盖该结构 10 周围区域 18 的栅极介电质 22 时，部分覆盖该中心区域 16 的电荷俘获介电质 14。于该中心区域 16，光阻 36 加以图案化而于其中形成有开孔 25。该光阻 36 是于中心区域 16 内加以图案化而促进/符合于该埋置位线的形成(亦即，直接位于后续形成的埋置位线上的该电荷俘获介电质 14 区域曝露于该图案化光阻 36)。如箭头所示，离子加以注入，而直接在开孔 25 下形成注入区域 26。该半导体结构 10 在进行注入后于合适温度下随意退火。

一或多个适合的注入材料可加以应用。该注入材料的选择主要依据衬底形式的使用，例如，不管是加以使用 p 形或 n 形(p+,p-,n+,n-)。该注入材料是例如包括砷，硼与磷之一或多种。在一实施例中，一 n+ 掺杂物用于注入中。在一实施例中，一 p+ 掺杂物用于注入中。加以管理注入以获得一合适剂量。

该注入材料是在一合适剂量中进行注入以形成埋置位线。在一实施例中，该注入材料是在每平方厘米大约 1×10^{14} 至大约 1×10^{16} 原子剂量中进行注入。在另一实施例中，该注入材料是在每平方厘米大约 5×10^{14} 至大约 7×10^{15} 原子剂量中进行注入。在又另一实施例中，该注入材料是在每平方厘米大约 1×10^{15} 至大约 5×10^{15} 原子剂量中进行注入。

相对应于该开孔 25 的该注入区域 26 是在该最终硅氧化氮氧化硅 (SONOS) 形式非易失性内存组件中形成埋置位线。该注入区域 26 的宽度本质上对应于该开孔 25 的宽度。

虽然附图中没有显示，但一 V_t 调整注入步骤可随意地实施于该位线注入步骤之前或之后。例如，该结构 10 可相对于注入角度倾斜以及硼注入可通过于该中心区域 16 的光阻 36 中该开孔 25 而实施，藉以形

成邻接于该注入区域 26 的注入区域（未显示）。该 V_t 调节注入步骤典型上应用一相对于该位线注入种类的掺杂物形式。

请参阅图 9, 光阻 36 自该结构 10 上加以剥离或移除, 且另一屏蔽, 例如一合适的光阻 38 用以覆盖该中心区域 16 的电荷俘获介电质 14, 而使剩余的该电荷俘获介电质 14 曝露于该结构 10 的周围区域 18。该曝露于周围区域 18 的电荷俘获介电质 14 向下蚀刻至该衬底 12(该第一硅氧化层 14a, 氮化硅层 14b, 以及第二硅氧化层 14c 由该结构 10 的周围区域 18 中加以移除)。多重蚀刻步骤可应用于移除该电荷俘获介电质 14。

请参阅图 10, 一栅极介电层 22, 例如一氧化层的提供可利用任一合适方式达成, 例如化学气相沉积(CVD)、干氧化法 (Dry oxidation)、湿氧化法 (Wet oxidation) 或快速热氧化法 (Rapid Thermal Oxidation) 在该衬底 12 的曝露部分的至少一部分 (于该周围区域 18 上)。其中最佳的方式为干氧化法 (Dry oxidation)、湿氧化法 (Wet oxidation) 或快速热氧化法 (Rapid Thermal Oxidation), 尤其该栅极介电质 22 包含有二氧化硅时。而化学气相沉积(CVD)技术应用于例如当该栅极介电质 22 包含有二氧化硅, 氮化硅, 以及氮氧化硅之一或多者时。

该栅极介电质 22 稍后应用于接续在该周围区域 18 中形成高及 / 或低电压晶体管(未显示)的栅极介电质。在一实施例中, 该栅极介电质 22 具有大约从 30 埃(Å)至 300 埃(Å)的厚度。在另一实施例中, 该栅极介电质 22 具有大约从 40 埃(Å)至 250 埃(Å)的厚度。在形成该栅极介电质 22 之前或之后, 光阻 38 可自该半导体结构 10 剥去或移除。

请参阅图 11, 图案化光阻 38 由该结构 10 上加以移除, 以及多晶硅栅极 28 形成于该结构 10 上。特别是, 在该光阻 38 剥离后, 多晶硅 (或掺杂非晶硅) 通过合适的技术而沉积在该中心区域 16 的电荷俘获介电质 14 上以及该周围区域 18 的栅极介电质 22 上。该多晶硅层接着利用合适技术图案化以形成多晶硅栅极 28。例如一光阻 (未显示) 可利用标准平版印刷技术加以沉积与图案化而覆盖住部分的多晶硅层并曝露出部分的多晶硅层。该多晶硅层所曝露的部分通过标准制程, 例如使用非等向性蚀刻, 而加以移除。

虽然未加以显示, 但在该结构 10 上形成该多晶硅栅极 28 时, 进

一步制程是可加以实施藉以完成该硅氧化氮氧化硅(SONOS)形式非易失性内存组件。

请参阅图 12, 显示一硅氧化氮氧化硅(SONOS)形式内存单元 30 形成在一硅氧化氮氧化硅(SONOS)形式内存组件的中心区域中。该单元包含电荷俘获介电质 14, 栅极 28, 源极 32 以及漏极 34。硅氧化氮氧化硅(SONOS)形式内存单元 30 可作用与操作为单一位单元(single bit cell)或双位单元(double bit cell)。

本发明另一特征描述于第 13 至 19 图中。请参阅图 13, 一半导体结构 10 显示具有一半导体衬底 12 位于一电荷俘获介电质 14 下方。半导体结构 10 包含两区域, 该中心区域 16 包含有内存单元, 以及该周围区域 18 包含有例如控制逻辑与输入 / 输出组件的芯片的剩余部分。如图所示, 该电荷俘获介电质 14 包含有三层; 亦即, 一第一二氧化硅层 14a, 一氮化硅层 14b, 以及一第二二氧化硅层 14c (二氧化硅/氮化硅/二氧化硅介电质)。尤其是, 在一二氧化硅/氮化硅/二氧化硅介电质中, 电荷俘获是位于该氮化硅层 14b 中。

该电荷俘获介电质 14 可为任一介电层亦或能够或促进电荷俘获的层。例如, 电荷俘获介电质包含有二氧化硅/氮化硅/二氧化硅三层介电质, 氧化硅 / 氮化硅双层介电质, 氮化硅 / 氧化硅双层介电质, 氧化硅 / 氧化钽双层介电质, 氧化硅 / 氧化钽 / 氧化硅三层介电质, 氧化硅 / 钛酸锶双层介电质, 氧化硅 / 钛酸锶钽双层介电质, 氧化硅 / 钛酸锶 / 氧化硅三层介电质, 氧化硅 / 钛酸锶 / 钛酸锶钽三层介电质, 氧化硅 / 氧化铪 / 氧化硅三层介电质等。

再者, 于本实施例中该电荷俘获介电质为二氧化硅/氮化硅/二氧化硅介电质, 该二氧化硅层 14a 及 14c 的其一或两者可为富硅二氧化硅层。该二氧化硅层 14a 及 14c 的其一或两者可为富氧二氧化硅层。该二氧化硅层 14a 及 14c 的其一或两者可为热成长或沉积氧化层。该二氧化硅层 14a 及 14c 的其一或两者可为氮化氧化层。该氮化层 14b 可为富硅氮化硅层。该氮化层 14b 也可为富氮氮化硅层。

虽然并未加以显示, 但可在该结构上形成该电荷俘获介电质 14 之前实施一临界注入 (Vt 调节注入) 步骤。例如, 硼的覆盖注入可仅先于形成该电荷俘获介电质 14 前加以实施。将如以下所述, 该注入步

骤的实施可先于或晚于该位线的注入步骤。

请参阅图 14，一屏蔽，例如一合适的光阻 20 用以覆盖该电荷俘获介电质 14 于该中心区域 16，而使剩余的该电荷俘获介电质 14 曝露于该结构 10 的周围区域 18。该曝露于周围区域 18 的电荷俘获介电质 14 向下蚀刻至该衬底 12(该第一硅氧化层 14a，氮化硅层 14b，以及第二硅氧化层 14c 由该结构 10 的周围区域 18 中加以移除)。多重蚀刻步骤可应用于移除该电荷俘获介电质 14。

请参阅图 15，提供一栅极介电层 22，例如一氧化层其可利用任一合适方式达成，例如化学气相沉积(CVD)、干氧化法 (Dry oxidation)、湿氧化法 (Wet oxidation) 或快速热氧化法 (Rapid Thermal Oxidation) 以形成在该衬底 12 的曝露部分的至少一部分上(于该周围区域 18 上)。其中最佳的方式为干氧化法 (Dry oxidation)、湿氧化法 (Wet oxidation) 或快速热氧化法 (Rapid Thermal Oxidation)，尤其该栅极介电质 22 包含有二氧化硅时。而化学气相沉积(CVD)技术应用于例如当该栅极介电质 22 包含有二氧化硅，氮化硅，以及氮氧化硅之一或多者时。

该栅极介电质 22 稍后应用于接续在该周围区域 18 中形成高及 / 或低电压晶体管(未显示)的栅极介电质。在一实施例中，该栅极介电质 22 具有大约从 30 埃(Å)至 300 埃(Å)的厚度。在另一实施例中，该栅极介电质 22 具有大约从 40 埃(Å)至 250 埃(Å)的厚度。在形成该栅极介电质 22 之前或之后，光阻 20 可自该半导体结构 10 剥去或移除。

请参阅图 16，另一屏蔽，例如一合适的光阻 24 用以当覆盖该结构 10 周围区域 18 的栅极介电质 22 时，部分覆盖该中心区域 16 的电荷俘获介电质 14。于该中心区域 16，光阻 24 加以图案化而于其中形成有开孔 25。该光阻 24 于中心区域 16 内加以图案化而促进/符合于该埋置位线的形成(亦即，直接位于后续形成的埋置位线上的该电荷俘获介电质 14 区域曝露于该图案化光阻 24)。如箭头所示，离子加以注入，而直接在开孔 25 下形成注入区域 26。该半导体结构 10 是在进行注入后于合适温度下随意退火。

一或多个适合的注入材料可加以应用。该注入材料的选择主要依据衬底形式的使用，例如，不管是加以使用 p 形或 n 形(p+,p-,n+,n-)。该注入材料是例如包括砷，硼与磷之一或多种。

该注入材料是在一合适剂量中进行注入以形成埋置位线。在一实施例中，该注入材料是在每平方厘米大约 1×10^{14} 至大约 1×10^{16} 原子剂量中进行注入。在另一实施例中，该注入材料是在每平方厘米大约 5×10^{14} 至大约 7×10^{15} 原子剂量中进行注入。在又另一实施例中，该注入材料是在每平方厘米大约 1×10^{15} 至大约 5×10^{15} 原子剂量中进行注入。

相对应于该开孔 25 的该注入区域 26 是在该最终硅氧化氮氧化硅 (SONOS) 形式非易失性内存组件中形成埋置位线。该注入区域 26 的宽度本质上是对应于该开孔 25 的宽度。

虽然附图中没有显示，但一 Vt 调整注入步骤可随意地实施于该位线注入步骤之前或之后。例如，该结构 10 可相对于注入角度倾斜以及硼注入可通过于该中心区域 16 的光阻 24 中该开孔 25 而实施，藉以形成邻接于该注入区域 26 的注入区域（未显示）。该 Vt 调节注入步骤典型上是应用一相对于该位线注入种类的掺杂物形式。

请参阅图 17，将图案化光阻 24 由该结构 10 上加以移除，以及于该周围区域 18 上形成一另外的栅极介电质材料，藉以提供一尺寸强化（增加厚度）及 / 或较干净的栅极介电质 40。该另外的栅极介电质材料最佳通过相对沉积的热成长而形成，其可利用任一合适方式达成，例如干氧化法（Dry oxidation）、湿氧化法（Wet oxidation）或快速热氧化法（Rapid Thermal Oxidation），虽然可利用化学气相沉积(CVD)技术，最佳的方式为干氧化法(Dry oxidation)、湿氧化法(Wet oxidation)或快速热氧化法（Rapid Thermal Oxidation），尤其该栅极介电质 40 包含有二氧化硅时。于实例中当该整体结构加以氧化处理时，该氮化硅层 14b 的存在本质上是妨碍该中心区域 16 的该第二硅氧化层 14c 的氧化成长。而化学气相沉积(CVD)技术应用于例如当该栅极介电质 40 包含有二氧化硅，氮化硅，以及氮氧化硅之一或多者时。于实例中，当使用化学气相沉积(CVD)技术时，其最佳将该中心区域加以屏蔽（未显示）。

在该周围区域 18，另外周围的栅极介电质材料的成长或再成长，可以提供一个更加干净的栅极介电质 40，在其上将随后形成栅极和 / 或增加栅极介电质的厚度。分两步骤形成栅极介电质，减少了位线注入的不必要的扩散。在一实施例中，尺寸增加的栅极介电质 40 具有大

约从 30 埃(Å)至 350 埃(Å)的厚度。在另一实施例中，尺寸增加的栅极介电质 40 具有大约从 40 埃(Å)至 300 埃(Å)的厚度。在又另一实施例中，尺寸增加的栅极介电质 40 的厚度至少比栅极介电质 22 的厚度大 10%。

虽然没有显示出来，但在一些实例中，当实施该另外周围的栅极介电质材料的成长或再成长时，在该周围区域 18 的该栅极介电质 22 的部分可加以移除（例如利用平版印刷（lithographic）技术）而使遗留的该栅极介电质 22 部分覆盖于该周围区域 18。在这些例子中，当新的栅极介电质形成在该栅极介电质 22 先前所移除的部分上时，该栅极介电质 22 的残留部分加以形成尺寸强化栅极介电质。其优点在于当不同随后在该周围区域 18 形成的栅极需要不同厚度的栅极介电质。例如，高电压栅极晶体管相较于低压栅极晶体管可能需要较厚的栅极氧化层。该另外周围的栅极介电质材料的成长或再成长因此可实施在一或更多步骤中，二或更多步骤中等。

请参阅图 18，多晶硅栅极 28 形成于该结构 10 上。特别是，多晶硅（或掺杂非晶硅）通过合适的技术而沉积在该中心区域 16 的电荷俘获介电质 14 上以及该周围区域 18 的该尺寸强化（增加厚度）栅极介电质 40 上。该多晶硅层接着利用合适技术图案化以形成多晶硅栅极 28。例如将一光阻（未显示）利用标准平版印刷技术加以沉积与图案化而覆盖住部分的多晶硅层并曝露出部分的多晶硅层。该多晶硅层所曝露的部分通过标准制程，例如使用非等向性蚀刻，而加以移除。

虽然未加以显示，但在该结构 10 上形成该多晶硅栅极 28 时，进一步制程加以实施藉以完成该硅氧化氮氧化硅(SONOS)形式非易失性内存组件。

请参阅图 19，显示一硅氧化氮氧化硅(SONOS)形式内存单元 30 形成在一硅氧化氮氧化硅(SONOS)形式内存组件的中心区域中。该单元包含有电荷俘获介电质 14，栅极 28，源极 32 以及漏极 34。硅氧化氮氧化硅(SONOS)形式内存单元 30 可作用与操作为单一位单元(single bit cell)或双位单元(double bit cell)。

基本当一半导体组件加以比例化时，该沟道长度将变得较短且短沟道影响将会发生。因此在二位的内存单元实例中，因为每个位储存在晶体管不同区域中，相较于单一位的内存单元实例中，短沟道影响

将变得快速普遍。然而，在本发明的该硅氧化氮氧化硅(SONOS)形式内存组件中，因为在该中心区域未形成有局部硅氧化结构(LOCOS)，因此短沟道影响将可最小化。

虽然本发明已对应于某些较佳范例与实施例而加以显示与描述，但很明显地，对于熟悉本发明的该项技艺者在经由阅读及了解本发明的说明书内容与其附加的附图后，将可完成等效的变更或修改。特别是，关于以上说明的零件（组件、组件、电路等）所实施的各式功能，除非有不一样的指示，否则用以描述该些零件的术语（包含任何提及的方式）可成为相对于可执行所述零件的特定功能（亦即为功能性等效）的任一零件，即使并非结构等效于该所揭示的结构，其是可在在此执行本发明的实施例所述的功能。再者，当本发明独特的特征是可对应于数个实施例中之一者而加以揭露时，该特征可通过其它实施例之一或更多其它特征加以组合，藉以将对于任一给定或特定的应用而提供可预期与优越性。

产业上的可利用性

本发明的方法可运用在非易失性半导体内存领域的制造。更确切地说，本发明的方法应用于非易失性闪存组件，例如电可擦只读存储器(EEPROM)组件的制造。

组件符号的简单说明

10	结构
12	衬底
14	电荷俘获介电质
14a	第一二氧化硅层
14b	氮化硅层
14c	第二二氧化硅层
16	中心区域
18	周围区域
20	光阻
22	栅极介电质
24	光阻
25	开孔
26	埋置位线
28	栅极
30	内存单元
32	源极
34	漏极
36	光阻
38	光阻
40	栅极介电质

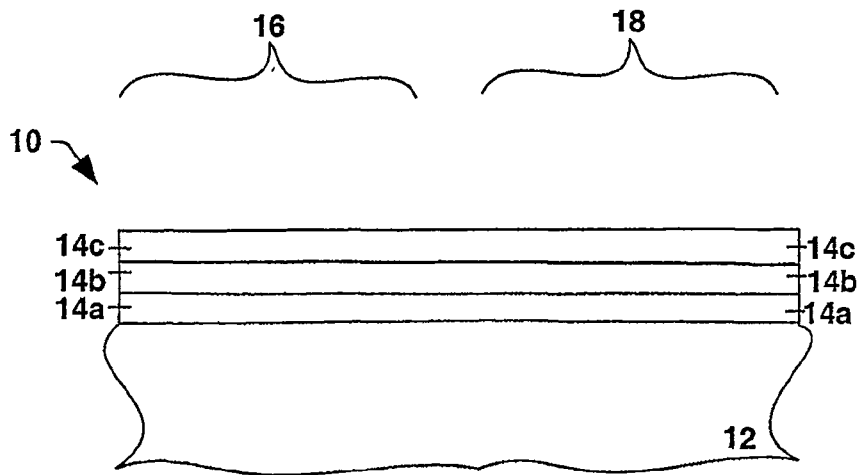


FIG. 1

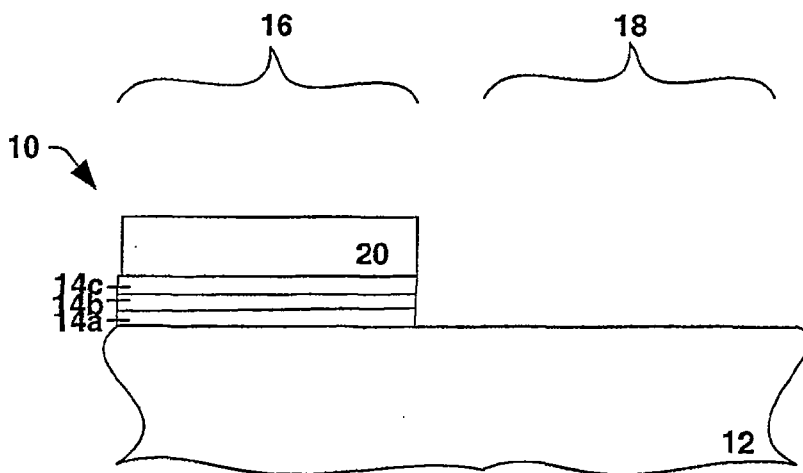


FIG. 2

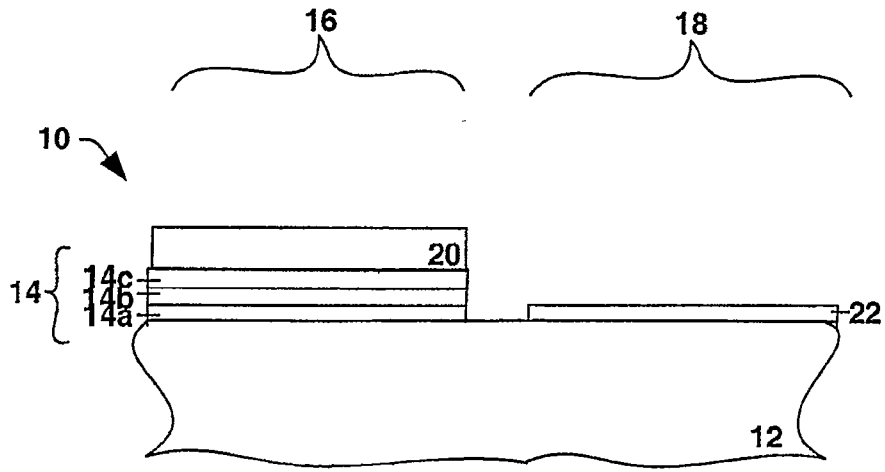


FIG. 3

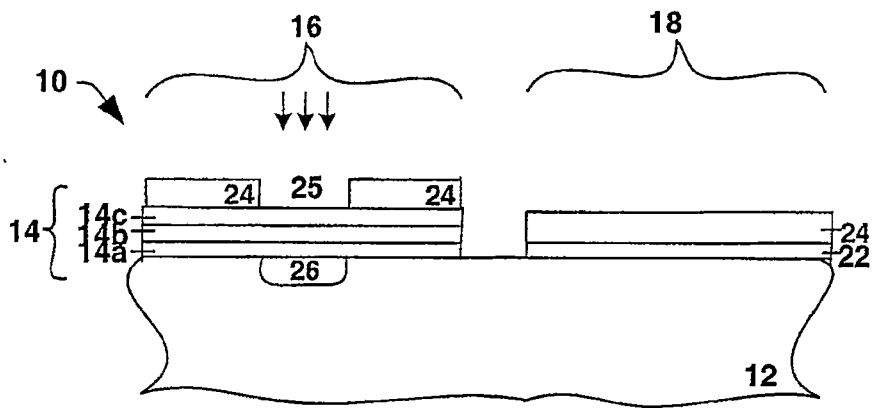


FIG. 4

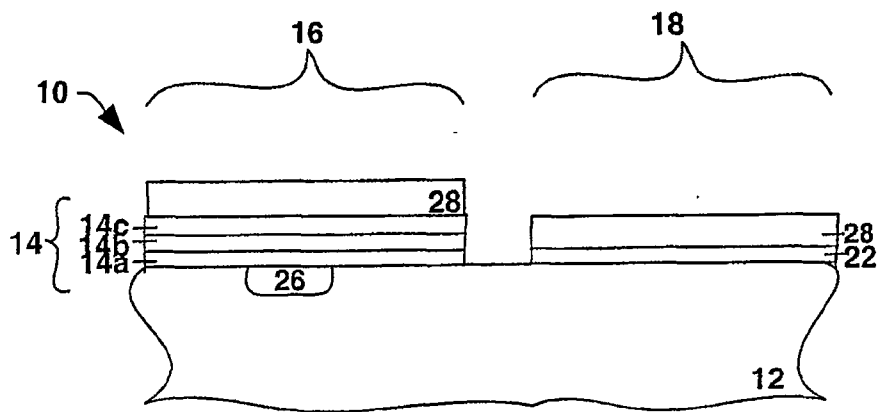


FIG. 5

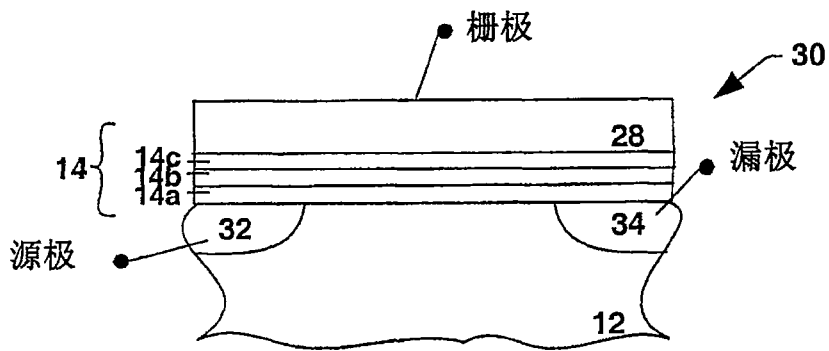


FIG. 6

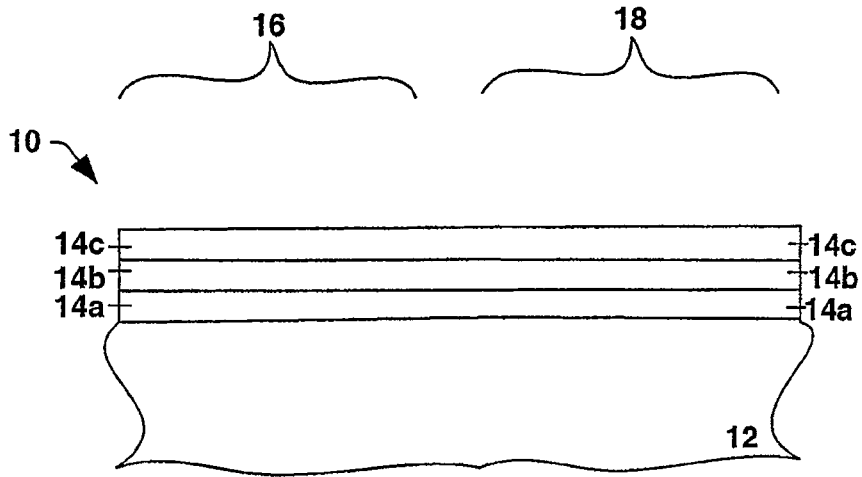


FIG. 7

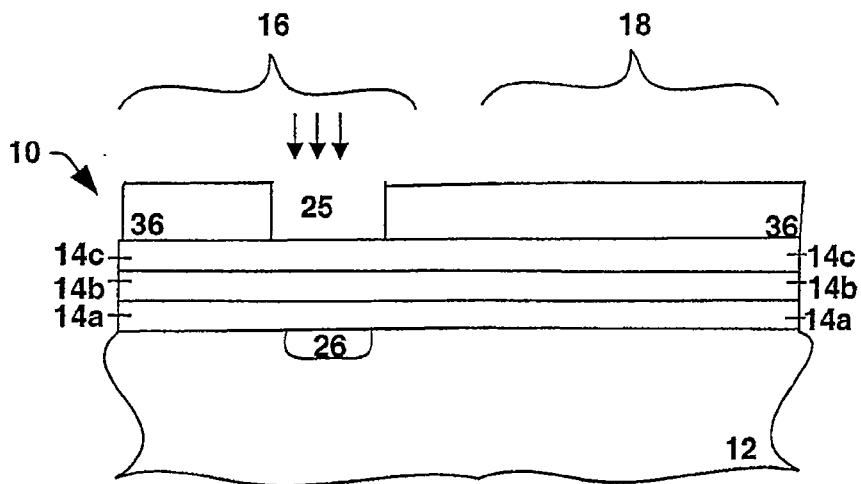
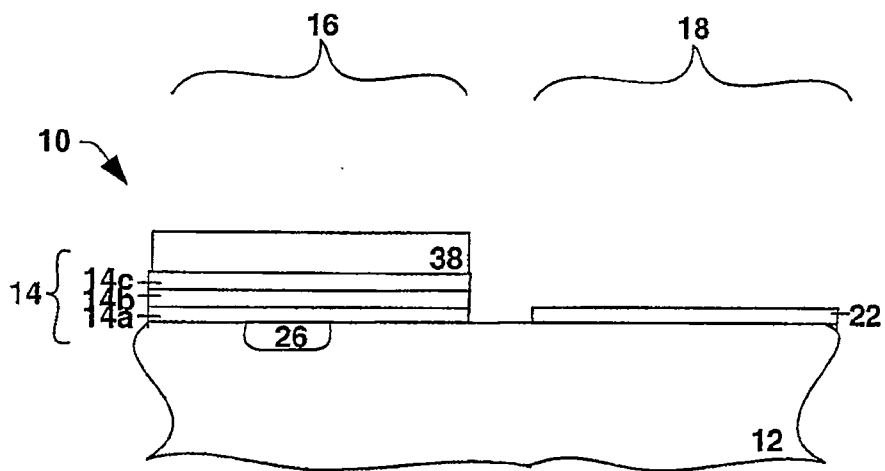
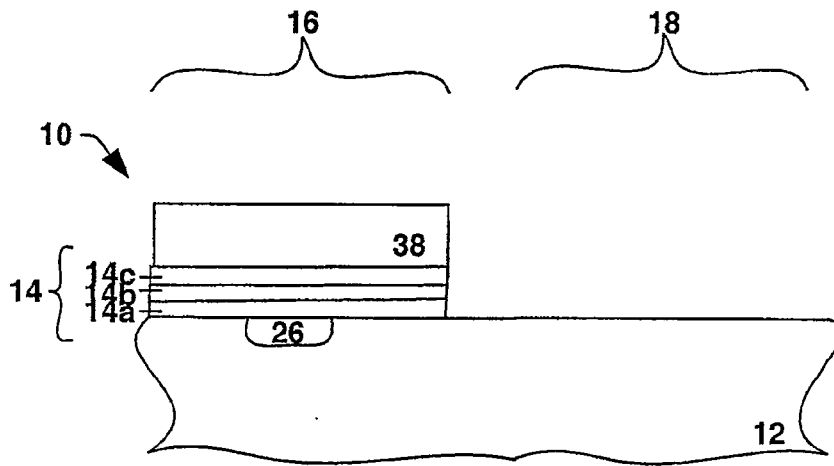


FIG. 8



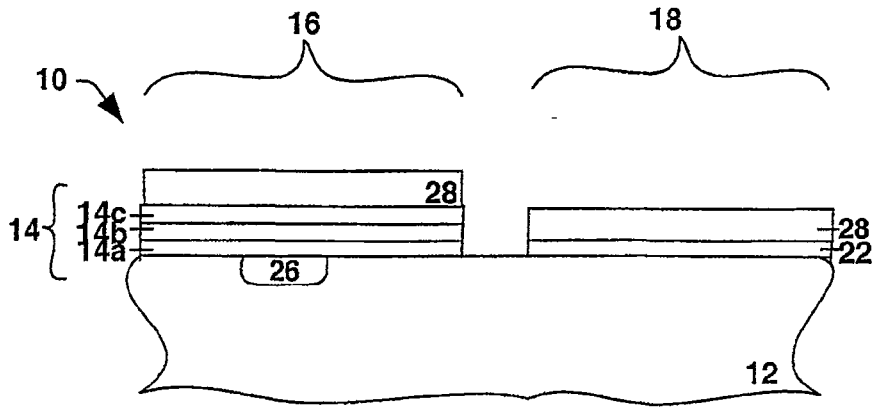


FIG. 11

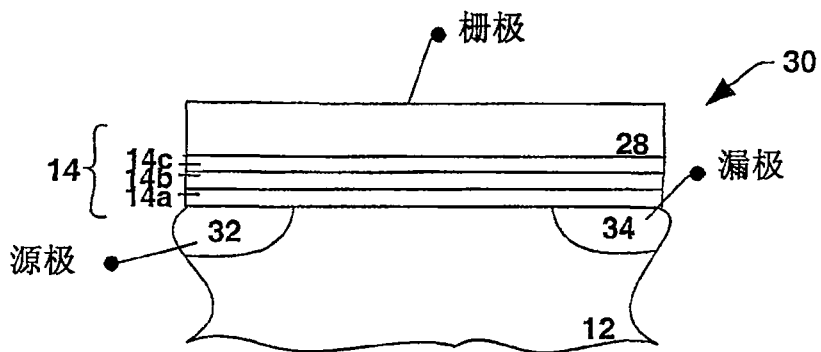


FIG. 12

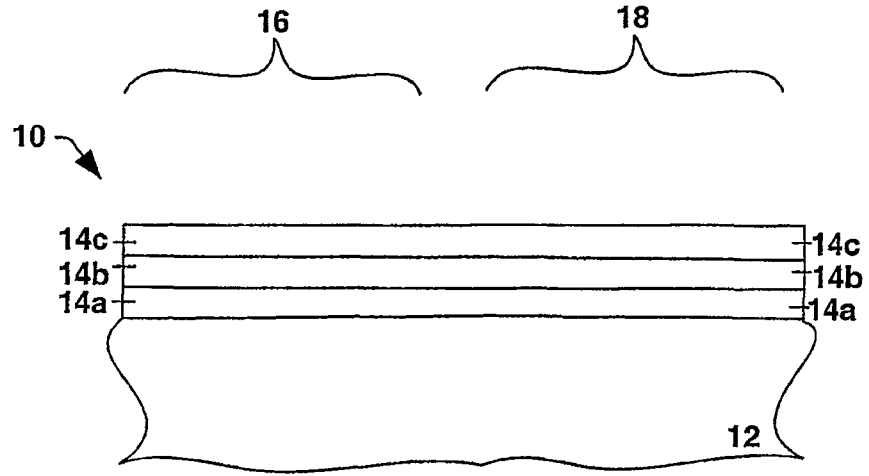


FIG. 13

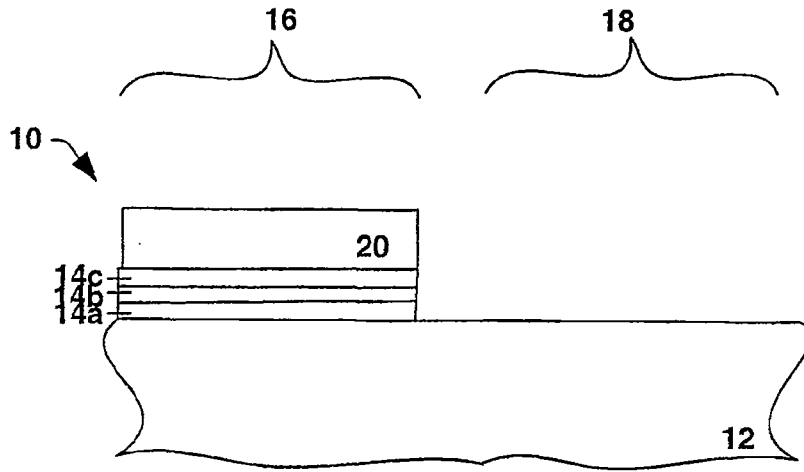


FIG. 14

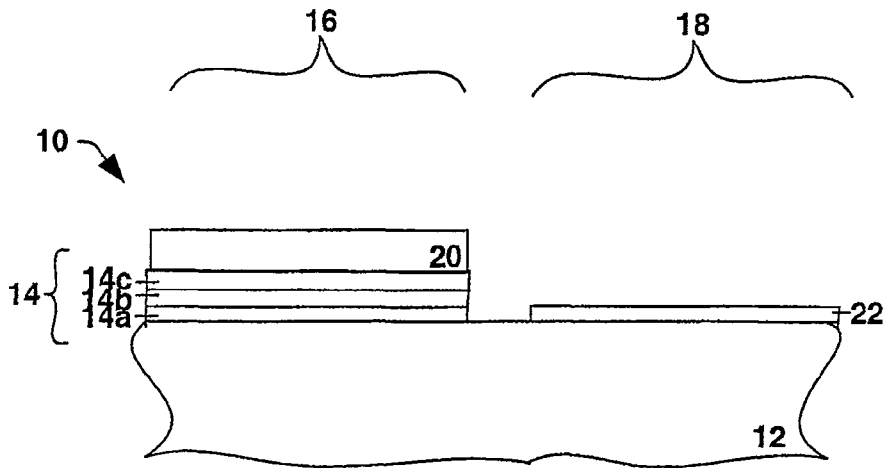


FIG. 15

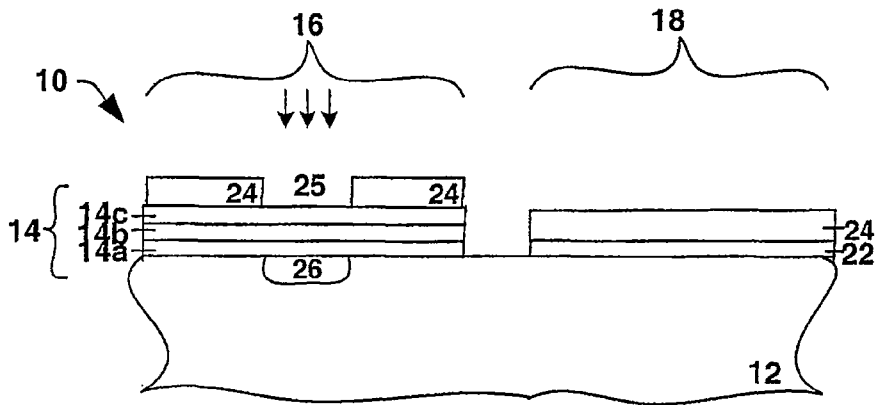


FIG. 16

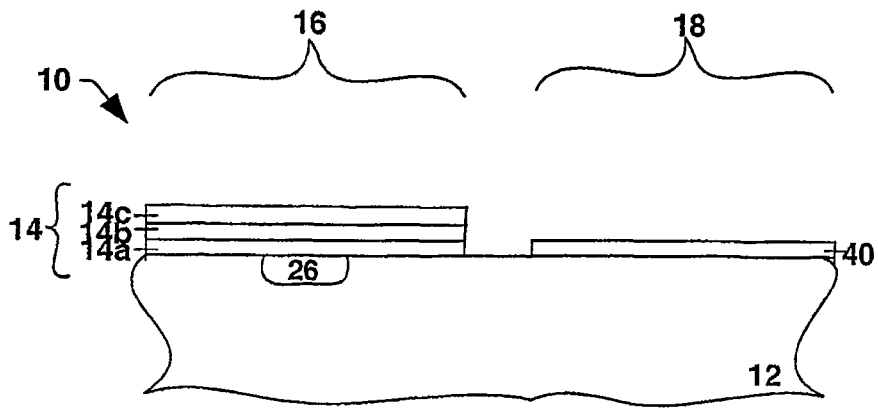


FIG. 17

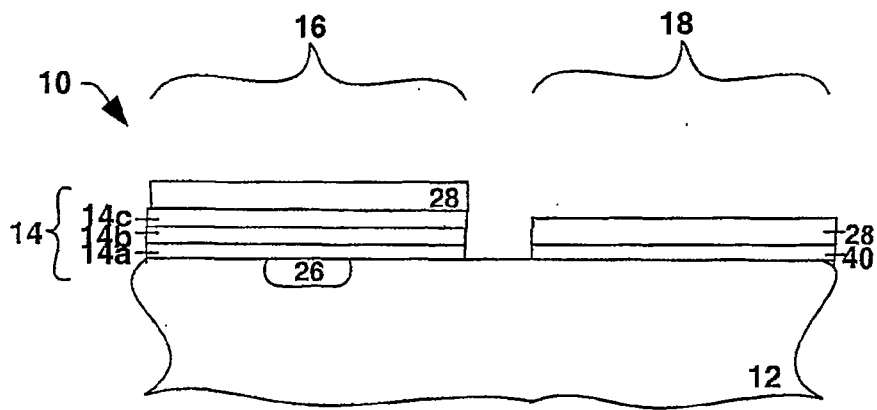


FIG. 18

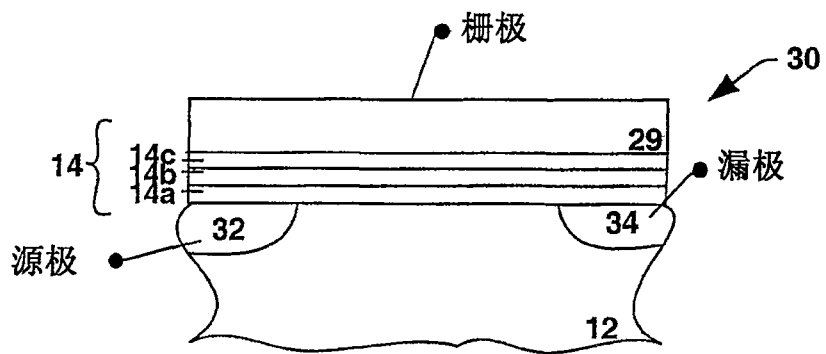


FIG. 19