



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0010150
(43) 공개일자 2015년01월28일

(51) 국제특허분류(Int. Cl.)
G06F 12/00 (2006.01) G06F 12/08 (2006.01)
(21) 출원번호 10-2013-0084748
(22) 출원일자 2013년07월18일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
박찬익
서울 구로구 구로동로40가길 11-22, (구로동)
김찬하
서울 관악구 은천로 93, 103동 1302호 (봉천동,
관악벽산블루밍아파트)
(74) 대리인
윤재석, 한지희, 권영규

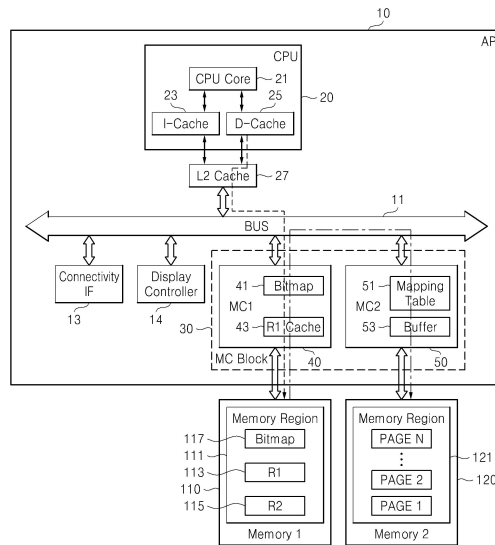
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 메모리 시스템 및 이의 동작 방법

(57) 요약

메모리 시스템의 동작 방법이 개시된다. 상기 메모리 시스템의 동작 방법은 명령들이 실행됨에 따라 더티 캐시 라인들을 데이터 캐시에서 휘발성 메모리 장치로 출력하는 단계, 및 상기 휘발성 메모리 장치에서 불휘발성 메모리 장치로 상기 불휘발성 메모리 장치의 페이지 사이즈와 같은 사이즈만큼 상기 더티 캐시 라인들을 출력하는 단계를 포함한다.

대표도 - 도2



(72) 발명자

박현선

서울 강동구 고덕로 210, 505동 1006호 (명일동,
삼익그린맨션)

유승주

경북 포항시 남구 지곡로 155, 7동 701호 (지곡동,
교수아파트)

특허청구의 범위

청구항 1

명령들이 실행됨에 따라 더티 캐시 라인들을 데이터 캐시로부터 휘발성 메모리 장치로 출력하는 단계; 및
 상기 휘발성 메모리 장치로부터 불휘발성 메모리 장치로 상기 불휘발성 메모리 장치의 페이지 사이즈와 같은 사이즈만큼 상기 더티 캐시 라인들을 출력하는 단계를 포함하는 메모리 시스템의 동작 방법.

청구항 2

제1항에 있어서, 상기 메모리 시스템의 동작 방법은,
 상기 휘발성 메모리 장치의 서로 다른 영역들에 저장된 상기 더티 캐시 라인들을 상기 휘발성 메모리 장치의 임의의 영역으로 이동하는 단계를 더 포함하는 메모리 시스템의 동작 방법.

청구항 3

제2항에 있어서, 상기 휘발성 메모리 장치의 임의의 영역은,
 상기 불휘발성 메모리 장치의 상기 페이지 사이즈만큼 할당된 메모리 시스템의 동작 방법.

청구항 4

제2항에 있어서,
 상기 휘발성 메모리 장치의 상기 임의의 영역이 가득 찰 때, 상기 휘발성 메모리 장치로부터 상기 불휘발성 메모리 장치로 상기 불휘발성 메모리 장치의 상기 페이지 사이즈와 같은 사이즈만큼 상기 더티 캐시 라인들을 출력하는 메모리 시스템의 동작 방법.

청구항 5

제1항에 있어서, 상기 메모리 시스템의 동작 방법은,
 상기 불휘발성 메모리 장치에서 캐시 라인 단위로 논리적 주소와 물리적 주소를 매핑(mapping)하는 단계를 더 포함하는 메모리 시스템의 동작 방법.

청구항 6

제2항에 있어서, 상기 메모리 시스템의 동작 방법은,
 상기 휘발성 메모리 장치에서 상기 더티 캐시 라인들 중 적어도 어느 하나를 직접적으로 이용하여 상기 불휘발성 메모리 장치에서 가비지 콜렉션(garbage collection) 동작을 수행하는 단계를 더 포함하는 메모리 시스템의 동작 방법.

청구항 7

명령들을 포함하는 명령 캐시와 캐시 라인들을 포함하는 데이터 캐시를 포함하는 CPU(central processing unit);
 상기 명령들이 실행됨에 따라 상기 캐시 라인들 중 더티 캐시 라인들을 저장하고, 상기 더티 캐시 라인들을 수집하는 휘발성 메모리 장치;
 불휘발성 메모리 장치; 및
 상기 불휘발성 메모리 장치의 페이지 사이즈와 같은 사이즈만큼 수집된 상기 더티 캐시 라인들을 상기 휘발성 메모리 장치로부터 상기 불휘발성 메모리 장치로 전송하도록 상기 휘발성 메모리 장치를 제어하는 메모리 컨트롤러 블록을 포함하는 메모리 시스템.

청구항 8

제7항에 있어서, 상기 휘발성 메모리 장치는,

상기 더티 캐시 라인들이 상기 휘발성 메모리 장치의 어디에 저장되었는지 나타내는 비트맵을 포함하는 메모리 시스템.

청구항 9

제7항에 있어서, 상기 휘발성 메모리 장치는,

상기 수집된 더티 캐시 라인들이 저장된 메모리 버퍼를 포함하는 메모리 시스템.

청구항 10

제7항에 있어서, 상기 메모리 컨트롤러 블록은,

상기 더티 캐시 라인들이 상기 휘발성 메모리 장치의 어디에 저장되었는지 나타내는 비트맵을 포함하는 메모리 시스템.

명세서

기술분야

[0001] 본 발명의 개념에 따른 실시 예는 메모리 시스템에 관한 것으로, 특히 상기 메모리 시스템에 포함된 불휘발성 메모리 장치의 수명을 향상시킬 수 있는 메모리 시스템 및 이의 동작 방법에 관한 것이다.

배경기술

[0002] 메모리 시스템은 CPU(central processing unit)와 복수의 메모리 장치들을 포함할 수 있다. 예컨대, 상기 복수의 메모리 장치들 각각은 DRAM과 같은 휘발성 메모리 장치와, 플래시 메모리와 같은 불휘발성 메모리 장치이다.

[0003] 상기 CPU와, 상기 복수의 메모리 장치들 중 어느 하나는 서로 데이터를 주고 받을 수 있다. 또한, 상기 복수의 메모리 장치들은 서로 데이터를 주고 받을 수 있다. 상기 메모리 시스템의 각 구성요소들 사이에서 데이터의 전송이 빈번하게 일어날 때, 상기 메모리 시스템의 전력 소비는 클 수 있다.

[0004] 또한, 상기 플래시 메모리와 같은 불휘발성 메모리 장치는 프로그램-소거 사이클들(program-erase cycles; 일반적으로 P/E 사이클들(cycles)으로 쓰여짐)의 제한된 횟수를 가진다.

[0005] 따라서 상기 메모리 시스템의 전력 소비를 줄이고, 상기 메모리 시스템에 포함된 불휘발성 메모리 장치의 수명을 향상시킬 수 있는 방법이 요구된다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적인 과제는 메모리 시스템의 전력을 줄일 수 있고, 상기 메모리 시스템에 포함된 불휘발성 메모리 장치의 수명을 향상시킬 수 있는 메모리 시스템 및 이의 동작 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법은 명령들이 실행됨에 따라 더티 캐시 라인들을 데이터 캐시에서 휘발성 메모리 장치로 출력하는 단계, 및 상기 휘발성 메모리 장치에서 불휘발성 메모리 장치로 상기 휘발성 메모리 장치의 페이지 사이즈와 같은 사이즈만큼 상기 더티 캐시 라인들을 출력하는 단계를 포함한다.

[0008] 상기 메모리 시스템의 동작 방법은 상기 휘발성 메모리 장치의 서로 다른 영역들에 저장된 상기 더티 캐시 라인들을 상기 휘발성 메모리 장치의 임의의 영역으로 이동하는 단계를 더 포함할 수 있다.

[0009] 상기 휘발성 메모리 장치의 임의의 영역은 상기 불휘발성 메모리 장치의 상기 페이지 사이즈만큼 할당된다.

[0010] 상기 휘발성 메모리 장치의 상기 임의의 영역이 가득찰(full) 때, 상기 휘발성 메모리 장치에서 상기 불휘발성 메모리 장치로 상기 불휘발성 메모리 장치의 상기 페이지 사이즈와 같은 사이즈만큼 상기 더티 캐시 라인들을 출력한다.

- [0011] 실시 예에 따라 상기 메모리 시스템의 동작 방법은 상기 불휘발성 메모리 장치에서 캐시 라인 단위로 논리적 주소와 물리적 주소를 매핑(mapping)하는 단계를 더 포함할 수 있다.
- [0012] 실시 예에 따라 상기 메모리 시스템의 동작 방법은 상기 휘발성 메모리 장치에서 상기 더티 캐시 라인들 중 적어도 어느 하나를 직접적으로 이용하여 상기 불휘발성 메모리 장치에서 가비지 콜렉션 동작을 수행하는 단계를 더 포함할 수 있다.
- [0013] 본 발명의 실시 예에 따른 메모리 시스템은 명령들을 포함하는 명령 캐시와 캐시 라인들을 포함하는 데이터 캐시를 포함하는 CPU, 상기 명령들이 실행됨에 따라 상기 캐시 라인들 중 더티 캐시 라인들을 저장하고, 상기 더티 캐시 라인들을 수집하는 휘발성 메모리 장치, 불휘발성 메모리 장치, 및 상기 불휘발성 메모리 장치의 페이지 사이즈와 같은 사이즈만큼 수집된 상기 더티 캐시 라인들을 상기 휘발성 메모리 장치에서 상기 불휘발성 메모리 장치로 전송하도록 상기 휘발성 메모리 장치를 제어하는 메모리 컨트롤러 블록을 포함한다.
- [0014] 상기 휘발성 메모리 장치는 상기 더티 캐시 라인들이 상기 휘발성 메모리 장치의 어디에 저장되었는지 나타내는 비트맵을 포함한다.
- [0015] 상기 휘발성 메모리 장치는 상기 수집된 더티 캐시 라인들이 저장된 메모리 버퍼를 포함한다.
- [0016] 실시 예에 따라 상기 메모리 컨트롤러 블록은 상기 더티 캐시 라인들이 상기 휘발성 메모리 장치의 어디에 저장되었는지 나타내는 비트맵을 포함한다.
- [0017] 실시 예에 따라 상기 메모리 컨트롤러 블록은 상기 수집된 더티 캐시 라인들이 저장된 메모리 버퍼를 포함한다.
- [0018] 상기 메모리 컨트롤러 블록은 캐시 라인 단위로 논리적 주소와 물리적 주소를 매핑(mapping)하는 매핑 테이블을 포함한다.
- [0019] 실시 예에 따라 상기 메모리 컨트롤러 블록은 상기 휘발성 메모리 장치에서 수집된 상기 더티 캐시 라인들 중 적어도 어느 하나를 직접적으로 이용하여 상기 불휘발성 메모리 장치에서 가비지 콜렉션(garbage collection) 동작이 수행되도록 상기 불휘발성 메모리 장치를 제어할 수 있다.
- [0020] 상기 더티 캐시 라인들은 상기 불휘발성 메모리 장치의 하나의 페이지에 라이트된다.
- [0021] 상기 메모리 시스템은 휴대용 장치이다.

발명의 효과

- [0022] 본 발명의 실시 예에 따른 메모리 시스템 및 이의 동작 방법은 상기 메모리 시스템에 포함된 휘발성 메모리 장치에서 불휘발성 메모리 장치로 상기 불휘발성 메모리 장치의 페이지 사이즈와 같은 사이즈만큼 더티 캐시 라인들을 출력함으로써 상기 메모리 시스템의 전력 소비를 줄일 수 있으며, 상기 불휘발성 메모리 장치의 수명을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0023] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.
 도 1은 본 발명의 실시 예에 따른 메모리 시스템의 블록도를 나타낸다.
 도 2는 도 1에 도시된 어플리케이션 프로세서와 메모리 장치들의 블록도를 나타낸다.
 도 3은 도 1에 도시된 제1메모리 장치의 수집 동작을 설명하기 위한 다이어그램을 나타낸다.
 도 4는 도 2에 도시된 제2메모리 장치의 매핑(mapping) 동작을 설명하기 위한 다이어그램을 나타낸다.
 도 5는 도 2에 도시된 제2메모리 장치의 가비지 콜렉션(garbage collection) 동작을 설명하기 위한 다이어그램을 나타낸다.
 도 6은 본 발명의 실시 예에 따른 메모리 시스템의 동작을 설명하기 위한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들

은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.

- [0025] 본 발명의 개념에 따른 실시 예는 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있으므로 특정 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예를 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0026] 제1 및/또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0028] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 다수개의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0030] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.
- [0031] 도 1은 본 발명의 실시 예에 따른 메모리 시스템의 블록도를 나타낸다.
- [0032] 도 1을 참조하면, 메모리 시스템(100)은 랩탑 컴퓨터(laptop computer), 이동 전화기, 스마트 폰, 태블릿(tablet) PC, PDA(personal digital assistant), EDA(enterprise digital assistant), 디지털 스틸 카메라(digital still camera), 디지털 비디오 카메라(digital video camera), PMP(portable multimedia player), PDN(personal navigation device 또는 portable navigation device), 손으로 들고다닐 수 있는 게임 콘솔(handheld game console), 또는 e-북(e-book)과 같은 휴대용 장치(portable device)로 구현될 수 있다.
- [0033] 메모리 시스템(100)은 어플리케이션 프로세서(application processor; 10), 복수의 메모리 장치들(110과 120), 입력 장치(130), 및 디스플레이 장치(140)를 포함할 수 있다.
- [0034] 어플리케이션 프로세서(10)는 메모리 시스템(100)의 동작을 제어한다. 예컨대, 어플리케이션 프로세서(10)는 프로그램 명령들(예컨대, 입력 장치(130)를 통하여 입력된 입력 신호에 의해 생성된 프로그램 명령들)을 실행하고, 복수의 메모리 장치들(110과 120) 중 어느 하나에 저장된 데이터를 리드(read)하고, 리드된 데이터를 디스플레이 장치(140)를 통하여 디스플레이할 수 있다. 실시 예에 따라 어플리케이션 프로세서(10)는 프로세서, 또는 SOC(system on chip)이라고 호칭될 수 있다.
- [0035] 제1메모리 장치(110)는 휘발성 메모리 장치, 예컨대 DRAM (dynamic random access memory), SRAM(static random access memory), RDRAM (Rambus DRAM), T-RAM(thyristor RAM), Z-RAM(zero capacitor RAM), 또는 TTRAM(Twin Transistor RAM)로 구현될 수 있다.
- [0036] 제2메모리 장치(120)는 불휘발성 메모리 장치, 예컨대 EEPROM (Electrically Erasable Programmable Read-Only Memory), 플래시(flash) 메모리, MRAM(Magnetic RAM), STT-MRAM (Spin Transfer Torque MRAM), Conductive bridging RAM(CBRAM), FeRAM(Ferroelectric RAM), PRAM(Phase change RAM), 저항 메모리 (Resistive RAM; RRAM), 나노튜브 RRAM(Nanotube RRAM), 폴리머 RAM(Polymer RAM: PoRAM), 나노 부유 게이트 메모리(Nano

Floating Gate Memory: NFGM), 홀로그래픽 메모리 (holographic memory), 분자 전자 메모리 소자(Molecular Electronics Memory Device), 또는 절연 저항 변화 메모리(Insulator Resistance Change Memory)로 구현될 수 있다.

- [0037] 입력 장치(130)는 터치 패드(touch pad)로 구현될 수 있다.
- [0038] 실시 예에 따라 메모리 시스템(100)은 PC(personal computer)로 구현될 수 있다.
- [0039] 도 2는 도 1에 도시된 어플리케이션 프로세서와 메모리 장치들의 블록도를 나타낸다.
- [0040] 도 1과 도 2를 참조하면, 어플리케이션 프로세서(10)는 접속 인터페이스(13), 디스플레이 컨트롤러(14), CPU(central processing unit; 20), L2 캐시(27), 및 메모리 컨트롤러 블록(30)을 포함한다.
- [0041] 구성요소들(13, 14, 27, 및 30) 각각은 버스(11)를 통해 데이터 또는 명령(command)을 주거나 받을 수 있다.
- [0042] 접속 인터페이스(13)는 입력 장치(130)와 어플리케이션 프로세서(10)의 다른 구성요소(예컨대, CPU(20))가 서로 통신하는데 이용된다.
- [0043] 디스플레이 컨트롤러(14)는 이미지 데이터를 디스플레이 장치(140)에 디스플레이하도록 디스플레이 장치(140)를 제어한다.
- [0044] CPU(20)는 프로그램 명령들(program instructions)을 리드하고 실행시킬 수 있는 어플리케이션 프로세서(10)의 일부분일 수 있다. CPU(20)는 CPU 코어(21)와 복수의 캐시들(23과 25)을 포함할 수 있다.
- [0045] CPU 코어(20)는 프로그램 명령들을 실행할 수 있는 유닛이다. 실시 예에 따라, CPU(10)는 복수의 CPU 코어들을 포함할 수 있다.
- [0046] 캐시(23)는 명령 캐시라고 호칭될 수 있고, 캐시(25)는 데이터 캐시라고 호칭될 수 있다.
- [0047] 명령 캐시(23)는 실행가능한 명령 패치의 속도를 높이기 위해(speed up executable instruction fetch) 사용된다. 명령 캐시(23)에 CPU(20)에서 실행되는 상기 프로그램 명령들을 저장할 수 있다.
- [0048] 데이터 캐시(25)는 데이터 패치와 저장의 속도를 높이기 위해(speed up data fetch and store) 사용된다. 데이터 캐시(25)는 복수의 청크들(chunks)로 나뉜다. 상기 복수의 청크들은 캐시 라인들(cache lines)이라고 호칭된다. 캐시 라인은 3가지 상태들 중 어느 하나일 수 있다. 상기 3가지 상태들에 따라 캐시 라인은 무효(invalid) 캐시 라인, 클린(clean) 캐시 라인, 또는 더티(dirty) 캐시 라인이라고 호칭될 수 있다. 상기 무효 캐시 라인은 캐시 라인은 유효한 데이터를 포함하지 않는 것을 의미한다. 상기 클린 캐시 라인은 캐시 라인이 리드(read) 메모리 동작에만 사용되었으며, 상기 캐시 라인에 저장된 데이터가 수정(modified)되지 않았을 때를 의미한다. 상기 더티 캐시 라인은 캐시 라인이 라이트(write) 및/또는 리드 메모리 동작에 사용된 것을 의미하며, 상기 캐시 라인에 저장된 데이터가 수정되었을 때를 의미한다.
- [0049] 명령 캐시(23)에 저장된 명령들(instructions)이 CPU 코어(21)에 의해 실행됨에 따라 데이터 캐시(25)의 캐시 라인들 중 더티 캐시 라인들이 순차적으로 제1메모리 장치(110)로 출력될 수 있다.
- [0050] 복수의 캐시들(23과 25) 각각은 휘발성 메모리(예컨대, SRAM)로 구현될 수 있다.
- [0051] 실시 예에 따라, 어플리케이션 프로세서(10)는 멀티 레벨 캐시들을 포함할 수 있다. 예컨대, 복수의 캐시들(23과 25)이 레벨-1 캐시(level-1 cache)일 때, 캐시(27)는 레벨-2 캐시일 수 있다. L2 캐시(27)는 휘발성 메모리 장치(예컨대, SRAM)로 구현될 수 있다. 또한, 도 2에서 L2 캐시(27)는 CPU(20) 외부에 위치하는 것으로 도시되었으나, 실시 예에 따라 L2 캐시(27)는 CPU(20) 내부에 위치할 수 있다.
- [0052] 메모리 컨트롤러 블록(30)은 복수의 메모리 장치들(110과 120)의 동작들을 제어한다. 메모리 컨트롤러 블록(30)은 제1메모리 장치(110)의 동작을 제어하기 위한 제1메모리 컨트롤러(40)와 제2메모리 장치(120)의 동작을 제어하기 위한 제2메모리 컨트롤러(50)를 포함한다.
- [0053] 실시 예에 따라 메모리 컨트롤러 블록(30)은 복수의 메모리 장치들(110과 120)의 동작을 제어하기 위해 하나의 회로로 구현될 수 있다.
- [0054] 제1메모리 장치(110)는 데이터를 저장하기 위한 메모리 영역(111)을 포함한다. 메모리 영역(111)은 제1메모리 영역(113), 제2메모리 영역(115), 및 비트맵(117)을 포함할 수 있다.
- [0055] 도 3은 도 1에 도시된 제1메모리 장치의 수집 동작을 설명하기 위한 다이어그램을 나타낸다.

- [0056] 도 1 내지 도 3을 참조하면, 제1메모리 영역(113)과 제2메모리 영역(115) 각각은 복수의 로우들(R1~RM; M은 자연수, R1'~R3')로 나뉠 수 있다. 실시 예에 따라 제1메모리 영역(113)과 제2메모리 영역(115)의 로우들의 수는 다양할 수 있다.
- [0057] 데이터 캐시(25)로부터 출력된 더티 캐시 라인들은 제2메모리 영역(115)에 흩어져서 저장된다.
- [0058] 비트맵(117)은 더티 캐시 라인들이 제2메모리 영역(115)에서 어디에 저장되었는지를 나타낸다. 비트맵(117)은 제1메모리 장치(110)의 메모리 영역(111)에 저장된다. 실시 예에 따라 제1메모리 컨트롤러(40)는 비트맵(117)과 대응되는 비트맵(41)을 포함할 수 있다. 또한 실시 예에 따라 제1메모리 장치(110)가 비트맵(117)을 포함하는 대신에 제1메모리 컨트롤러(40)가 비트맵(41)을 포함할 수 있다.
- [0059] 제2메모리 영역(115)에 흩어져서 저장된 더티 캐시 라인들은 제1메모리 영역(113)으로 수집될 수 있다. 즉, 제2메모리 영역(115)에 흩어져서 저장된 더티 캐시 라인들은 제1메모리 영역(113)으로 이동될 수 있다. 제1메모리 영역(113)의 사이즈는 제2메모리 장치(120)의 페이지 사이즈만큼 할당될 수 있다. 제1메모리 영역(113)은 메모리 버퍼로 호칭될 수 있다.
- [0060] 제1메모리 컨트롤러(40)는 제1메모리 영역(113)에 저장된 더티 캐시 라인들 중 일부를 저장하는 제1영역 캐시(43)를 포함할 수 있다.
- [0061] 제1메모리 영역(113)이 더티 캐시 라인들로 가득찰 때, 메모리 컨트롤러 블록(30)은 제2메모리 장치(120)의 페이지 사이즈와 같은 사이즈만큼 수집된 더티 캐시 라인들이 제1메모리 장치(110)에서 제2메모리 장치(120)로 전송되도록 제1메모리 장치(110)를 제어한다.
- [0062] 도 2를 참조하면, 제2메모리 장치(120)는 메모리 영역(121)을 포함한다. 메모리 영역(121)은 복수의 페이지들(PAGE1~PAGEN; N은 자연수)로 나뉠 수 있다. 제2메모리 장치(120)에서 리드 동작 또는 라이트 동작은 페이지 단위로 수행된다.
- [0063] 제2메모리 컨트롤러(50)는 캐시 라인 단위로 논리적 주소와 물리적 주소를 매핑하는 매핑 테이블(51)과, 제1메모리 장치(110)로부터 출력되는 더티 캐시 라인들을 임시적으로 저장하는 버퍼(53)를 포함한다.
- [0064] 실시 예에 따라 매핑 테이블(51) 또는 버퍼(53)는 제2메모리 장치(120)에 저장된 후 제2메모리 컨트롤러(50)로 로딩(loading)될 수 있다.
- [0065] 도 4는 도 2에 도시된 제2메모리 장치의 매핑(mapping) 동작을 설명하기 위한 다이어그램을 나타낸다.
- [0066] 도 1, 도 2, 및 도 4를 참조하면, 매핑 테이블(51)은 더티 캐시 라인들의 논리적 주소(LA), 더티 캐시 라인들의 유효성(VD), 및 물리적 주소(PA)를 포함한다.
- [0067] 제1메모리 장치(110)에서 제2메모리 장치(120)로 더티 캐시 라인들이 전송될 때, 전송되는 더티 캐시 라인들의 주소는 논리적 주소(LA)를 가진다. 즉, 더티 캐시 라인들 각각마다 논리적 주소(LA)를 가진다. 제2메모리 장치(120)의 페이지에 더티 캐시 라인들을 저장하기 위해서는 논리적 주소(LA)가 물리적 주소(PA)로 변환되어야 한다.
- [0068] 더티 캐시 라인들의 유효성(VD)에서 '0'는 더티 캐시 라인이 유효함을 나타내고, 'X'는 더티 캐시 라인이 유효하지 않음을 나타낸다. 예컨대, 도 4에서 논리적 주소 '0'을 가지는 더티 캐시 라인은 유효하며, 논리적 주소 '1'을 가지는 더티 캐시 라인은 유효하지 않으며, 논리적 주소 '0'을 가지는 더티 캐시 라인은 유효하다.
- [0069] 제2메모리 장치(120)에서 복수의 페이지들(PAGE1~PAGEN) 각각은 캐시 라인과 같은 단위들(이하 상기 단위들은 캐시 라인들이라 호칭된다.)로 나뉠 수 있다.
- [0070] 논리적 주소(LA) '0'을 가지는 더티 캐시 라인은 매핑 테이블(51)에 의해 제1페이지(PAGE1)의 첫번째 캐시 라인에 저장된다. 논리적 주소(LA) '2'를 가지는 더티 캐시 라인은 매핑 테이블(51)에 의해 제1페이지(PAGE1)의 두번째 캐시 라인에 저장된다. 더티 캐시 라인들이 제2메모리 장치(120)의 페이지에 순차적으로 저장됨으로써 제2메모리 장치(120)에 라이트되는 횟수가 감소될 수 있다.
- [0071] 도 5는 도 2에 도시된 제2메모리 장치의 가비지 콜렉션(garbage collection) 동작을 설명하기 위한 다이어그램을 나타낸다.
- [0072] 도 1, 도 2, 및 도 5를 참조하면, 제1메모리 장치(110)에서 수집된 더티 캐시 라인들 중 적어도 어느 하나를 직접적으로 이용하여 제2메모리 장치(120)에서 가비지 콜렉션 동작이 수행된다. 상기 가비지 콜렉션 동작은 불휘

발성 메모리 장치의 저장 능력을 개선(reclaim)하기 위해 주기적으로 가비지가 수집(collect)되는 동작을 의미한다.

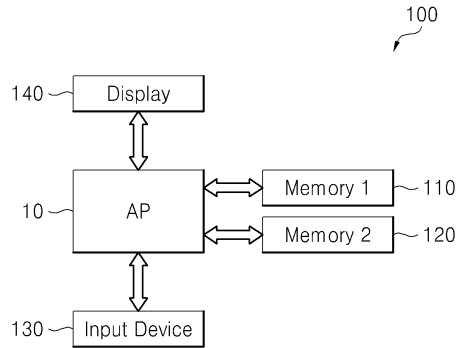
- [0073] 제2메모리 장치(120)의 페이지(PAGE3)를 소거(erase)하기 위해 페이지(PAGE3)에 저장된 유효 데이터(D2, D3, D6, 및 D8)가 페이지(PAGEN)으로 카피된다. 상기 유효 데이터는 캐시 라인 단위이다.
- [0074] 제2메모리 컨트롤러(50)에 포함된 버퍼(53)는 유효 데이터(D4와 D7)를 포함한다. 상기 유효 데이터(D4와 D7)은 페이지(PAGEN)으로 카피된다.
- [0075] 제1메모리 영역(113)에 저장된 유효 데이터(D1과 D5)는 직접적으로 페이지(PAGEN)으로 카피된다.
- [0076] 제1메모리 영역(113)에 저장된 유효 데이터(D1과 D5)는 직접적으로 페이지(PAGEN)으로 카피함으로써 제2메모리 장치(120)는 추가적인 라이트 동작을 회피할 수 있다.
- [0077] 도 6은 본 발명의 실시 예에 따른 메모리 시스템의 동작을 설명하기 위한 흐름도이다.
- [0078] 도 1 내지 도 6을 참조하면, CPU 코어(21)에 의해 명령들이 실행됨에 따라 더티 캐시 라인들이 데이터 캐시(25)에서 제1메모리 장치(110)로 출력된다(S10). 제1메모리 장치(110)는 DRAM과 같은 휘발성 메모리 장치이다.
- [0079] 메모리 컨트롤러 블록(30)은 제1메모리 장치(110)에서 더티 캐시 라인들이 수집되도록 제1메모리 장치(110)를 제어한다(S20). 제1메모리 장치(110)의 제2메모리 영역(115)에 흩어져 저장된 더티 캐시 라인들이 제1메모리 영역(113)으로 이동된다. 제1메모리 영역(113)은 제2메모리 장치(120)의 페이지와 같은 사이즈일 수 있다.
- [0080] 메모리 컨트롤러 블록(30)은 제1메모리 장치(110)에서 제2메모리 장치(120)로 상기 더티 캐시 라인들을 출력하도록 제1메모리 장치(110)를 제어한다(S30). 제2메모리 장치(120)는 플래시 메모리와 같은 불휘발성 메모리 장치이다. 제1메모리 장치(110)의 제1메모리 영역(113)이 가득찰 때, 상기 더티 캐시 라인들이 제1메모리 장치(110)에서 제2메모리 장치(120)로 출력될 수 있다.
- [0081] 매핑 테이블(51)은 캐시 라인 단위로 논리적 주소와 대응되는 물리적 주소를 포함한다. 매핑 테이블(51)에 따라 상기 더티 캐시 라인들의 논리적 주소들과 매핑된 물리적 주소들을 이용하여 제2메모리 장치(120)의 페이지(예컨대, PAGE1)에 상기 더티 캐시 라인들이 순차적으로 저장된다(S40).
- [0082] 제1메모리 장치(110)에서 수집된 더티 캐시 라인들 중 적어도 어느 하나를 직접적으로 이용하여 제2메모리 장치(120)에서 가비지 콜렉션(garbage collection) 동작이 수행될 수 있다(S50).
- [0083] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

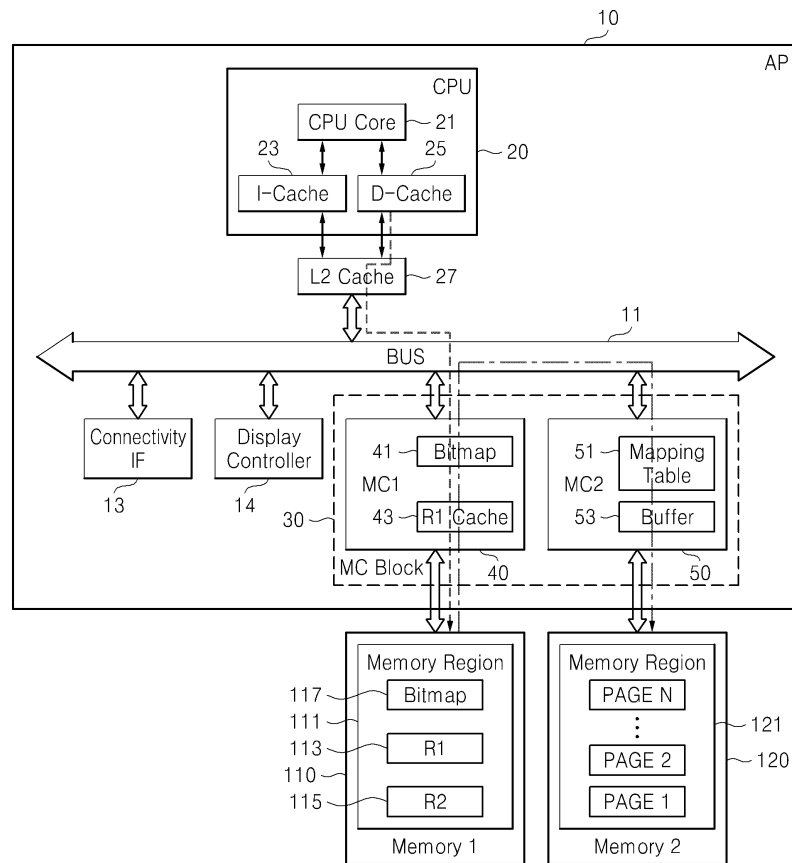
- [0084] 100; 메모리 시스템
- 10; 어플리케이션 프로세서
- 20; CPU
- 27; L2 캐시
- 30; 메모리 컨트롤러 블록
- 40; 제1메모리 컨트롤러
- 50; 제2메모리 컨트롤러
- 110; 제1메모리 장치
- 120; 제2메모리 장치
- 130; 입력 장치
- 140; 디스플레이 장치

도면

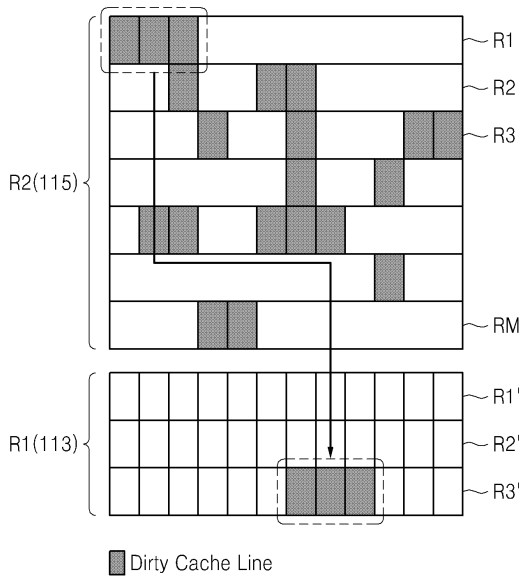
도면1



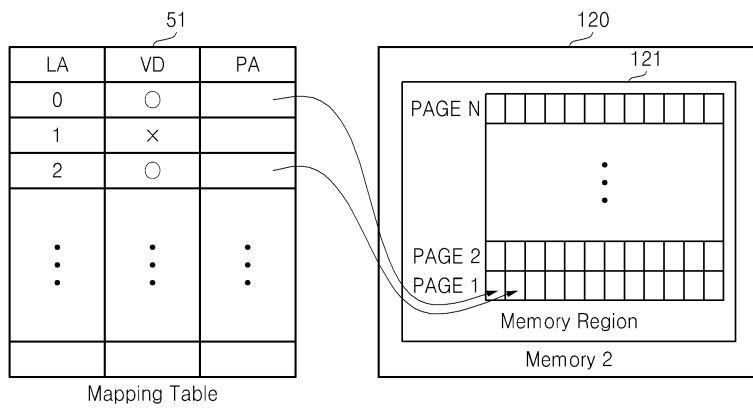
도면2



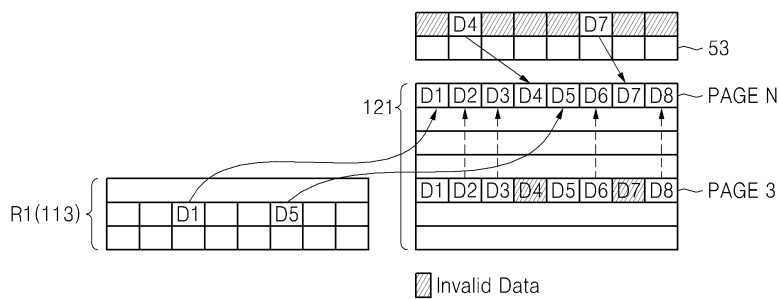
도면3



도면4



도면5



도면6

