



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2007-0079110
G11C 29/14 (2006.01) (43) 공개일자 2007년08월06일

(21) 출원번호 10-2006-0009517
(22) 출원일자 2006년02월01일
심사청구일자 없음

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 민민
경기 이천시 부발읍 아미리 하이닉스 고담기숙사 106동 904호
(74) 대리인 김성남

전체 청구항 수 : 총 5 항

(54) 반도체 메모리 장치의 테스트 모드 진입 회로

(57) 요약

본 발명의 반도체 메모리 장치의 테스트 모드 진입 회로는 테스트 모드 코드를 디코딩하여 복수 개의 디코딩 신호를 생성하는 테스트 모드 디코더, 리셋 신호의 입력에 대응하여 상기 복수 개의 디코딩 신호를 래치시켜 복수 개의 래치 신호를 생성 및 저장하는 래치 수단 및 테스트 모드 동작을 지시하는 테스트 모드 동작 신호의 입력에 대응하여 상기 래치 수단에 저장된 상기 복수 개의 래치 신호를 테스트 모드를 정의하는 복수 개의 테스트 신호로 출력하는 테스트 신호 출력 수단을 포함하는 것을 특징으로 한다.

대표도

도 2

특허청구의 범위

청구항 1.

테스트 모드 코드를 디코딩하여 복수 개의 디코딩 신호를 생성하는 테스트 모드 디코더;

리셋 신호의 입력에 대응하여 상기 복수 개의 디코딩 신호를 래치시켜 복수 개의 래치 신호를 생성 및 저장하는 래치 수단;
및

테스트 모드 동작을 지시하는 테스트 모드 동작 신호의 입력에 대응하여 상기 래치 수단에 저장된 상기 복수 개의 래치 신호를 테스트 모드를 정의하는 복수 개의 테스트 신호로 출력하는 테스트 신호 출력 수단;

을 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 진입 회로.

청구항 2.

제 1 항에 있어서,

반도체 메모리 장치가 테스트를 실시하도록 하는 테스트 모드 레지스터 셋트 신호의 입력에 대응하여 복수 개의 어드레스 키를 통해 입력되는 어드레스를 코딩하여 테스트 모드 코드를 생성하는 테스트 모드 코드 생성 수단을 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 진입 회로.

청구항 3.

제 1 항에 있어서,

복수 개의 어드레스 키를 통해 입력되는 어드레스와 반도체 메모리 장치가 테스트를 실시하도록 하는 테스트 모드 레지스터 셋트 신호의 입력에 대응하여 테스트 모드 동작을 지시하는 테스트 모드 동작 신호 및 리셋 신호를 생성하는 테스트 모드 셋팅 수단을 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 진입 회로.

청구항 4.

제 1 항에 있어서,

상기 래치 수단은,

하나의 상기 디코딩 신호 및 상기 리셋 신호를 입력 받아 하나의 상기 테스트 신호를 생성하고 이를 저장하는 복수 개의 플립플롭을 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 진입 회로.

청구항 5.

제 4 항에 있어서,

상기 플립플롭은,

상기 디코딩 신호와 제 2 낸드게이트의 출력 신호를 입력 받아 상기 래치 신호를 출력하는 제 1 낸드게이트; 및

상기 제 1 낸드게이트에서 출력되는 상기 래치 신호와 상기 리셋 신호를 입력 받는 상기 제 2 낸드게이트;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 진입 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치의 테스트 모드 진입 회로에 관한 것으로, 보다 상세하게는 반도체 메모리 장치의 테스트 모드 진입시 시간 효율을 향상시키는 반도체 메모리 장치의 테스트 모드 진입 회로에 관한 것이다.

반도체 메모리 장치를 생산하기 위해서는 설계시에 활용한 시뮬레이션 결과와 실제 제품에 사용되는 칩의 동작이 다를 수 있기 때문에 대량 생산에 들어가기 전에 테스트하는 단계가 반드시 필요하다. 이를 위해서는 반도체 메모리 장치의 동작 신호와는 다른 별도의 테스트 신호를 입력하여 테스트를 실시하여야 한다. 이후 테스트가 성공하여 대량 생산에 들어가게 되면 더 이상 테스트 신호 생성 회로는 필요 없게 되므로 테스트 모드 단자를 단락시킴으로써 칩 내부에서 불필요한 동작이 일어나지 않게 한다.

반도체 메모리 장치의 칩에 총 11개의 어드레스 키가 입력되는 경우를 살펴보면, 11개의 어드레스 키 A0 ~ A10 중 A7은 테스트 모드 레지스터 셋트 커맨드와 함께 테스트 모드의 실시를 지시하는 테스트 모드 레지스터 셋트 신호를 만드는 데 사용되고 A0 ~ A6은 테스트 모드를 코딩하기 위해 사용된다. 그리고 A8 ~ A10은 상기 테스트 모드 레지스터 셋트 신호와 함께 테스트 모드 진입 회로의 동작을 지시하는 테스트 모드 동작 신호를 생성하는 기능을 한다. 상기 테스트 모드 동작 신호가 발생하면 상기 테스트 모드 진입 회로는 테스트 모드 코드를 디코딩하는 동작을 수행한다.

이하, 종래의 기술에 따른 테스트 모드 진입 회로를 도 1을 참조하여 설명하면 다음과 같다.

도 1은 종래의 기술에 따른 반도체 메모리 장치의 테스트 모드 진입 회로의 내부 구성을 나타낸 블록도이다.

도시한 테스트 모드 진입 회로는 반도체 메모리 장치가 테스트를 실시하도록 하는 테스트 모드 레지스터 셋트 신호(tmrs)의 입력에 대응하여 어드레스 키 A<0:6>을 통해 입력되는 어드레스를 코딩하여 테스트 모드 코드(tmc<0:6>)를 생성하는 테스트 모드 코드 생성 수단(10), 어드레스 키 A<8:10>과 상기 테스트 모드 레지스터 셋트 신호(tmrs)의 입력에 대응하여 테스트 모드 동작을 지시하는 테스트 모드 동작 신호(tmw) 및 리셋 신호(rst)를 생성하는 테스트 모드 셋팅 수단(20), 상기 테스트 모드 동작 신호(tmw)의 입력에 대응하여 상기 테스트 모드 코드(tmc<0:6>)의 입력 동작을 수행하는 테스트 모드 코드 입력 수단(30), 상기 테스트 모드 코드 입력 수단(30)에 입력된 상기 테스트 모드 코드(tmc<0:6>)를 디코딩하여 (N+1)개의 디코딩 신호(dcd<0:N>)를 생성하는 테스트 모드 디코더(40), 상기 리셋 신호(rst)의 입력에 대응하여 상기 (N+1)개의 디코딩 신호(dcd<0:N>)를 래치시켜 (N+1)개의 래치 신호(lch<0:N>)를 생성 및 저장하는 래치 수단(50) 및 상기 래치 수단(50)에 저장된 상기 (N+1)개의 래치 신호(lch<0:N>)를 테스트 모드를 정의하는 (N+1)개의 테스트 신호(tst<0:N>)로 출력하는 테스트 신호 출력 수단(60)으로 구성된다.

상기 테스트 모드 레지스터 셋트 신호(tmrs)가 인에이블 되면 상기 테스트 모드 코드 생성 수단(10)은 상기 어드레스 키 A<0:6>을 코딩하여 상기 테스트 모드 코드(tmc<0:6>)를 생성한다. 이 때의 상기 테스트 모드 코드(tmc<0:6>)는 반도체 메모리 장치에서 테스트하고자 하는 테스트 모드의 정보를 담고 있다.

또한 상기 테스트 모드 레지스터 셋트 신호(tmrs)가 인에이블 됨에 따라 상기 테스트 모드 셋팅 수단(20)은 상기 어드레스 키 A<8:10>을 통해 어드레스를 순차적으로 입력 받는다. 상기 테스트 모드 동작 신호(tmw)는 상기 순차적으로 입력되는 어드레스의 특정 조합에 의해 발생하는 신호이다. 즉, 상기 어드레스 키 A<8:10>을 통해 어드레스의 조합이 세 번 입력되어 특정 조합을 구현할 때 상기 테스트 모드 동작 신호(tmw)가 발생하게 된다. 이 때 상기 테스트 모드 코드(tmc<0:6>) 또한 마찬가지로 세 개가 발생한다.

이후 상기 테스트 모드 동작 신호(tmw)는 상기 테스트 모드 코드 입력 수단(30)에 전달된다. 상기 테스트 모드 코드 입력 수단(30)은 상기 테스트 모드 동작 신호(tmw)가 인에이블 될 때에만 상기 테스트 모드 코드(tmc<0:6>)를 입력 받는다. 따라서 상기 세 번 입력된 테스트 모드 코드(tmc<0:6>) 중 세 번 째 입력된 테스트 모드 코드(tmc<0:6>)만이 상기 테스트 모드 코드 입력 수단(30)에 입력된다.

상기 테스트 모드 디코더(40)는 상기 테스트 모드 코드 입력 수단(30)에 입력된 테스트 모드 코드(tmc<0:6>)를 디코딩하여 (N+1)개의 디코딩 신호(dcd<0:N>)를 생성한다. 일반적으로 상기 디코딩 신호(dcd<0:N>)는 2의 (N+1)승 개만큼 생성된다. 임의의 값을 갖는 상기 디코딩 신호(dcd<0:N>)의 조합은 테스트하고자 하는 테스트 모드의 정보를 담는다.

상기 래치 수단(50)은 상기 디코딩 신호(dcd<0:N>)를 래치시켜 상기 래치 신호(lch<0:N>)를 생성 및 저장한다. 이 때 상기 래치 수단(50)은 (N+1)개의 플립플롭으로 구성된다. 각각의 상기 플립플롭은 상기 테스트 모드 셋팅 수단(20)으로부터 전달되는 상기 리셋 신호(rst)가 디스에이블 된 상태에 입력되는 로우 레벨(Low Level)의 신호만을 저장하는 형태로 구현된다.

상기 각각의 플립플롭에서는 상기 리셋 신호(rst)의 디스에이블시 하이 레벨(High Level)의 신호가 입력되면 저장된 신호가 바뀌지 않고 로우 레벨의 신호가 입력되면 상기 로우 레벨의 신호가 하이 레벨로 변환된 후 저장된다. 그러나 상기 리셋 신호(rst)가 인에이블 되면 상기 저장된 래치 신호(lch<0:N>)는 모두 지워져 로우 레벨이 된다. 이후 새로 입력되는 디코딩 신호(dcd<0:N>)로부터 새로운 래치 신호(lch<0:N>)를 생성 및 저장하는 동작이 각각 다시 수행된다.

상기 테스트 신호 출력 수단(60)은 상기 래치 수단(50)에 저장된 상기 래치 신호(lch<0:N>)를 상기 테스트 신호(tst<0:N>)로 출력하는 기능을 한다. 이 때 상기 테스트 신호 출력 수단(60)에서 출력되는 상기 테스트 신호(tst<0:N>)의 조합에는 하이 레벨의 신호가 하나씩만 포함된다. 이와 같은 상기 테스트 신호(tst<0:N>)의 조합에 의해 테스트하고자 하는 테스트 모드가 결정된다.

상술한 바와 같이, 상기 테스트 모드 레지스터 셋트 신호(tmrs) 및 11개의 어드레스 키 A<0:10>을 이용하는 반도체 메모리 장치의 테스트 모드 진입 회로에서 상기 테스트 모드 동작 신호(tmw)가 상기 어드레스 키 A<8:10>이 순차적으로 세 번 입력되어야만 발생하기 때문에 상기 어드레스 키 A<0:6>의 순차적인 입력에 의해 발생하는 세 개의 테스트 모드 코드(tmc<0:6>) 중 세 번째 테스트 모드 코드(tmc<0:6>)만이 상기 테스트 모드 코드 입력 수단(30)을 통해 상기 테스트 모드 디코더(40)에 전달된다. 따라서 반도체 메모리 장치가 테스트 모드로 진입함에 있어서 시간 효율이 저하되었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로서, 반도체 메모리 장치의 테스트 모드 진입시 테스트 모드 코드의 손실을 방지하여 동시에 복수 개의 테스트 신호를 출력함으로써 시간 효율을 향상시키는 반도체 메모리 장치의 테스트 모드 진입 회로를 제공하는 데에 그 기술적 과제가 있다.

발명의 구성

상술한 기술적 과제를 달성하기 위한 본 발명의 반도체 메모리 장치의 테스트 모드 진입 회로는, 테스트 모드 코드를 디코딩하여 복수 개의 디코딩 신호를 생성하는 테스트 모드 디코더; 리셋 신호의 입력에 대응하여 상기 복수 개의 디코딩 신호를 래치시켜 복수 개의 래치 신호를 생성 및 저장하는 래치 수단; 및 테스트 모드 동작을 지시하는 테스트 모드 동작 신호의 입력에 대응하여 상기 래치 수단에 저장된 상기 복수 개의 래치 신호를 테스트 모드를 정의하는 복수 개의 테스트 신호로 출력하는 테스트 신호 출력 수단;을 포함하는 것을 특징으로 한다.

이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명하기로 한다.

도 2는 본 발명에 따른 반도체 메모리 장치의 테스트 모드 진입 회로의 내부 구성을 나타낸 블록도이다.

도시한 바와 같이, 본 발명에 따른 반도체 메모리 장치의 테스트 모드 진입 회로는 반도체 메모리 장치가 테스트를 실시하도록 하는 테스트 모드 레지스터 셋트 신호(tmrs)의 입력에 대응하여 어드레스 키 A<0:6>을 통해 입력되는 어드레스를 코딩하여 테스트 모드 코드(tmc<0:6>)를 생성하는 테스트 모드 코드 생성 수단(100), 어드레스 키 A<8:10>과 상기 테스트 모드 레지스터 셋트 신호(tmrs)의 입력에 대응하여 테스트 모드 동작을 지시하는 테스트 모드 동작 신호(tmw) 및 리셋 신호(rst)를 생성하는 테스트 모드 셋팅 수단(200), 상기 테스트 모드 코드(tmc<0:6>)를 입력 받아 테스트 모드 디코더(400)에 전달하는 테스트 모드 코드 입력 수단(300), 상기 테스트 모드 코드 입력 수단(300)에 입력된 상기 테스트 모드 코드(tmc<0:6>)를 디코딩하여 (N+1)개의 디코딩 신호(dcd<0:N>)를 생성하는 상기 테스트 모드 디코더(400), 상기 리셋 신호(rst)의 입력에 대응하여 상기 (N+1)개의 디코딩 신호(dcd<0:N>)를 래치시켜 (N+1)개의 래치 신호(lch<0:N>)를 생성 및 저장하는 래치 수단(500) 및 상기 테스트 모드 동작 신호(tmw)의 입력에 대응하여 상기 래치 수단(500)에 저장된 상기 (N+1)개의 래치 신호(lch<0:N>)를 테스트 모드를 정의하는 (N+1)개의 테스트 신호(tst<0:N>)로 출력하는 테스트 신호 출력 수단(600)으로 구성된다.

상기 테스트 모드 레지스터 셋트 신호(tmrs)가 인에이블 되면 상기 테스트 모드 코드 생성 수단(100)은 상기 어드레스 키 A<0:6>을 코딩하여 상기 테스트 모드 코드(tmc<0:6>)를 생성한다. 이 때의 상기 테스트 모드 코드(tmc<0:6>)는 반도체 메모리 장치에서 테스트하고자 하는 테스트 모드의 정보를 담고 있다.

또한 상기 테스트 모드 레지스터 셋트 신호(tmrs)가 인에이블 됨에 따라 상기 테스트 모드 셋팅 수단(200)은 상기 어드레스 키 A<8:10>을 통해 어드레스를 순차적으로 입력 받는다. 상기 테스트 모드 동작 신호(tmw)는 상기 순차적으로 입력되

는 어드레스의 특정 조합에 의해 발생하는 신호이다. 즉, 상기 어드레스 키 A<8:10>을 통해 어드레스의 조합이 세 번 입력되어 특정 조합을 구현할 때 상기 테스트 모드 동작 신호(tmw)가 발생하게 된다. 이 때 상기 테스트 모드 코드(tmc<0:6>) 또한 마찬가지로 세 개가 발생한다.

이후 상기 테스트 모드 코드 입력 수단(300)은 상기 세 개의 테스트 모드 코드(tmc<0:6>)를 상기 테스트 모드 디코더(400)에 전달한다. 상기 테스트 모드 디코더(400)는 상기 세 개의 테스트 모드 코드(tmc<0:6>)를 디코딩하여 상기 테스트 모드 코드(tmc<0:6>) 하나 당 상기 디코딩 신호(dcd<0:N>)를 하나씩 생성한다. 일반적으로 상기 디코딩 신호(dcd<0:N>)는 2의 (N+1)승 개만큼 생성된다. 임의의 값을 갖는 상기 디코딩 신호(dcd<0:N>)의 조합은 테스트하고자 하는 테스트 모드의 정보를 담는다.

상기 래치 수단(500)은 상기 디코딩 신호(dcd<0:N>)를 래치시켜 상기 래치 신호(lch<0:N>)를 생성 및 저장한다. 이 때 상기 래치 수단(500)은 (N+1)개의 플립플롭으로 구성된다. 각각의 상기 플립플롭은 상기 테스트 모드 셋팅 수단(200)으로부터 전달되는 상기 리셋 신호(rst)가 디스에이블 된 상태에 입력되는 로우 레벨의 신호만을 저장하는 형태로 구현된다.

상기 래치 수단(500)에 입력되는 상기 디코딩 신호(dcd<0:N>)의 조합에는 로우 레벨의 신호가 하나씩만 포함된다. 상기 각각의 플립플롭에서 상기 리셋 신호(rst)의 디스에이블시 하이 레벨의 신호가 입력되면 저장된 신호가 바뀌지 않고 로우 레벨의 신호가 입력되면 상기 로우 레벨의 신호가 하이 레벨로 변환된 후 저장된다. 따라서 세 번에 걸쳐 입력되는 상기 디코딩 신호(dcd<0:N>)의 조합으로부터 생성되는 상기 래치 신호(lch<0:N>)의 조합에는 하이 레벨의 신호가 세 개 포함된다. 이후 상기 리셋 신호(rst)가 인에이블 되면 상기 저장된 래치 신호(lch<0:N>)는 모두 지워져 로우 레벨이 된다. 이후 새로 입력되는 디코딩 신호(dcd<0:N>)로부터 새로운 래치 신호(lch<0:N>)를 생성 및 저장하는 동작이 각각 다시 수행된다.

상기 테스트 신호 출력 수단(600)은 상기 테스트 모드 동작 신호(tmw)의 입력에 대응하여 상기 래치 수단(500)에 저장된 상기 래치 신호(lch<0:N>)를 상기 테스트 신호(tst<0:N>)로 출력하는 기능을 한다. 이 때 상기 테스트 신호(tst<0:N>)의 조합에는 세 개의 하이 레벨의 신호가 포함되어 있다. 테스트하고자 하는 테스트 모드는 상기 테스트 신호(tst<0:N>)의 조합에 의해 결정되므로, 이 경우 상기 테스트 신호(tst<0:N>)의 조합은 세 개의 테스트 모드에 대한 정보를 전달하게 된다.

도 3은 도 2에 도시한 래치 수단의 상세 구성을 나타낸 일 예시도로서, 이 때 상기 리셋 신호(rst)는 로우 레벨일 때 인에이블 되는 신호이다.

상기 래치 수단(500)은 하나의 디코딩 신호(dcd<n>) 및 상기 리셋 신호(rst)를 입력 받아 하나의 래치 신호(lch<n>)를 생성하고 이를 저장하는 (N+1)개의 플립플롭(510)으로 구성된다. 이 때 각각의 상기 플립플롭(510)은 상기 디코딩 신호(dcd<n>)와 제 2 낸드게이트(514)의 출력 신호를 입력 받아 상기 래치 신호(lch<n>)를 출력하는 제 1 낸드게이트(512) 및 상기 제 1 낸드게이트(512)에서 출력되는 상기 래치 신호(lch<n>)와 상기 리셋 신호(rst)를 입력 받는 상기 제 2 낸드게이트(514)로 구성된다.

상기 리셋 신호(rst)의 디스에이블시, 즉 상기 리셋 신호(rst)가 하이 레벨일 때 상기 플립플롭(510)에 저장된 초기값이 로우 레벨이라 가정하고 하이 레벨의 상기 디코딩 신호(dcd<n>)가 입력된다고 하면, 상기 래치 신호(lch<n>)는 로우 레벨의 신호가 된다. 상기 플립플롭(510)에 저장된 초기값이 하이 레벨이라 가정하고 하이 레벨의 상기 디코딩 신호(dcd<n>)가 입력된다고 하면, 상기 래치 신호(lch<n>)는 하이 레벨의 신호가 된다. 즉 상기 디코딩 신호(dcd<n>)가 하이 레벨이면 상기 플립플롭(510)에 저장된 상기 래치 신호(lch<n>)의 논리값이 그대로 유지된다.

그러나 이 때 로우 레벨의 상기 디코딩 신호(dcd<n>)가 입력되면 상기 래치 신호(lch<n>)는 저장되어 있는 상기 래치 신호(lch<n>)의 논리값과 관계 없이 하이 레벨로 변환된다. 이후 상기 리셋 신호(rst)가 인에이블 되어 로우 레벨의 신호가 되면 상기 래치 신호(lch<n>)는 로우 레벨로 싱크된다.

도 4는 도 2에 도시한 테스트 신호 출력 수단의 상세 구성을 나타낸 일 예시도이다.

도시한 바와 같이, 상기 테스트 신호 출력 수단(600)은 상기 테스트 모드 동작 신호(tmw)가 하이 레벨로 인에이블 되면 상기 테스트 신호(tst<0:N>)를 각각 출력하는 낸드게이트와 인버터의 조합으로 구성된다.

따라서 상기 테스트 모드 동작 신호(tmw)가 인에이블 되기 전에는 상기 래치 수단(500)에서 여러 번에 걸쳐 생성되는 상기 래치 신호(lch<0:N>) 중 하이 레벨의 신호는 계속 저장된다. 이후 상기 테스트 모드 동작 신호(tmw)가 인에이블 되면 상기 래치 신호(lch<0:N>)는 상기 테스트 신호(tst<0:N>)로 출력되어 복수 개의 테스트 모드를 동시에 정의하게 된다.

상술한 바와 같이, 순차적으로 생성되는 복수 개의 테스트 모드 코드의 손실을 방지하여 복수 개의 테스트 모드를 정의하는 테스트 신호를 동시에 출력하는 반도체 메모리 장치의 테스트 모드 진입 회로에서는 동시에 복수 개의 테스트 모드가 정의됨으로 인해 시간 효율이 향상된다.

이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

이상에서 설명한 본 발명의 반도체 메모리 장치의 테스트 모드 진입 회로는, 반도체 메모리 장치의 테스트 모드 진입시 테스트 모드 코드의 손실을 방지하여 동시에 복수 개의 테스트 신호를 출력함으로써 시간 효율을 향상시키는 효과가 있다.

도면의 간단한 설명

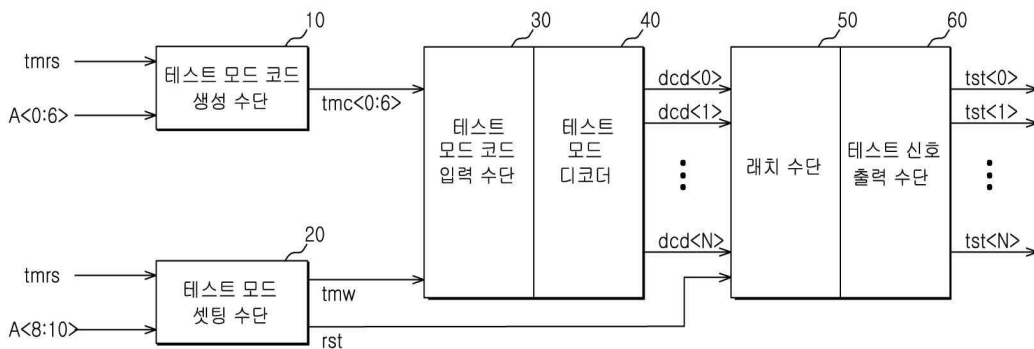
- 도 1은 종래의 기술에 따른 반도체 메모리 장치의 테스트 모드 진입 회로의 내부 구성을 나타낸 블록도,
- 도 2는 본 발명에 따른 반도체 메모리 장치의 테스트 모드 진입 회로의 내부 구성을 나타낸 블록도,
- 도 3은 도 2에 도시한 래치 수단의 상세 구성을 나타낸 일 예시도,
- 도 4는 도 2에 도시한 테스트 신호 출력 수단의 상세 구성을 나타낸 일 예시도이다.

<도면의 주요 부분에 대한 부호 설명>

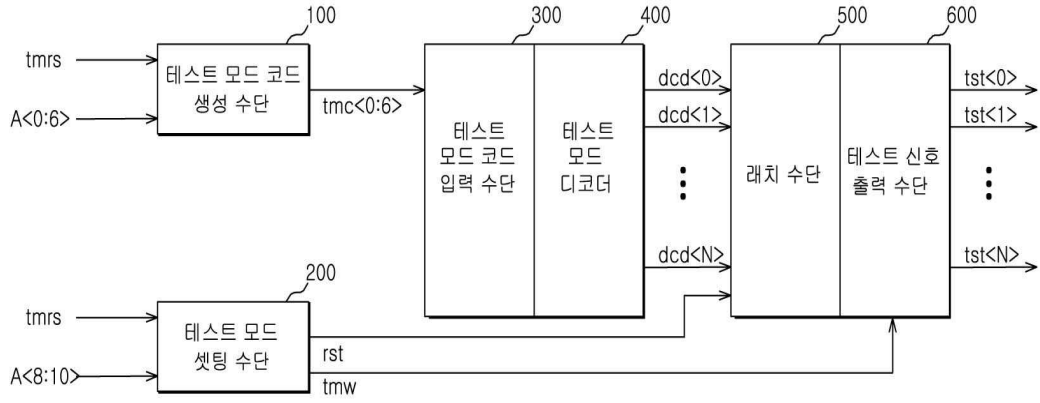
- 10/100 : 테스트 모드 코드 생성 수단
- 20/200 : 테스트 모드 셋팅 수단 30/300 : 테스트 모드 코드 입력 수단
- 40/400 : 테스트 모드 디코더 50/500 : 래치 수단
- 60/600 : 테스트 신호 출력 수단

도면

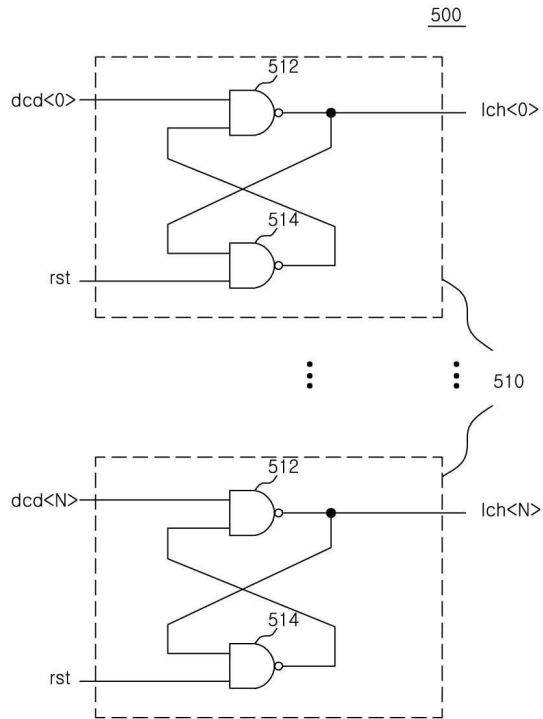
도면1



도면2



도면3



도면4

600

