(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H03K 19/017

(45) 공고일자 2003년01월10일
(11) 등록번호 10-0357279
(24) 등록일자 2002년10월07일

(21) 출원번호 10-1997-0059381
(22) 출원일자 1997년11월12일

(65) 공개번호 특1998-0079456
(43) 공개일자 1998년11월25일

(30) 우선권주장 109791 1997년04월25일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1

(72) 발명자 나까나오아끼
일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 후지쓰 가부시끼가이샤 내

(74) 대리인 문두현
문기상
조기호

심사관 : 권호영

(54) 풀업회로및반도체장치

요약

본 발명은 P채널의 트랜지스터를 사용하여, 버스의 전압이 풀업용의 전원 전위 보다 높게 되어도 버스로부터의 전류가 흘러 들어가지 않도록 하여, P채널 트랜지스터의 내압을 크게 하지 않아, 확실하게 풀업할 수 있고, 버스나 이것에 접속되어 있는 반도체 장치에 영향을 주지 않는 풀업회로 및 이것을 사용한 반도체 장치, 또한 이러한 반도체 장치를 사용한 시스템을 제공하는 것을 목적으로 한다. 본 발명은 드레인으로부터 웰 방향에 형성될 수 있는 전류 경로 및 드레인으로부터 소스 방향으로 형성될 수 있는 전류 경로에 각각 전류가 흐르지 않도록 상기 풀업용 P채널 트랜지스터를 제어하는 제어 회로를 구비한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 풀업회로의 구성을 나타내는 블록도.

도 2는 도 1에 나타낸 풀업회로의 제 1 전원회로의 일구성례를 나타내는 회로도.

도 3은 도 2에 나타낸 제 1 전원회로, 도 4 및 도 5에 각각 나타내는 제 2 전원회로의 동작을 나타내는 파형도.

도 4는 도 1에 나타낸 풀업회로의 제 2 전원회로의 일구성례를 나타내는 회로도.

도 5는 도 1에 나타낸 풀업회로의 제 2 전원회로의 다른 구성례를 나타내는 회로도.

도 6은 본 발명의 반도체 장치를 사용하여 구성한 시스템의 일구성례를 나타내는 도면.

도 7은 종래의 풀업회로를 사용한 반도체 장치를 사용하여 구성한 시스템의 일구성례를 나타내는 도면.

※ 도면의 주요부분에 대한 부호의 설명 ※

20 : 풀업용 P채널 MOS 트랜지스터

22 : 제 1 전원회로

24 : 제 2 전원회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 회로내의 소정의 노드(node)의 전위를 소정 값으로 상승시키는 풀업(pull-up)회로 및 이것을 구비한 반도체 장치에 관한 것이다.

반도체 집적회로의 제조 기술의 발달 등에 따라, 반도체 장치에 공급할 수 있는 전원전압은 매년 낮아지고 있고, 많은 반도체 장치를 이용하여 시스템을 구성하는 경우, 전원전압이 다른 반도체 장치 끼리를 접속할 필요가 있는 경우가 있다.

도 7은 다른 전원전압으로 구동되는 반도체 장치를 버스로 접속한 구성의 시스템의 경우의 회로 기판을 나타낸 도면이다. 반도체 장치 A와 반도체 장치 B는 버스(10)를 통하여 접속되어 있고, 버스(10)를 통하여 데이터를 주고받는다. 반도체 장치 A와 반도체 장치 B는 다른 전원전압으로 구동된다. 예컨대, 반도체 장치 B는 5V의 전원전압으로 동작하고, 반도체 장치 A는 3.3V의 전원전압에서 동작한다. 반도체 장치 B가 데이터를 버스(10)로 출력하는 경우, 버스(10)의 전위를 데이터 값에 따라 0V 또는 5V로 구동한다. 즉, 버스(10)의 고전위 및 저전위를 각각 Vh, V1로 하면, 반도체 장치 B는 Vh = 5V, V1 = 0V로 되도록 버스(10)를 구동한다. 마찬가지로 반도체 장치 A가 데이터를 버스(10)로 출력하는 경우, 반도체 장치 A는 Vh = 3.3V, V1 = 0V가 되도록 버스(10)를 구동한다.

통상, 반도체 장치 A 또는 반도체 장치 B는 버스와 인터페이스(interface) 부분에 풀업회로를 구비한다. 도 7에서는 편의상 반도체 장치 A의 내부 구성만을 나타낸다. 반도체 장치 A는 버스(10)와의 접속용 단자(16)를 갖고, 이 단자(16)를 통하여 버스(10)와 내부 회로가 전기적으로 접속된다. 반도체 장치 A는 버스(10)와 인터페이스를 구성하는 버퍼(12) 및 풀업회로(14)가 설치되고, 이들은 단자(16)에 접속된다. 버퍼(12)는 예컨대 입력 버퍼 또는 쌍방향 버퍼이지만, 출력 버퍼라도 좋다. 버스(10)상의 데이터는 단자(16)를 통하여 버퍼(12)로 도입되고, 그 후 도시하지 않는 반도체 장치 A의 내부 회로에 공급된다.

풀업회로(14)는 단자(16)의 전위를 반도체 장치 A의 전원전압으로 풀업(pull-up)하는 회로이다. 반도체 장치 A가 상기와 같이 3.3V의 전원전압에서 동작하는 경우, 풀업회로(14)는 단자(16)의 전위를 Vdd = 3.3V로 풀업한다. 풀업함으로써, 단자(16)의 전위가 어떠한 원인으로 0V와 3.3V의 중간 전위로 되는 것을 방지할 수 있다. 중간 전위로 되면, 버퍼(12) 및/또는 내부 회로가 오동작하거나, 불필요하게 전력이 소비될 가능성이 있다.

도 7에 나타낸 바와 같이, 풀업회로(14)는 P채널 MSO 트랜지스터(이하 PMOS 트랜지스터라 한다) 또는 N채널 MOS 트랜지스터(이하 NMOS 트랜지스터라 한다)로 구성된다. PMOS 트랜지스터를 사용한 경우, 소스에 전원전압(Vdd)(상기 예에서는 3.3V)을 인가하고, 게이트를 Vss(예컨대 0V)로 고정하고, 드레인을 단자(16)에 접속한다. 이것에 의해, PMOS 트랜지스터는 통상 항상 " 온" 상태에 있어, 단자(16)의 전위를 Vdd로 풀업할 수 있다. NMOS 트랜지스터를 사용한 경우는 게이트를 Vdd로 고정하고, " 온" 상태로 설정한다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 종래의 풀업회로(14)는 이하의 문제점을 갖고 있다.

상술한 바와 같이, 버스(10)의 전위가 5V로 될 경우가 있다. 예컨대 반도체 장치 B가 버스(10)를 고전위, 즉 5V로 설정한다. 이 때, 반도체 장치 A의 단자(16)의 전위는 5V로 된다. 풀업회로(14)가 PMOS 트랜지스터로 구성되어 있는 경우를 고려하면, 그 드레인은 5V로 된다. 통상, PMOS 트랜지스터의 백게이트(back gate) 전압은 Vdd, 즉 이 예에서는 3.3V로 고정되어 있다. 드레인이 5V이고 백게이트가 3.3V이므로, 드레인으로부터 백게이트(N형 웰)로는 전류 경로(current path), 보다 특정하면 순방향의 다이오드가 형성되고, 드레인으로부터 백게이트로 전류가 흐르게 된다. 이 전류는 버스(10)로부터 PMOS 트랜지스터를 통하여 전원(Vdd)으로 유입되는 전류로서, PMOS 트랜지스터의 신뢰성의 저하나 버스(10)의 전위의 저하 등의 문제점을 유발한다.

또한 전류의 유입은 드레인으로부터 소스를 거쳐서 전원(Vdd)으로 전류가 흐르게 되어도 발생한다. 드레인이 5V이고 소스가 3.3V(=Vdd)의 경우에는 드레인으로부터 소스로의 전류 경로가 형성되고, 이러한 전류의 유입이 발생한다.

이 때문에, PMOS 트랜지스터의 게이트 산화막을 두껍게 하거나, 버스(10)에 전용의 풀업회로(5V로 풀업한다)를 설치하여 대응함이 고려되지만, 비용을 고려하면 현실적인 해결책이 아니고, 또한 유입되는 전류 그 자체의 발생을 방지하는 근본적인 해결책은 아니다.

이것에 대해, 풀업회로(14)를 NMOS 트랜지스터로 구성한 경우에는, 소스 전위가 드레인 전위 보다 높기 때문에 상기 전류의 유입을 방지할 수 있다. 그러나, NMOS 트랜지스터에서 풀업할 수 있는 전위가 풀업회로(14)의 NMOS 트랜지스터의 게이트 전위(Vdd)로부터 그 문턱값의 전위를 뺀 전위가 되어, 충분한 풀업을 할 수 없어, 다음과 같은 문제가 발생할 가능성이 있다. 예컨대, 전원전압의 변동으로 통상은 3.3V인 것이 일시적으로 3V로 저하한 경우, NMOS 트랜

지스터의 문턱값이 0.5V로 되면, 2.5V 까지만 풀업된다. 이러한 중간적인 전위가 버퍼(12)에 접속되는 내부 회로에 대해 부정전위(不定電位)로 되어, 오동작시킬 가능성이 있다.

따라서, 본 발명은 상기 종래 기술의 문제점을 해결하고, P채널의 트랜지스터를 사용하여 버스의 전압이 풀업용의 전원 전위 보다 높게 되어도 버스로부터의 전류가 유입되지 않게 되어, P채널형 트랜지스터의 내압을 크게 하지 않고, 확실하게 풀업할 수 있어 버스나 이것에 접속되는 반도체 장치에 영향을 주지 않는 풀업회로 및 이것을 사용한 반도체 장치, 더 나아가서는 이러한 반도체 장치를 사용한 시스템을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에 따른 풀업회로는, 단자를 통하여 버스에 접속된 드레인, 소오스, 게이트 및 백게이트를 갖는 풀업용 P채널형 트랜지스터; 제 1 전원 배선(34)을 통하여 소스에 인가되는 제 1 전원전위(V1)와 상기 버스에 접속되는 상기 단자를 통하여 드레인에 인가되는 전위(Vx) 중 높은 쪽의 전위와 거의 같은 전위를 웰 전위(Vw)로서 생성하여, 상기 풀업용 P채널형 트랜지스터의 N형 웰에 공급하는 제 1 전원회로(22); 및 상기 전위 Vx가 상기 제 1 전원전위(V1)를 넘을 때는 상기 Vx와 거의 같은 전위를 게이트 전위(Vg)로서 생성하고, 상기 전위 Vx가 상기 제 1 전원전위(V1) 보다 낮을 때는 V1 보다 낮은 제 2 전원 배선(48)을 통하여 인가되는 제 2 전원전위(V2)와 거의 같은 전위를 게이트 전위(Vg)로서 생성하여, 상기 풀업용 P채널형 트랜지스터의 게이트에 공급하는 제 2 전원회로(24)를 구비한 것을 특징으로 한다. 상기 제 1 전원회로(22)는 Vx > V1일 때에 트랜지스터(20)의 드레인으로부터 웰(백게이트)로 흐르는 전류를 저지하고, 제 2 전원회로(24)는 Vx > V1일 때에 드레인으로부터 소스로 흐르는 전류를 저지한다. 따라서, 버스의 전위, 즉 트랜지스터(20)의 드레인의 전위(Vx)가 제 1 전원전위(V1)를 넘는 경우에도, 버스로부터의 전류의 유입을 저지할 수 있다.

또한, 본 발명에 따른 풀업회로는, 상기 풀업용 P채널형 트랜지스터가 상기 전위 Vx가 상기 제 1 전원전위(V1)를 넘을 때에 " 오프" 로 되고, 상기 전위 Vx가 상기 제 1 전원전위(V1) 보다 낮을 때에 " 온" 으로 되는 문턱값을 갖는 것을 특징으로 한다. 트랜지스터(20)의 문턱값을 정의한 것이다.

또한, 본 발명에 따른 풀업회로는, 상기 제 1 전원회로가 상기 제 1 전원 배선과 상기 N형 웰간에 설치되어 Vx > V1일 때에 " 오프" 로 되고 Vx < V1일 때에 " 온" 으로 되는 제 1 스위치 소자(30); 및 상기 단자와 N형 웰간에 설치되어 Vx > V1일 때에 " 온" 으로 되고 Vx < V1일 때에 " 오프" 로 되는 제 2 스위치 소자(32)를 구비한 것을 특징으로 한다. 제 1 스위치 소자(32)는 Vx < V1일 때에 제 1 전원전위(V1)를 트랜지스터(20)의 웰(백게이트)에 인가하여 웰의 전위를 드레인 전위 보다 높게 설정하고, Vx > V1일 때에 Vx를 웰에 인가하는 것으로 웰의 전위를 드레인 전위와 같게 설정하여, 드레인으로부터 웰로 전류가 흐르는 것을 저지한다.

또한, 본원 발명에 따른 풀업회로는, 상기 제 1 스위치 소자(30)는 그 N형 웰에 상기 웰 전위(Vw)가 공급되어 그 게이트에 전위(Vx)가 공급되는 제 1 P채널형 트랜지스터(30)이고, 상기 제 2 스위치 소자는 그 N형 웰에 상기 웰 전위(Vw)가 공급되어 그 게이트에 상기 제 1 전원전위(V1)가 공급되는 제 2 P채널형 트랜지스터(32)인 것을 특징으로 한다. 이는 제 1 및 제 2 스위치 소자의 일구성례를 규정한 것이다.

또한, 본원 발명에 따른 풀업회로는, 상기 제 2 전원회로(24)는 상기 단자와 상기 풀업용 P채널형 트랜지스터의 게이트간에 설치되며 Vx > V1일 때에 " 온" 으로 되고, Vx < V1일 때에 " 오프" 로 되는 제 3 스위치 소자(40); 상기 풀업용 P채널형 트랜지스터의 게이트와 상기 제 2 전원 배선간에 설치되는 제 4 스위치 소자(46); 및 Vx > V1일 때에 상기 제 4 스위치 소자를 " 오프" 로 하고, Vx < V1일 때에 상기 제 4 스위치 소자를 " 온" 으로 하는 스위치 제어회로(42, 44)를 구비한 것을 특징으로 한다. Vx < V1일 때에는 제 4 스위치 소자(46)가 " 온" 으로 되고 제 1 전원전위(V1)를 풀업용 트랜지스터(20)의 게이트에 인가하여 이것을 " 온" 시키고, Vx > V1일 때에는 제 3

스위치 소자(40)가 " 온" 으로 되고 Vx를 풀업용 트랜지스터(20)의 게이트에 인가하여 이것을 " 오프" 시킨다. 이것에 의해, Vx > V1일 때에 풀업용 트랜지스터(20)의 드레인으로부터 소스로 흐르는 전류의 발생을 저지할 수 있다.

또한, 본 발명에 따른 풀업회로는, 상기 제 3 스위치 소자(40)가 그 N형 웰에 상기 웰 전위(Vw)가 공급되고 그 게이트에 상기 전위 V1이 공급되는 제 3 P채널형 트랜지스터(40)이고, 상기 제 4 스위치 소자(46)는 그 게이트 전위가 상기 스위치 제어회로에 의해 제어되는 제 1 N채널형 트랜지스터(46)인 것을 특징으로 한다. 이는 제 3 및 제 4 스위치 소자의 일구성례를 규정한 것이다.

또한, 본 발명에 따른 풀업회로는, 상기 스위치 제어회로가, 상기 제 1 전원 배선과 상기 제 4 스위치 소자의 제어 단자간에 접속되며 Vx > V1일 때에 " 오프" 로 되고, Vx < V1일 때에 " 온" 으로 되는 제 5 스위치 소자(42); 및
상기 제 2 전원 배선과 상기 제 4 스위치 소자의 제어 단자간에 접속되어 Vx > V1일 때에 " 온" 으로 되고, Vx < V1일 때에 " 오프" 으로 되는 제 6 스위치 소자(44)를 구비한 것을 특징으로 한다. 스위치 제어회로의 일 구성례를 규정하는 것으로, 상기와 같이 하여 제 3 및 제 4 스위치 소자를 제어한다.

또한, 본 발명에 따른 풀업회로는, 상기 제 5 스위치 소자(42)는 그 게이트에 상기 전위 Vx가 공급되는 제 4 P채널형 트랜지스터(42)이고, 상기 제 6 스위치 소자(44)는 그 게이트에 상기 게이트 전위(Vg)가 공급되는 제 2 N채널형 트랜지스터(44)인 것을 특징으로 한다. 제 5 및 제 6 스위치 소자의 일구성례를 규정한 것이다.

또한, 본 발명에 따른 풀업회로는, 상기 제 3 스위치 소자 및 상기 풀업용 P채널형 트랜지스터의 게이트의 접속점과 상기 제 4 스위치 소자 및 제 6 스위치 소자의 접속점 사이에 설치되며, 그 게이트에, 상기 제 4 스위치 소자가 " 온" 할 때에 " 온" 으로 되도록 제 3 전원 배선을 통하여 공급되는 제 3 전원전위(V3)가 공급되는 제 3 N채널형 트랜지스터(50); 및 상기 제 5 스위치 소자와 상기 단자간에 설치되고, 그 게이트에 상기 제 1 전원전위(V1)가 공급되는 제 4 N채널형 트랜지스터(52)를 더 구비한 것을 특징으로 한다. 제 3 및 제 4 N채널형 트랜지스터의 소스 전위가 그 게이트 전위로부터 문턱값만큼 낮은 전위로 되기 때문에, 이것을 이용하여 제 5 스위치 소자나 제 6 스위치 소자에 인가되는 전압을 낮게 억제하여 트랜지스터의 내압이나 크기가 크게 되지 않도록 한다.

본 발명에 따르면, 상기 풀업회로를 구비한 것을 특징으로 하는 반도체 장치가 제공된다. 이것에 의해, 이 반도체 장치는 그 전원전압(V1) 보다도 높은 전위로 구동되는 버스 등에 접속하여도, 상기와 같이 버스로부터 유입되는 전류가 흐르지 않게 된다.

(발명의 실시 형태)

도 1은 본 발명의 원리를 나타내는 도면이고, 본 발명의 풀업회로를 나타낸다. 본 발명의 풀업회로는 풀업용 P채널 MOS 트랜지스터(20), 제 1 전원회로(22), 제 2 전원회로(24) 및 단자(26)를 구비한다. 도시한 풀업회로는 도 7의 풀업회로(14)로 치환한 것이다. 제 1 전원회로(22)는 풀업용 PMOS 트랜지스터(20)의 드레인으로부터 백게이트(N형 웰)로의 전류 경로(다이오드)를 제어하는 것이고, 제 2 전원회로(24)는 풀업용 PMOS 트랜지스터(20)의 드레인으로부터 소스로의 전류 경로(다이오드)를 제어하는 것이다. 또한 제 1 전원회로(22) 및 제 2 전원회로(24)로 풀업용 PMOS 트랜지스터(20)를 제어하는 제어회로가 구성된다.

제 1 전원회로(22)는 단자(26)의 전위(Vx)와 제 1 전원전위(종래 기술의 Vdd에 상당한다)(V1)를 비교하여, 어느 쪽이건 높은 쪽 전위와 같거나 거의 같은 전위(이하, 같은 전위로서 설명한다)를 웰 전위(Vw)로서 생성하여, 풀업용 PMOS 트랜지스터(20)의 백게이트(N형 웰)에 공급한다. 단자(26)는 도 7의 버스(10)에 접속되어 있고, 단자(26)의

전위가 예컨대 0V의 경우에는 Vx < V1이므로, 제 1 전원회로(22)는 풀업용 PMOS 트랜지스터(20)의 백게이트를 전위 V1로 설정한다. 이것에 의해, 드레인으로부터 백게이트(N형 웰)가, 순방향의 다이오드는 역방향으로 전압이 인가되어 전류는 흐르지 않는다. 버스(10)의 전위, 즉 단자(26)의 전위(Vx)가 제 1 전원전압(V1) 보다도 높게 된 경우 제 1 전원회로(22)는 백게이트를 전위 Vx로 설정한다. 이것에 의해, 드레인으로부터 백게이트로의 순방향의 다이오드는 역방향으로 전압이 인가되어, 전류가 흐르지 않는다. 따라서 단자(26)의 전위(Vx)가 제 1 전원전위(V1)를 넘어서도 종래와 같이 유입되는 전류는 생기지 않는다.

제 2 전원회로(24)는 단자(26)의 전위(Vx)와 제 1 전원전압(V1)을 비교하여, Vx > V1의 경우에는 Vx와 같거나 거의 같은 전위(이하, 같은 전위로서 설명한다)를 풀업용 PMOS 트랜지스터(20)의 게이트에 게이트 전위(Vg)로서 공급하고, Vx < V1의 경우에는 제 2 전원 전위(V2)(< V1)를 게이트 전위(Vg)로서 PMOS 트랜지스터(20)의 게이트에 공급한다. 이것에 의해, 단자(26)의 전위(Vx)가 제 1 전원 전위(V1)를 넘어도 게이트는 전위(Vx)로 설정되므로 풀업용 PMOS 트랜지스터(20)는 " 오프" 상태이고, 드레인으로부터 소스로의 전류의 유입은 발생하지 않는다.

이상에서 살펴본 바와 같이, 풀업용 PMOS 트랜지스터(20)는 Vx > V1(Vg = Vw = Vx)일 때에 " 오프" 하고, Vx < V1(Vg = V2, Vw = V1)일 때에 " 온" 하도록 문턱값을 갖는다.

도 2는 상기 제 1 전원회로(22)의 일구성례를 나타내는 회로도이다. 제 1 전원회로(22)는 제 1 P채널 MOS 트랜지스터(30) 및 제 2 P채널 MOS 트랜지스터(32)를 갖는다. 제 1 PMOS 트랜지스터(30)의 소스 및 제 2 PMOS 트랜지스터(32)의 게이트는 전원전위(V1)의 제 1 전원 배선(34)에 접속되어 있다. 제 1 PMOS 트랜지스터(30)의 게이트 및 제 2 PMOS 트랜지스터(32)의 드레인은 단자(26)에 접속되어 있다. 제 1 PMOS 트랜지스터(30)의 드레인 및 제 2 PMOS 트랜지스터(32)의 소스, 또 이들의 백게이트는 도 1에 나타낸 풀업용 PMOS 트랜지스터(20)의 N형 웰에 접속되어 있다. 또한 제 1 PMOS 트랜지스터(30) 및 제 2 PMOS 트랜지스터(32)는 각각 스위치 소자로서 기능하는 것이고, PMOS 트랜지스터에 한정되는 것은 아니다.

단자(26)의 전위(Vx)가 제 1 전원전위(V1) 보다도 낮은 경우(Vx < V1)에 제 1 PMOS 트랜지스터(30)가 " 온" 하고, 제 2 PMOS 트랜지스터(32)가 " 오프" 한다. 따라서 풀업용 PMOS 트랜지스터(20)의 N형 웰은 제 1 전원전위(V1)로 설정된다(Vw = Vx). 또한 단자(26)의 전위(Vx)가 제 1 전원전위(V1) 보다도 높은 경우(Vx > V1)에 제 1 PMOS 트랜지스터(30)가 " 오프" 하고, 제 1 PMOS 트랜지스터(32)가 " 온" 한다. 따라서 풀업용 PMOS 트랜지스터(20)의 N형 웰은 전위(Vx)로 설정된다(Vw = V1). 따라서 풀업용 PMOS 트랜지스터(20)의 드레인과 백게이트는 같은 전위로 되고, 드레인으로부터 백게이트로 전류가 흐르지 않게 된다.

도 3(a)에 제 1 전원전위(V1), 단자(26)의 전위(Vx) 및 웰 전위(Vw)의 변화의 모양을 나타낸다.

도 4는 도 1에 나타낸 제 2 전원회로(24)의 일구성례를 나타내는 회로도이다. 제 2 전원회로(24)는 제 3 P채널 MOS 트랜지스터(40), 제 4 P채널 MOS 트랜지스터(42), 제 1 N채널 MOS 트랜지스터(44) 및 제 2 N채널 MOS 트랜지스터(46)를 구비하여 구성되어 있다. 단자(26)는 제 3 PMOS 트랜지스터(40)의 소스 및 제 4 PMOS 트랜지스터(42)의 게이트에 접속되어 있다. 제 1 전원전위(V1)의 제 1 전원 배선(34)은 제 3 PMOS 트랜지스터(40)의 게이트 및 제 4 PMOS 트랜지스터의 소스에 접속되어 있다. 제 3 PMOS 트랜지스터(40)의 드레인, 제 1 NMOS 트랜지스터(44)의 드레인, 제 2 NMOS 트랜지스터(46)의 게이트에 접속되어 있는 동시에, 풀업용 PMOS 트랜지스터(20)의 게이트에 접속되어 있다. 제 4 PMOS 트랜지스터(42)의 드레인은 제 1 NMOS 트랜지스터(44)의 게이트 및 제 2 NMOS 트랜지스터(46)의 드레인에 접속되어 있다. 제 1 NMOS 트랜지스터(44)의 소스 및 제 2 NMOS 트랜지스터(46)의 소스는 제 2 전원전위(V2)의 제 2 전원 배선(48)에 접속되어 있다. 또한 제 4 PMOS 트랜지스터(42) 및 제 1 NMOS 트랜지

스터는 스위치 소자로서 기능하는 제 3 PMOS 트랜지스터(40) 및 제 2 NMOS 트랜지스터(46)의 스위치 제어 회로로서 기능한다.

단자(26)의 전위(Vx)가 제 1 전원전위(V1) 보다 낮은 경우(Vx < V1)에 제 4 PMOS 트랜지스터(42)가 " 온" 하고, 제 1 전원전압(V1)이 제 1 NMOS 트랜지스터(44)의 게이트에 인가된다(Vg = V1). 따라서 제 1 NMOS 트랜지스터(44)는 " 온" 하고, 풀업용 PMOS 트랜지스터(20)의 게이트는 제 2 전원전위(V2)(< V1), 예컨대 접지 전위로 된다. 따라서 Vx < V1일 경우에는 풀업용 PMOS 트랜지스터(20)는 " 온" 상태이다. 또 이 경우에는 제 3 PMOS 트랜지스터(40) 및 제 2 NMOS 트랜지스터(46)는 " 오프" 이다.

단자(26)의 전위(Vx)가 제 1 전원전위(V1)를 넘는 경우(Vx > V1)에 제 3 PMOS 트랜지스터(40)는 " 온" 하고, 전위 V1이 제 2 NMOS 트랜지스터(46)의 게이트에 인가된다. 따라서 제 2 NMOS 트랜지스터(46)는 " 온" 하고, 제 4 PMOS 트랜지스터(42)의 드레인 및 제 1 NMOS 트랜지스터(44)의 게이트는 제 2 전원전위(V2)로 된다. 따라서 제 4 PMOS 트랜지스터(42) 및 제 1 NMOS 트랜지스터(44)는 " 오프" 이다. 그 결과, 풀업용 PMOS 트랜지스터(20)의 게이트에는 제 3 PMOS 트랜지스터(40)를 통하여 전위(Vx)가 인가되기 때문에(Vg = Vx), 풀업용 PMOS 트랜지스터(20)는 " 오프" 상태이다. 따라서 Vx > V1일 때에 풀업용 PMOS 트랜지스터(20)의 드레인으로부터 전류가 유입되는 것을 방지할 수 있다.

도 3(b)은 제 2 전원회로(24)의 제 1 전원전위(V1), 단자(26)의 전위(Vx) 및 게이트 전위(Vg)의 변화의 모양을 나타낸다.

도 5는 도 4에 나타낸 제 2 전원회로(24)의 다른 구성례를 나타내는 회로도이다. 또한 도 5에 나타낸 구성 요소와 같은 것은 동일한 참조번호를 부착하고 있다. 도 5에 나타낸 제 2 전원회로(24)는 도 4에 나타낸 구성에 더하여 제 3 N채널형 트랜지스터(50) 및 제 4 N채널형 트랜지스터(52)를 설치한 것이다. 제 3 NMOS 트랜지스터(50)는 제 3 PMOS 트랜지스터(40)와 제 1 NMOS 트랜지스터(44)간에 설치되어, 게이트는 제 3 전원 배선을 통하여 제 3 전원전위(V3)에 고정되어 있다. 제 3 전원전위(V3)는 그 소스 전위 보다 적어도 문턱값만큼 높은 전위(예컨대V1)이다. 제 4 NMOS 트랜지스터(52)는 단자(26)와 제 4 PMOS 트랜지스터(42)의 게이트간에 설치되어 있고, 그 게이트는 제 1 전원전위(V1)로 설정되어 있다.

제 3 NMOS 트랜지스터(50) 및 제 4 NMOS 트랜지스터(52)는 제 2 전원회로(24)를 구성하는 각 MOS 트랜지스터의 내압(크기)을 내려 내압을 모두 동일하게 하여, 제조 공정을 간략화하기 위해서 설치하는 것이다.

도 4에 나타낸 구성에서는 제 1 NMOS 트랜지스터(44)의 드레인、소스간이나 드레인、게이트간에 제 1 전원전위(V1) 보다 높은 전위(Vx)가 인가되는 경우가 있다. 즉, 제 3 PMOS 트랜지스터(40)가 " 온" 으로 되면, 제 1 NMOS 트랜지스터(44)의 드레인에는 V1(예컨대 5V)이 인가되므로, 제 1 NMOS 트랜지스터(44)의 드레인、소스간은 5V로 되고, 또한 제 2 NMOS 트랜지스터(46)의 게이트、소스간도 5V로 된다. 더욱이 제 4 PMOS 트랜지스터(42)의 드레인、게이트간도 5V로 된다. 따라서 이들 트랜지스터는 상기 5V를 고려한 내압을 가질 수 있는 크기(예컨대 게이트 산화막의 두께)를 가질 필요가 있다.

이것에 대해, 도 5에 나타낸 제 3 NMOS 트랜지스터(50) 및 제 4 NMOS 트랜지스터(52)를 설치함으로써, 전체 NMOS 트랜지스터는 제 1 전원전압(V1)을 고려한 내압을 가질 수 있는 크기이면 좋다. 제 3 NMOS 트랜지스터(50)의 소

스 전위는 게이트 전위 즉, 제 3 전원전압(V3)으로부터 그 문턱값을 뺀 전위이다. 따라서 제 3 NMOS 트랜지스터(50)의 드레인 전위가 제 1 전원전위(V1)이어도, 제 3 NMOS 트랜지스터(50)의 소스 전위는 게이트 전위(V3) 보다 문턱값만큼 낮은 값으로 된다. 그 결과, 제 1 NMOS 트랜지스터(44)의 드레인이나 제 2 NMOS 트랜지스터(46)의 게이트는 제 1 전원전위(V1) 보다 높은 전위(Vx)(예컨대 5 V)로 되는 것은 아니다. 마찬가지로 제 4 PMOS 트랜지스터(42)의 게이트 전위는 제 1 전원전위(V1) 보다 그 문턱값만큼 낮으므로, 단자(26)에 V1을 넘는 전위(Vx)가 인가되어도, 제 4 PMOS 트랜지스터(42)의 게이트 전위는 제 1 전원전위(V1)로부터 그 문턱값을 뺀 전위를 넘는 것은 아니다.

그 결과, 각 MOS 트랜지스터의 게이트、드레인간, 게이트、소스간, 게이트、백게이트(웰)간 및 소스、드레인간의 어느 것도 제 1 전원전압(V1) 보다 낮은 전압을 받게 된다. 따라서 각 트랜지스터를 같은 내압(V1에 견디는 내압), 같은 크기로 구성할 수 있다.

도 3(c)은 도 5에 나타낸 구성에 관한 제 1 전원전위(V1), 단자(26)의 전위(Vx), 풀업용 PMOS 트랜지스터(20)의 게이트 전위(Vg), 제 3 NMOS 트랜지스터(50)의 소스 전위(Vn1) 및 제 4 PMOS 트랜지스터(42)의 게이트 전위(Vn2)의 변화를 나타낸 도면이다.

도 6은 본 발명에 의한 시스템의 일례를 나타내는 블록도이다. 도시한 시스템은 회로기판(100)이다. 회로기판(100)은 반도체 장치(110A, 110B)를 갖고, 이들은 버스(10)에 의해 전기적으로 접속되어 있다. 실제로는 보다 많은 반도체 장치가 설치되어 있는 것이 일반적이지만, 편의상 이 2 개의 반도체 장치만을 도시한다. 반도체 장치(110A)는 전원 단자(132)를 통하여 예컨대 3.3V(=V1)를 받아 동작한다. 반도체 장치(110B)는 전원 단자(130)를 통하여 예컨대 5V를 받아 동작한다. 반도체 장치(110B)는 데이터를 버스(10)에 출력할 때, 버스(10)의 전위를 데이터의 값에 따라 0V 또는 5V로 설정한다. 반도체 장치(110A)는 데이터를 버스(10)로 출력할 때, 버스(10)의 전위를 데이터의 값에 따라 0V 또는 3.3V로 설정한다. 통상, 반도체 장치의 출력측 인터페이스는 출력 버퍼(예컨대 CMOS 인버터)를 갖고, 데이터에 따라 버스(10)를 전원전위 또는 접지로 설정한다.

반도체 장치(110A)는 풀업회로(120), 버퍼(12) 및 내부 회로(122)를 갖는다. 버퍼(12)는 예컨대 쌍방향 버퍼이고, 단자(26)를 통하여 버스(10)로부터 데이터를 입력하여 내부 회로(122)에 공급하고, 내부 회로(122)로부터 데이터를 입력하여 단자(26)를 통하여 버스(10)에 출력한다. 풀업회로(120)는 본 발명에 의해 구성된 것이고, 도 1에 나타낸 바와 같이 구성되어 있다. 즉, 풀업회로(120)는 풀업용 PMOS 트랜지스터(20), 제 1 전원회로(22) 및 제 2 전원회로(24)를 갖는다. 제 1 전원회로(22)는 도 2에 나타낸 바와 같이 구성되고, 제 2 전원회로(24)는 도 4 또는 도 5에 나타낸 바와 같이 구성되어 있다.

풀업회로(120)는 상술한 바와 같이 구성되어 있으므로, 반도체 장치(110B)가 버스(10)를 고준위(예컨대 5V)로 구동하여도, 전류가 버스(10)로부터 풀업회로(120)를 거쳐서 전원(접지를 포함)으로 유입되지 않는다. 따라서 버스(10)의 전압이 풀업용 전원전위 보다 높게 되어도 버스로부터의 전류가 유입되지 않고 트랜지스터의 내압을 크게 하지 않고, 확실하게 풀업할 수 있어 버스(10)나 이것에 접속되어 있는 반도체 장치(110B) 등에 영향을 주지 않는다.

이상, 본 발명의 실시예를 설명하였다. 상기 실시예에서는 MOS 트랜지스터를 사용하고 있지만, 이와 다른 전계 효과 트랜지스터를 사용하여도 좋다. 또한 바이폴라 트랜지스터(bipolar transistor)를 사용하여도 동일하게 구성할 수 있다. 또한 본 발명은 버스와의 인터페이스를 갖고 있는 모든 반도체 장치를 포함하는 것이다. 또한, 상기 실시예에서는 하나의 단자(26)로서 설명했지만, 통상 버스(10)는 복수 비트(bit)로 구성되어 있으므로, 각 버스(10)의 라인(line)마다 풀업회로(120)를 설치하게 된다. 또한, 버스에서는 아니더라도, 다른 전위로 구동되는 라인에도 동일하게 적용할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면 풀업용 P채널형 트랜지스터의 드레인으로부터 웰 방향으로 형성될 수 있는 전류 경로 및 드레인으로부터 소스 방향으로 형성될 수 있는 전류 경로에 각각 전류가 흐르지 않도록 제어하기 때문에, 드레인 전위가 P채널형 트랜지스터의 전원전위를 넘어도 불필요한 전류가 흐르지 않게 되어 신뢰성이 향상되는 효과가 얻어진다.

(57) 청구의 범위

청구항 1.

단자를 통하여 버스에 접속된 드레인, 소오스, 게이트 및 백게이트를 갖는 풀업용 P채널형 트랜지스터;

제 1 전원 배선을 통하여 소스에 인가되는 제 1 전원전위(V1)와 상기 버스에 접속되는 상기 단자를 통하여 드레인에 인가되는 전위(Vx) 중 높은 쪽의 전위와 거의 같은 전위를 웰 전위(Vw)로서 생성하여, 상기 풀업용 P채널형 트랜지스터의 N형 웰에 공급하는 제 1 전원회로; 및

상기 전위 Vx가 상기 제 1 전원전위(V1)를 초과할 때는 상기 Vx와 거의 같은 전위를 게이트 전위(Vg)로서 생성하고, 상기 전위 Vx가 상기 제 1 전원전위(V1) 보다 낮을 때는 상기 V1 보다 낮고 제 2 전원 배선을 통하여 인가되는 제 2 전원전위(V2)와 거의 같은 전위를 게이트 전위(Vg)로서 생성하여, 상기 풀업용 P채널형 트랜지스터의 게이트에 공급하는 제 2 전원회로를 구비한 것을 특징으로 하는 풀업회로.

청구항 2.

제 1 항에 있어서,

상기 풀업용 P채널형 트랜지스터는, 상기 전위 Vx가 상기 제 1 전원전위(V1)를 초과할 때에 " 오프" 로 되고, 상기 전위 Vx가 상기 제 1 전원전위(V1) 보다 낮을 때에 " 온" 으로 되는 문턱값을 갖는 것을 특징으로 하는 풀업회로.

청구항 3.

제 1 항에 있어서,

상기 제 1 전원회로는,

상기 제 1 전원 배선과 상기 N형 웰 사이에 설치되고, Vx > V1일 때에 " 오프" 로 되고 Vx < V1일 때에 " 온" 으로 되는 제 1 스위치 소자; 및

상기 단자와 N형 웰 사이에 설치되고, Vx > V1일 때에 " 온" 으로 되고, Vx < V1일 때에 " 오프" 로 되는 제 2 스위치 소자를 구비한 것을 특징으로 하는 풀업회로.

청구항 4.

제 2 항에 있어서,

상기 제 1 스위치 소자는, 그 N형 웰에 상기 웰 전위(Vw)가 공급되고 그 게이트에 상기 전위(Vx)가 공급되는 제 1 P채널형 트랜지스터이며,

상기 제 2 스위치 소자는, 그 N형 웰에 상기 웰 전위(Vw)가 공급되고 그 게이트에 상기 제 1 전원전위(V1)가 공급되는 제 2 P채널형 트랜지스터인 것을 특징으로 하는 풀업회로.

청구항 5.

제 1 항 내지 제 2 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 전원회로는,

상기 단자와 상기 풀업용 P채널형 트랜지스터의 게이트 사이에 설치되고, Vx > V1일 때에 " 온" 으로 되고, Vx < V1일 때에 " 오프" 로 되는 제 3 스위치 소자;

상기 풀업용 P채널형 트랜지스터의 게이트와 상기 제 2 전원 배선 사이에 설치되는 제 4 스위치 소자; 및

Vx > V1일 때에 상기 제 4 스위치 소자를 " 오프" 로 하고, Vx < V1일 때에 상기 제 4 스위치 소자를 " 온" 으로 하는 스위치 제어회로를 구비한 것을 특징으로 하는 풀업회로.

청구항 6.

제 5 항에 있어서,

상기 제 3 스위치 소자는, 그 N형 웰에 상기 웰 전위(Vw)가 공급되고 그 게이트에 상기 전위 V1이 공급되는 제 3 P채널형 트랜지스터이며,

상기 제 4 스위치 소자는, 그 게이트 전위가 상기 스위치 제어회로에 의해 제어되는 제 1 N채널형 트랜지스터인 것을 특징으로 하는 풀업회로.

청구항 7.

제 5 항에 있어서,

상기 스위치 제어회로는,

상기 제 1 전원 배선과 상기 제 4 스위치 소자의 제어 단자 사이에 접속되고, Vx > V1일 때에 " 오프" 로 되고, Vx < V1일 때에 " 온" 으로 되는 제 5 스위치 소자; 및

상기 제 2 전원 배선과 상기 제 4 스위치 소자의 제어 단자 사이에 접속되고, Vx > V1일 때에 " 온" 으로 되고, Vx < V1일 때에 " 오프" 로 되는 제 6 스위치 소자를 구비한 것을 특징으로 하는 풀업회로.

청구항 8.

제 7 항에 있어서,

상기 제 5 스위치 소자는, 그 게이트에 상기 전위 Vx가 공급되는 제 4 P채널형 트랜지스터이며,

상기 제 6 스위치 소자는, 그 게이트에 상기 게이트 전위(Vg)가 공급되는 제 2 N채널형 트랜지스터인 것을 특징으로 하는 풀업회로.

청구항 9.

제 7 항에 있어서,

상기 제 3 스위치 소자 및 상기 풀업용 P채널형 트랜지스터의 게이트의 접속점과 상기 제 4 스위치 소자 및 제 6 스위치 소자의 접속점 사이에 설치되고, 그 게이트에 상기 제 4 스위치 소자가 " 온" 할 때에 " 온" 으로 되도록 제 3 전원배선을 통하여 공급되는 제 3 전원전위(V3)가 공급되는 제 3 N채널형 트랜지스터; 및

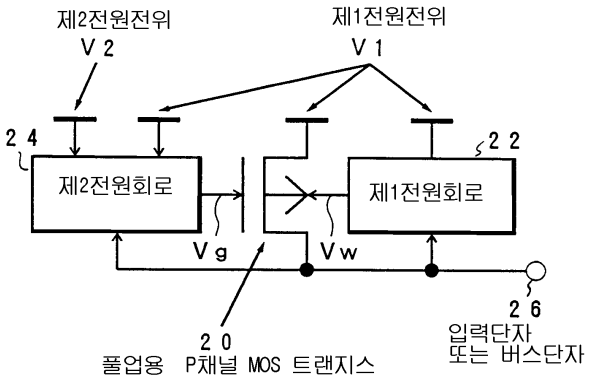
상기 제 5 스위치 소자와 상기 단자 사이에 설치되고, 그 게이트에 상기 제 1 전원전위(V1)가 공급되는 제 4 N채널형 트랜지스터를 구비한 것을 특징으로 하는 풀업회로.

청구항 10.

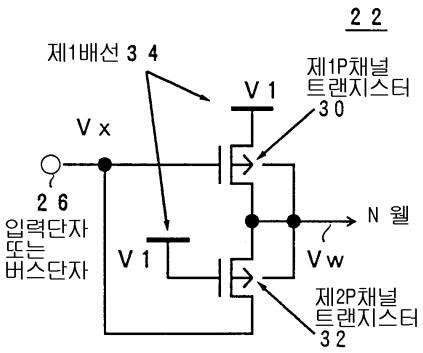
제 1 항의 풀업회로를 구비한 것을 특징으로 하는 반도체 장치.

도면

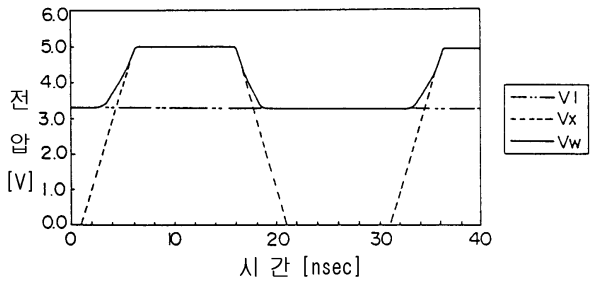
도면 1



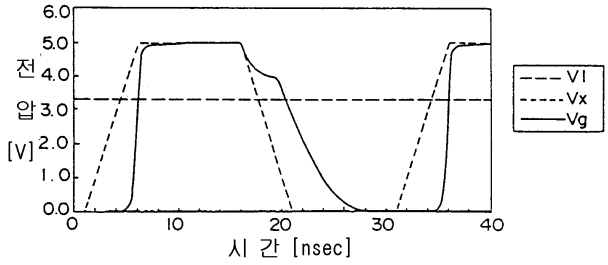
도면 2



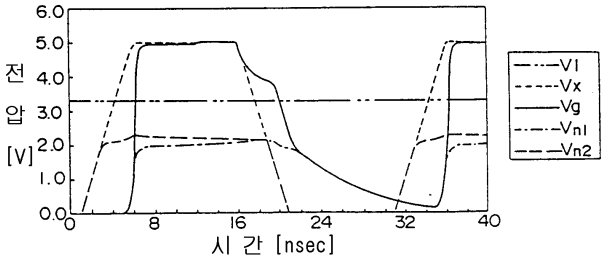
도면 3a



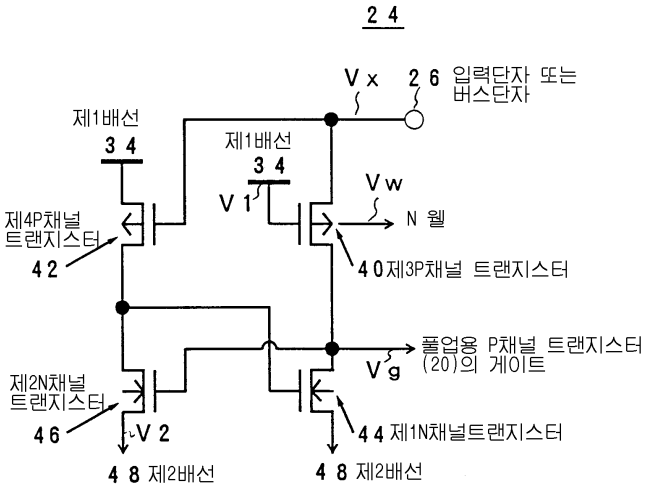
도면 3b



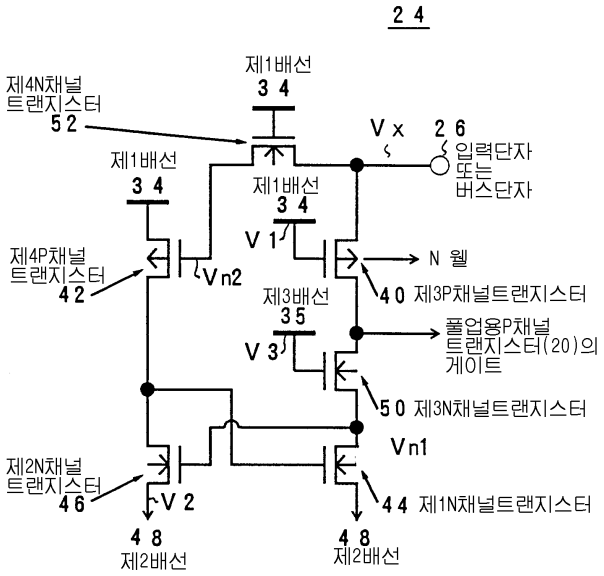
도면 3c



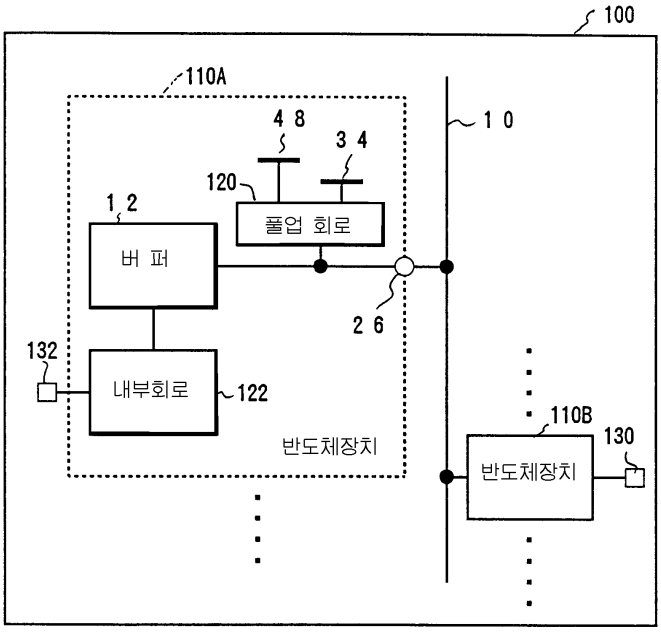
도면 4


24
Vx
26 입력단자 또는 버스단자
제1배선
34
제1배선
34
V1
Vw
N 웰
제4P채널 트랜지스터
42
40 제3P채널 트랜지스터
풀업용 P채널 트랜지스터 (20)의 게이트
Vg
제2N채널 트랜지스터
46
V2
44 제1N채널트랜지스터
48 제2배선
48 제2배선

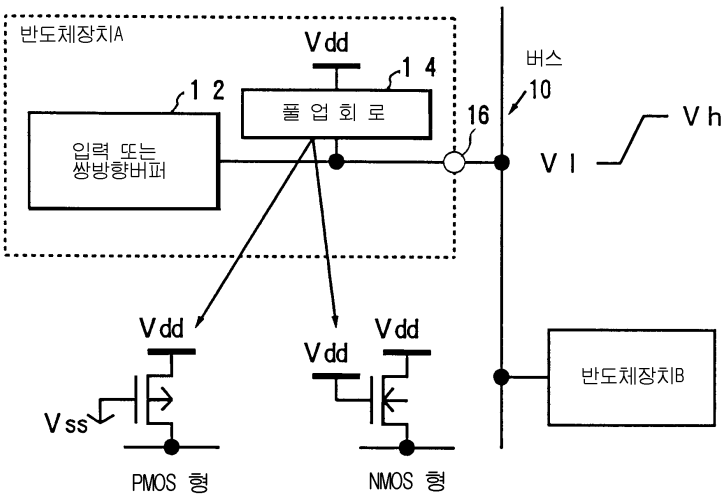
도면 5


24
제1배선
34
제4N채널 트랜지스터
52
Vx
26 입력단자 또는 버스단자
제1배선
34
제1배선
34
V1
제4P채널 트랜지스터
42
Vn2
N 웰
제3배선
35
40 제3P채널트랜지스터
풀업용P채널 트랜지스터(20)의 게이트
V3
50 제3N채널트랜지스터
Vn1
제2N채널 트랜지스터
46
V2
44 제1N채널트랜지스터
48 제2배선
48 제2배선

도면 6


100
110A
48
34
120
12
풀업 회로
버 퍼
10
26
132
내부회로
122
반도체장치
110B
130
반도체장치

도면 7


반도체장치A
Vdd
14
12
풀 업 회 로
입력 또는
쌍방향버퍼
16
버스
10
Vh
Vl
Vdd
Vdd
Vdd
Vss
반도체장치B
PMOS 형
NMOS 형