



# [12] 发明专利说明书

[21] ZL 专利号 99802947.5

[45] 授权公告日 2004 年 4 月 21 日

[11] 授权公告号 CN 1147155C

[22] 申请日 1999.12.14 [21] 申请号 99802947.5

[30] 优先权

[32] 1998.12.14 [33] JP [31] 355123/1998

[86] 国际申请 PCT/JP1999/007003 1999.12.14

[87] 国际公布 WO00/36842 日 2000.6.22

[85] 进入国家阶段日期 2000.8.14

[71] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 大桥政宏 中村刚

审查员 龚锦玲

[74] 专利代理机构 中国国际贸易促进委员会专利

商标事务所

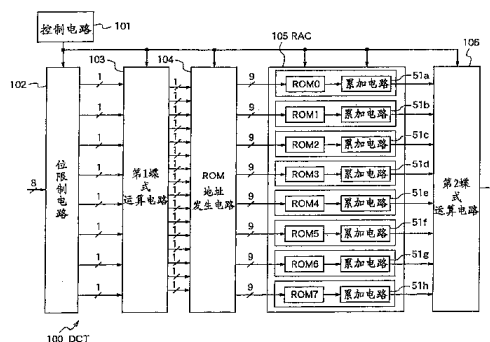
代理人 吴丽丽

权利要求书 8 页 说明书 33 页 附图 11 页

[54] 发明名称 DCT 运算装置

[57] 摘要

本发明是对不同大小的块单位的图象数据进行 DCT 运算或者反 DCT 运算的至少一种运算的 DCT 运算装置。包括：位限制电路(102)，它把以每次一列或者每次一行输入的各像素数据以每次 1 位输出；第 1 蝶式运算电路(103)，它对位限制电路(102)的输出进行蝶式运算；ROM 地址发生电路(104)，它根据第 1 蝶式运算电路(103)的输出，生成连续的 ROM 地址；RAC (105)，它从 ROM (ROM0 ~ ROM7)中读出与该 ROM 地址对应的数据在累加电路(51a ~ 51h)中累加；第 2 蝶式运算电路(106)，它对 RAC(105)的输出进行蝶式运算。



### 1. 一种 DCT 运算装置，

用于对  $N \times M$  单位块的图象数据的像素数据进行 1 维 DCT 运算或者反 DCT 运算， $N$  及  $M$  是从 1 到 8 的任意整数，其特征在于：包括：

位限制单元，它以每次一行或者每次一列的方式输入  $N \times M$  单位块的图象数据的像素数据，把被输入的构成行或者列的各像素数据按位进行限制并输出被限制的像素数据；

控制单元，它输出包含表示作为构成上述被输入的各行或者各列的像素数据数的输入像素数据数、以及进行 DCT 运算或者反 DCT 运算之一的值的控制信号；

第 1 蝶式运算单元，它在上述控制单元输出的控制信号表示上述输入像素数据数是 2 的幂并且表示进行 DCT 运算的情况下，对上述位限制单元的输出进行蝶式运算，输出其运算结果，在其它的情况下，不进行蝶式运算，直接输出上述位限制单元的输出；

地址发生单元，它根据从上述第 1 蝶式运算单元的输出得到的位列，和包含在上述控制信号中的输入像素数据数、以及表示进行 DCT 运算或者反 DCT 运算之一的值，生成地址并输出；

运算单元，具有 8 组乘法运算结果输出单元和累加单元，乘法运算结果输出单元与上述地址对应地输出用于求 1 维 DCT 运算结果以及反 DCT 运算结果的乘法运算结果，累加单元累加该乘法运算结果输出单元的输出并将结果输出；

第 2 蝶式运算单元，它在上述控制单元输出的控制信号表示上述输入像素数据数是 2 的幂并且表示进行反 DCT 运算的情况下，对上述运算单元的输出进行蝶式运算，对应输入像素数据的顺序输出其运算结果，在其它情况下，不进行蝶式运算，而与输入像素数据的顺序对应地输出上述运算单元的输出。

2. 如权利要求 1 所述的 DCT 运算装置，其特征在于：

上述地址发生单元进行如下操作从而根据上述第 1 蝶式运算单元的输出、输入像素数据数、表示进行 DCT 运算或者反 DCT 运算之一的值生成地址，

在上述控制信号表示上述输入像素数据数的值 M 或者 N 是 7、6、5、3 之一的情况下，对根据上述第 1 蝶式运算单元的输出构成的 7、6、5、3 位的各个位列，通过附加包含表示进行 DCT 运算或者反 DCT 运算之一的值的表示上述输入像素数据数的值的 2、3、4、6 位的各个头地址而生成地址；

在上述控制信号表示上述输入像素数据数是 8、4、2 之一并且表示进行 DCT 运算的情况下，对根据被上述第 1 蝶式运算单元蝶式运算后的加法运算结果构成的 4、2、1 位的各个位列以及根据减法运算结果构成的 4、2、1 位的各个位列，分别通过附加包含表示进行 DCT 运算的值的表示上述输入像素数据数的值的 5、7、8 位的各个头地址而生成地址；

在上述控制信号表示上述输入像素数据数是 8、4、2 之一并且表示进行反 DCT 运算的情况下，对根据上述第 1 蝶式运算单元的 8、4、2 位的各自的输出构成的 4、2、1 位的各个位列，通过附加包含表示进行反 DCT 运算的值的表示上述输入像素数据数的 5、7、8 位的各个头地址而生成地址；

并且，作为上述头地址，就是附加这样的位列，即使得对于根据上述第 1 蝶式运算单元的输出构成的地址，通过附加该头地址得到的全部地址成为连续的地址。

3. 如权利要求 1 所述的 DCT 运算装置，其特征在于：

上述乘法运算结果输出单元通过如下操作生成上述乘法运算结果，

在上述控制单元输出的控制信号表示上述输入像素数据数是 2 的幂，并且表示进行 DCT 运算的情况下，输出在进行了快速傅立叶变换的 DCT 的行列运算中的与从上述第 1 蝶式运算单元的输出得到的位列有关的乘法运算结果；

在上述控制单元输出的控制信号表示上述输入像素数据数是 2 的幂以外的值，并且表示进行 DCT 运算的情况下，输出在 DCT 的行列运算中的与从上述第 1 蝶式运算单元输出得到的位列有关的乘法运算结果；

在上述控制单元输出的控制信号表示上述输入像素数据数是 2 的幂，并且表示进行反 DCT 运算的情况下，输出在进行了快速傅立叶变换的反 DCT 的行列运算中的与从上述第 1 蝶式运算单元的输入得到的位列有关的乘法运算结果；

在上述控制单元输出的控制信号表示上述输入像素数据数是 2 的幂以外的值，并且表示进行反 DCT 运算的情况下，输出在反 DCT 的行列运算中的与从上述第 1 蝶式运算单元的输入得到的位列有关的乘法运算结果。

4. 如权利要求 1 所述的 DCT 运算装置，其特征在于：

上述 DCT 运算单元，在控制信号表示输入像素数据数是 8 以外的值的情况下，停止在运算中尚未使用的单元的动作。

5. 如权利要求 1 所述的 DCT 运算装置，其特征在于：

上述位限制单元，在作为被输入的各像素数据输入 16 位的数据的同时，把该 16 位的数据限制为每次输出 2 位，

上述运算单元，作为上述各乘法运算结果输出单元，具备相互并列设置的分别输出上述乘法运算结果的 2 个乘法运算结果输出部分。

6. 一种 DCT 运算装置，

用于对  $N \times M$  块单位的图象数据的像素数据进行 1 维 DCT 运算， $N$  及  $M$  是 1 以上的任意的整数，其特征在于：包括：

位限制单元，它以每次一行或者每次一列的方式输入  $N \times M$  单位块的图象数据的像素数据，把被输入的构成行或者列的各像素数据按位进行限制并输出被限制的像素数据；

控制单元，它输出表示作为构成上述被输入的各行或者各列的像素数据数的输入像素数据数的控制信号；

蝶式运算单元，它在上述控制单元输出的控制信号表示上述输入

像素数据数是 2 的幂的情况下，对上述位限制单元的输出进行蝶式运算，输出其运算结果，在其它的情况下，不进行蝶式运算，直接输出上述位限制单元的输出；

地址发生单元，它使用从上述蝶式运算单元的输出得到的位列和被包含在上述控制信号中的输入像素数据数生成地址并输出；

运算单元，它具有和上述输入像素数据数的最大值对应的组数的乘法运算结果输出单元以及累加电路，其中，乘法运算结果输出单元与上述地址对应地输出用于求 1 维 DCT 运算结果的乘法运算结果，累加电路累加上述乘法运算结果输出单元输出的乘法运算结果后输出；

输出单元，它对应被输入的像素数据的顺序，将上述运算单元的输出作为 1 维的 DCT 运算结果输出。

7. 如权利要求 6 所述的 DCT 运算装置，其特征在于：

上述地址发生单元，进行如下操作从而根据上述蝶式运算单元的输出和上述输入像素数据数 M 或者 N 生成地址，

在上述控制信号表示上述输入像素数据数是 2 的幂以外的值的情况下，对根据上述蝶式运算单元的输出构成的与输入像素数据数具有同样位数的地址附加用于表示上述输入像素数据数的值的头地址而生成地址；

在上述控制信号表示上述输入像素数据数是 2 的幂的情况下，对根据由上述蝶式运算单元进行蝶式运算后的加法运算结果构成的和上述输入像素数据数的一半具有相同的位数的位列以及根据减法运算结果构成的和上述输入像素数据数的一半具有相同位数的位列，分别附加用于表示上述输入像素数据的值的头地址而生成地址；

并且，作为上述头地址，对根据上述蝶式运算单元的输出构成的地址，附加这样的位列，即使得通过附加该头地址得到的全部地址成为连续的地址，并且其位数是和上述输入像素数据数的最大值相同的位数。

8. 如权利要求 6 所述的 DCT 运算装置，其特征在于：

上述蝶式运算单元对像素数据进行顺序相互加法运算以及顺序相

互减法运算并输出结果值，所谓对像素数据进行顺序相互加法运算以及顺序相互减法运算，是把在上述位限制单元中以每次一行或者每次一列被输入并且被限制为每次输出一位的像素数据，从通过限制而得到的列或者行的两端开始向内侧进行顺序相互加法运算，以及顺序相互减法运算。

9. 如权利要求 6 所述的 DCT 运算装置，其特征在于：

上述乘法运算结果输出单元，进行如下操作以生成上述乘法运算结果，

在上述控制单元输出的控制信号表示上述输入像素数据数是 2 的幂的情况下，输出在进行了快速傅立叶变换的 DCT 的行列运算中的与从上述蝶式运算单元的输出生成的位列有关的乘法运算结果；

在上述控制单元输出的控制信号表示上述输入像素数据数是 2 的幂以外的值的情况下，输出在 DCT 的行列运算中的与从上述蝶式运算单元的输出生成的位列有关的乘法运算结果。

10. 如权利要求 6 所述的 DCT 运算装置，其特征在于：

被输入到上述位限制单元中的图象数据的单位块，是  $N \times M$  单位块，

上述运算单元中所具备的包含乘法运算结果输出单元和累加单元的组，具有作为上述输入像素数据数的最大值的 8 组。

11. 如权利要求 6 所述的 DCT 运算装置，其特征在于：

上述位限制单元，在作为被输入的各像素数据输入 16 位的数据的同时，把该 16 位的数据限制为每次输出 2 位，

上述运算单元，作为上述各乘法运算结果输出单元，具备相互并列设置的分别输出上述乘法运算结果的 2 个乘法运算结果输出部分。

12. 如权利要求 6 所述的 DCT 运算单元，其特征在于：

上述 DCT 运算单元，在控制信号表示输入像素数据数的值是上述输入像素数据数的最大值以外的值的情况下，停止尚未使用的单元的动作。

13. 一种 DCT 运算装置，

用于对  $N \times M$  块单位的图象数据的像素数据进行 1 维反 DCT 运算,  $N$  及  $M$  是 1 以上的任意的整数, 其特征在于: 包括:

位限制单元, 它以每次一行, 或者每次一列输入  $N \times M$  单位块的图象数据的像素数据, 把被输入的构成行或者列的各像素数据限制为每次输出一位;

控制单元, 它输出表示作为构成上述被输入的各行或者各列的像素数据数的输入像素数据数的控制信号;

地址发生单元, 它使用从上述位限制单元的输出得到的位列和被包含在上述控制信号中的输入像素数据数生成地址并输出;

运算单元, 它具有和上述输入像素数据数的最大值对应组数的乘法运算结果输出单元以及累加电路, 其中, 乘法运算结果输出单元与上述地址对应地输出用于求 1 维反 DCT 运算结果的乘法运算结果, 累加电路累加上述乘法运算结果输出单元输出的乘法运算结果后输出;

蝶式运算单元, 它在上述控制单元输出的控制信号表示上述输入像素数据数是 2 的幂的情况下, 对上述运算单元的输出进行蝶式运算, 对应输入像素数据的顺序输出其运算结果, 在其它的情况下, 不进行蝶式运算, 对应输入的像素数据的顺序输出上述各运算单元的输出。

14. 如权利要求 13 所述的 DCT 运算装置, 其特征在于:

上述地址发生单元, 进行如下操作以根据上述位限制单元的输出和上述输入像素数据数生成地址,

在上述控制信号表示上述输入像素数据数  $M$  或者  $N$  是 2 的幂以外的值的情况下, 对根据上述位限制单元的输出构成的和成为和上述输入像素数据数同样位数的位列, 通过附加表示上述输入像素数据数的值的头地址而生成地址;

在上述控制信号表示上述输入像素数据数是 2 的幂的情况下, 对根据上述位限制单元的输出构成的和上述输入像素数据数的一半具有同样位数的位列, 分别附加用于表示上述输入像素数据数的值的头地址而生成地址;

并且, 作为上述头地址, 对根据上述位限制单元的输出构成的地

址，附加这样的位列，使得通过附加该头地址得到的全部的地址成为连续的地址，并且其位数和构成上述被输入的行或者列的输入像素数据的最大值的位数相同。

15. 如权利要求 13 所述的 DCT 运算装置，其特征在于：

上述蝶式运算单元，对根据上述运算单元输出的以每次一行或者每次一列输入的像素数据中的奇数位的像素数据求得的上述乘法运算结果进行了累加的值，和根据偶数位的像素数据求得的上述乘法运算结果进行了累加的值进行加法运算以及减法运算并输出。

16. 如权利要求 13 所述的 DCT 运算装置，其特征在于：

上述乘法运算结果输出单元，

在上述控制单元输出的信号表示上述输入像素数是 2 的幂的情况下，输出在进行了快速傅立叶变换的反 DCT 行列运算中的与从上述第 1 蝶式运算单元的输入得到的位列有关的乘法运算结果作为上述乘法运算结果；

在上述控制单元输出的信号表示上述输入像素数是 2 的幂以外的值情况下，输出在进行反 DCT 行列运算中的与从上述蝶式运算单元的输入得到的位列有关的乘法运算结果作为上述乘法运算结果。

17. 如权利要求 13 所述的 DCT 运算装置，其特征在于：

被输入到上述位限制单元中的图象数据的单位块，是  $N \times M$  单位块， $N$  以及  $M$  是从 1 至 8 的任意的值，

上述运算单元中所具备的包含乘法运算结果输出单元和累加单元的组，具有作为上述输入像素数据数的最大值的 8 组。

18. 如权利要求 13 所述的 DCT 运算装置，其特征在于：

上述位限制单元，在作为被输入的各像素数据输入 16 位的数据的同时，把该 16 位的数据限制为每次输出 2 位，

上述运算单元，作为上述各乘法运算结果输出单元，具备相互并列设置的分别输出上述乘法运算结果的 2 个乘法运算结果输出部分，在上述累加单元中累加这 2 个乘法运算结果输出部分的输出。

19. 如权利要求 13 所述的 DCT 运算单元，其特征在于：

---

上述 DCT 运算单元,在控制信号表示输入像素数据数的值是上述输入像素数据数的最大值以外的值的情况下,停止尚未使用的单元的动作。

## DCT 运算装置

## 技术领域

本发明涉及实现在图象信号处理等的信息压缩中使用的离散余弦变换（以下称为“DCT”。）的 DCT 运算装置，涉及对于大小不同的单位块的图象数据，进行 DCT 运算或者反 DCT 运算的至少一种运算的 DCT 运算装置。

## 背景技术

在图象信号等的信息压缩中，多使用 DCT。在运动图象中的信息压缩中，一般，利用画面内（空间性）相关关系进行信息压缩，和利用画面间（时间性）相关关系进行信息压缩，而 DCT 就是前者。该 DCT，是频率变换法的一种，对于变换前随机分布的像素值，通过利用变换后低频成分大的值集中的性质消除高频成分进行信息压缩。

在 DCT 中，首先，把 1 幅的图象分为由一定数的像素（例如  $8 \times 8$ ）组成的一定形状的多个单位块，对每个块执行 DCT 处理。2 维 DCT，是通过进行 2 次 1 维 DCT 执行，例如，通过对在单位块的列方向上进行 1 维 DCT 后的中间结果，在其行方向上进行 1 维 DCT 执行。

另外，由 DCT 压缩的图象信号，通过反 DCT 解压。

$$X(u,v) = 2/N \cdot C(u) \cdot C(v) \cdot \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} x(i,j) \cos((2i+1)u\pi/2N) \cos((2j+1)v\pi/2N) \quad \dots \text{式(1)}$$

$$x(i,j) = 2/N \cdot \sum_{u=0}^{N-1} \sum_{v=0}^{N-1} C(v) \cdot X(u,v) \cos((2i+1)u\pi/2N) \cos((2j+1)v\pi/2N) \quad \dots \text{式(2)}$$

是定义在  $N \times N$  单位块中的 2 维 DCT，以及 2 维反 DCT 的式子。

另外，

$$X(u) = \sqrt{2/N} \cdot C(u) \cdot \sum_{i=0}^{N-1} x(i) \cos((2i+1)u\pi/2N) \quad \dots \text{式(3)}$$

是定义由上述式（1）以及式（2）导出的 1 维 DCT 的式子。

其中,  $x(i, j)$  ( $i, j=0, 1, 2, \dots, N-1$ ) 是像素,  $X(u, v)$  ( $C(0)=1/\sqrt{2}, C(u)=C(v)=1 (u, v=1, 2, \dots, N-1)$ ) 是变换系数。

在  $N=8$  的情况下, 采用上述式 (3) 的 1 维 DCT 行列运算用以下的行列式表示。

\*\*N=8\*\*

$$\begin{pmatrix} X0 \\ X1 \\ X2 \\ X3 \\ X4 \\ X5 \\ X6 \\ X7 \end{pmatrix} = \begin{pmatrix} 0.353553 & 0.353553 & 0.353553 & 0.353553 & 0.353553 & 0.353553 & 0.353553 & 0.353553 \\ 0.490393 & 0.415735 & 0.277785 & 0.097545 & -0.097545 & -0.277785 & -0.415735 & -0.490393 \\ 0.461940 & 0.191342 & -0.191342 & -0.461940 & -0.461940 & -0.191342 & 0.191342 & 0.461940 \\ 0.415735 & -0.097545 & -0.490393 & -0.277785 & 0.277785 & 0.490393 & 0.097545 & -0.415735 \\ 0.353553 & -0.353553 & -0.353553 & 0.353553 & 0.353553 & -0.353553 & -0.353553 & 0.353553 \\ 0.277785 & -0.490393 & 0.097545 & 0.415735 & -0.415735 & -0.097545 & 0.490393 & -0.277785 \\ 0.191342 & -0.461940 & 0.461940 & -0.191342 & -0.191342 & 0.461940 & -0.461940 & 0.191342 \\ 0.097545 & -0.277785 & 0.415735 & -0.490393 & 0.490393 & -0.415735 & 0.277785 & -0.097545 \end{pmatrix} \begin{pmatrix} x0 \\ x1 \\ x2 \\ x3 \\ x4 \\ x5 \\ x6 \\ x7 \end{pmatrix}$$

...式(4)

另外,  $N=7$ ,  $N=6$ ,  $N=5$ ,  $N=4$ ,  $N=3$ ,  $N=2$  的情况,分别用下式表示。

**\*\*N=7\*\***

$$\begin{pmatrix} X0 \\ X1 \\ X2 \\ X3 \\ X4 \\ X5 \\ X6 \end{pmatrix} = \begin{pmatrix} 0.377964 & 0.377964 & 0.377964 & 0.377964 & 0.377964 & 0.377964 & 0.377964 \\ 0.521121 & 0.417907 & 0.231921 & 0.000000 & -0.231921 & -0.417907 & -0.521121 \\ 0.481588 & 0.118942 & -0.333269 & -0.534522 & -0.333269 & 0.118942 & 0.481588 \\ 0.417907 & -0.231921 & -0.521121 & -0.000000 & 0.521121 & 0.231921 & -0.417907 \\ 0.333269 & -0.481588 & -0.118942 & 0.534522 & -0.118942 & -0.481588 & 0.333269 \\ 0.231921 & -0.521121 & 0.417907 & 0.000000 & -0.417907 & 0.521121 & -0.231921 \\ 0.118942 & -0.333269 & 0.481588 & -0.534522 & 0.481588 & -0.333269 & 0.118942 \end{pmatrix} \begin{pmatrix} x0 \\ x1 \\ x2 \\ x3 \\ x4 \\ x5 \\ x6 \end{pmatrix}$$

...式(5)

**\*\*N=6\*\***

$$\begin{pmatrix} X0 \\ X1 \\ X2 \\ X3 \\ X4 \\ X5 \end{pmatrix} = \begin{pmatrix} 0.408248 & 0.408248 & 0.408248 & 0.408248 & 0.408248 & 0.408248 \\ 0.557678 & 0.408248 & 0.149429 & -0.149429 & -0.408248 & -0.557678 \\ 0.500000 & 0.000000 & -0.500000 & -0.500000 & -0.000000 & 0.500000 \\ 0.408248 & -0.408248 & -0.408248 & 0.408248 & 0.408248 & -0.408248 \\ 0.288675 & -0.577350 & 0.288675 & 0.288675 & -0.577350 & 0.288675 \\ 0.149429 & -0.408248 & 0.557678 & -0.557678 & 0.408248 & -0.149429 \end{pmatrix} \begin{pmatrix} x0 \\ x1 \\ x2 \\ x3 \\ x4 \\ x5 \end{pmatrix}$$

...式(6)

**\*\*N=5\*\***

$$\begin{pmatrix} X0 \\ X1 \\ X2 \\ X3 \\ X4 \end{pmatrix} = \begin{pmatrix} 0.447214 & 0.447214 & 0.447214 & 0.447214 & 0.447214 \\ 0.601501 & 0.371748 & 0.000000 & -0.371748 & -0.601501 \\ 0.511667 & -0.195440 & -0.632456 & -0.195440 & 0.511667 \\ 0.371748 & -0.601501 & -0.000000 & 0.601501 & -0.371748 \\ 0.195440 & -0.511667 & 0.632456 & -0.511667 & 0.195440 \end{pmatrix} \begin{pmatrix} x0 \\ x1 \\ x2 \\ x3 \\ x4 \end{pmatrix}$$

...式(7)

$$\begin{array}{c}
 \text{**N=4**} \\
 \begin{pmatrix} X0 \\ X1 \\ X2 \\ X3 \end{pmatrix} = \begin{pmatrix} 0.500000 & 0.500000 & 0.500000 & 0.500000 \\ 0.635281 & 0.270598 & -0.270598 & -0.653281 \\ 0.500000 & -0.500000 & -0.500000 & 0.500000 \\ 0.270598 & -0.653281 & 0.653281 & -0.270598 \end{pmatrix} \begin{pmatrix} x0 \\ x1 \\ x2 \\ x3 \end{pmatrix} \quad \dots\text{式(8)}
 \end{array}$$

$$\begin{array}{c}
 \text{**N=3**} \\
 \begin{pmatrix} X0 \\ X1 \\ X2 \end{pmatrix} = \begin{pmatrix} 0.577350 & 0.707107 & 0.408248 \\ 0.577350 & 0.000000 & -0.816497 \\ 0.577350 & -0.707107 & 0.408248 \end{pmatrix} \begin{pmatrix} x0 \\ x1 \\ x2 \end{pmatrix} \quad \dots\text{式(9)}
 \end{array}$$

$$\begin{array}{c}
 \text{**N=2**} \\
 \begin{pmatrix} X0 \\ X1 \end{pmatrix} = \begin{pmatrix} 0.707107 & 0.707107 \\ 0.707107 & -0.707107 \end{pmatrix} \begin{pmatrix} x0 \\ x1 \end{pmatrix} \quad \dots\text{式(10)}
 \end{array}$$

另一方面，1维反DCT的行列运算，在N=8的情况下，用下式表示。

**\*\*N=8\*\***

$$\begin{pmatrix} x0 \\ x1 \\ x2 \\ x3 \\ x4 \\ x5 \\ x6 \\ x7 \end{pmatrix} = \begin{pmatrix} 0.353553 & 0.490393 & 0.461940 & 0.415735 & 0.353553 & 0.277785 & 0.191342 & 0.097545 \\ 0.353553 & 0.415735 & 0.191342 & -0.097545 & -0.353553 & -0.490393 & -0.461940 & -0.277785 \\ 0.353553 & 0.277785 & -0.191342 & -0.490393 & -0.353553 & 0.097545 & 0.461940 & 0.415735 \\ 0.353553 & 0.097545 & -0.461940 & -0.277785 & 0.353553 & 0.415735 & -0.191342 & -0.490393 \\ 0.353553 & -0.097545 & -0.461940 & 0.277785 & 0.353553 & -0.415735 & -0.191342 & 0.490393 \\ 0.353553 & -0.277785 & -0.191342 & 0.490393 & -0.353553 & -0.097545 & 0.461940 & -0.415735 \\ 0.353553 & -0.415735 & 0.191342 & 0.097545 & -0.353553 & 0.490393 & -0.461940 & 0.277785 \\ 0.353553 & -0.490393 & 0.461940 & -0.415735 & 0.353553 & -0.277785 & 0.191342 & -0.097545 \end{pmatrix} \begin{pmatrix} X0 \\ X1 \\ X2 \\ X3 \\ X4 \\ X5 \\ X6 \\ X7 \end{pmatrix}$$

...式(11)

在  $N=7$ ,  $N=6$ ,  $N=5$ ,  $N=4$ ,  $N=3$ ,  $N=2$  的情况下, 分别用下式表示。

**\*\*N=7\*\***

$$\begin{pmatrix} x0 \\ x1 \\ x2 \\ x3 \\ x4 \\ x5 \\ x6 \end{pmatrix} = \begin{pmatrix} 0.377964 & 0.521121 & 0.481588 & 0.417907 & 0.333269 & 0.231921 & 0.118942 \\ 0.377964 & 0.417907 & 0.118942 & -0.231921 & -0.481588 & -0.521121 & -0.333269 \\ 0.377964 & 0.231921 & -0.333269 & -0.521121 & -0.118942 & 0.417907 & 0.481588 \\ 0.377964 & 0.000000 & -0.534522 & -0.000000 & 0.534522 & 0.000000 & -0.534522 \\ 0.377964 & -0.231921 & -0.333269 & 0.521121 & -0.118942 & -0.417907 & 0.481588 \\ 0.377964 & -0.417907 & 0.118942 & 0.231921 & -0.481588 & 0.521121 & -0.333269 \\ 0.377964 & -0.521121 & 0.481588 & -0.417907 & 0.333269 & -0.231921 & 0.118942 \end{pmatrix} \begin{pmatrix} X0 \\ X1 \\ X2 \\ X3 \\ X4 \\ X5 \\ X6 \end{pmatrix}$$

...式(12)

**\*\*N=6\*\***

$$\begin{pmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \\ x_4 \\ x_5 \end{pmatrix} = \begin{pmatrix} 0.408248 & 0.557678 & 0.500000 & 0.408248 & 0.288675 & 0.149429 \\ 0.408248 & 0.408248 & 0.000000 & -0.408248 & -0.577350 & -0.408248 \\ 0.408248 & 0.149429 & -0.500000 & -0.408248 & 0.288675 & 0.557678 \\ 0.408248 & -0.149429 & -0.500000 & 0.408248 & 0.288675 & -0.557678 \\ 0.408248 & -0.408248 & -0.000000 & 0.408248 & -0.577350 & 0.408248 \\ 0.408248 & -0.557678 & 0.500000 & -0.408248 & 0.288675 & -0.149429 \end{pmatrix} \begin{pmatrix} X_0 \\ X_1 \\ X_2 \\ X_3 \\ X_4 \\ X_5 \end{pmatrix} \quad \dots\text{式(13)}$$

**\*\*N=5\*\***

$$\begin{pmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \\ x_4 \end{pmatrix} = \begin{pmatrix} 0.447214 & 0.601501 & 0.511667 & 0.371748 & 0.195440 \\ 0.447214 & 0.371748 & -0.195440 & -0.601501 & -0.511667 \\ 0.447214 & 0.000000 & -0.632456 & -0.000000 & 0.632456 \\ 0.447214 & -0.371748 & -0.195440 & 0.601501 & -0.511667 \\ 0.447214 & -0.601501 & 0.511667 & -0.371748 & 0.195440 \end{pmatrix} \begin{pmatrix} X_0 \\ X_1 \\ X_2 \\ X_3 \\ X_4 \end{pmatrix} \quad \dots\text{式(14)}$$

**\*\*N=4\*\***

$$\begin{pmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \end{pmatrix} = \begin{pmatrix} 0.500000 & 0.653281 & 0.500000 & 0.270598 \\ 0.500000 & 0.270598 & -0.500000 & -0.653281 \\ 0.500000 & -0.270598 & -0.500000 & 0.653281 \\ 0.500000 & -0.653281 & 0.500000 & -0.270598 \end{pmatrix} \begin{pmatrix} X_0 \\ X_1 \\ X_2 \\ X_3 \end{pmatrix} \quad \dots\text{式(15)}$$

**\*\*N=3\*\***

$$\begin{pmatrix} x_0 \\ x_1 \\ x_2 \end{pmatrix} = \begin{pmatrix} 0.577350 & 0.707107 & 0.408248 \\ 0.577350 & 0.000000 & -0.816497 \\ 0.577350 & -0.707107 & 0.408248 \end{pmatrix} \begin{pmatrix} X_0 \\ X_1 \\ X_2 \end{pmatrix} \quad \dots\text{式(16)}$$

**\*\*N=2\*\***

$$\begin{pmatrix} x_0 \\ x_1 \end{pmatrix} = \begin{pmatrix} 0.707107 & 0.707107 \\ 0.707107 & -0.707107 \end{pmatrix} \begin{pmatrix} X_0 \\ X_1 \end{pmatrix} \quad \dots\text{式(17)}$$

图 8 是用于说明以往的 DCT 运算装置的一例的图，是展示该装置的构成的方框图。在图中，DCT 运算装置 1 由以下部分组成：8 位的输入寄存器 2a、2b、2c、2d、2e、2f、2g、2h，它们用来锁存输入像素数据；8 位的保持寄存器 3a、3b、3c、3d、3e、3f、3g、3h，它们在分别锁存寄存器 2a、2b、2c、2d、2e、2f、2g、2h 的各输出数据之后，从各输出数据的最低位位（以后称为“LSB”。）开始每次一位移位输出；ROM 累加器（以下称为“RAC”）4a、4b、4c、4d、4e、4f、4g、4h，它们把上述各保持寄存器 3a、3b、3c、3d、3e、3f、3g、3h 的输出数据作为 8 位的地址，在累加器 42a<sup>-</sup>42h 中累加 ROM（只读存储器）41a<sup>-</sup>41h 的数据输出；输出寄存器 5a、5b、5c、5d、5e、5f、5g、5h，它们锁存上述各 RAC4a、4b、4c、4d、4e、4f、4g、4h 的输出数据并输出。

另外，上述各 RAC4a、4b、4c、4d、4e、4f、4g、4h，分别由以下部分构成：ROM41a<sup>-</sup>41h，它们具有包含对于在行列运算中的列系数，乘法运算构成被输入的行或者列的各像素数据的各位的结果的 2 的 8 次方个数据表；累加器 42a<sup>-</sup>42h，它们累加该 ROM41a<sup>-</sup>41h 的输出。

这种传统技术的 DCT 运算电路，在行列运算中使用所谓的 DA（distributed arithmetic）法。该 DA 法，是能够高效地进行固定系数的积和运算的运算方法，是以位列单位，而不是以通常的字单位处理各输入像素数据和固定系数的积和运算的方法。把由各输入像素数据的各自的位构成的位列作为地址，从预先把部分积的计算结果作为表存储的 ROM 中读出与此地址对应的部分积，通过从 LSB（Least Significant Bit：最低位位）累加到 MSB（Most Significant Bit：最高位位）实现固定系数的积和运算。该传统的 DCT 运算电路，通过把由 N 或者 M 像素的输入像素数据的各自的 1 位构成的位列和 DCT 系数的行系数进行乘法运算后的部分积的计算结果，与 DCT 系数的各行系数对应地作为表存储在 RAC4a<sup>-</sup>4h 各自的 ROM41a<sup>-</sup>41h 中，把由 N 或者 M 像素的输入像素数据的各自的 1 位构成的 N 或者 M 位的位列作为

地址输入到各 ROM41a~41h 中，由此从 ROM41a~41h 输出部分积，把该部分积从各像素数据的 LSB 到 MSB 顺序输出并累加，就可以得到 1 维的 DCT 运算结果。

接着说明有关动作。

输入寄存器 2a，锁存 8 位的输入像素数据，在每个输入周期从输入寄存器 2a 到输入寄存器 2b、从输入寄存器 2b 到输入寄存器 2c，进行把全部像素数据锁存在各输入寄存器 2a、2b、2c、2d、2e、2f、2g、2h 中的移位动作。其后，各输入寄存器 2a、2b、2c、2d、2e、2f、2g、2h，向分别对应的各保持寄存器 3a、3b、3c、3d、3e、3f、3g、3h 输出锁存的像素数据。和以下的 8 个输入像素数据被锁存到各输入寄存器 2a、2b、2c、2d、2e、2f、2g、2h 的同时，各保持寄存器 3a、3b、3c、3d、3e、3f、3g、3h，从锁存着的 8 位像素数据的最低位位开始，每次一位移位输出。各 ROM41a、41b、41c、41d、41e、41f、41g、41h，把上述保持寄存器 3a、3b、3c、3d、3e、3f、3g、3h 输出的 8 位数据作为地址，输出与该地址对应的 ROM 数据。各累加器 ROM42a、42b、42c、42d、42e、42f、42g、42h，累加分别对应的各 ROM41a、41b、41c、41d、41e、41f、41g、41h 输出的相当于 8 位大小程度的 ROM 数据，即，作为 8 位的数据输出。与各 RAC4a、4b、4c、4d、4e、4f、4g、4h 对应的输出寄存器 5a、5b、5c、5d、5e、5f、5g、5h，从输出寄存器 5h 向输出寄存器 5g、从输出寄存器 5g 向输出寄存器 5f，顺序进行上述各累加器 42a、42b、42c、42d、42e、42f、42g、42h 输出的数据的移位动作，输出被锁存的数据。

使用上述 DCT 运算装置 1，例如在把  $8 \times 8$  作为单位块进行像素数据的 2 维 DCT 运算的情况下，首先，通过对每一列方向的 8 个像素数据反复进行 8 次一连串的运算输出 64 个中间结果，其后，对该 64 个中间结果在行方向上进行 1 维 DCT。

但是，传统的 DCT 运算装置，例如在把  $8 \times 8$  作为单位块进行 1 维 DCT 运算或者反 DCT 运算的情况下，如果输入像素数据是 8 位则需要 8 个具备 256 个的 ROM 表数据，为了在 1 个装置中进行 DCT 运算和反 DCT

运算就需要 8 个具备 512 个的 ROM 数据表。另外，近年，根据像素信息的压缩标准，要求单位块的大小可变，但上述 DCT 装置因为只能对应把  $8 \times 8$  作为单位块的像素数据，所以为了与  $8 \times 8$  以外的例如以  $7 \times 7$ 、 $6 \times 6$ 、 $5 \times 5$ 、 $4 \times 4$  等为单位块的像素数据对应，就分别需要 7 个具备 256 个 ROM 表、6 个具备 128 个的 ROM 表、5 个具备 64 个 ROM 表、4 个具备 32 个 ROM 表的 DCT 装置。因而，为了对任意选择  $N \times M$  的单位块的像素数据进行 DCT 运算以及反 DCT 运算，需要多个 DCT 运算装置，存在这些电路面积非常大的问题。

### 发明内容

本发明就是为了解决上述问题而提出的，其目的在于提供一种电路面积小的 DCT 运算装置，它可以对不同尺寸的单位块的像素数据进行 DCT 运算或者反 DCT 运算。

本发明，是对  $N \times M$  单位块 ( $N$  以及  $M$  是从 1 至 8 的任意整数) 的图象数据的像素数据进行 1 维 DCT 运算或者反 DCT 运算的 DCT 运算装置，包括：位限制单元，它以每次 1 行，或者每次一列输入  $N \times M$  单位块的图象数据的像素数据，以每次一位限制输出构成被输入的行或者列的各像素数据；控制单元，它输出包含表示作为构成上述被输入的各行或者各列的像素数据的输入像素数据数，以及，表示是进行 DCT 运算或者反 DCT 运算之一的值的控制信号；第 1 蝶式运算单元，它在上述控制单元输出的控制信号，表示上述输入像素数据数是 2 的幂的值，并且表示进行 DCT 运算的情况下，对上述位限制单元的输出进行蝶式运算，输出其运算结果，在其它情况下，不进行蝶式运算，直接输出上述位限制单元的输出；地址发生单元，它根据从上述第 1 蝶式运算单元的输出得到的位列，和被包含在上述控制信号中的表示输入像素数据数，以及表示是进行 DCT 运算或者反 DCT 运算之一的值，生成地址并输出；运算单元，它具有 8 组与上述地址对应地输出用于求得 1 维 DCT 运算结果以及反 DCT 运算结果的乘法运算结果的乘法运算结果输出单元，和累加该乘法运算结果输出单元的输出的累加单元；第 2 蝶式运算单元，它在上述控制单元输出的控制信号，表示上述输

入像素数据数是 2 的幂的值，并且表示进行 DCT 运算的情况下，对上述运算单元的输出进行蝶式运算，把其运算结果与输入像素数据的顺序对应地输出，在其它情况下，不进行蝶式运算，而使上述运算单元的输出与输入像素数据的顺序对应地输出。由此，可以减小用于求 DCT 运算结果以及反 DCT 运算结果所使用的乘法运算结果的数据的量，可以减小输出该数据的乘法运算结果输出单元的数据容量，可以得到回路面积小的 DCT 运算装置。

另外，本发明设置成，上述地址发生单元进行如下操作从而根据上述第 1 蝶式运算单元的输出、输入像素数据数、表示是进行 DCT 运算或者反 DCT 运算之一的值生成地址，在上述控制信号，表示上述输入像素数据数的值 M 或者 N 是 7、6、5、3 之一的情况下，对根据上述第 1 蝶式运算装置的输出构成的 7、6、5、3 位的各个位列，生成附加了包含表示是否进行 DCT 运算或者反 DCT 运算之一的值并且表示上述输入像素数据数的值的 2、3、4、6 位的各自的头地址的地址；在上述控制信号，表示上述输入像素数据数是 8、4、2 之一的情况下，并且表示进行 DCT 运算的情况下，对通过上述第 1 蝶式运算单元蝶式运算的加法运算结果构成的 4、2、1 位的各自的位列，以及根据减法运算结果构成的 4、2、1 位的各自的位列，生成附加了包含用于表示进行 DCT 运算的值并且表示上述输入像素数据数的值的 5、7、8 位的各自的头地址的地址；在上述控制信号，表示上述输入像素数据数是 8、4、2 之一的情况下，并且表示进行反 DCT 运算的情况下，对根据上述第 1 蝶式运算单元的 8、4、2 位的各自的输出构成的 4、2、1 位的各自的位列，生成附加了包含用于表示进行反 DCT 运算的值并且表示上述输入像素数据数的值的 5、7、8 位的各自的头地址的地址，并且，作为上述头地址，对于根据上述第 1 蝶式运算单元的输出构成的地址，附加这样的位列，即通过附加该头地址得到的全部地址，成为连续的地址。由此，可以在乘法运算结果输出单元内不产生多余区域那样的高效率变换乘法运算输出单元，可以消减乘法运算结果输出单元的大小，可以使 DCT 运算装置的电路面积更小。

另外，本发明设置成，上述乘法运算结果输出单元通过如下操作生成上述乘法运算结果，在上述控制单元输出的控制信号，表示上述输入像素数据数是 2 的幂，并且表示进行 DCT 运算的情况下，输出在进行了快速傅立叶变换的 DCT 的行列运算中的从上述第 1 蝶式运算单元的输出得到的与位列有关的乘法运算结果；在上述控制单元输出的控制信号，表示上述输入像素数据数是 2 的幂以外的值，并且表示进行 DCT 运算的情况下，输出在 DCT 的行列运算中的与从上述第 1 蝶式运算单元的输出得到的有关位列的乘法运算结果；在上述控制单元输出的控制信号，表示上述输入像素数据数是 2 的幂的值，并且表示进行反 DCT 运算的情况下，输出在进行了快速傅立叶变换的反 DCT 的行列运算中的与从上述第 1 蝶式运算单元的输出得到的与位列有关的乘法运算结果；在上述控制单元输出的控制信号，表示上述输入像素数据数是 2 的幂以外的值，并且表示进行反 DCT 运算的情况下，输出在反 DCT 行列运算中的与从上述第 1 蝶式运算单元输出中得到的与列位有关的乘法运算结果。由此，可以使 DCT 运算装置的电路面积更小。

另外，本发明设置成，上述 DCT 运算装置，在控制信号表示输入像素数据数是 8 以外的值的情况下，停止在运算中尚未使用的单元的动作。由此，可以消减消耗电力。

另外，本发明，是对  $N \times M$  单位块 ( $N$  以及  $M$  是 1 以上的任意整数) 的图象数据的像素数据进行 1 维的 DCT 运算的 DCT 运算装置，包括：位限制单元，它以每次 1 行或者每次 1 列输入  $N \times M$  单位块的图象数据的像素数据，把构成输入的行或者列的各像素数据限制为每次输出 1 位；控制单元，它输出表示作为构成上述输入的各行或者各列的像素数据数的输入像素数据数的控制信号；蝶式运算单元，它在该控制单元输出的控制信号，表示上述输入像素数据数是 2 的幂的情况下，对上述位限制单元的输出进行蝶式运算，输出其运算结果，在其它的去，不进行蝶式运算，而直接输出上述位限制单元的输出；地址发生单元，它使用从上述蝶式单元的输出中得到的位列和包含在上述控制信号中的输入像素数据数生成地址并输出；运算单元，它具备与上述地址对

应输出用于求 1 维的 DCT 运算结果的乘法运算结果的乘法运算结果输出单元，以及累加上述乘法运算结果输出单元输出的乘法运算结果并输出的累加电路的组，组数与上述输入像素数据数的最大值对应；输出单元，它对应输入的素数据的顺序输出上述运算单元的输出，作为 1 维 DCT 运算结果输出。由此，可以减小成为用于求 DCT 运算结果的乘法运算结果的数据的量，可以减小输出该数据的乘法运算结果输出单元的数据容量，可以得到电路面积小的 DCT 运算装置。

另外，本发明设置成，上述地址发生单元，进行如下操作从而生成作为根据上述蝶式运算单元的输出和上述输入像素数据数生成的地址，在上述控制信号，表示上述输入像素数据数是 2 的幂以外的值的前情况下，对根据上述蝶式运算单元的输出构成的和输入像素数据数具有相同位数的地址，生成附加了用于表示上述输入像素数据数的值的头地址的地址；在上述控制信号，表示上述输入像素数据数是 2 的幂的情况下，对根据由上述蝶式运算单元蝶式运算出的加法运算结果构成和上述输入像素数据数的一半具有同样位数的位列，以及根据减法运算结果构成和上述输入像素数据数的一半具有相同位数的位列的各自，生成附加了用于表示上述像素输入像素数据数的值的头地址的地址，并且，作为上述头地址，对根据上述蝶式运算单元的输出构成的地址，附加这样的位列，即通过附加该头地址得到的全部的地址成为连续的地址，并且其位数成为和上述输入像素数据数的最大值是相同位数。由此，可以在乘法运算结果输出单元内不发生多余区域那样的高效率，变换乘法运算结果输出单元，可以消减乘法运算结果输出单元的大小，可以使 DCT 运算装置的电路面积更小。

另外，本发明设置成，上述蝶式运算装置，对像素数据进行顺序相互加法运算，以及顺序相互减法运算，所谓顺序相互加法运算以及顺序相互减法运算，是把以每次一行或者每次一列输入到位限制电路中并且以每次限制一位输出的像素数据，从被输入的列或者行的两端向内顺序相互加法运算以及减法运算。

另外，本发明设置成，上述乘法运算结果输出单元，进行如下操

作以生成乘法运算结果，在上述控制单元输出的控制信号，表示上述输入像素数据数是 2 的幂的情况下，输出在进行了快速傅立叶变换的 DCT 的行列运算中的从上述蝶式运算单元的输入得到的与位列有关的乘法运算结果；在上述控制单元输出的控制信号，表示上述输入像素数据数是 2 的幂以外的值的情况下，输出在 DCT 的行列运算中，从上述蝶式运算单元的输入得到的与位列有关的乘法运算结果。由此，可以使 DCT 运算装置的电路面积更小。

另外，本发明，是对  $N \times M$  单位块（ $N$  以及  $M$  是 1 以上的任意的整数）的图象数据的像素数据进行 1 维的反 DCT 运算的 DCT 运算装置，包括：位限制单元，它把  $N \times M$  单位块的图象数据的像素数据以每次一行或者每次一列输入，把构成输入的行或者列的各像素数据限制为每次输出一位；控制单元，它输出表示作为构成上述输入的各行或者各列的像素数据数的输入像素数据数的控制信号；地址发生单元，它用从上述位限制单元的输入中得到的位列和被包含在上述控制信号中的输入像素数据数生成地址并输出；运算单元，它具备与上述地址对应输出用于求 1 维的 DCT 运算结果的乘法运算结果输出单元，以及累加上述乘法运算结果输出单元输出的乘法运算结果并输出的累加电路的组，其组数与上述输入像素数据数的最大值对应；蝶式运算单元，它在上述控制单元输出的控制信号，表示上述输入像素数据数是 2 的幂的情况下，对上述运算单元的输入进行蝶式运算，把其运算结果与输入像素数据的顺序对应地输出，在其它情况下，不进行蝶式运算，而使上述运算单元的输入与输入像素数据的顺序对应地输出。由此，可以使成为用于求反 DCT 运算结果的乘法运算结果的数据的量减小，可以使输出该数据的乘法运算结果输出单元的数据容量减小，可以得到电路面积小的 DCT 运算装置。

另外，本发明设置成，上述地址发生单元，进行如下操作根据上述位限制单元的输入和上述输入像素数据数生成地址，在上述控制信号，表示上述输入像素数据数是 2 的幂以外的值的情况下，对根据上述位限制单元的输入构成的成为和上述输入像素数据数相同位数的位

列，生成附加了用于表示上述输入像素数据数的值的头地址的地址；在上述控制信号，表示上述输入像素数据数是 2 的幂的情况下，对根据上述位限制单元的输出构成的，成为和上述输入像素数据数的一半具有相同位数的位列的各自，生成附加了用于表示上述输入像素数据数的值的头地址的地址，并且，作为上述头地址，对于根据上述位限制单元的输出构成的地址，附加这样的位列，即，通过附加该头地址得到全部的地址成为连续的地址，并且其位数，成为和构成上述被输入的行或者列的输入像素数据数的最大值同样的位数。由此，可以在乘法运算结果输出单元内不产生多余区域那样的高效率，变换乘法运算输出单元，可以消减乘法运算结果输出单元的大小，可以使 DCT 运算装置的电路面积更小。

另外，本发明设置成，上述蝶式运算单元，对根据上述运算单元输出的以每次一行或者每次一列输入的像素数据中的根据在奇数位的像素数据求得的上述乘法运算结果进行了累加的值，和根据在偶数位的像素数据求得的上述乘法运算结果进行了累加的值进行加法运算以及减法运算。由此，可以进一步缩小 DCT 运算装置的电路面积。

另外，本发明设置成，上述乘法运算结果输出单元，作为上述乘法运算结果，在上述控制单元输出的控制信号，表示上述输入像素数据数是 2 的幂的情况下，输出在进行快速傅立叶变换的反 DCT 行列运算中的从上述第 1 蝶式运算单元的输出得到的与位列有关的乘法运算结果，在上述控制单元输出的控制信号，表示上述输入像素数据数是 2 的幂以外的值的情况下，输出在反 DCT 行列运算中的从上述第 1 蝶式运算单元输出得到的与位列有关的乘法运算结果。由此，可以进一步减小 DCT 运算装置的电路面积。

另外，本发明，其中，输入到上述位限制单元的像素数据单位块是  $N \times M$  单位块 ( $N$  以及  $M$  是从 1 到 8 的任意的值)，上述运算单元中所具备的包含乘法运算结果输出单元和累加单元的组，具有作为上述输入像素数据数的最大值的 8 组。由此，可以使 DCT 运算装置的电路面积更小。

另外，本发明设置成，上述位限制单元，在作为被输入的各像素数据输入 16 位的数据的同时，把该 16 位的数据限制为每次输出 2 位，上述运算单元，作为上述各乘法运算结果输出单元，具备相互并列设置的分别输出上述乘法运算结果的 2 个乘法运算结果输出部分，用上述累加单元累加对这 2 个乘法运算结果输出部分的输出进行加法运算后的数据。由此，在输入像素数据是 16 位的数据的情况下，可以进一步减小 DCT 运算单元的电路面积。

另外，本发明中的上述 DCT 运算单元，在控制信息表示构成被输入的行或者列的输入像素数据数的值是上述输入像素数据数的最大值以外的值的情况下，停止尚未使用的单元的动作。由此，可以消减消耗电力。

#### 附图说明

图 1 是本发明的实施例 1 的 DCT 运算装置的构成的方框图。

图 2 是本发明的实施例 1 的第 1 蝶式运算电路的内部构成的图。

图 3 是本发明的实施例 1 的第 2 蝶式运算电路的内部构成的图。

图 4 是本发明的实施例 1 的 ROM 地址的变换图。

图 5 是本发明的实施例 1 的 ROM 使用数据容量的变换图。

图 6 是用于说明对于本发明的实施例 1 的  $8 \times 7$  像素块的 DCT 运算的概略图。

图 7 是用于说明对于本发明的实施例 1 的  $6 \times 4$  像素块的反 DCT 运算的概略图。

图 8 是以往的 DCT 运算装置的构成的方框图。

图 9 是本发明的实施例 4 的 DCT 运算装置的构成的方框图。

图 10 是本发明的实施例 4 的运算装置的构成的方框图。

图 11 是本发明的实施例 4 的 DCT 运算装置的构成的方框图。

#### 具体实施方式

本实施例 1 的 DCT 装置，以每次一列或者每次一行输入以  $N \times M$  ( $N, M$  是从 1 至 8 的任意整数) 的像素数据构成的单位块的像素数据，在对它们进行 DCT 运算或者反 DCT 运算的同时，尤其在  $N$  或者

M 是 2 的幂的情况下，即，在 N=8、N=4、N=2 的情况下，利用频移形快速傅立叶变换（以下，称为“FFT”）。

如果使用上述 FFT，则上述 DCT 的行列运算，在 N=8 的情况下用下式表示。

\*\*N=8\*\*

$$\begin{pmatrix} X_0 \\ X_2 \\ X_4 \\ X_6 \end{pmatrix} = \begin{pmatrix} 0.353553 & 0.353553 & 0.353553 & 0.353553 \\ 0.461940 & 0.191342 & -0.191342 & -0.461940 \\ 0.353553 & -0.353553 & -0.353553 & 0.353553 \\ 0.191342 & -0.461940 & 0.461940 & -0.191342 \end{pmatrix} \begin{pmatrix} x_0+x_7 \\ x_1+x_6 \\ x_2+x_5 \\ x_3+x_4 \end{pmatrix}$$

$$\begin{pmatrix} X_1 \\ X_3 \\ X_5 \\ X_7 \end{pmatrix} = \begin{pmatrix} 0.490393 & 0.415735 & 0.277785 & 0.097545 \\ 0.415735 & -0.097545 & -0.490393 & -0.277785 \\ 0.277785 & -0.490393 & 0.097545 & 0.415735 \\ 0.097545 & -0.277785 & 0.415735 & -0.490393 \end{pmatrix} \begin{pmatrix} x_0-x_7 \\ x_1-x_6 \\ x_2-x_5 \\ x_3-x_4 \end{pmatrix} \quad \dots\text{式(18)}$$

在 N=4 的情况下，用下式表示。

\*\*N=4\*\*

$$\begin{pmatrix} X_0 \\ X_2 \end{pmatrix} = \begin{pmatrix} 0.500000 & 0.500000 \\ 0.500000 & -0.500000 \end{pmatrix} \begin{pmatrix} x_0+x_3 \\ x_1+x_2 \end{pmatrix}$$

$$\begin{pmatrix} X_1 \\ X_3 \end{pmatrix} = \begin{pmatrix} 0.653281 & 0.270598 \\ 0.270598 & -0.653281 \end{pmatrix} \begin{pmatrix} x_0-x_3 \\ x_1-x_2 \end{pmatrix} \quad \dots\text{式(19)}$$

在 N=2 的情况下，用下式表示。

\*\*N=2\*\*

$$\begin{pmatrix} X_0 \\ X_1 \end{pmatrix} = \begin{pmatrix} 0.707107 & 0.707107 \end{pmatrix} \begin{pmatrix} x_0+x_1 \\ x_0-x_1 \end{pmatrix} \quad \dots\text{式(20)}$$

另一方面，反 DCT 的行列运算，在 N=8 的情况下，用下式表示。

$$\begin{aligned}
 & \text{**N=8**} \\
 & \begin{pmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \end{pmatrix} = \begin{pmatrix} 0.353553 & 0.461940 & 0.353553 & 0.191342 \\ 0.353553 & 0.191342 & -0.353553 & -0.461940 \\ 0.353553 & -0.191342 & -0.353553 & 0.461940 \\ 0.353553 & -0.461940 & 0.353553 & -0.191342 \end{pmatrix} \begin{pmatrix} X_0 \\ X_2 \\ X_4 \\ X_6 \end{pmatrix} \\
 & \begin{pmatrix} x_7 \\ x_6 \\ x_5 \\ x_4 \end{pmatrix} = \begin{pmatrix} 0.353553 & 0.461940 & 0.353553 & 0.191342 \\ 0.353553 & 0.191342 & -0.353553 & -0.461940 \\ 0.353553 & -0.191342 & -0.353553 & 0.461940 \\ 0.353553 & -0.461940 & 0.353553 & -0.191342 \end{pmatrix} \begin{pmatrix} X_0 \\ X_2 \\ X_4 \\ X_6 \end{pmatrix} \\
 & + \begin{pmatrix} 0.490393 & 0.415735 & 0.277785 & 0.097545 \\ 0.415735 & -0.097545 & -0.490393 & -0.277785 \\ 0.277785 & -0.490393 & 0.097545 & 0.415735 \\ 0.097545 & -0.277785 & 0.415735 & -0.490393 \end{pmatrix} \begin{pmatrix} X_1 \\ X_3 \\ X_5 \\ X_7 \end{pmatrix} \\
 & - \begin{pmatrix} 0.490393 & 0.415735 & 0.277785 & 0.097545 \\ 0.415735 & -0.097545 & -0.490393 & -0.277785 \\ 0.277785 & -0.490393 & 0.097545 & 0.415735 \\ 0.097545 & -0.277785 & 0.415735 & -0.490393 \end{pmatrix} \begin{pmatrix} X_1 \\ X_3 \\ X_5 \\ X_7 \end{pmatrix} \quad \dots \text{式(21)}
 \end{aligned}$$

在 N=4 的情况下，用下式表示。

$$\begin{aligned}
 & \text{**N=4**} \\
 & \begin{pmatrix} x_0 \\ x_1 \end{pmatrix} = \begin{pmatrix} 0.500000 & 0.500000 \\ 0.500000 & -0.500000 \end{pmatrix} \begin{pmatrix} X_0 \\ X_2 \end{pmatrix} + \begin{pmatrix} 0.653281 & 0.270598 \\ 0.270598 & -0.653281 \end{pmatrix} \begin{pmatrix} X_1 \\ X_3 \end{pmatrix} \\
 & \begin{pmatrix} x_3 \\ x_2 \end{pmatrix} = \begin{pmatrix} 0.500000 & 0.500000 \\ 0.500000 & -0.500000 \end{pmatrix} \begin{pmatrix} X_0 \\ X_2 \end{pmatrix} - \begin{pmatrix} 0.653281 & 0.270598 \\ 0.270598 & -0.653281 \end{pmatrix} \begin{pmatrix} X_1 \\ X_3 \end{pmatrix} \\
 & \dots \text{式(22)}
 \end{aligned}$$

在 N=2 的情况下，用下式表示。

$$\begin{aligned}
 & \text{**N=2**} \\
 \begin{pmatrix} x_0 \\ x_1 \end{pmatrix} &= \begin{pmatrix} 0.707107 \\ 0.707107 \end{pmatrix} \begin{pmatrix} X_0 \\ X_0 \end{pmatrix} + \begin{pmatrix} 0.707107 \\ -0.707107 \end{pmatrix} \begin{pmatrix} X_1 \\ X_1 \end{pmatrix} \quad \dots \text{式(23)}
 \end{aligned}$$

如这些算式所示，通过利用 FFT，就可以大幅度消减行列运算的运算量。

在本实施例 1 中，通过利用所谓的蝶式运算，就可以对 DCT 运算或者反 DCT 运算的行列式适用 FFT，可以用少的运算量执行 DCT 运算或者反 DCT 运算。

以下，说明有关本 DCT 运算装置的构成。

图 1，是用于说明本实施例 1 的 DCT 运算装置的图，是展示该装置的构成的方框图。在图中，DCT 运算装置 100 由以下部分构成：控制电路 101，它输出表示构成  $N \times M$  的单位块的像素数据的个数  $N$  以及  $M$  的信号；位限制电路 102，它对被输入的 8 位的各像素数据的 LSB 限制每次输出 1 位；第 1 蝶式运算电路 103，它对该位限制电路 102 的输出进行蝶式运算；ROM 地址发生电路 104，它根据该第 1 蝶式运算电路 103 的输出，生成 ROM 地址；RAC105，它读出与该 ROM 地址对应的 ROM 数据并累加；第 2 蝶式运算电路 106，它对该 RAC105 的输出进行蝶式运算。

另外，上述 RAC105 由以下部分构成：ROM0、ROM1、ROM2、ROM3、ROM4、ROM5、ROM6、ROM7，它们用于进行 DCT 运算以及反 DCT 运算；累加电路 51a、51b、51c、51d、51e、51f、51g、51h，它们累加各 ROM 的输出。在本实施例 1 中，ROM0~7 是 1 个 ROM 内的多个 ROM 区域。

该 DCT 运算电路设置成，在行列运算中使用 DA 法，把在 DCT 的行列运算、反 DCT 的行列运算、快速傅立叶变换后的 DCT 的行列运算，以及快速傅立叶变换后的反 DCT 的行列运算的各自中的，通过从第 1 蝶式运算电路 103 的各输出中以每次 1 位取出数据得到的与位列有关的乘法运算结果，在 ROM0~ROM7 的各自中作为表存储，把从第 1 蝶式运算电路 103 的各输出得到的位列作为地址输入各 ROM，

由此通过从 ROM 输出上述乘法运算结果，把该乘法运算结果从各像素数据的 LSB 到 MSB 顺序输出，在累加电路 51a~51h 中累加，就可以得到行列运算结果。

进而，在上述 ROM0~ROM7 中，存储作为与上述像素数据的数 N 或者 M 是 2 的幂的情况有关的乘法运算结果，在进行了快速傅立叶变换的 DCT 以及反 DCT 的行列运算中的从第 1 蝶式运算电路 103 的输出得到的与位列有关的乘法运算结果；存储作为与上述像素数据的数 N 或者 M 是 2 的幂以外的值的情况有关的乘法运算结果，在不进行快速傅立叶变换的通常的 DCT 以及反 DCT 的行列运算中的从第 1 蝶式运算电路 103 的输出得到的与位列有关的乘法运算结果。

即，从第 1 蝶式运算电路 103 的以位为单位的输出得到的位列和在上述的式 (5)~式 (7)、式 (9)、式 (12)~式 (14)、式 (16) 以及式 (18)~式 (23) 中所示的行列运算的系数的部分积的计算结果作为表被存储在 ROM0~ROM7 中。

进而，因为成为输入像素数据数的 N 或者 M 的值可变，所以 ROM 和累加电路的组数被设置成 N 或者 M 的值的最大数，在此是 8 组。另外，在本实施例 1 中，因为 N 或者 M 的值可变，在 DCT 运算以及反 DCT 运算中使用的系数也改变，所以在各 ROM0~ROM7 中，分别存储与 N 或者 M 的值变化的情况适应的部分积的结果。

图 2，是上述第 1 蝶式运算电路 103 的内部构成的一例的方框图。该第 1 蝶式运算电路 103，在控制信号是进行 DCT 运算的情况下，表示像素数据的个数 N 或者 M 是 2 的幂，即在 2、4、8 的情况下进行蝶式运算，在除此以外的情况下不进行蝶式运算输出数据，其构成包括：数据线 30a、30b、30c、30d、30e、30f、30g、30h，它们以上述位限制电路 102 输出的各像素数据的位信号作为输入；第 1 选择电路 31a，它在控制信号表示 N 或者 M 是 8 的情况下选择数据线 30h，在控制信号表示 N 或者 M 是 4 的情况下选择数据线 30d，在控制信号表示 N 或者 M 是 2 的情况下选择数据线 30d；第 2 选择电路 31b，它在控制信号表示 N 或者 M 是 8 的情况下选择数据线 30g，在控制信号表

示 N 或者 M 是 4 的情况下选择数据线 30c; 第 1 加法运算电路 32a, 它加法运算从数据线 30a 和第 1 选择电路 31a 输入的数据; 第 2 加法运算电路 32b, 它加法运算从数据线 30b 和第 2 选择电路 31b 输入的数据; 第 3 加法运算电路 32c, 它加法运算从数据线 30c 和数据线 30d 输入的数据; 第 4 加法运算电路 32d, 它加法运算从数据线 30d 和数据线 30e 输入的数据; 第 1 减法运算电路 33a, 它减法运算从数据线 30d 和数据线 30e 输入的信号; 第 2 减法运算电路 33b, 它减法运算从数据线 30c 和数据线 30f 输入的数据; 第 3 减法运算电路 33b, 它减法运算从数据线 30b 和第 2 选择电路 31b 输入的数据; 第 4 减法运算电路 33d, 它减法运算从数据线 30a 和第 1 选择电路 31a 输入的数据。该第 1 蝶式运算电路 104, 输出顺序相互加法运算像素数据的值, 以及顺序相互减法运算像素数据的值的蝶式运算, 所谓顺序相互加法运算以及顺序相互减法运算像素数据, 是把以每次 1 行或者每次 1 列输入到位限制电路 102 中, 并且以每次 1 位限制输出的像素数据, 从被输入的列或者行的两端向内侧顺序相互进行加法运算以及减法运算。

图 3 是上述第 2 蝶式运算电路 106 的内部构成的一例的方框图。该第 2 蝶式运算电路 106, 在控制信号表示进行反 DCT 运算的情况, 表示像素数据的个数的 N 或者 M 是 2 的幂, 即在 2、4、8 的情况下进行蝶式运算, 在除此以外的情况下不进行蝶式运算输出数据, 其构成包括: 寄存器 60a、60b、60c、60d、60e、60f、60g、60h, 它们锁存上述 RAC105 的各累加电路 51a、51b、51c、51d、51e、51f、51g、51h 的输出; 寄存器 61a, 它锁存上述各寄存器 60a、60c、60e、60g 的输出; 寄存器 61b, 它锁存上述各寄存器 60b、60d、60f、60h 的输出; 加法运算器, 62, 它加法运算从上述寄存器 61a 和寄存器 61b 输入的数据; 寄存器 63, 它锁存该加法运算器 62 的输出。该第 2 蝶式运算电路 106, 将上述 RAC105 输出的在以上述每次 1 行或者每次 1 列输入的像素数据中的奇数位上的像素数据和由 FFT 得到的行列系数的运算结果, 和偶数位上的像素数据和由 FFT 得到的行列系数的运算结果进行加法运算和减法运算, 并输出结果值。

接着,说明由 ROM 地址发生电路 104 生成的 ROM 地址。该 ROM 地址发生电路 104, 直接利用由第 1 蝶式运算电路 103 的输出构成的位列, 通过在其上加头地址设置成地址, 进而就是加这样的头地址, 即, 加上该头地址的结果, 得到的全部的地址, 就成为连续的地址。该头地址, 根据控制电路 101 输出的控制信号表示的, 表示 N 或者 M 的值, 和表示进行 DCT 运算或者反 DCT 运算之一的值确定。

如图 4 所示, 在 N 或者 M 的值是 7 的情况下的 DCT 运算中, 在根据从第 1 蝶式运算电路 103 的各数据线 30g、30f、30e、30d、30c、30b、30a 输出的信号 A6、A5、A4、A3、A2、A1、A0 构成的 7 位的信号上, 在作为其高位位的 A7 上附加 0, 进而, 在由信号 A7、A6、A5、A4、A3、A2、A1、A0 组成的 8 位的信号上, 附加表示进行 DCT 运算的值 0 组成 9 位的信号, 把它作为 ROM 地址生成。

同样, 在 N 或者 M 的值是 6 的情况下的 DCT 运算中, 在根据从第 1 蝶式运算电路 103 的各数据线 30f、30e、30d、30c、30b、30a 输出的信号 A5、A4、A3、A2、A1、A0 构成的 6 位的信号上, 在作为其高位位的 A7、A6 上分别附加 1、0, 在 N 或者 M 的值是 5 的情况下, 在根据从第 1 蝶式运算电路 103 的各数据线 30e、30d、30c、30b、30a 输出的信号 A4、A3、A2、A1、A0 构成的 5 位的信号上, 在作为其高位位的 A7、A6、A5 上分别附加 1、1、0, 在 N 或者 M 的值是 8 的情况下, 在根据从第 1 蝶式运算电路 103 的数据线 34a、34b、34c、34d, 或者数据线 34e、34f、34g、34h 输出的信号 A3、A2、A1、A0 构成的 4 位信号上, 在作为其高位位的 A7、A6、A5、A4 上分别附加 1、1、1、0, 在 N 或者 M 的值是 3 的情况下, 在根据从第 1 蝶式运算电路 103 的各数据线 30c、30b、30a 输出的信号 A2、A1、A0 构成的 3 位信号上, 在作为其高位位的 A7、A6、A5、A4、A3 上分别附加 1、1、1、1、0, 在 N 或者 M 的值是 4 的情况下, 在根据从第 1 蝶式运算电路 103 的数据线 34a、34b, 或者 34e、34f 输出的信号 A1、A0 构成的 2 位信号上, 在作为其高位位的 A7、A6、A5、A4、A3、A2 上分别附加 1、1、1、1、1、0, 在 N 或者 M 的值是 2 的情况下, 在

基于从第 1 蝶式运算电路 103 的数据线 34a, 或者数据线 34e 输出的信号 A0 的 1 位信号上, 在作为其高位位的 A7、A6、A5、A4、A3、A2、A1 上分别附加 1、1、1、1、1、1、0, 进而, 把在由上述各 A7、A6、A5、A4、A3、A2、A1、A0 组成的 8 位信号上, 附加表示是 DCT 运算的 0 组成的 9 位的信号作为 ROM 地址生成。

当进行反 DCT 运算的情况下, 在由各 A7、A6、A5、A4、A3、A2、A1、A0 组成的 8 位的信号上, 在其最高位上附加 1, 生成 ROM 地址。

即, 在 N 或者 M 的值是 7 的情况下的反 DCT 运算中, 在根据从第 1 蝶式运算电路 103 的各数据线 30g、30f、30e、30d、30c、30b、30a 输出的信号 A6、A5、A4、A3、A2、A1、A0 构成的 7 位的信号上, 在作为其高位位的 A7 上附加 0, 进而, 把在由该信号 A7、A6、A5、A4、A3、A2、A1、A0 组成的 8 位的信号上, 附加表示是反 DCT 运算的 1 组成的 9 位的信号作为 ROM 地址生成。

同样, 在 N 或者 M 的值是 6 的情况下的反 DCT 运算中, 在根据从第 1 蝶式运算电路 103 的各数据线 30f、30e、30d、30c、30b、30a 输出的信号 A5、A4、A3、A2、A1、A0 构成的 6 位的信号上, 在作为其高位位的 A7、A6 上分别附加 1、0, 在 N 或者 M 的值是 5 的情况下, 在根据从第 1 蝶式运算电路 103 的各数据线 30e、30d、30c、30b、30a 输出的信号 A4、A3、A2、A1、A0 构成的 5 位的信号上, 在作为其高位位的 A7、A6、A5 上分别附加 1、1、0, 在 N 或者 M 的值是 8 的情况下, 在根据从第 1 蝶式运算电路 103 的数据线 30g、30e、30c、30a, 或者数据线 30h、30f、30d、30b 输出的信号 A3、A2、A1、A0 构成的 4 位的信号上, 在作为高位位的 A7、A6、A5、A4 上分别附加 1、1、1、0, 在 N 或者 M 的值是 3 的情况下, 在根据从第 1 蝶式运算电路 103 的各数据线 30c、30b、30a 输出的信号 A2、A1、A0 构成的 3 位的信号上, 在作为其高位位的 A7、A6、A5、A4、A3 上分别附加 1、1、1、1、0, 在 N 或者 M 的值是 4 的情况下, 在根据从第 1 蝶式运算电路 103 的各数据线 30c、30a, 或者 30d、30b 输出的信号 A1、

A0 构成的 2 位的信号上, 在作为其高位位的 A7、A6、A5、A4、A3、A2 上分别附加 1、1、1、1、1、0, 在 N 或者 M 的值是 2 的情况下, 在基于从第 1 蝶式运算电路 103 输出的数据线 30a, 或者 30b 输出的信号 A0 的 1 位的信号上, 在作为其高位位的 A7、A6、A5、A4、A3、A2、A1 上分别附加 1、1、1、1、1、1、0, 进而, 把在由上述各 A7、A6、A5、A4、A3、A2、A1、A0 组成的 8 位的信号上, 附加表示是反 DCT 运算的 1 组成的 9 位的信号作为 ROM 地址生成。

在 ROM 地址发生电路 104 中, 通过生成上述那样的地址, 就可以把 RAC 具有的对各 ROM 的地址的数据数设置成 512 个。但是, 包含图 4 所示的 4 个未使用地址的数据部分。

图 5 是被记录在 RAC105 的各 ROM 中的 ROM 数据的变换图。在 N 或者 M 为从 1 到 8 的情况下的用于进行 DCT 运算或者反 DCT 运算的乘法运算结果, 对应 ROM 地址, 被存储在 ROM0、ROM1、ROM2、ROM3、ROM4、ROM5、ROM6、ROM7 中。

以下, 说明该 DCT 运算装置 100 的动作。

在此, 说明以  $8 \times 7$  构成的像素数据为输入, 用该 DCT 装置 100 进行 DCT 运算的情况。

首先, 控制电路 101, 输出表示输入像素数据的个数 N 或者 M, 和进行 DCT 运算或者反 DCT 运算的信号。这种情况下, 是表示  $N=8$ 、 $M=7$ 、进行 DCT 运算的信号。接着, 位限制电路 102, 把输入的列方向的 8 个像素数据, 从各像素数据的 LSB 开始以每次 1 位输出。第 1 蝶式运算电路 103, 接收表示  $N=8$  的信号, 进行用式 (18) 表示的蝶式运算。即, 第 1 选择电路 31a 选择数据线 30h, 第 2 选择电路 31b 选择数据线 30g。第 1 加法运算电路 32a 加法运算由被第 1 选择电路 31a 选择出的数据线 30h 输入的信号, 和由数据线 30a 输入的信号。另外, 第 2 加法运算电路 32b 加法运算由被第 2 选择电路 31b 选择出的数据线 30g 输入的信号, 和由数据线 30b 输入的信号。进而, 第 3 加法运算电路 32c 加法运算从数据线 30c 和数据线 30f 输入的数据, 第 4 加法运算电路 32d 加法运算从数据线 30d 和数据线 30e 输入的数据。

另一方面，第 1 减法运算电路 33a 减法运算从数据线 30d 和数据线 30e 输入的信号，第 2 减法运算电路 33b 减法运算从数据线 30c 和数据线 30f 输入的数据。进而，第 3 减法运算电路 33c 减法运算从被上述第 2 选择电路 31b 选择出的数据线 30g，和由数据线 30b 输入的数据，第 4 减法运算电路 33d，减法运算从被上述第 1 选择电路 31a 选择出的数据线 30h，和数据线 30a 输入的数据。

第 1 蝶式运算电路 103 这样进行蝶式运算。该算式，执行式 (18) 的右边所示的， $x_0+x_7$ 、 $x_1+x_6$ 、 $x_2+x_5$ 、 $x_3+x_4$ 、 $x_0-x_7$ 、 $x_1-x_6$ 、 $x_2-x_5$ 、 $x_3-x_4$  的加减运算。

ROM 地址发生电路 104，根据上述第 1 蝶式运算电路 103 的输出，生成 ROM 地址信号输出。即，ROM 地址发生电路 104，在以上述  $x_0+x_7$ 、 $x_1+x_6$ 、 $x_2+x_5$ 、 $x_3+x_4$  所表示的信号顺序构成的 4 位的信号上，在该 4 位信号的高位 5 位上附加 01110，生成 9 位的 ROM 地址。该 ROM 地址，被输出到 RAC105 的 ROM0、ROM2、ROM4、ROM6 中。另外，ROM 地址发生电路 104，在以上述  $x_0-x_7$ 、 $x_1-x_6$ 、 $x_2-x_5$ 、 $x_3-x_4$  所表示的信号顺序构成的 4 位的信号上，在第 4 位的上记 5 位上附加 01110，生成 9 位的 ROM 地址。该 ROM 地址，被输出到 RAC 的 ROM1、ROM3、ROM5、ROM7 中。

RAC105 的 ROM0、ROM1、ROM2、ROM3、ROM4、ROM5、ROM6、ROM7，输出由 ROM 地址发生电路 104 生成的与 ROM 地址对应的数据，累加各 ROM 的输出的累加电路 51a、51b、51c、51d、51e、51f、51g、51h，累加各 ROM 的输出后输出。由此，算出式 (18) 所示的  $X_0$ 、 $X_2$ 、 $X_4$ 、 $X_6$ 、 $X_3$ 、 $X_5$ 、 $X_7$ 。

第 2 蝶式运算电路 106，把 RAC 的各累加电路 51a、51b、51c、51d、51e、51f、51g、51h 的输出，作为 DCT 运算后的 8 个像素数据输出。即，第 2 蝶式运算电路 106 的各寄存器 60a、60b、60c、60d、60e、60f、60g、60h，锁存 RAC105 的各累加电路 51a、51b、51c、51d、51e、51f、51g、51h 的输出信号，按照被输入的顺序从上述各寄存器输出。

这样,重复7次对在列方向上每次输入的8个像素数据的一连串的运算(图6(a)),由此输出相对56个像素数据的中间结果结束1维DCT运算(图6(b))。

接着,对于上述56个中间结果(图6(b)),在行方向上每次以7个像素数据输入DCT运算装置100。这种情况下,执行式(5)所示的运算。用和上述相同的动作,重复8次对每输入7个像素数据的一连串运算(图6(c)),由此结束对56个像素数据的2维DCT运算(图6(d))。

进而,在这种情况下,因为第8个像素数据不存在,所以上述位限制电路102,对应7个输入像素数据进行位限制动作,另外,RAC105的ROM7以及累加电路51h,不进行动作。

接着,说明以用 $6 \times 4$ 构成的像素数据作为输入,由该DCT装置100进行反DCT运算的情况。

首先,控制电路101,输出表示输入像素数据的个数N或者M,和进行DCT运算或者反DCT运算的信号。这种情况下,是表示 $N=6$ 、 $N=4$ 、进行反DCT运算的信号。接着,位限制电路102,从各像素数据的LSB开始以每次1位输出已被输入的列方向的6个像素数据。第1蝶式运算电路103,接收 $N=6$ 以及表示反DCT的信号,不进行蝶式运算,而直接输出输入像素数据。

ROM地址发生电路104,根据上述第1数据运算电路103的输出,生成ROM地址信号并输出。

当 $N=6$ 的情况下,ROM地址发生电路104,在按照信号A5、A4、A3、A2、A1、A0的顺序构成的6位信号上,在该6位信号的高位3位上附加110,生成9位的ROM地址。该ROM地址,被输出到RAC105的ROM0、ROM1、ROM2、ROM3、ROM4、ROM5。

RAC105的ROM0、ROM1、ROM2、ROM3、ROM4、ROM5,输出由ROM地址发生电路104生成的与ROM地址对应的数据,累加各ROM输出的累加电路51a、51b、51c、51d、51e、51f,累加各ROM的输出后输出。由此算出式(13)所示的 $X_0$ 、 $X_1$ 、 $X_2$ 、 $X_3$ 、 $X_4$ 、

## X5.

进而，RAC105的ROM6、ROM7，以及累加电路51g、51h，因为对应的输入像素数据不存在，所以不动作。

第2蝶式运算电路，接收 $N=6$ 以及表示反DCT运算的控制信号，把RAC105的各累加电路51a、51b、51c、51d、51e、51f的输出，作为被反DCT运算后的6个像素数据输出。即，第2蝶式运算电路106的各寄存器60a、60b、60c、60d、60e、60f，锁存RAC105的各累加电路51a、51b、51c、51d、51e、51f的输出信号，按照被输入的顺序从各寄存器输出。

这样，重复4次对在列方向上每输入6个像素数据的一连串运算（图7(a)），由此输出相对24个像素数据的中间结果结束1位DCT运算（图7(b)）。

接着，上述24个中间结果（图7(b)），在行方向上以每次4个像素数据输入DCT运算装置100。在此，也和上述的动作一样，重复6次对输入的每4个像素数据的一连串的运算（图7(c)），由此，结束对于24个像素数据的2维DCT运算（图7(d)）。

即，控制电路101，输出表示 $M=4$ 、进行反DCT运算的信号。接着，位限制电路102，从各像素数据的LSB开始以每次一位输出已被输入的行方向的4的像素数据。第1蝶式运算电路103，接收表示 $M=4$ 以及反DCT的信号，不进行蝶式运算，而直接输出被限制为每次一位的输入像素数据。

ROM地址发生电路104，根据上述第1蝶式运算电路103的输出，生成并输出ROM地址信号。即，在作为RAC105的数据线30c、30a，或者数据线30d、30b的输出的2位信号上，在该2位信号的高位7位上附加0111110，生成9位的ROM地址。该ROM地址，被输出到RAC的ROM0、ROM2，或者ROM1、ROM3。

RAC105的ROM0、ROM1、ROM2、ROM3，输出由ROM地址发生电路104生成的与ROM地址对应的数据，累加各ROM的输出后的累加电路51a、51b、51c、51d，累加各ROM的输出后输出。

第2蝶式运算电路,接收表示 $M=4$ 以及反DCT运算的控制信号,蝶式运算并输出RAC105的各累加电路51a、51b、51c、51d的输出。即,在各寄存器60a、60b、60c、60d中锁存RAC105的各累加电路51a、51b、51c、51d的输出。寄存器61a,按照寄存器60a的输出、寄存器60c的输出、寄存器60a的输出、寄存器60c的输出的顺序,进行4次数据的锁存。另一方面,寄存器61b,按照寄存器60b的输出、寄存器60d的输出、寄存器60b的反转输出、寄存器60d的反转输出的顺序,进行4次数据的锁存。加法运算器62,顺序加法运算寄存器61a的输出和寄存器61b的输出。由此,可以算出式(22)所示的 $x_0$ 、 $x_1$ 、 $x_2$ 、 $x_3$ 。寄存器63顺序锁存上述加法运算器62的输出后输出。

这样一来,如果采用本实施例1的DCT运算装置,则通过用表示 $N$ 或者 $M$ 的值,以及表示DCT运算或者反DCT运算的控制信号,控制第1蝶式运算电路103以及第2蝶式运算电路106进行的蝶式运算,ROM地址生成电路104生成与 $N$ 或者 $M$ 单位块的像素数据的DCT运算或者反DCT运算对应的ROM地址,就可以在1个DCT运算装置中,进行由从1到8的任意整数构成的 $N \times M$ 单位块的像素数据的DCT运算以及反DCT运算。由此,可以得到电路面积小的上述DCT运算装置。

另外,因为,设置第1蝶式运算电路103以及第2蝶式运算电路106,在 $N$ 或者 $M$ 的值是2的幂的情况下,利用蝶式运算,所以,具有以下效果:可以通过在行列运算中利用FFT减少运算量,可以减少被存储在ROM中的成为用于求DCT运算结果以及反DCT运算结果的乘法运算结果的数据,即,乘法运算了由 $N$ 或者 $M$ 像素的输入像素数据的各1位构成的 $N$ 或者 $M$ 位的位列,和用于求DCT运算结果以及反DCT运算结果的系数的部分积的计算结果的量,可以减小记录该数据的ROM的数据容量,可以得到电路面积小的DCT运算装置。

另外,虽然可以通过使用FFT消减存储在ROM0~7内的数据的量,但在作为1个ROM内的多个区域实现ROM0~7的情况下,为了消减ROM的整个容量,就需要缩短消减后的数据部分。但是,如果

把单纯消减由 FFT 进行数据数的消减后的数据的数据部分直接按照其顺序缩短存储在 ROM 中，则作为在使用 DA 法的情况下的特征之一的把输入数据的各位作为地址的方法是不可能的，需要使得用于排列替换从输入像素数据的各位得到的位列的装置是使地址生成复杂化。对此，在本实施例 1 中，ROM 地址发生电路 104 使用如下的位列作为为了对从第 1 蝶式运算电路 103 得到的位列生成地址而附加的头地址，即，通过附加该头地址得到的全部地址是连续的地址，由此，就可以从第 1 蝶式运算电路 103 中把位列作为地址的一部分直接使用，并且可以在 ROM 内不产生无用的区域而高效率地在 ROM 中存储数据，可以消减 ROM 容量。由此，可以得到使 DCT 运算装置的电路面积更小的效果。

图 10 是本发明的实施例 2 的 DCT 运算装置，在图中，和图 1 相同的符号表示相同或者相当的部分。实施例 2 的 DCT 运算装置 200，设置成在上述实施例 1 的 DCT 运算装置 100 中，代替第 2 蝶式运算电路，具备与输入像素数据的顺序对应输出运算装置的输出的输出电路 206，使得只进行 DCT 运算。在该 DCT 运算装置 200 中，在控制电路 101 输出的控制信号中表示是进行 DCT 运算，还是进行反 DCT 运算的值已不需要，ROM 地址发生电路 104 生成的 ROM 地址，因为不需要包含表示是进行 DCT 运算，还是进行反 DCT 运算的值，所以设置为在位限制输入像素数据的值上，附加了表示 N 或者 M 的值的头地址的 8 位的地址。另外，ROM10~ROM17，从在上述实施例 1 中说明的 ROM0~ROM7 中，分别除去存储在反 DCT 运算中使用的数据的区域。进而，有关该 DCT 运算装置 200 的动作，因为和上述实施例 1 中的 DCT 运算装置中进行 DCT 运算的动作相同，因而在此省略其说明。

在这样的实施例 2 中，也和上述实施例 1 一样，用表示 N 或者 M 的值的控制信号，控制第 1 蝶式运算电路 103 进行的蝶式运算，ROM 地址发生电路 104 根据第 1 蝶式运算电路 103 的输出生成与 N 或者 M 的单位的块的像素数据的 DCT 运算对应的 ROM 地址，由此，就可以在一个 DCT 运算装置中，进行行数或者列数为由 1 至 8 的任意整数构

成的  $N \times M$  单位块的像素数据的 DCT 运算，可以得到电路面积小的上述 DCT 运算装置。

另外，因为设置成在  $N$  或者  $M$  的值是 2 的幂的情况下进行蝶式运算，因此具有可以通过在行列运算中利用 FFT 减少运算量，可以减小记录成为用于求 DCT 运算结果的乘法运算结果的数据的 ROM 的数据容量，可以得到电路面积小的 DCT 运算装置的效果。

另外，如把从第 1 蝶式运算电路 103 中得到的位列作为地址的一部分直接使用，并且在 ROM 内不产生无用的区域，则可以高效率地在 ROM 内变换数据，可以消减 ROM 容量，可以使 DCT 运算装置的电路面积更小的效果。

图 11 是本发明的实施例 3 的 DCT 运算装置，在图中，和图 1 相同的符号表示相同或者相当的部分。本实施例 3 的 DCT 运算装置 300，设置成在上述实施例 1 的 DCT 运算装置 100 中，不设第 1 蝶式运算电路，位限制单元 102 的输出直接输入 ROM 地址发生电路 104，只进行反 DCT 运算。在该 DCT 运算装置 300 中，在控制电路 101 输出的控制信号中不需要表示是进行 DCT 运算，还是进行反 DCT 运算的值，ROM 地址发生电路 104 生成的 ROM 地址，因为不需要包含表示是进行 DCT 运算，还是进行反 DCT 运算的值，所以设置成在位限制输入像素数据的值上，附加了表示  $N$  或者  $M$  的值的头地址的 8 位的地址。另外，ROM20~ROM27，从在上述实施例 1 中说明的 ROM0 ~ROM7 中，分别除去了用于 DCT 运算的数据。进而，有关该 DCT300 的动作，因为和上述实施例 1 的 DCT 运算装置中的进行反 DCT 运算的动作相同，因而在此省略其说明。

在这种实施例 3 中，也和上述实施例 1 一样，用表示  $N$  或者  $M$  的值的控制信号，控制第 2 蝶式运算电路 106 进行的蝶式运算，ROM 地址发生电路从位限制电路 102 的输出中生成与  $N$  或者  $M$  的单位块的像素数据的反运算对应的 ROM 地址，由此，就可以在一个 DCT 运算装置中，进行行数 and 列数由 1 至 8 的任意整数构成的  $N \times M$  单位块的像素数据的反 DCT 运算，可以得到电路面积小的上述 DCT 运算装

置。

另外，因为设置成在 N 或者 M 的值是 2 的幂的情况下进行蝶式运算，所以具有可以在行列运算中利用 FFT 减少运算量，可以减小记录成为用于求反 DCT 运算结果的乘法运算结果的数据的 ROM 的数据容量，可以得到电路面积小的 DCT 运算装置的效果。

另外，如把从位限制电路 102 中得到的位列作为地址的一部分直接使用，并且在 ROM 内不产生无用的区域，则可以高效率地在 ROM 内变换数据，可以消减 ROM 容量，可以使 DCT 运算装置的电路面积更小的效果。

图 9 是展示本发明的实施例 4 的 DCT 运算装置的构成的方框图，在图中，位限制电路 112，把上述实施例 1 的位限制电路 102 的输入设置为 16 位的像素数据，把限制该像素数据的单位设置为 2 位。另外，第 1 蝶式运算电路 113，设置成在上述实施例 1 的第 1 蝶式运算电路 103 中，对 2 位的数据进行蝶式运算，并以 2 位为单位输出。ROM 地址发生电路 114，对由作为第 1 蝶式运算电路 113 的输出的 2 位的数据的各位表示的地址，分别附加头地址，制成 9 位的地址，作为该头地址，使用和上述实施例 1 的 ROM 地址发生电路 104 附加的数据一样的数据，即，使用这样的位列，使得通过对第 1 蝶式运算电路 113 的输出附加该头地址得到的全部的地址被排列替换为连续的地址。RAC115，和上述实施例 1 所示的 RAC105 一样，包括：ROM，它把从上述第 1 蝶式运算电路 113 的位单位的输出得到位列和在上述实施例 1 中式 (5)~式 (7)，式 (9)，式 (12)~式 (14)，式 (16) 以及式 (18)~式 (23) 所示的行列运算的系数的部分积的计算结果作为表保持；累加电路，它累加根据从 ROM 地址发生电路 114 输出的地址从该 ROM 输出的数据。但是，位限制电路 112 以 2 位为单位限制像素数据，因为需要各自独立地保持相对从各位得到的 2 个地址的上述部分积的计算结果的表，所以代替上述实施例 1 所示的 RAC105 的 ROM0~ROM7，设置成具有和 ROM0~ROM7 同样的构成的，每 1 个相互并列设置的 ROM0a~ROM7a 和 ROMb~ROM7b。进而，在此，

虽然把 ROM0a~ROM7a 以及 ROM0b~ROM7b 内的数据设置为 16 位，但该数据的位数也可以是其它的位数。累加电路 52a~52h，把 ROM0a 和 ROM0b 的输出、ROM1a 和 ROM1b 的输出、ROM2a 和 ROM2b 的输出、ROM3a 和 ROM3b 的输出、ROM4a 和 ROM4b 的输出、ROM5a 和 ROM5b 的输出、ROM6a 和 ROM6b 的输出、ROM7a 和 ROM7b 的输出分别作为 16 位的数据输入，把累加的结果，在 DCT 运算的情况下作为 DCT 运算的结果输出，另外，在反 DCT 的情况下作为为了求反 DCT 运算的结果而被输入到第 2 蝶式运算电路 116 中的数据输出。第 2 蝶式运算电路 116，在上述实施例 1 的第 2 蝶式运算电路 106 中，把输出的数据设置为 16 位。

在本实施例 4 的 DCT 运算电路中，把从  $N \times M$  单位块的图象数据中以行为单位，或者以列为单位输入的像素数据限制为每次 2 位，第 1 蝶式运算电路 113，在进行 DCT 运算的情况下，当作为被输入的行或者列的像素数据数的  $N$  或者  $M$  是 2 的幂的情况下，对上述限制的 2 位的数据进行和上述实施例 1 同样的蝶式运算。另外，在除此以外的情况下，不进行蝶式运算。ROM 地址发生电路 114 在由第 1 蝶式运算电路 113 的每次 2 位的多个输出中的各 1 位的数据分别构成的 2 个位列上附加头地址，生成 2 个地址，其中一个对 ROM0a~ROM7a，另一个对 ROM0b~ROM7b 输出。ROM0a~ROM7a 以及 ROM0b~ROM7b，分别输出与输入的地址对应的，用于 DCT 运算或者反 DCT 运算的部分积的计算结果。累加电路 52a~52h 累加被排列设置的 ROM 之间的输出后输出，第 2 蝶式运算电路 116 在进行 DCT 运算的情况下，当作为输入的行或者列的像素数据的  $N$  或者  $M$  是 2 的幂的情况下，对从累加电路 52a~52h 输出的数据进行和上述实施例 1 一样的反 DCT 运算，与输入像素数据的顺序对应地排列替换输出其运算结果，在其它情况下不进行蝶式运算，把从累加电路 52a~52h 输出的数据与输入数据的顺序对应地排列替换输出。

如果采用这样的实施例 4，因为，设置成在输入的行或者列的像素数据数的  $N$  或者  $M$  是 2 的幂的情况下进行蝶式运算，所以，具有可

以在行列运算中利用 FFT，可以减少用于求存储在 ROM0a~ROM7a、ROM0a~ROM7a 中的 DCT 运算以及反 DCT 运算的数据数，可以和上述实施例 1 一样消减 ROM 容量的效果。

另外，因为对于由从第 1 蝶式运算电路 113 输出的 2 位组成的多个像素数据的各位构成的地址，附加头地址使得全部地址连续排列，所以具有可以高效率地进行 ROM 内的数据的变换，即使在输入的像素数据是 16 位的情况下，也和上述实施例 1 一样，可以消减 ROM 容量的效果。

进而，虽然在上述实施例 4 中，说明了把上述实施例 1 中的 DCT 运算装置变形为其输入是 16 位的情况，但在本发明中，在上述实施例 2 以及实施例 3 的 DCT 运算装置中，也可以把其输入设置为 16 位，在这种情况下，也具有和上述实施例 4 同样的效果。

另外，虽然在上述实施例 1~4 中，把输入到位限制电路的数据设置为 8 位或者 16 位，但在本发明中，输入像素数据的位数可以是任何位数，通过调整由位限制电路限制的位的单位，和包含在 RAC 中的 ROM 数，就可以起到和上述各实施例同样的效果。

进而，在上述各实施例 1~4 的 DCT 运算装置中，当 N 或者 M 的值在 8 以外，即在其上限以外的情况下，也可以使尚未使用的 ROM 以及累加电路等的单元的动作停止。这样一来，就可以消减由不需要的 ROM 以及累加电路等的单元消耗的电力。

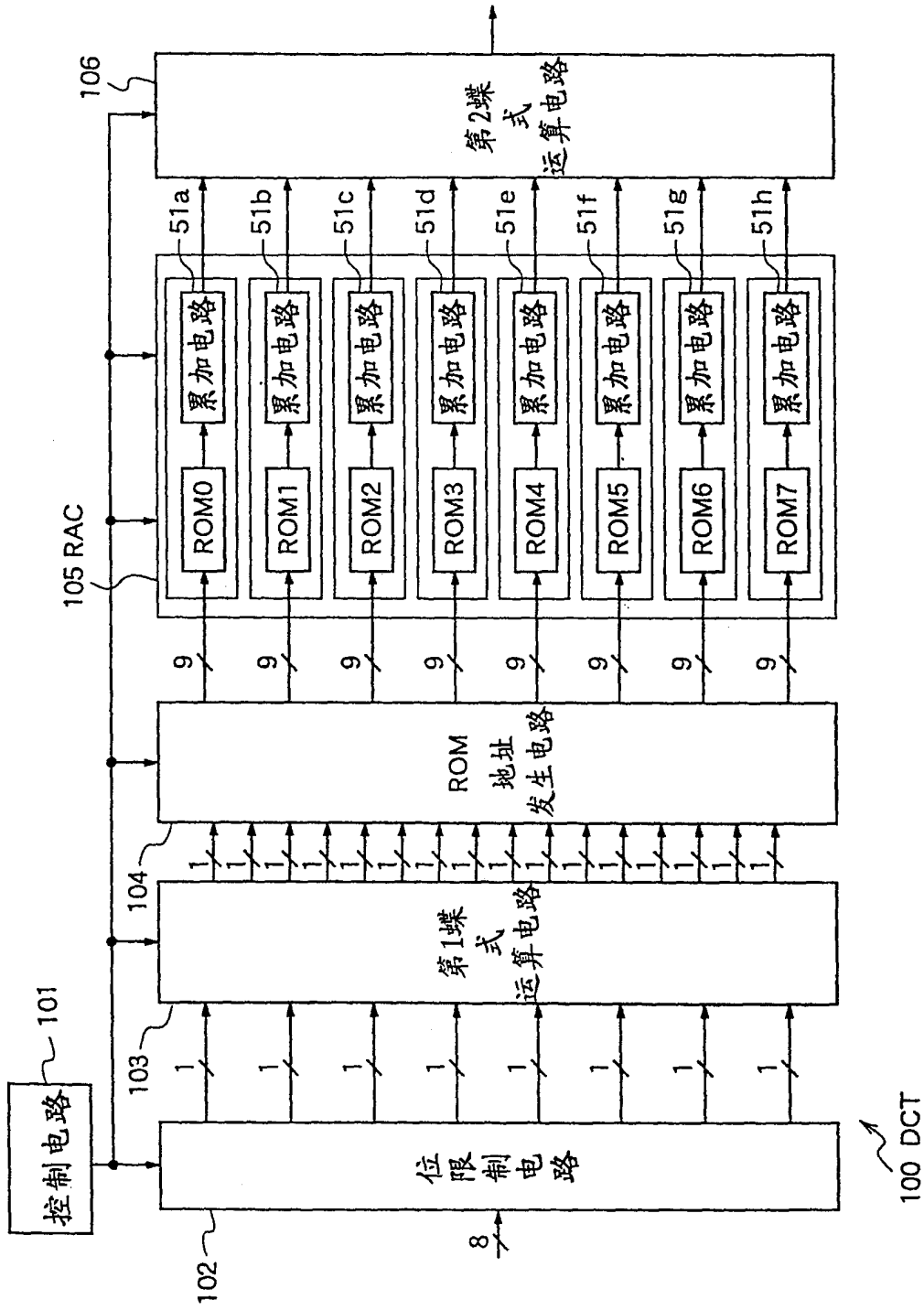
另外，在上述实施例 1~4 中，作为用于输出乘法运算结果的单元，使用 ROM，但在本发明中，也可以代替 ROM，使用在输入地址时，输出与之对应的乘法运算结果的组合电路，在这种情况下，也起到了和上述各实施例同样的效果。

另外，在上述实施例 1~4 中，说明了输入的图象数据的单位块可以对应最大到  $8 \times 8$  像素的情况，但单位块的最大的大小，可以是  $8 \times 8$  以外的任何值，这种情况下，通过组合单位块的最大的大小，增减 ROM 和累加电路的组数以及各 ROM 的尺寸等，起到和上述实施例一样的效果。

---

如上所述，本发明的 DCT 运算装置，可以用作运动图象数据的编码装置，或者译码装置内的 DCT 运算装置，特别适用于采用 MPEG（运动图象编码专家组）方式进行编码或者译码的装置内的 DCT 运算装置。

图1



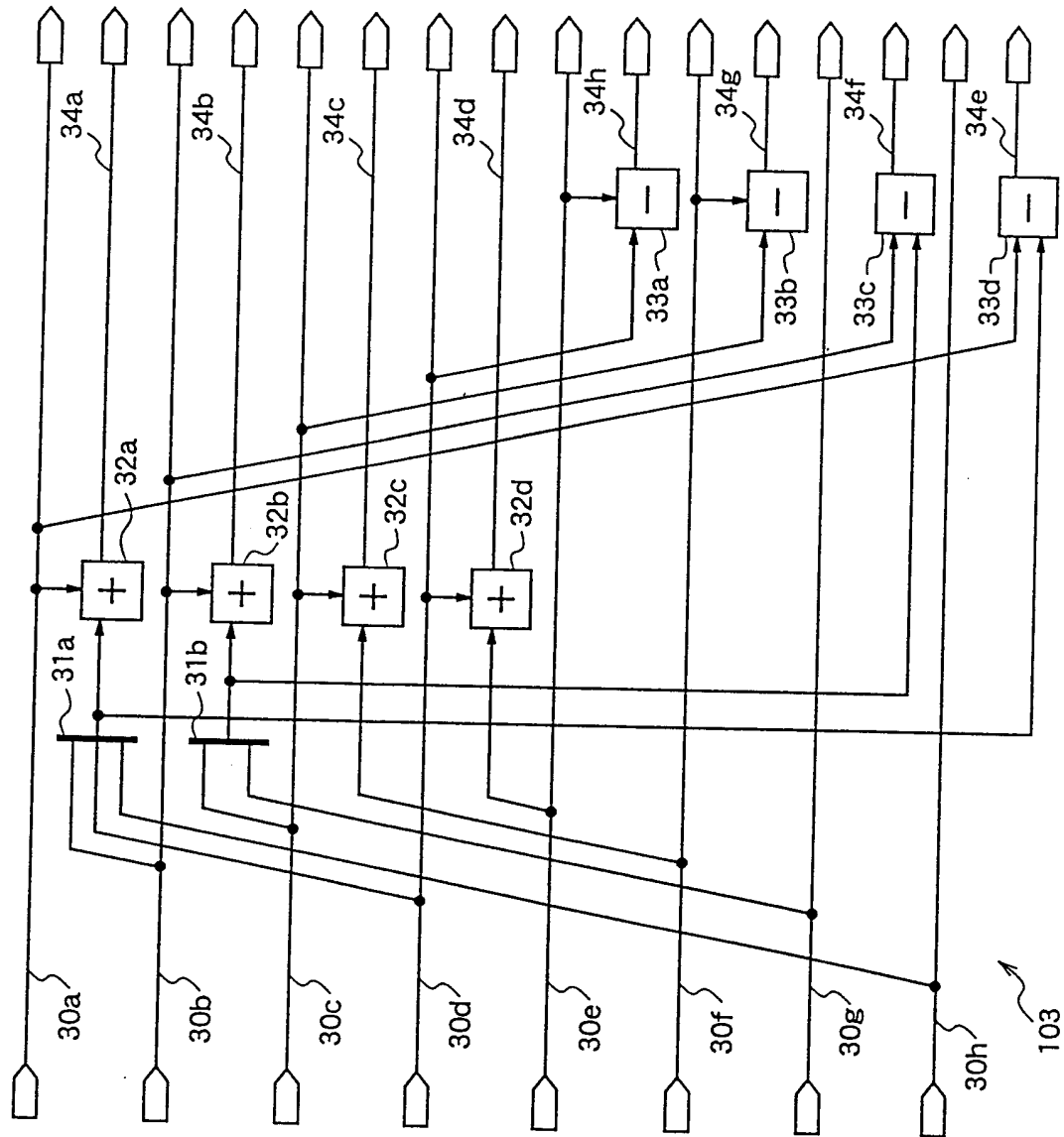


图2

图 3

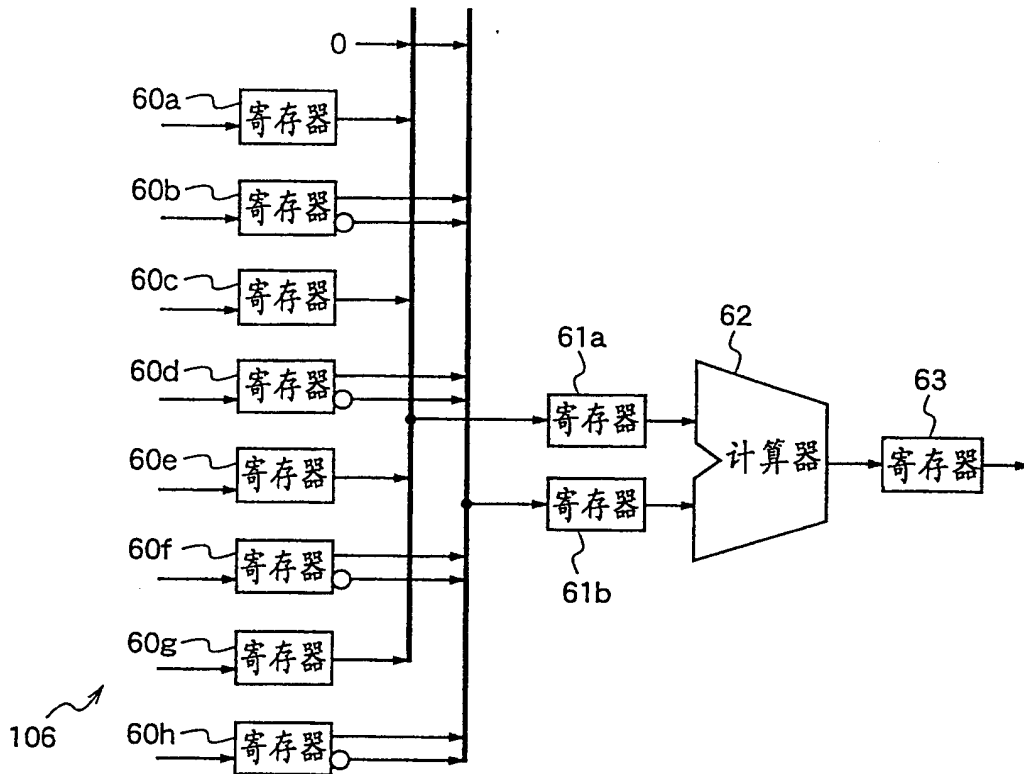


图4

N. 字	地址	idct	A7	A6	A5	A4	A3	A2	A1	A0
DCT	N=7, 128WORD	0	0	0	0	0	0	0	0	0
		0	0	1	1	1	1	1	1	1
DCT运算	N=6, 64WORD	0	1	0	0	0	0	0	0	0
		0	1	0	1	1	1	1	1	1
DCT运算	N=5, 32WORD	0	1	1	0	0	0	0	0	0
		0	1	1	0	1	1	1	1	1
DCT运算	N=8, 16WORD	0	1	1	1	0	0	0	0	0
		0	1	1	1	0	1	1	1	1
DCT运算	N=3, 8WORD	0	1	1	1	1	0	0	0	0
		0	1	1	1	1	0	1	1	1
DCT运算	N=4, 4WORD	0	1	1	1	1	1	0	0	0
		0	1	1	1	1	1	0	1	1
DCT运算	N=2, 2WORD	0	1	1	1	1	1	1	0	0
		0	1	1	1	1	1	1	0	1
未使用		0	1	1	1	1	1	1	1	0
		0	1	1	1	1	1	1	1	1
反DCT运算	N=7, 128WORD	1	0	0	0	0	0	0	0	0
		1	0	1	1	1	1	1	1	1
反DCT运算	N=6, 64WORD	1	1	0	0	0	0	0	0	0
		1	1	0	1	1	1	1	1	1
反DCT运算	N=5, 32WORD	1	1	1	0	0	0	0	0	0
		1	1	1	0	1	1	1	1	1
反DCT运算	N=8, 16WORD	1	1	1	1	0	0	0	0	0
		1	1	1	1	0	1	1	1	1
反DCT运算	N=3, 8WORD	1	1	1	1	1	0	0	0	0
		1	1	1	1	1	0	1	1	1
反DCT运算	N=4, 4WORD	1	1	1	1	1	1	0	0	0
		1	1	1	1	1	1	0	1	1
反DCT运算	N=2, 2WORD	1	1	1	1	1	1	1	0	0
		1	1	1	1	1	1	1	0	1
未使用		1	1	1	1	1	1	1	1	0
		1	1	1	1	1	1	1	1	1

图5

ROM地址	ROM0	ROM1	ROM2	ROM3	ROM4	ROM5	ROM6	ROM7
00000000(9'h000)	N7ROM0	N7ROM1	N7ROM2	N7ROM3	N7ROM4	N7ROM5	N7ROM6	未使用
00111111(9'h07F)	N6ROM0	N6ROM1	N6ROM2	N6ROM3	N6ROM4	N6ROM5	未使用	未使用
01000000(9'h080)	N5ROM0	N5ROM1	N5ROM2	N5ROM3	N5ROM4	未使用	未使用	未使用
01011111(9'h0BF)	N8ROM0	N8ROM1	N8ROM2	N8ROM3	N8ROM4	N8ROM5	N8ROM6	N8ROM7
01100000(9'h0C0)	N3ROM0	N3ROM1	N3ROM2	未使用	未使用	未使用	未使用	未使用
01101111(9'h0EF)	N4ROM0	N4ROM1	N4ROM2	N4ROM3	未使用	未使用	未使用	未使用
01110000(9'h0F0)	N2ROM0	N2ROM1	未使用	未使用	未使用	未使用	未使用	未使用
01110111(9'h0F7)	未使用	未使用	未使用	未使用	未使用	未使用	未使用	未使用
01111000(9'h0F8)	IN7ROM0	IN7ROM1	IN7ROM2	IN7ROM3	IN7ROM4	IN7ROM5	IN7ROM6	未使用
01111011(9'h0FB)	IN6ROM0	IN6ROM1	IN6ROM2	IN6ROM3	IN6ROM4	IN6ROM5	未使用	未使用
01111100(9'h0FC)	IN5ROM0	IN5ROM1	IN5ROM2	IN5ROM3	IN5ROM4	未使用	未使用	未使用
01111101(9'h0FD)	IN8ROM0	IN8ROM1	IN8ROM2	IN8ROM3	IN8ROM4	IN8ROM5	IN8ROM6	IN8ROM7
01111110(9'h0FE)	IN3ROM0	IN3ROM1	IN3ROM2	未使用	未使用	未使用	未使用	未使用
01111111(9'h0FF)	IN4ROM0	IN4ROM1	IN4ROM2	IN4ROM3	未使用	未使用	未使用	未使用
10000000(9'h100)	IN2ROM0	IN2ROM1	未使用	未使用	未使用	未使用	未使用	未使用
10111111(9'h17F)	未使用	未使用	未使用	未使用	未使用	未使用	未使用	未使用
11000000(9'h180)	IN7ROM0	IN7ROM1	IN7ROM2	IN7ROM3	IN7ROM4	IN7ROM5	IN7ROM6	未使用
11011111(9'h1BF)	IN6ROM0	IN6ROM1	IN6ROM2	IN6ROM3	IN6ROM4	IN6ROM5	未使用	未使用
11100000(9'h1C0)	IN5ROM0	IN5ROM1	IN5ROM2	IN5ROM3	IN5ROM4	未使用	未使用	未使用
11101111(9'h1DF)	IN8ROM0	IN8ROM1	IN8ROM2	IN8ROM3	IN8ROM4	IN8ROM5	IN8ROM6	IN8ROM7
11110000(9'h1E0)	IN3ROM0	IN3ROM1	IN3ROM2	未使用	未使用	未使用	未使用	未使用
11110111(9'h1F7)	IN4ROM0	IN4ROM1	IN4ROM2	IN4ROM3	未使用	未使用	未使用	未使用
11111000(9'h1F8)	IN2ROM0	IN2ROM1	未使用	未使用	未使用	未使用	未使用	未使用
11111011(9'h1FB)	未使用	未使用	未使用	未使用	未使用	未使用	未使用	未使用
11111100(9'h1FC)								
11111101(9'h1FD)								
11111110(9'h1FE)								
11111111(9'h1FF)								

图 6(a)

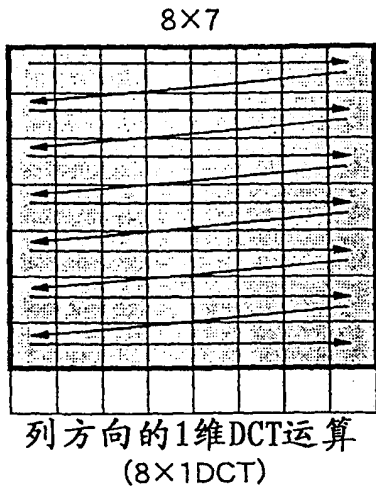


图 6(b)

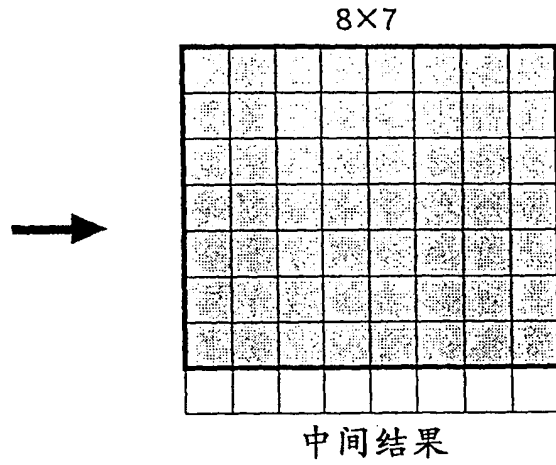


图 6(d)

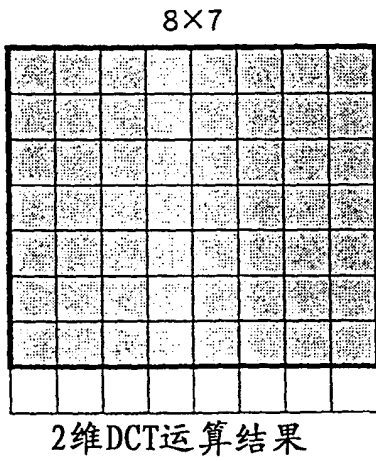


图 6(c)

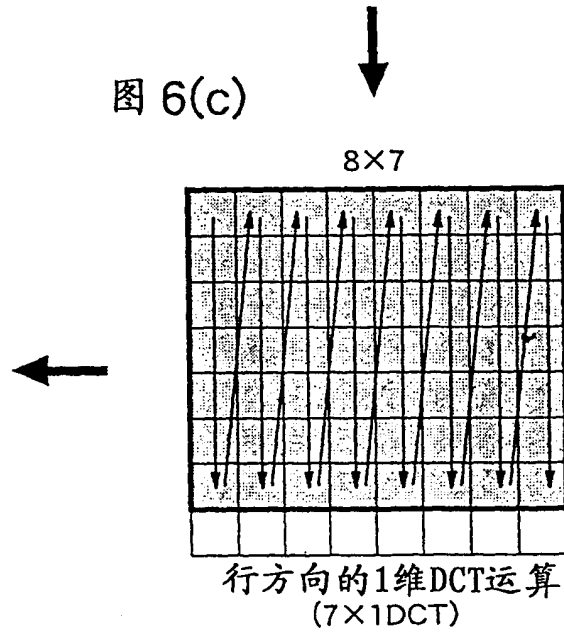
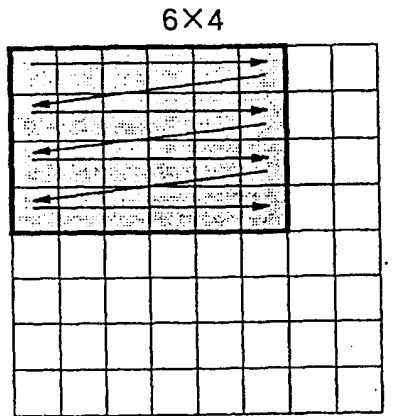
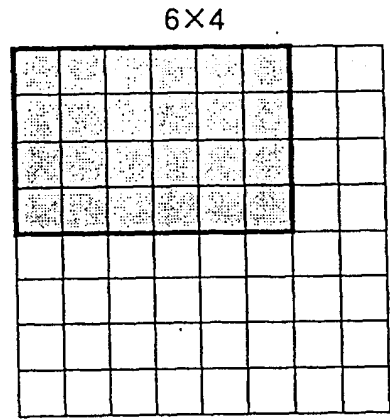


图 7(a)



列方向的1维反DCT运算  
(6×1反DCT)

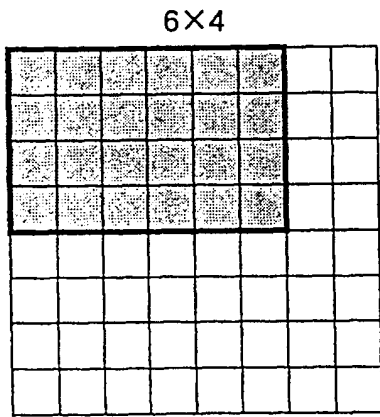
图 7(b)



中间结果

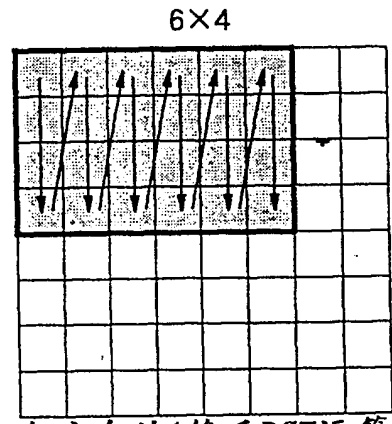


图 7(d)



2维DCT运算结果

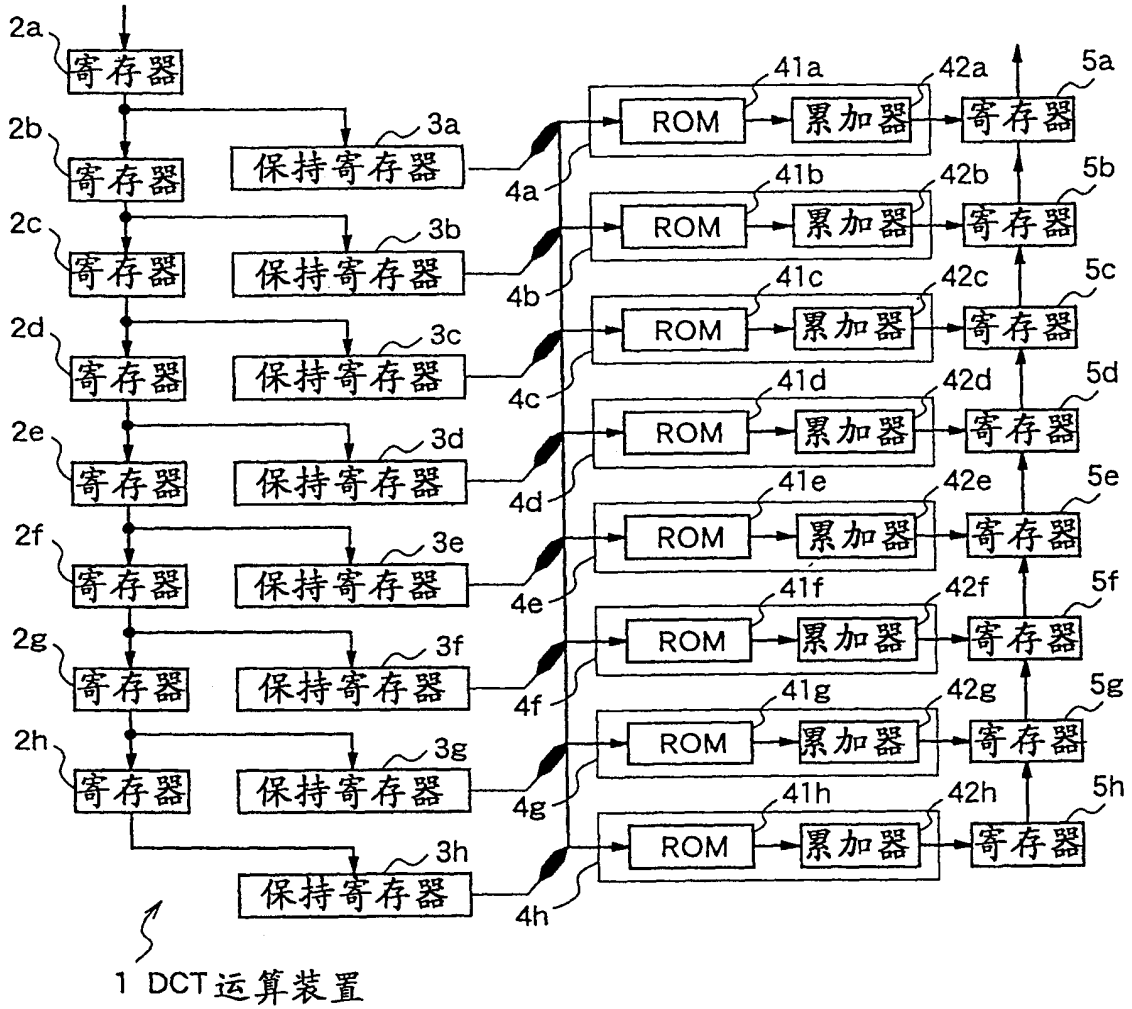
图 7(c)



行方向的1维反DCT运算  
(4×1反DCT)



图8



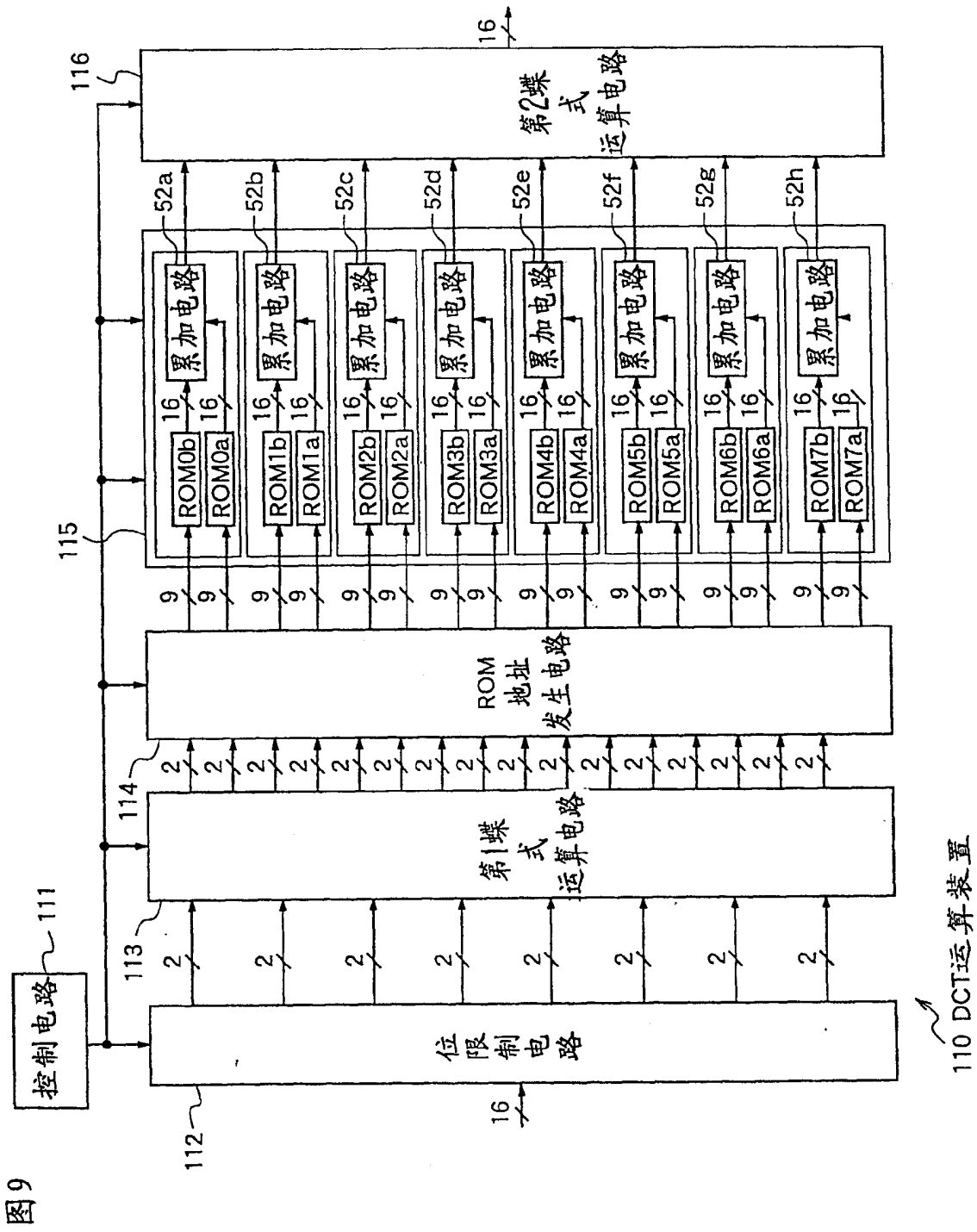


图9

110 DCT运算装置

