(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0136833
(43) 공개일자 2023년09월27일

(51) 국제특허분류(Int. Cl.)
H01L 27/092 (2006.01) *H01L 29/06* (2006.01)
H01L 29/08 (2006.01) *H01L 29/423* (2006.01)
(52) CPC특허분류
H01L 27/0922 (2013.01)
H01L 29/0684 (2013.01)
(21) 출원번호 10-2022-0034170
(22) 출원일자 2022년03월18일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
유현용
서울특별시 서초구
정승근
서울특별시 용산구 신흥로36길 1-7 (후암동)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

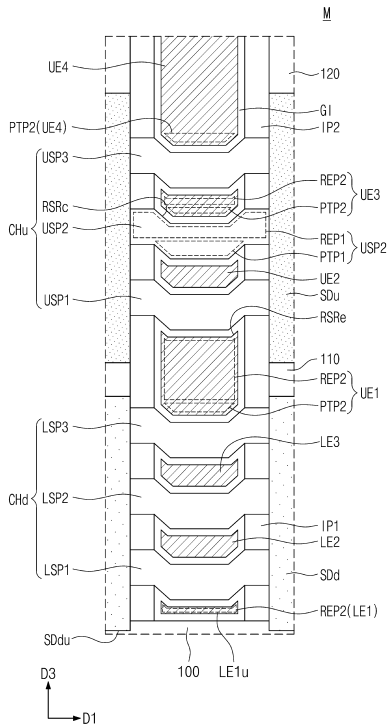
(54) 발명의 명칭 **반도체 소자**

(57) 요 약

본 발명의 개념에 따른 반도체 소자는, 기판 상의 활성 패턴; 상기 활성 패턴 상의 하부 채널 패턴, 상기 하부 채널 패턴은 서로 이격되어 적층된 제1 하부 반도체 패턴 및 제2 하부 반도체 패턴을 포함하고; 상기 하부 채널 패턴 상의 상부 채널 패턴, 상기 상부 채널 패턴은 서로 이격되어 적층된 제1 상부 반도체 패턴 및 제2 상부 반

(뒷면에 계속)

대 표 도 - 도3



도체 패턴을 포함하며; 상기 하부 채널 패턴의 양 측에 배치되는 한 쌍의 하부 소스/드레인 패턴들 및 상기 상부 채널 패턴의 양 측에 배치되는 한 쌍의 상부 소스/드레인 패턴들; 및 상기 활성 패턴을 가로지르며 연장되어 상기 하부 채널 패턴 및 상기 상부 채널 패턴을 둘러싸는 게이트 전극, 상기 게이트 전극은 상기 제1 및 제2 상부 반도체 패턴들 사이의 제1 상부 부분 및 상기 제1 및 제2 하부 반도체 패턴들 사이의 제1 하부 부분을 포함하되, 상기 제1 및 제2 상부 반도체 패턴들 그리고 상기 제1 및 제2 하부 반도체 패턴들 각각은: 그의 상면에 제1 리세스 영역을 갖는 제1 리세스부; 및 상기 제1 리세스부의 하면으로부터 돌출되는 제1 돌출부를 포함할 수 있다.

(52) CPC특허분류
H01L 29/0843 (2013.01)
H01L 29/42392 (2013.01)

명 세 서

청구범위

청구항 1

기판 상의 활성 패턴;

상기 활성 패턴 상의 하부 채널 패턴, 상기 하부 채널 패턴은 서로 이격되어 적층된 제1 하부 반도체 패턴 및 제2 하부 반도체 패턴을 포함하고;

상기 하부 채널 패턴 상의 상부 채널 패턴, 상기 상부 채널 패턴은 서로 이격되어 적층된 제1 상부 반도체 패턴 및 제2 상부 반도체 패턴을 포함하며;

상기 하부 채널 패턴의 양 측에 배치되는 한 쌍의 하부 소스/드레인 패턴들 및 상기 상부 채널 패턴의 양 측에 배치되는 한 쌍의 상부 소스/드레인 패턴들; 및

상기 활성 패턴을 가로지르며 연장되어 상기 하부 채널 패턴 및 상기 상부 채널 패턴을 둘러싸는 게이트 전극, 상기 게이트 전극은 상기 제1 및 제2 상부 반도체 패턴들 사이의 제1 상부 부분 및 상기 제1 및 제2 하부 반도체 패턴들 사이의 제1 하부 부분을 포함하되,

상기 제1 및 제2 상부 반도체 패턴들 그리고 상기 제1 및 제2 하부 반도체 패턴들 각각은:

그의 상면에 제1 리세스 영역을 갖는 제1 리세스부; 및

상기 제1 리세스부의 하면으로부터 돌출되는 제1 돌출부를 포함하는 반도체 소자.

청구항 2

제1항에 있어서,

상기 제1 상부 부분 및 상기 제1 하부 부분 각각은 그의 상면에 제2 리세스 영역을 갖는 제2 리세스부 및 상기 제2 리세스부의 하면으로부터 돌출되는 제2 돌출부를 포함하는 반도체 소자.

청구항 3

제2항에 있어서,

상기 제1 상부 부분의 상기 제2 돌출부는 상기 제1 상부 반도체 패턴의 상기 제1 리세스 영역을 향해 돌출되고,

상기 제1 하부 부분의 상기 제2 돌출부는 상기 제1 하부 반도체 패턴의 상기 제1 리세스 영역을 향해 돌출되는 반도체 소자.

청구항 4

제2항에 있어서,

상기 제2 상부 반도체 패턴의 상기 제1 돌출부는 상기 제1 상부 부분의 상기 제2 리세스 영역을 향해 돌출되고,

상기 제2 하부 반도체 패턴의 상기 제1 돌출부는 상기 제1 하부 부분의 상기 제2 리세스 영역을 향해 돌출되는 반도체 소자.

청구항 5

제1항에 있어서,

상기 제1 리세스부의 최대 폭은 상기 제1 돌출부의 최대 폭보다 큰 반도체 소자.

청구항 6

제1항에 있어서,

상기 게이트 전극은 상기 제1 하부 반도체 패턴의 하면 아래의 제2 하부 부분을 더 포함하되,

상기 제2 하부 부분의 하면은 평평한 반도체 소자.

청구항 7

제1항에 있어서,

상기 제1 상부 부분의 측벽 상에 제공되는 상부 내측 스페이서; 및

상기 제1 하부 부분의 측벽 상에 제공되는 하부 내측 스페이서를 더 포함하는 반도체 소자.

청구항 8

제7항에 있어서,

상기 상부 내측 스페이서는 상기 제2 상부 반도체 패턴의 상기 제1 돌출부의 측벽과 접촉하고,

상기 하부 내측 스페이서는 상기 제2 하부 반도체 패턴의 상기 제1 돌출부의 측벽과 접촉하는 반도체 소자.

청구항 9

제1항에 있어서,

상기 제1 상부 반도체 패턴의 상기 제1 리세스 영역의 최대 폭은 상기 제2 상부 반도체 패턴의 상기 제1 리세스 영역의 최대 폭보다 큰 반도체 소자.

청구항 10

제1항에 있어서,

상기 제1 및 제2 상부 반도체 패턴들 각각의 상기 제1 돌출부의 하면은 상기 기판을 향해 볼록한 프로파일을 갖는 반도체 소자

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 소자에 관한 것으로, 더욱 상세하게는 전계 효과 트랜지스터를 포함하는 반도체 소자에 관한 것이다.

배 경 기 술

[0002] 반도체 소자는 모스 전계 효과 트랜지스터들(MOS(Metal Oxide Semiconductor) FET)로 구성된 집적회로를 포함한다. 반도체 소자의 크기 및 디자인 룰(Design rule)이 점차 축소됨에 따라, 모스 전계 효과 트랜지스터들의 크

기 축소(scale down)도 점점 가속화되고 있다. 모스 전계 효과 트랜지스터들의 크기 축소에 따라 반도체 소자의 동작 특성이 저하될 수 있다. 이에 따라, 반도체 소자의 고집적화에 따른 한계를 극복하면서 보다 우수한 성능의 반도체 소자를 형성하기 위한 다양한 방법이 연구되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는, 전기적 특성이 향상된 반도체 소자를 제공하는 데 있다.

과제의 해결 수단

[0004] 본 발명의 개념에 따른 반도체 소자는, 기판 상의 활성 패턴; 상기 활성 패턴 상의 하부 채널 패턴, 상기 하부 채널 패턴은 서로 이격되어 적층된 제1 하부 반도체 패턴 및 제2 하부 반도체 패턴을 포함하고; 상기 하부 채널 패턴 상의 상부 채널 패턴, 상기 상부 채널 패턴은 서로 이격되어 적층된 제1 상부 반도체 패턴 및 제2 상부 반도체 패턴을 포함하며; 상기 하부 채널 패턴의 양 측에 배치되는 한 쌍의 하부 소스/드레인 패턴들 및 상기 상부 채널 패턴의 양 측에 배치되는 한 쌍의 상부 소스/드레인 패턴들; 및 상기 활성 패턴을 가로지르며 연장되어 상기 하부 채널 패턴 및 상기 상부 채널 패턴을 둘러싸는 게이트 전극, 상기 게이트 전극은 상기 제1 및 제2 상부 반도체 패턴들 사이의 제1 상부 부분 및 상기 제1 및 제2 하부 반도체 패턴들 사이의 제1 하부 부분을 포함하되, 상기 제1 및 제2 상부 반도체 패턴들 그리고 상기 제1 및 제2 하부 반도체 패턴들 각각은: 그의 상면에 제1 리세스 영역을 갖는 제1 리세스부; 및 상기 제1 리세스부의 하면으로부터 돌출되는 제1 돌출부를 포함할 수 있다.

[0005] 본 발명의 다른 개념에 따른 반도체 소자는, 기판 상에서 제1 방향으로 연장되는 활성 패턴; 상기 활성 패턴 상의 한 쌍의 하부 소스/드레인 패턴들; 상기 한 쌍의 하부 소스/드레인 패턴들 상의 한 쌍의 상부 소스/드레인 패턴들; 상기 한 쌍의 하부 소스/드레인 패턴들을 서로 연결하는 하부 채널 패턴, 상기 하부 채널 패턴은 서로 이격되어 순차적으로 적층된 제1 하부 반도체 패턴 및 제2 하부 반도체 패턴을 포함하고; 상기 한 쌍의 상부 소스/드레인 패턴들을 서로 연결하는 상부 채널 패턴, 상기 상부 채널 패턴은 서로 이격되어 순차적으로 적층된 제1 상부 반도체 패턴 및 제2 상부 반도체 패턴을 포함하며; 및 상기 하부 채널 패턴 및 상기 상부 채널 패턴을 둘러싸며, 상기 제1 방향에 교차하는 제2 방향으로 연장되는 게이트 전극을 포함하되, 상기 게이트 전극은 상기 제1 및 제2 상부 반도체 패턴들 사이의 제1 상부 부분을 포함하고, 상기 제1 상부 부분은 그의 상면에 제1 리세스 영역을 갖는 제1 리세스부 및 상기 제1 리세스부로부터 상기 제1 상부 반도체 패턴을 향해 돌출되는 제1 돌출부를 포함할 수 있다.

[0006] 본 발명의 또 다른 개념에 따른 반도체 소자는, 기판 상에서 제1 방향으로 연장되는 활성 패턴; 상기 활성 패턴 상의 하부 채널 패턴, 상기 하부 채널 패턴은 서로 이격되어 순차적으로 적층된 제1 하부 반도체 패턴, 제2 하부 반도체 패턴 및 제3 하부 반도체 패턴을 포함하고; 상기 하부 채널 패턴 상의 상부 채널 패턴, 상기 상부 채널 패턴은 서로 이격되어 순차적으로 적층된 제1 상부 반도체 패턴, 제2 상부 반도체 패턴 및 제3 상부 반도체 패턴을 포함하며; 상기 하부 채널 패턴의 양 측에 배치되는 한 쌍의 하부 소스/드레인 패턴들, 상기 한 쌍의 하부 소스/드레인 패턴들의 하면들은 상기 활성 패턴의 최상면보다 낮은 레벨에 위치하고; 상기 한 쌍의 하부 소스/드레인 패턴들 상의 제1 층간 절연막; 상기 제1 층간 절연막 상에서 상기 상부 채널 패턴의 양 측에 배치되는 한 쌍의 상부 소스/드레인 패턴들; 상기 한 쌍의 상부 소스/드레인 패턴들 상의 제2 층간 절연막; 상기 활성 패턴을 가로지르며 상기 제1 방향에 교차하는 제2 방향으로 연장되는 게이트 전극, 상기 게이트 전극은 상기 하부 채널 패턴 및 상기 상부 채널 패턴을 둘러싸고; 상기 게이트 전극의 측벽 상의 게이트 스페이서; 상기 게이트 전극의 상면 상의 게이트 캐핑 패턴; 상기 게이트 전극은 상기 제1 하부 반도체 패턴의 하면 상의 제1 하부 부분, 상기 제1 및 제2 하부 반도체 패턴들 사이의 제2 하부 부분, 상기 제2 및 제3 하부 반도체 패턴들 사이의 제3 하부 부분, 상기 제1 하부 반도체 패턴과 상기 제1 상부 반도체 패턴 사이의 제1 상부 부분, 상기 제1 및 제2 상부 반도체 패턴들 사이의 제2 상부 부분, 상기 제2 및 제3 반도체 패턴들 사이의 제3 상부 부분, 및 상기 제3 상부 반도체 패턴의 상면 상의 제4 상부 부분을 포함하고, 상기 제1 내지 제3 상부 반도체 패턴들 그리고 상기 제1 내지 제3 하부 반도체 패턴들 각각은: 그의 상면으로부터 하면을 향해 리세스된 제1 리세스 영역을 갖는 제1 리세스부; 및 상기 제1 리세스부의 상기 하면으로부터 돌출되는 제1 돌출부를 포함할 수 있다.

발명의 효과

[0007] 본 발명에 따르면, 제1 내지 제3 하부 반도체 패턴들 및 제1 내지 제3 상부 반도체 패턴들이 아래를 향해 구부

러진 형태를 가질 수 있다. 이에 따라, 반도체 소자의 크기가 작아지는 경우에도 상대적으로 긴 길이의 제1 내지 제3 상부 반도체 패턴들 및 제1 내지 제3 하부 반도체 패턴들을 형성하는 것이 가능하다. 결과적으로, 단채널 효과에 의한 문턱전압이하 스윙을 감소시켜 반도체 소자의 전기적 특성이 향상될 수 있다.

[0008] 또한, 게이트 전극과 하부 및 상부 소스/드레인 패턴들 사이의 거리가 증가하게 되어 게이트 전극과 하부 및 상부 소스/드레인 패턴들 사이의 전계가 감소할 수 있다. 이에 따라, BTBT(band to band tunneling)에 따른 GIDL(gate induced drain leakage)이 감소할 수 있다. 결과적으로, 반도체 소자의 전기적 특성이 향상될 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 평면도이다.

도 2a 내지 도 2c는 각각 도 1의 A-A'선, B-B'선 및 C-C'선에 따른 단면도들이다.

도 3은 도 2a의 M 영역을 확대 도시한 단면도이다.

도 4 내지 도 10c는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 11 내지 도 13은 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 것으로, 각각 도 2a의 M 영역을 확대 도시한 단면도들이다.

도 14는 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 평면도이다.

도 15a 및 도 15b는 각각 도 1의 A-A'선 및 B-B'선에 따른 단면도들이다.

도 16a는 도 15a의 M 영역을 확대 도시한 단면도이다.

도 16b는 도 15b의 N 영역을 확대 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 도 1은 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 평면도이다. 도 2a 내지 도 2c는 각각 도 1의 A-A'선, B-B'선 및 C-C'선에 따른 단면도들이다. 도 3은 도 2a의 M 영역을 확대 도시한 단면도이다.

[0011] 도 1 및 도 2a를 참조하면, 기판(100) 상의 제1 영역(R1) 및 제1 영역(R1) 상의 제2 영역(R2)을 포함하는 반도체 소자가 제공될 수 있다. 기판(100)은 실리콘, 게르마늄, 실리콘-게르마늄 등을 포함하는 반도체 기판이거나 화합물 반도체 기판일 수 있다. 기판(100)은 SOI(Silicon on insulator) 기판일 수 있다.

[0012] 제1 영역(R1) 및 제2 영역(R2) 각각은 트랜지스터들을 포함할 수 있다. 제1 영역(R1)은 NMOS 트랜지스터 및 PMOS 트랜지스터 중 하나를 포함할 수 있다. 제2 영역(R2)은 NMOS 트랜지스터 및 PMOS 트랜지스터 중 제1 영역(R1)과 다른 어느 하나를 포함할 수 있다. 일 예로, 제1 영역(R1)은 NMOS 트랜지스터를 포함할 수 있고, 제2 영역(R2)은 PMOS 트랜지스터를 포함할 수 있다.

[0013] 본 발명의 일 실시예에 따르면, 제1 영역(R1) 및 제2 영역(R2)은 로직 소자를 구성하는 표준 셀(standard cell) 영역의 일부일 수 있다. 제1 영역(R1) 및 제2 영역(R2) 내의 트랜지스터들은 표준 셀을 구성하는 로직 트랜지스터들일 수 있다.

[0014] 본 발명의 다른 예에 따르면, 제1 영역(R1) 및 제2 영역(R2)은 데이터를 저장하기 위한 복수의 트랜지스터들이 배치되는 메모리 셀 영역의 일부일 수 있다. 예를 들어, 제1 영역(R1) 및 제2 영역(R2)의 트랜지스터들은 에스램(SRAM) 셀을 구성하는 메모리 트랜지스터들일 수 있다.

[0015] 제1 영역(R1)의 트랜지스터들은 하부 소스/드레인 패턴들(SDd) 및 하부 소스/드레인 패턴들(SDd)을 연결하는 하부 채널 패턴들(CHd)을 포함할 수 있다. 제2 영역(R2)의 트랜지스터들은 상부 소스/드레인 패턴들(SDu) 및 상부 소스/드레인 패턴들(SDu)을 연결하는 상부 채널 패턴들(CHu)을 포함할 수 있다. 제1 영역(R1)의 트랜지스터들 및 제2 영역(R2)의 트랜지스터들은 게이트 전극(GE)에 인가되는 스위칭 신호에 따라 온(on) 또는 오프(off)될 수 있다. 제1 영역(R1)의 트랜지스터들 및 제2 영역(R2)의 트랜지스터들은 반도체 소자 내의 기능에 따라 게이트 전극(GE)을 공유하거나 또는 공유하지 않을 수 있다.

[0016] 한 쌍의 하부 소스/드레인 패턴들(SDd)이 하나의 게이트 전극(GE)을 사이에 두고 서로 이격될 수 있다. 한 쌍의 상부 소스/드레인 패턴들(SDu)이 상기 하나의 게이트 전극(GE)을 사이에 두고 서로 이격될 수 있다. 하부 채널

패턴(CHd)은 상기 하나의 게이트 전극(GE)을 가로질러 한 쌍의 하부 소스/드레인 패턴들(SDd)을 연결하는 제1 하부 반도체 패턴(LSP1), 제2 하부 반도체 패턴(LSP2), 및 제3 하부 반도체 패턴(LSP3)을 포함할 수 있다. 상부 채널 패턴(CHu)은 상기 하나의 게이트 전극(GE)을 가로질러 한 쌍의 상부 소스/드레인 패턴들(SDu)을 연결하는 제1 상부 반도체 패턴(USP1), 제2 상부 반도체 패턴(USP2), 및 제3 상부 반도체 패턴(USP3)을 포함할 수 있다.

[0017] 도 1 및 도 2a 내지 도 2c를 참조하면, 기판(100) 상에 활성 패턴(AP)이 제공될 수 있다. 활성 패턴(AP)은 기판(100)의 상면 또는 하면과 평행한 제1 방향(D1)으로 연장될 수 있다. 활성 패턴(AP)은 기판(100)의 상부에 형성된 트렌치(TR)에 의해 정의될 수 있다. 일 예로, 활성 패턴(AP)은 기판(100)의 일부분일 수 있다.

[0018] 소자 분리막(ST)이 트렌치들(TR)을 채울 수 있다. 소자 분리막(ST)은 실리콘 산화물을 포함할 수 있다. 소자 분리막(ST)은 활성 패턴(AP)의 상부를 덮지 않을 수 있다. 소자 분리막(ST)은 활성 패턴(AP)의 측벽들을 덮을 수 있다.

[0019] 활성 패턴(AP) 상에 하부 소스/드레인 패턴들(SDd)이 제공될 수 있다. 하부 소스/드레인 패턴들(SDd)은 제1 방향(D1)으로 배열될 수 있다. 하부 소스/드레인 패턴들(SDd)은 제1 방향(D1)으로 서로 이격될 수 있다. 하부 소스/드레인 패턴들(SDd)은 선택적 에피택시얼 성장(SEG) 공정으로 형성된 에피택시얼 패턴들일 수 있다. 하부 소스/드레인 패턴들(SDd)은 제1 도전형(예컨대, n형)의 불순물들을 포함할 수 있다. 하부 소스/드레인 패턴들(SDd)은 기판(100)과 동일한 반도체 원소(예컨대, Si)를 포함할 수 있다.

[0020] 하부 채널 패턴(CHd)이 하부 소스/드레인 패턴들(SDd) 사이에 배치될 수 있다. 하부 채널 패턴(CHd)은 하부 소스/드레인 패턴들(SDd) 중 제1 방향(D1)으로 서로 인접한 한 쌍의 하부 소스/드레인 패턴들(SDd)을 연결할 수 있다. 하부 채널 패턴(CHd)은 수직적으로 적층된 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3)을 포함할 수 있다. 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3)은 제3 방향(D3)으로 서로 이격되어 순차적으로 적층될 수 있다. 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3)은 서로 수직적으로 중첩될 수 있다. 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 각각은 실리콘(Si), 게르마늄(Ge) 또는 실리콘-게르마늄(SiGe)을 포함할 수 있다. 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 각각은, 예컨대, 결정질 실리콘을 포함할 수 있다.

[0021] 기판(100) 상에 제1 층간 절연막(110)이 제공될 수 있다. 제1 층간 절연막(110)은 하부 소스/드레인 패턴들(SDd)을 덮을 수 있다. 제1 층간 절연막(110)의 상면은 하부 소스/드레인 패턴들(SDd)의 상면들에 비해 높은 레벨에 위치할 수 있다. 제1 층간 절연막(110)의 하면은 소자 분리막(ST)과 접할 수 있다. 제1 층간 절연막(110)의 하면은 활성 패턴(AP)의 상면에 비해 낮은 레벨에 위치할 수 있다.

[0022] 상부 소스/드레인 패턴들(SDu)이 하부 소스/드레인 패턴들(SDd)의 상면들 상에 제공될 수 있다. 상부 소스/드레인 패턴들(SDu)은 하부 소스/드레인 패턴들(SDd)과 수직적으로 중첩될 수 있다. 상부 소스/드레인 패턴들(SDu)은 제1 방향(D1)으로 배열될 수 있다. 상부 소스/드레인 패턴들(SDu)은 선택적 에피택시얼 성장(SEG) 공정으로 형성된 에피택시얼 패턴들일 수 있다. 상부 소스/드레인 패턴들(SDu)은 제2 도전형(예컨대, p형)의 불순물들을 포함할 수 있다. 상부 소스/드레인 패턴들(SDu)은 기판(100)에 포함된 반도체 원소의 격자 상수보다 큰 격자 상수를 갖는 반도체 원소(예를 들어, SiGe)를 포함할 수 있다.

[0023] 상부 채널 패턴(CHu)이 상부 소스/드레인 패턴들(SDu) 사이에 배치될 수 있다. 상부 채널 패턴(CHu)은 상부 소스/드레인 패턴들(SDu) 중 제1 방향(D1)으로 서로 인접한 한 쌍의 상부 소스/드레인 패턴들(SDu)을 연결할 수 있다. 상부 채널 패턴(CHu)은 수직적으로 적층된 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)을 포함할 수 있다. 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)은 제3 방향(D3)으로 서로 이격되어 순차적으로 적층될 수 있다. 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)은 서로 수직적으로 중첩될 수 있다. 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 각각은 한 쌍의 상부 소스/드레인 패턴들(SDu) 사이에 개재되어 압축 응력(compressive stress)을 제공받을 수 있다. 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)은 실리콘(Si), 게르마늄(Ge) 또는 실리콘-게르마늄(SiGe)을 포함할 수 있다. 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 각각은, 예컨대, 결정질 실리콘을 포함할 수 있다.

[0024] 제2 층간 절연막(120)이 제1 층간 절연막(110) 상에 제공될 수 있다. 제2 층간 절연막(120)은 상부 소스/드레인 패턴들(SDu)을 덮을 수 있다. 제2 층간 절연막(120)은 상부 소스/드레인 패턴들(SDu)의 측면들 및 상면들을 덮을 수 있다. 제2 층간 절연막(120)은 상부 소스/드레인 패턴들(SDu)의 하면들을 덮지 않을 수 있다.

[0025] 활성 패턴(AP)을 가로질러 제2 방향(D2)으로 연장되는 게이트 전극들(GE)이 제공될 수 있다. 게이트 전극들(GE)은 제1 방향(D1)으로 배열될 수 있다. 게이트 전극(GE)은 한 쌍의 하부 소스/드레인 패턴들(SDd) 사이 및 한 쌍의 상부 소스/드레인 패턴들(SDu) 사이에서 연장될 수 있다. 게이트 전극(GE)은 한 쌍의 하부 소스/드레인 패

턴들(SDd) 및 한 쌍의 상부 소스/드레인 패턴들(SDu)과 마주하는 양 측벽들(s1, s2)을 가질 수 있다. 다시 말하면, 한 쌍의 하부 소스/드레인 패턴들(SDd)은 게이트 전극(GE)의 양 측벽들(s1, s2) 상에 제공될 수 있다. 한 쌍의 상부 소스/드레인 패턴들(SDu)은 게이트 전극(GE)의 양 측벽들(s1, s2) 상에 제공되어 한 쌍의 하부 소스/드레인 패턴들(SDd)로부터 제3 방향(D3)으로 이격될 수 있다.

[0026] 게이트 전극(GE)은 하부 채널 패턴(CHd) 및 상부 채널 패턴(CHd)을 가로지를 수 있다. 게이트 전극(GE)은 하부 채널 패턴(CHd)의 적어도 일부를 둘러싸는 하부 부분(LE) 및 상부 채널 패턴(CHu)의 적어도 일부를 둘러싸는 상부 부분(UE)을 포함할 수 있다(도 2b 참조). 본 발명의 실시예들에 따른 반도체 소자는 게이트 전극(GE)이 하부 채널 패턴(CHd) 및 상부 채널 패턴(CHu)을 3차원적으로 둘러싸는 3차원 전계 효과 트랜지스터(예컨대, MBCFET)일 수 있다. 게이트 전극(GE)의 하부 부분(LE)은 하부 채널 패턴(CHd) 및 하부 소스/드레인 패턴들(SDd)을 포함하는 하부 트랜지스터들을 스위칭할 수 있다. 게이트 전극(GE)의 상부 부분(UE)은 상부 채널 패턴(CHu) 및 상부 소스/드레인 패턴들(SDu)을 포함하는 상부 트랜지스터들을 스위칭할 수 있다. 게이트 전극(GE)의 하부 부분(LE) 및 상부 부분(UE)은 전기적으로 서로 연결되어 동시에 제어될 수 있다. 게이트 전극(GE)의 하부 부분(LE)은 서로 인접한 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 사이 및 제1 하부 반도체 패턴(LSP1)과 활성 패턴(AP) 사이에 위치할 수 있다. 게이트 전극(GE)의 상부 부분(UE)은 서로 인접한 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 사이, 제1 상부 반도체 패턴(USP1)과 제3 하부 반도체 패턴(LSP3) 사이, 및 제3 상부 반도체 패턴(USP3)의 상면 상에 위치할 수 있다.

[0027] 게이트 전극(GE)의 양 측벽들(s1, s2) 상에 게이트 스페이서들(GS)이 각각 배치될 수 있다. 게이트 스페이서들(GS)은 게이트 전극(GE)을 따라 제2 방향(D2)으로 연장될 수 있다. 게이트 스페이서들(GS)의 상면들은 게이트 전극(GE)의 상면보다 높은 레벨에 위치할 수 있다. 게이트 스페이서들(GS)의 상면들은 후술할 제2 층간 절연막(120)의 상면과 공면을 이룰 수 있다. 게이트 스페이서들(GS)은 SiCN, SiCON 및 SiN 중 적어도 하나를 포함할 수 있다. 다른 예로, 게이트 스페이서들(GS)은 SiCN, SiCON 및 SiN 중 적어도 두 개를 포함하는 다중 막(multi-layer)을 포함할 수 있다.

[0028] 게이트 전극(GE) 상에 게이트 캐핑 패턴(GP)이 제공될 수 있다. 게이트 캐핑 패턴(GP)은 게이트 전극(GE)을 따라 제2 방향(D2)으로 연장될 수 있다. 게이트 캐핑 패턴(GP)은 SiON, SiCN, SiCON 및 SiN 중 적어도 하나를 포함할 수 있다.

[0029] 게이트 전극(GE)과 하부 채널 패턴(CHd) 사이 및 게이트 전극(GE)과 상부 채널 패턴(CHu) 사이에 게이트 절연막(GI)이 개재될 수 있다. 게이트 절연막(GI)은, 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 및 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 각각의 상면, 하면 및 측벽들을 덮을 수 있다.

[0030] 실시예들에 따르면, 게이트 절연막(GI)은 실리콘 산화막, 실리콘 산화질화막 및/또는 고유전막을 포함할 수 있다. 상기 고유전막은, 실리콘 산화막보다 유전상수가 높은 고유전율 물질을 포함할 수 있다. 일 예로, 상기 고유전율 물질은 하프늄 산화물, 하프늄 실리콘 산화물, 하프늄 지르코늄 산화물, 하프늄 탄탈 산화물, 란탄 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 탄탈 산화물, 티타늄 산화물, 바륨 스트론튬 티타늄 산화물, 바륨 티타늄 산화물, 스트론튬 티타늄 산화물, 리튬 산화물, 알루미늄 산화물, 납 스칸듐 탄탈 산화물, 및 납 아연 니오브산염 중 적어도 하나를 포함할 수 있다. 실시예들에 따르면, 본 발명의 반도체 소자는 네거티브 커패시터(Negative Capacitor)를 이용한 NC(Negative Capacitance) FET을 포함할 수 있다. 예를 들어, 게이트 절연막(GI)은 강유전체 특성을 갖는 강유전체 물질막과, 상유전체 특성을 갖는 상유전체 물질막을 포함할 수 있다.

[0031] 강유전체 물질막은 음의 커패시턴스를 가질 수 있고, 상유전체 물질막은 양의 커패시턴스를 가질 수 있다. 예를 들어, 두 개 이상의 커패시터가 직렬 연결되고, 각각의 커패시터의 커패시턴스가 양의 값을 가질 경우, 전체 커패시턴스는 각각의 개별 커패시터의 커패시턴스보다 감소하게 된다. 반면, 직렬 연결된 두 개 이상의 커패시터의 커패시턴스 중 적어도 하나가 음의 값을 가질 경우, 전체 커패시턴스는 양의 값을 가지면서 각각의 개별 커패시턴스의 절대값보다 클 수 있다.

[0032] 음의 커패시턴스를 갖는 강유전체 물질막과, 양의 커패시턴스를 갖는 상유전체 물질막이 직렬로 연결될 경우, 직렬로 연결된 강유전체 물질막 및 상유전체 물질막의 전체적인 커패시턴스 값은 증가할 수 있다. 전체적인 커패시턴스 값이 증가하는 것을 이용하여, 강유전체 물질막을 포함하는 트랜지스터는 상온에서 60 mV/decade 미만의 문턱전압 이하 스윙(subthreshold swing)을 가질 수 있다.

[0033] 강유전체 물질막은 강유전체 특성을 가질 수 있다. 강유전체 물질막은 예컨대, 하프늄 산화물(hafnium oxide), 하프늄 지르코늄 산화물(hafnium zirconium oxide), 바륨 스트론튬 티타늄 산화물(barium strontium titanium

oxide), 바륨 티타늄 산화물(barium titanium oxide) 및 납 지르코늄 티타늄 산화물(lead zirconium titanium oxide) 중 적어도 하나를 포함할 수 있다. 여기에서, 일 예로, 하프늄 지르코늄 산화물(hafnium zirconium oxide)은 하프늄 산화물(hafnium oxide)에 지르코늄(Zr)이 도핑된 물질일 수 있다. 다른 예로, 하프늄 지르코늄 산화물(hafnium zirconium oxide)은 하프늄(Hf)과 지르코늄(Zr)과 산소(O)의 화합물일 수도 있다.

[0034] 강유전체 물질막은 도핑된 도펀트를 더 포함할 수 있다. 예컨대, 도펀트는 알루미늄(Al), 티타늄(Ti), 니오븀(Nb), 란타넘(La), 이트륨(Y), 마그네슘(Mg), 실리콘(Si), 칼슘(Ca), 세륨(Ce), 디스프로슘(Dy), 어븀(Er), 가돌리늄(Gd), 게르마늄(Ge), 스칸듐(Sc), 스트론튬(Sr) 및 주석(Sn) 중 적어도 하나를 포함할 수 있다. 강유전체 물질막이 어떤 강유전체 물질을 포함하냐에 따라, 강유전체 물질막에 포함된 도펀트의 종류는 달라질 수 있다.

[0035] 강유전체 물질막이 하프늄 산화물을 포함할 경우, 강유전체 물질막에 포함된 도펀트는 예를 들어, 가돌리늄(Gd), 실리콘(Si), 지르코늄(Zr), 알루미늄(Al) 및 이트륨(Y) 중 적어도 하나를 포함할 수 있다.

[0036] 도펀트가 알루미늄(Al)일 경우, 강유전체 물질막은 3 내지 8 at%(atomic %)의 알루미늄을 포함할 수 있다. 여기에서, 도펀트의 비율은 하프늄 및 알루미늄의 합에 대한 알루미늄의 비율일 수 있다.

[0037] 도펀트가 실리콘(Si)일 경우, 강유전체 물질막은 2 내지 10 at%의 실리콘을 포함할 수 있다. 도펀트가 이트륨(Y)일 경우, 강유전체 물질막은 2 내지 10 at%의 이트륨을 포함할 수 있다. 도펀트가 가돌리늄(Gd)일 경우, 강유전체 물질막은 1 내지 7 at%의 가돌리늄을 포함할 수 있다. 도펀트가 지르코늄(Zr)일 경우, 강유전체 물질막은 50 내지 80 at%의 지르코늄을 포함할 수 있다.

[0038] 상유전체 물질막은 상유전체 특성을 가질 수 있다. 상유전체 물질막은 예를 들어, 실리콘 산화물(silicon oxide) 및 고유전율을 갖는 금속 산화물 중 적어도 하나를 포함할 수 있다. 상유전체 물질막에 포함된 금속 산화물은 예를 들어, 하프늄 산화물(hafnium oxide), 지르코늄 산화물(zirconium oxide) 및 알루미늄 산화물(aluminum oxide) 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.

[0039] 강유전체 물질막 및 상유전체 물질막은 동일한 물질을 포함할 수 있다. 강유전체 물질막은 강유전체 특성을 갖지만, 상유전체 물질막은 강유전체 특성을 갖지 않을 수 있다. 예를 들어, 강유전체 물질막 및 상유전체 물질막이 하프늄 산화물을 포함할 경우, 강유전체 물질막에 포함된 하프늄 산화물의 결정 구조는 상유전체 물질막에 포함된 하프늄 산화물의 결정 구조와 다르다.

[0040] 강유전체 물질막은 강유전체 특성을 갖는 두께를 가질 수 있다. 강유전체 물질막의 두께는 예를 들어, 0.5 내지 10nm 일 수 있지만, 이에 제한되는 것은 아니다. 각각의 강유전체 물질마다 강유전체 특성을 나타내는 임계 두께가 달라질 수 있으므로, 강유전체 물질막의 두께는 강유전체 물질에 따라 달라질 수 있다.

[0041] 일 예로, 게이트 절연막(GI)은 하나의 강유전체 물질막을 포함할 수 있다. 다른 예로, 게이트 절연막(GI)은 서로 간에 이격된 복수의 강유전체 물질막을 포함할 수 있다. 게이트 절연막(GI)은 복수의 강유전체 물질막과, 복수의 상유전체 물질막이 교대로 적층된 적층막 구조를 가질 수 있다.

[0042] 게이트 전극(GE)은, 제1 금속 패턴 및 상기 제1 금속 패턴 상의 제2 금속 패턴을 포함할 수 있다. 제1 금속 패턴은 게이트 절연막(GI) 상에 제공되어, 하부 채널 패턴(CHd) 및 상부 채널 패턴(CHu)에 인접할 수 있다. 제1 금속 패턴은 트랜지스터의 문턱 전압을 조절하는 일함수 금속을 포함할 수 있다. 제1 금속 패턴의 두께 및 조성을 조절하여, 트랜지스터의 목적하는 문턱 전압을 달성할 수 있다. 예를 들어, 서로 인접한 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 사이의 하부 부분(LE) 및 서로 인접한 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 사이의 상부 부분(UE)은 일함수 금속인 제1 금속 패턴으로 구성될 수 있다.

[0043] 제1 금속 패턴은 금속 질화물을 포함할 수 있다. 예를 들어, 제1 금속 패턴은 티타늄(Ti), 탄탈(Ta), 알루미늄(Al), 텅스텐(W) 및 몰리브덴(Mo) 중 적어도 하나의 금속 및 질소(N)를 포함할 수 있다. 나아가, 제1 금속 패턴은 탄소(C)를 더 포함할 수도 있다. 제1 금속 패턴은, 적층된 복수개의 일함수 금속막들을 포함할 수 있다.

[0044] 제2 금속 패턴은 제1 금속 패턴에 비해 저항이 낮은 금속을 포함할 수 있다. 예컨대, 제2 금속 패턴은 텅스텐(W), 알루미늄(Al), 티타늄(Ti) 및 탄탈(Ta) 중 적어도 하나의 금속을 포함할 수 있다.

[0045] 게이트 전극(GE)과 하부 소스/드레인 패턴들(SDd) 사이에 하부 내측 스페이서들(IP1)이 제공될 수 있다. 게이트 전극(GE)과 상부 소스/드레인 패턴들(SDu) 사이에 상부 내측 스페이서들(IP2)이 제공될 수 있다. 하부 내측 스페이서들(IP1)은 서로 인접하는 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 각각의 상면 및 하면 사이에 위치할 수 있다. 상부 내측 스페이서들(IP2)은 서로 인접하는 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 각각의

상면 및 하면 사이에 위치할 수 있다.

[0046] 본 발명의 실시예들에 따르면, 반도체 소자는 하부 소스/드레인 패턴들(SDd) 및 상부 소스/드레인 패턴들(SDu)에 접속하는 제1 내지 제3 활성 콘택들(AC1, AC2, AC3)을 포함할 수 있다.

[0047] 제1 활성 콘택(AC1)이 하부 소스/드레인 패턴(SDd)과 전기적으로 연결될 수 있다. 제1 활성 콘택(AC1)은 제1 및 제2 층간 절연막들(110, 120) 및 상부 소스/드레인 패턴(SDu)을 관통하여 하부 소스/드레인 패턴(SDd)에 접속할 수 있다. 제1 활성 콘택(AC1)의 측벽 상에 배리어 절연막(BI)이 제공될 수 있다. 배리어 절연막(BI)은 제1 활성 콘택(AC1)과 상부 소스/드레인 패턴(SDu)을 전기적으로 절연시킬 수 있다. 일 예로, 제1 활성 콘택(AC1)은 하부 소스/드레인 패턴(SDd) 내로 연장될 수 있다. 제1 활성 콘택(AC1)은 하부 소스/드레인 패턴(SDd)의 상면에 비해 낮은 하면을 가질 수 있다.

[0048] 제2 활성 콘택(AC2)이 상부 소스/드레인 패턴(SDu)과 전기적으로 연결될 수 있다. 제2 활성 콘택(AC2)은 제2 층간 절연막(120)을 관통할 수 있다.

[0049] 제3 활성 콘택(AC3)이 서로 수직적으로 중첩된 하부 소스/드레인 패턴(SDd) 및 상부 소스/드레인 패턴(SDu)과 전기적으로 연결될 수 있다. 제3 활성 콘택(AC3)은 제1 및 제2 층간 절연막들(110, 120) 및 상부 소스/드레인 패턴(SDu)을 관통하여 하부 소스/드레인 패턴(SDd)에 접속할 수 있다. 제3 활성 콘택(AC3)의 측벽의 일부는 상부 소스/드레인 패턴(SDu)과 접촉할 수 있다. 제3 활성 콘택(AC3)은 하부 소스/드레인 패턴(SDd) 내로 연장될 수 있다. 제3 활성 콘택(AC3)은 하부 소스/드레인 패턴(SDd)의 상면에 비해 낮은 하면을 가질 수 있다.

[0050] 도 3을 참조하여 게이트 전극(GE), 하부 채널 패턴(CHd) 및 상부 채널 패턴(CHu)에 대해 보다 상세히 설명한다.

[0051] 도 3을 참조하면, 하부 채널 패턴(CHd)은 수직적으로 적층된 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3)을 포함할 수 있다. 상부 채널 패턴(CHu)은 수직적으로 적층된 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)을 포함할 수 있다. 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3), 및 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)은 실질적으로 서로 동일하거나 유사한 구조를 가질 수 있다. 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3)은 제3 방향(D3)을 따라 일정한 간격으로 배치될 수 있다. 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)은 제3 방향(D3)을 따라 일정한 간격으로 배치될 수 있다.

[0052] 제2 상부 반도체 패턴(USP2)을 대표로 하여 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 및 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)의 구조를 상세히 설명한다.

[0053] 제2 상부 반도체 패턴(USP2)은 아래를 향해 구부러진 형태를 가질 수 있다. 제2 상부 반도체 패턴(USP2)은 제1 돌출부(PTP1) 및 제1 돌출부(PTP1) 상의 제1 리세스부(REP1)를 포함할 수 있다. 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3), 제1 상부 반도체 패턴(USP1) 및 제3 상부 반도체 패턴(USP3) 또한 각각 제1 돌출부(PTP1) 및 제1 리세스부(REP1)를 포함할 수 있다. 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 각각의 제1 리세스부(REP1)는 상부 소스/드레인 패턴(SDu)과 접촉할 수 있다. 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 각각의 제1 리세스부(REP1)는 하부 소스/드레인 패턴(SDd)과 접촉할 수 있다.

[0054] 제1 리세스부(REP1)는 그의 상면에 제1 리세스 영역(RSRc)을 포함할 수 있다. 제1 리세스 영역(RSRc)은 제1 리세스부(REP1)의 상면으로부터 리세스된 영역일 수 있다. 제1 리세스 영역(RSRc)의 제1 방향(D1)으로의 폭은 아래로 갈수록 감소할 수 있다. 즉, 제1 리세스 영역(RSRc)의 제1 방향(D1)으로의 폭은 기판(100)을 향하는 방향으로 갈수록 감소할 수 있다.

[0055] 제1 돌출부(PTP1)가 제1 리세스부(REP1)의 하면으로부터 돌출될 수 있다. 제1 돌출부(PTP1)의 제1 방향(D1)으로의 폭은 아래로 갈수록 감소할 수 있다. 제1 돌출부(PTP1)는 사다리꼴 형상을 가질 수 있다. 제1 돌출부(PTP1)의 제1 방향(D1)으로의 폭은 기판(100)을 향하는 방향으로 갈수록 감소할 수 있다. 제1 돌출부(PTP1)의 제1 방향(D1)으로의 폭은 제1 리세스부(REP1)의 제1 방향(D1)으로의 최대 폭보다 작을 수 있다. 제1 돌출부(PTP1)의 측벽은 하부 내측 스페이서(IP1) 또는 상부 내측 스페이서(IP2)로부터 이격될 수 있다.

[0056] 게이트 전극(GE)은 제1 내지 제4 상부 부분들(UE1-UE4) 및 제1 내지 제3 하부 부분들(LE1-LE3)을 포함할 수 있다. 제1 상부 부분(UE1)은 제1 상부 반도체 패턴(USP1)과 제3 하부 반도체 패턴(LSP3) 사이에 위치할 수 있다. 제2 상부 부분(UE2)은 제1 상부 반도체 패턴(USP1)과 제2 상부 반도체 패턴(USP2) 사이에 위치할 수 있다. 제3 상부 부분(UE3)은 제2 상부 반도체 패턴(USP2)과 제3 상부 반도체 패턴(USP3) 사이에 위치할 수 있다. 제4 상부 부분(UE4)은 제3 상부 반도체 패턴(USP3)의 상면 상에 위치할 수 있다. 제4 상부 부분(UE4)은 제2 및 제3 상부 부분들(UE2, UE3)에 비해 두꺼운 두께를 가질 수 있다. 일 예로, 제1 상부 부분(UE1)은 제2 및 제3 상부 부분들

(UE2, UE3)에 비해 두꺼운 두께를 가질 수 있다. 제4 상부 부분(UE4)은 제1 내지 제3 상부 부분들(UE1-UE3), 및 제1 내지 제3 하부 부분들(LE1-LE3)에 비해 두꺼운 두께를 가질 수 있다.

[0057] 제1 하부 부분(LE1)은 제1 하부 반도체 패턴(LSP1)의 하면과 활성 패턴(AP)의 상면 사이에 위치할 수 있다. 제2 하부 부분(LE2)은 제1 하부 반도체 패턴(LSP1)과 제2 하부 반도체 패턴(LSP2) 사이에 위치할 수 있다. 제3 하부 부분(LE3)은 제2 하부 반도체 패턴(LSP2)과 제3 하부 반도체 패턴(LSP3) 사이에 위치할 수 있다.

[0058] 제3 상부 부분(UE3)을 대표로 하여 제1 상부 부분(UE1), 제2 상부 부분(UE2), 제4 상부 부분(UE4), 및 제1 내지 제3 하부 부분들(LE1-LE3)의 구조를 상세히 설명한다.

[0059] 제3 상부 부분(UE3)은 아래를 향해 구부러진 형태를 가질 수 있다. 제3 상부 부분(UE3)은 제2 돌출부(PTP2) 및 제2 돌출부(PTP2) 상의 제2 리세스부(REP2)를 포함할 수 있다. 제2 하부 부분(LE2), 제3 하부 부분(LE3), 제1 상부 부분(UE1) 및 제2 상부 부분(UE2) 또한 각각 제2 돌출부(PTP2) 및 제2 리세스부(REP2)를 포함할 수 있다.

[0060] 제2 리세스부(REP2)는 그의 상면에 제2 리세스 영역(RSRe)을 포함할 수 있다. 제2 리세스 영역(RSRe)은 제2 리세스부(REP2)의 상면으로부터 리세스된 영역일 수 있다. 제2 리세스 영역(RSRe)의 제1 방향(D1)으로의 폭은 아래로 갈수록 감소할 수 있다. 즉, 제2 리세스 영역(RSRe)의 제1 방향(D1)으로의 폭은 기판(100)을 향하는 방향으로 갈수록 감소할 수 있다.

[0061] 제2 돌출부(PTP2)가 제2 리세스부(REP2)의 하면으로부터 돌출될 수 있다. 제2 돌출부(PTP2)의 제1 방향(D1)으로의 폭은 아래로 갈수록 감소할 수 있다. 제2 돌출부(PTP2)의 제1 방향(D1)으로의 폭은 기판(100)을 향하는 방향으로 갈수록 감소할 수 있다. 제2 돌출부(PTP2)는 사다리꼴 형상을 가질 수 있다.

[0062] 제1 하부 부분(LE1)은 제2 리세스부(REP2)를 포함하되, 제2 돌출부(PTP2)를 포함하지 않을 수 있다. 즉, 제1 하부 부분(LE1)의 하면(LE1u)은 평평할 수 있다. 제4 상부 부분(UE4)은 제2 돌출부(PTP2)를 포함하되, 제2 리세스부(REP2)를 포함하지 않을 수 있다. 하부 소스/드레인 패턴(SDd)의 하면(SDdu)은 기판(100)(또는, 활성 패턴(AP))의 최상면보다 낮은 레벨에 위치할 수 있다.

[0063] 제1 하부 반도체 패턴(LSP1)의 제1 돌출부(PTP1)는 제1 하부 부분(LE1)의 제2 리세스 영역(RSRe)을 향해 돌출될 수 있다. 제1 하부 반도체 패턴(LSP1)의 제1 돌출부(PTP1)는 제1 하부 부분(LE1)의 제2 리세스 영역(RSRe)에 대응되는 형상을 가질 수 있다. 제2 하부 반도체 패턴(LSP2)의 제1 돌출부(PTP1)는 제2 하부 부분(LE2)의 제2 리세스 영역(RSRe)을 향해 돌출될 수 있다. 제3 하부 반도체 패턴(LSP3)의 제1 돌출부(PTP1)는 제3 하부 부분(LE3)의 제2 리세스 영역(RSRe)을 향해 돌출될 수 있다. 제1 상부 반도체 패턴(USP1)의 제1 돌출부(PTP1)는 제1 상부 부분(UE1)의 제2 리세스 영역(RSRe)을 향해 돌출될 수 있다. 제2 상부 반도체 패턴(USP2)의 제1 돌출부(PTP1)는 제2 상부 부분(UE2)의 제2 리세스 영역(RSRe)을 향해 돌출될 수 있다. 제3 상부 반도체 패턴(USP3)의 제1 돌출부(PTP1)는 제3 상부 부분(UE3)의 제2 리세스 영역(RSRe)을 향해 돌출될 수 있다.

[0064] 제2 하부 부분(LE2)의 제2 돌출부(PTP2)는 제1 하부 반도체 패턴(LSP1)의 제1 리세스 영역(RSRc)을 향해 돌출될 수 있다. 제2 하부 부분(LE2)의 제2 돌출부(PTP2)는 제1 하부 반도체 패턴(LSP1)의 제1 리세스 영역(RSRc)에 대응되는 형상을 가질 수 있다. 제2 하부 부분(LE2)의 제2 돌출부(PTP2)의 최하부는 제1 하부 반도체 패턴(LSP1)의 제1 리세스부(REP1)의 최상면보다 낮은 레벨에 위치할 수 있다. 제3 하부 부분(LE3)의 제2 돌출부(PTP2)는 제2 하부 반도체 패턴(LSP2)의 제1 리세스 영역(RSRc)을 향해 돌출될 수 있다. 제3 하부 부분(LE3)의 제2 돌출부(PTP2)의 최하부는 제2 하부 반도체 패턴(LSP2)의 제1 리세스부(REP1)의 최상면보다 낮은 레벨에 위치할 수 있다. 제1 상부 부분(UE1)의 제2 돌출부(PTP2)는 제3 하부 반도체 패턴(LSP3)의 제1 리세스 영역(RSRc)을 향해 돌출될 수 있다. 제1 상부 부분(UE1)의 제2 돌출부(PTP2)의 최하부는 제3 하부 반도체 패턴(LSP3)의 제1 리세스부(REP1)의 최상면보다 낮은 레벨에 위치할 수 있다. 제2 상부 부분(UE2)의 제2 돌출부(PTP2)는 제1 상부 반도체 패턴(USP1)의 제1 리세스 영역(RSRc)을 향해 돌출될 수 있다. 제2 상부 부분(UE2)의 제2 돌출부(PTP2)의 최하부는 제1 상부 반도체 패턴(USP1)의 제1 리세스부(REP1)의 최상면보다 낮은 레벨에 위치할 수 있다. 제3 상부 부분(UE3)의 제2 돌출부(PTP2)는 제2 상부 반도체 패턴(USP2)의 제1 리세스 영역(RSRc)을 향해 돌출될 수 있다. 제3 상부 부분(UE3)의 제2 돌출부(PTP2)의 최하부는 제2 상부 반도체 패턴(USP2)의 제1 리세스부(REP1)의 최상면보다 낮은 레벨에 위치할 수 있다. 제4 상부 부분(UE4)의 제2 돌출부(PTP2)는 제3 상부 반도체 패턴(USP3)의 제1 리세스 영역(RSRc)을 향해 돌출될 수 있다. 제4 상부 부분(UE4)의 제2 돌출부(PTP2)의 최하부는 제3 상부 반도체 패턴(USP3)의 제1 리세스부(REP1)의 최상면보다 낮은 레벨에 위치할 수 있다.

[0065] 게이트 절연막(GI)은 제1 리세스 영역들(RSRe) 및 제2 리세스 영역들(RSRc) 각각의 하면을 따라 연장될 수 있다.

[0066] 반도체 소자의 크기가 작아짐에 따라, 소스/드레인 패턴들을 연결하는 채널 패턴의 길이가 짧아짐으로써 단채널 효과(short channel effect)가 발생할 수 있다. 이에 의해, 높은 누설 전류와 문턱전압이하 스윙(subthreshold swing(SS))의 증가가 유발될 수 있다. 본 발명에 따르면, 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3), 및 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)이 아래를 향해 구부러진 형태를 가질 수 있다. 이에 따라, 반도체 소자의 크기가 작아지는 경우에도 상대적으로 긴 길이의 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 및 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3)을 형성하는 것이 가능하다. 결과적으로, 문턱전압이하 스윙이 감소하여 반도체 소자의 전기적 특성이 향상될 수 있다.

[0067] 또한, 게이트 전극(GE)과 하부 및 상부 소스/드레인 패턴들(SDd, SDu) 사이의 거리가 증가하게 되어 게이트 전극(GE)과 하부 및 상부 소스/드레인 패턴들(SDd, SDu) 사이의 전계가 감소할 수 있다. 이에 따라, BTBT(band to band tunneling)에 따른 GIDL(gate induced drain leakage)이 감소할 수 있다. 결과적으로, 반도체 소자의 전기적 특성이 향상될 수 있다.

[0069] 도 4 내지 도 10c는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다. 도 4, 도 5, 도 6a, 도 7a, 도 8a, 도 9a 및 도 10a는 각각 도 1의 A-A'선에 따른 단면도들이다. 도 6b 및 도 10b는 각각 도 1의 B-B'선에 따른 단면도들이다. 도 7b, 도 8b, 도 9b, 및 도 10c는 각각 도 1의 C-C'선에 따른 단면도들이다.

[0070] 도 4를 참조하면, 기판(100) 상에 제1 희생층(SAL1)이 형성될 수 있다. 제1 희생층(SAL)은 실리콘(Si), 게르마늄(Ge) 및 실리콘-게르마늄(SiGe) 중 하나를 포함할 수 있다. 예를 들어, 제1 희생층(SAL1)은 실리콘-게르마늄(SiGe)을 포함할 수 있다. 제1 희생층(SAL1)의 게르마늄(Ge)의 농도는 10 at% 내지 30 at%일 수 있다.

[0071] 제1 희생층(SAL1)의 상부가 식각되어 리세스 영역들(RSR)이 형성될 수 있다. 구체적으로, 제1 희생층(SAL) 상에 제1 식각 마스크 패턴을 형성하고 상기 제1 식각 마스크 패턴을 식각 마스크로 이용하여 제1 희생층(SAL)의 일부를 식각할 수 있다. 리세스 영역(RSR)은 제1 희생층(SAL1)의 상면으로부터 하면을 향해 리세스된 영역일 수 있다. 리세스 영역(RSR)의 하면은 기판(100)으로부터 이격될 수 있다. 리세스 영역(RSR)의 폭은 기판(100)을 향하는 방향으로 갈수록 감소할 수 있다.

[0072] 도 5를 참조하면, 제1 활성층들(ACL1) 및 제1 희생층들(SAL1)이 교번적으로 적층될 수 있다. 제1 활성층들(ACL1)은 실리콘(Si), 게르마늄(Ge) 및 실리콘-게르마늄(SiGe) 중 제1 희생층들(SAL1)과 다른 하나를 포함할 수 있다. 예를 들어, 제1 활성층(ACL1)은 실리콘(Si)을 포함할 수 있다.

[0073] 제1 활성층들(ACL1) 및 제1 희생층들(SAL1) 역시 그들의 상면에, 최하부 제1 희생층(SAL1)의 리세스 영역(RSR)에 대응되는 영역에서 리세스 영역들(RSR)을 가질 수 있다. 상기 리세스 영역들(RSR)은 최하부 제1 희생층(SAL1)의 리세스 영역(RSR)과 실질적으로 동일하거나 유사한 형상을 가질 수 있다.

[0074] 최상부의 제1 활성층(ACL1) 상에 제2 희생층들(SAL2) 및 제2 활성층들(ACL2)이 교번적으로 적층될 수 있다. 제2 희생층들(SAL2)은 제1 희생층들(SAL1)과 동일한 물질을 포함할 수 있다. 제2 활성층들(ACL2)은 제1 활성층들(ACL1)과 동일한 물질을 포함할 수 있다. 일 예로, 제2 희생층들(SAL2)은 실리콘-게르마늄을 포함하고, 제2 활성층들(ACL2)은 실리콘을 포함할 수 있다.

[0075] 최하부의 제2 희생층(SAL2)은 상대적으로 두꺼운 두께를 가질 수 있다. 최하부의 제2 희생층(SAL2)은 제1 희생층들(ACL1), 제1 활성층들(ACL1), 제2 활성층들(ACL2) 그리고 다른 제2 희생층들(SAL2)에 비해 두꺼울 수 있다.

[0076] 제2 희생층들(SAL2) 및 제2 활성층들(ACL2) 역시 그들의 상면에, 최하부 제1 희생층(SAL1)의 리세스 영역(RSR)에 대응되는 영역에서 리세스 영역들(RSR)을 가질 수 있다. 상기 리세스 영역들(RSR)은 최하부 제1 희생층(SAL1)의 리세스 영역(RSR)과 실질적으로 동일하거나 유사한 형상을 가질 수 있다.

[0077] 도 6a 및 도 6b를 참조하면, 기판(100) 상에 활성 패턴(AP), 하부 적층 패턴(STP1) 및 상부 적층 패턴(STP2)이 형성될 수 있다. 구체적으로, 최상부의 제2 활성층(ACL2) 상에 제2 식각 마스크 패턴을 형성할 수 있다. 제2 식각 마스크 패턴은 제1 방향(D1)으로 연장되는 라인 형태 또는 바(bar) 형태를 가질 수 있다. 상기 제2 식각 마스크 패턴들을 이용한 패터닝 공정을 수행하여 트렌치들(TR)을 형성할 수 있다. 트렌치들(TR)은 기판(100)의 상부에 형성되어 제1 방향(D1)으로 연장될 수 있다. 트렌치들(TR)은 그들의 사이에 활성 패턴(AP)을 정의할 수 있다. 일 예로, 트렌치들(TR)은 기판(100)의 하면과 가까워질수록 좁아지는 제2 방향(D2)의 폭을 가질 수 있고, 활성 패턴(AP)은 기판(100)의 하면과 가까워질수록 증가되는 제2 방향(D2) 폭을 가질 수 있다.

[0078] 하부 적층 패턴(STP1) 및 상부 적층 패턴(STP2)이 활성 패턴(AP)과 수직적으로 중첩되어 형성될 수 있다. 하부 적층 패턴(STP1) 및 상부 적층 패턴(STP2)은 기판(100)과 함께 식각되어 제1 방향(D1)으로 연장될 수 있다. 하부 적층 패턴(STP1)은 활성 패턴(AP)의 상면 상에 교번적으로 적층된 제1 희생층들(SAL1) 및 제1 활성층들(ACL1)을 포함할 수 있다. 상부 적층 패턴(STP2)은 교번적으로 적층된 제2 희생층들(SAL2) 및 제2 활성층들(ACL2)을 포함할 수 있다.

[0079] 트렌치들(TR)을 채우는 소자 분리막(ST)이 형성될 수 있다. 구체적으로, 기판(100)의 전면 상에 하부 및 상부 적층 패턴들(STP1, STP2)을 덮는 절연막이 형성될 수 있다. 하부 적층 패턴들(STP1)이 노출될 때까지 상기 절연막을 리세스하여 소자 분리막(ST)을 형성될 수 있다. 소자 분리막(ST)은, 실리콘 산화막과 같은 절연 물질을 포함할 수 있다. 하부 적층 패턴(STP1) 및 상부 적층 패턴(STP2)은 소자 분리막(ST)에 의해 덮이지 않을 수 있다. 달리 말해서, 하부 적층 패턴(STP1)은 소자 분리막(ST)의 위로 수직하게 돌출될 수 있다.

[0080] 기판(100) 상에 하부 및 상부 적층 패턴들(STP1, STP2)을 가로지르는 희생 패턴들(PP)이 형성될 수 있다. 각각의 희생 패턴들(PP)은 제2 방향(D2)으로 연장되는 라인 형태(line shape) 또는 바 형태(bar shape)로 형성될 수 있다. 희생 패턴들(PP)은 소정의 피치로 제1 방향(D1)을 따라 배열될 수 있다. 구체적으로 희생 패턴들(PP)을 형성하는 것은, 기판(100)의 전면 상에 희생막을 형성하는 것, 상기 희생막 상에 하드 마스크 패턴들(MP)을 형성하는 것, 및 하드 마스크 패턴들(MP)을 식각 마스크로 상기 희생막을 패터닝하는 것을 포함할 수 있다. 희생막은, 예를 들어 폴리 실리콘을 포함할 수 있다.

[0081] 희생 패턴들(PP) 각각의 양 측벽들 상에 한 쌍의 게이트 스페이서들(GS)이 형성될 수 있다. 게이트 스페이서들(GS)을 형성하는 것은, 기판(100)의 전면 상에 게이트 스페이서막을 콘포멀하게 형성하는 것, 및 상기 게이트 스페이서막을 이방성 식각하는 것을 포함할 수 있다. 상기 게이트 스페이서막은 SiCN, SiCON 및 SiN 중 적어도 하나를 포함할 수 있다. 다른 예로, 상기 게이트 스페이서막은 SiCN, SiCON 및 SiN 중 적어도 두 개를 포함하는 다중 막(multi-layer)일 수 있다.

[0082] 도 7a 및 도 7b를 참조하면, 상부 적층 패턴(STP2) 내에 제1 리세스들(RS1)이 형성될 수 있다. 제1 리세스들(RS1)을 형성하는 동안, 활성 패턴(AP) 양 측의 소자 분리막(ST)이 함께 리세스될 수 있다.

[0083] 구체적으로, 하드 마스크 패턴들(MP) 및 게이트 스페이서들(GS)을 식각 마스크로 활성 패턴(AP) 상의 상부 적층 패턴(STP2)을 식각하여, 제1 리세스들(RS1)을 형성할 수 있다. 제1 리세스들(RS1)은, 희생 패턴들(PP)의 측벽 상의 공간들로부터 기판(100)의 상면을 향하여 형성될 수 있다.

[0084] 복수의 제1 리세스들(RS1)은 제1 방향(D1)으로 배열될 수 있다. 한 쌍의 제1 리세스들(RS1) 사이에 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)을 포함하는 상부 채널 패턴(CHu)이 형성될 수 있다. 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)은 제2 희생층(SAL2)과 교대로 적층될 수 있으며, 서로 수직적으로 이격될 수 있다.

[0085] 제2 희생층들(SAL2)의 측면들 상에 상부 내측 스페이서들(IP2)이 형성될 수 있다. 구체적으로, 제1 리세스(RS1)에 의해 노출된 제2 희생층들(SAL2)의 측면들을 부분적으로 식각할 수 있다. 제2 희생층들(SAL2)이 부분적으로 제거된 공간을 채우는 절연막을 형성할 수 있다. 상기 절연막을 식각하여 수직적으로 서로 이격된 상부 내측 스페이서들(IP2)을 형성할 수 있다. 상부 내측 스페이서들(IP2)은 서로 인접한 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 사이에 형성될 수 있으며, 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 각각의 측벽과 정렬된 측벽을 가질 수 있다.

[0086] 도 8a 및 도 8b를 참조하면, 제1 리세스들(RS1)을 더욱 리세스하여 제2 리세스들(RS2)을 형성할 수 있다 제2 리세스들(RS2)을 형성하는 동안, 활성 패턴(AP) 양 측의 소자 분리막(ST)이 함께 리세스될 수 있다.

[0087] 구체적으로, 하드 마스크 패턴들(MP) 및 게이트 스페이서들(GS)을 식각 마스크로 하부 적층 패턴(STP1)을 식각하여, 제1 리세스들(RS1)에 비해 깊은 제2 리세스들(RS2)을 형성할 수 있다. 제2 리세스들(RS2)의 바닥들은 활성 패턴(AP)의 최상부 표면에 비해 낮은 레벨에 위치할 수 있다. 제2 리세스들(RS2)의 바닥들은 제1 희생층들(SAL1) 중 최하부 제1 희생층(SAL1)의 하면에 비해 낮은 레벨에 위치할 수 있다.

[0088] 제2 리세스들(RS2) 사이에 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3)을 포함하는 하부 채널 패턴(CHd)이 형성될 수 있다. 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3)은 제1 희생층(SAL1)과 교대로 적층될 수 있으며, 서로 수직적으로 이격될 수 있다.

[0089] 이어서, 제1 희생층들(SAL1)의 측면들 상에 하부 내측 스페이서들(IP1)이 형성될 수 있다. 구체적으로, 제2 리세스(RS2)에 의해 노출된 제1 희생층들(SAL1)의 측면들을 부분적으로 식각할 수 있다. 제1 희생층들(SAL1)이 부

분적으로 제거된 공간을 채우는 절연막을 형성할 수 있다. 상기 절연막을 식각하여 수직적으로 서로 이격된 하부 내측 스페이서들(IP1)을 형성할 수 있다. 하부 내측 스페이서들(IP1)은 서로 인접하는 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 사이에 형성될 수 있으며, 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 각각의 측벽과 정렬된 측벽을 가질 수 있다.

[0090] 도 9a 및 도 9b를 참조하면, 제2 리세스들(RS2) 내에 하부 소스/드레인 패턴들(SDd)이 각각 형성될 수 있다. 구체적으로, 하부 소스/드레인 패턴들(SDd)은 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3)의 측벽들 및 활성 패턴(AP)의 상면을 시드층으로 하는 제1 SEG 공정을 수행하여 형성될 수 있다. 예컨대, 제1 SEG 공정은, 예컨대, 화학 기상 증착(Chemical Vapor Deposition: CVD) 공정 또는 분자 빔 에피택시(Molecular Beam Epitaxy: MBE) 공정을 포함할 수 있다. 예를 들어, 하부 소스/드레인 패턴들(SDd)은 기판(100)과 동일한 반도체 원소(예를 들어, Si)를 포함할 수 있다.

[0091] 도시되지는 않았지만, 하부 소스/드레인 패턴들(SDd)을 형성하기에 앞서, 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)의 측벽들을 덮는 배리어막을 형성할 수 있다. 이에 따라, 제1 SEG 공정을 수행하는 동안 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)의 측벽들은 노출되지 않을 수 있다. 따라서, 하부 소스/드레인 패턴들(SDd)은 제2 리세스(RS2)의 하부에 선택적으로 성장될 수 있다. 상기 배리어막은 하부 소스/드레인 패턴들(SDd)을 형성한 후 제거될 수 있다.

[0092] 하부 소스/드레인 패턴들(SDd) 상에 제1 층간 절연막(110)이 형성될 수 있다. 제1 층간 절연막(110)을 형성하는 것은 하부 소스/드레인 패턴들(SDd)을 덮는 절연막을 형성하는 것 및 상기 절연막의 상면이 최하부의 제2 희생층(SAL2)의 상면보다 낮은 레벨에 위치할 때까지 상기 절연막을 식각하는 것을 포함할 수 있다. 제1 층간 절연막(110)은 평탄한 상면을 가질 수 있다. 제1 층간 절연막(110)의 하면은 소자 분리막(ST)의 상면을 덮을 수 있다. 제1 층간 절연막(110)의 하면은 트렌치(TR)의 바닥을 향하여 볼록하게 돌출될 수 있다.

[0093] 도 10a 내지 도 10c를 참조하면, 제1 층간 절연막(110)의 상면 상에 상부 소스/드레인 패턴들(SDu)을 형성할 수 있다. 구체적으로, 제1 내지 제3 상부 반도체 패턴들(USP1-USP3)의 측벽들을 시드층으로 하는 제2 SEG 공정을 수행하여, 상부 반도체 패턴들(USP)의 측벽들을 덮는 제1 반도체 영역이 형성될 수 있다. 제1 반도체 영역은 기판(100)의 반도체 원소의 격자 상수보다 큰 격자 상수를 갖는 반도체 원소(예를 들어, SiGe)를 포함할 수 있다. 제1 반도체 영역은 상대적으로 저농도의 게르마늄(Ge)을 함유할 수 있다. 실시예들에 따르면, 제1 반도체 영역은 게르마늄(Ge)을 제외한 실리콘(Si)만을 함유할 수도 있다. 제1 반도체 영역의 게르마늄(Ge)의 농도는 0 at% 내지 10 at%일 수 있다.

[0094] 제1 반도체 영역 상에 제3 SEG 공정을 수행하여, 제2 반도체 영역이 형성될 수 있다. 제2 반도체 영역은 상대적으로 고농도의 게르마늄(Ge)을 함유할 수 있다. 예컨대, 제2 반도체 영역의 게르마늄(Ge)의 농도는 30 at% 내지 70 at%일 수 있다. 제1 반도체 영역 및 제2 반도체 영역은 상부 소스/드레인 패턴(SDu)을 구성할 수 있다. 실시예들에 따르면, 상기 제2 및 제3 SEG 공정 동안, 불순물이 인-시추(in-situ)로 주입될 수 있다. 다른 예로, 상부 소스/드레인 패턴(SDu)이 형성된 후 상부 소스/드레인 패턴(SDu)에 불순물이 주입될 수 있다. 상부 소스/드레인 패턴(SDu)은 제2 도전형(예를 들어, p형)을 갖도록 도핑될 수 있다.

[0095] 상부 소스/드레인 패턴들(SDu) 및 게이트 스페이서들(GS)을 덮는 제2 층간 절연막(120)이 형성될 수 있다. 예컨대, 제2 층간 절연막(120)은 실리콘 산화막을 포함할 수 있다. 희생 패턴들(PP)의 상면들이 노출될 때까지 제2 층간 절연막(120)이 평탄화될 수 있다. 제2 층간 절연막(120)의 평탄화는 에치백(Etch Back) 또는 CMP(Chemical Mechanical Polishing) 공정을 이용하여 수행될 수 있다. 상기 평탄화 공정 동안, 하드 마스크 패턴들(MP)은 모두 제거될 수 있다. 결과적으로, 제2 층간 절연막(120)의 상면은 희생 패턴들(PP)의 상면들 및 게이트 스페이서들(GS)의 상면들과 공면을 이룰 수 있다.

[0096] 희생 패턴들(PP), 제1 희생층들(SAL1) 및 제2 희생층들(SAL2)이 식각 공정을 이용하여 선택적으로 제거될 수 있다. 상기 식각 공정은 습식 식각일 수 있다. 제1 희생층들(SAL1)이 제거되어 제1 빈 공간들(ES1)이 형성될 수 있다. 제2 희생층들(SAL2) 및 희생 패턴들(PP)이 제거되어 제2 빈 공간들(ES2)이 형성될 수 있다.

[0097] 도 1, 도 2a 내지 도 2c 및 도 3을 다시 참조하면, 제1 및 제2 빈 공간들(ES1, ES2) 내에 게이트 절연막(GI)이 콘포멀하게 형성될 수 있다. 게이트 절연막(GI) 상에 게이트 전극(GE)이 형성될 수 있다. 게이트 전극(GE)은 제1 및 제2 빈 공간들(ES1, ES2)을 채우도록 형성될 수 있다. 실시예들에 따르면, 게이트 전극(GE)을 형성하는 것은 제1 및 제2 빈 공간들(ES1, ES2) 내에 제1 금속 패턴을 형성하는 것 및 제1 및 제2 빈 공간들(ES1, ES2)의 잔부를 채우는 제2 금속 패턴을 형성하는 것을 포함할 수 있다. 제1 금속 패턴은, 적층된 복수개의 일함수 금속

막들을 포함할 수 있다. 제2 금속 패턴은 제1 금속 패턴에 비해 저항이 낮은 금속을 포함할 수 있다. 이어서, 게이트 전극(GE) 상에 게이트 캐핑 패턴(GP)이 형성될 수 있다. 하부 소스/드레인 패턴들(SDd) 및 상부 소스/드레인 패턴들(SDu)에 접속하는 제1 내지 제3 활성 콘택들(AC1, AC2, AC3)이 형성될 수 있다.

[0099] 도 11 내지 도 13은 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 것으로, 각각 도 2a의 M 영역을 확대 도시한 단면도들이다. 본 실시예들에서는, 도 1, 도 2a 내지 도 2c 및 도 3을 참조하여 설명한 것과 중복되는 내용은 설명을 생략하고 차이점에 대해 상세히 설명한다.

[0100] 도 11을 참조하면, 하부 내측 스페이서(IP1) 중 어느 하나는 제1 및 제2 하부 반도체 패턴들(LSP1, LSP2) 각각의 제1 리세스 영역(RSRc)을 향해 연장될 수 있다. 하부 내측 스페이서(IP1) 중 어느 하나는 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 각각의 제1 돌출부(PTP1)의 측벽(PTP1s)과 접촉할 수 있다.

[0101] 상부 내측 스페이서(IP2) 중 어느 하나는 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 각각의 제1 리세스 영역(RSRc)을 향해 연장될 수 있다. 상부 내측 스페이서(IP2) 중 어느 하나는 제1 내지 제3 상부 반도체 패턴들(LSP1-LSP3) 각각의 제1 돌출부(PTP1)의 측벽(PTP1s)과 접촉할 수 있다. 최하부의 상부 내측 스페이서(IP2)는 제3 하부 반도체 패턴(LSP3)의 제1 리세스 영역(RSRc)을 향해 연장될 수 있다. 다시 말하면, 상부 내측 스페이서(IP2) 또는 하부 내측 스페이서(IP1) 중 어느 하나는 그 아래에 위치하는 제1 내지 제3 상부 반도체 패턴들(USP1-USP3) 또는 제1 내지 제3 하부 반도체 패턴들(LSP1-LSP3) 중 대응되는 어느 하나의 제1 리세스 영역(RSRc)을 향해 돌출되는 제3 돌출부(PTPi)를 포함할 수 있다.

[0102] 일 예로, 제1 내지 제4 상부 부분들(UE1-UE4) 및 제1 내지 제3 하부 부분들(LE1-LE3)은 도 3을 참조하여 설명한 제2 리세스 영역(RSRe) 및 제2 돌출부(PTP2)를 포함하지 않을 수 있다.

[0103] 도 12를 참조하면, 제1 돌출부(PTP1)의 하면은 기판(100)을 향해 볼록한 프로파일을 가질 수 있다. 제2 돌출부(PTP2)의 하면 또한 기판(100)을 향해 볼록한 프로파일을 가질 수 있다. 제1 리세스 영역(RSRc)의 하면은 오목한 프로파일을 가질 수 있다. 제2 리세스 영역(RSRe)의 하면은 오목한 프로파일을 가질 수 있다. 제1 돌출부(PTP1)의 하면은 제2 리세스 영역(RSRe)의 하면에 대응되는 프로파일을 가지고, 제2 돌출부(PTP2)의 하면은 제1 리세스 영역(RSRc)의 하면에 대응되는 프로파일을 가질 수 있다.

[0104] 도 13을 참조하면, 제1 하부 반도체 패턴(LSP1)의 제1 돌출부(PTP1)의 제1 방향(D1)으로의 최대 폭은 제1 폭(W1)일 수 있다. 제2 하부 반도체 패턴(LSP2)의 제1 돌출부(PTP1)의 제1 방향(D1)으로의 최대 폭은 제2 폭(W2)일 수 있다. 제3 하부 반도체 패턴(LSP3)의 제1 돌출부(PTP1)의 제1 방향(D1)으로의 최대 폭은 제3 폭(W3)일 수 있다. 제1 상부 반도체 패턴(USP1)의 제1 돌출부(PTP1)의 제1 방향(D1)으로의 최대 폭은 제4 폭(W4)일 수 있다. 제2 상부 반도체 패턴(USP2)의 제1 돌출부(PTP1)의 제1 방향(D1)으로의 최대 폭은 제5 폭(W5)일 수 있다. 제3 상부 반도체 패턴(USP3)의 제1 돌출부(PTP1)의 제1 방향(D1)으로의 최대 폭은 제6 폭(W6)일 수 있다. 제2 폭(W2)은 제1 폭(W1)보다 작을 수 있다. 제3 폭(W3)은 제2 폭(W2)보다 작을 수 있다. 제4 폭(W4)은 제3 폭(W3)보다 작을 수 있다. 제5 폭(W5)은 제4 폭(W4)보다 작을 수 있다. 제6 폭(W6)은 제5 폭(W5)보다 작을 수 있다.

[0105] 제2 하부 부분(LE2)의 제2 돌출부(PTP2)의 제1 방향(D1)으로의 최대 폭은 제7 폭(W7)일 수 있다. 제3 하부 부분(LE3)의 제2 돌출부(PTP2)의 제1 방향(D1)으로의 최대 폭은 제8 폭(W8)일 수 있다. 제1 상부 부분(UE1)의 제2 돌출부(PTP2)의 제1 방향(D1)으로의 최대 폭은 제9 폭(W9)일 수 있다. 제2 상부 부분(UE2)의 제2 돌출부(PTP2)의 제1 방향(D1)으로의 최대 폭은 제10 폭(W10)일 수 있다. 제3 상부 부분(UE3)의 제2 돌출부(PTP2)의 제1 방향(D1)으로의 최대 폭은 제11 폭(W11)일 수 있다. 제4 상부 부분(UE4)의 제2 돌출부(PTP2)의 제1 방향(D1)으로의 최대 폭은 제12 폭(W12)일 수 있다. 제8 폭(W8)은 제7 폭(W7)보다 작을 수 있다. 제9 폭(W9)은 제8 폭(W8)보다 작을 수 있다. 제10 폭(W10)은 제9 폭(W9)보다 작을 수 있다. 제11 폭(W11)은 제10 폭(W10)보다 작을 수 있다. 제12 폭(W12)은 제11 폭(W11)보다 작을 수 있다.

[0107] 도 14는 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 평면도이다. 도 15a 및 도 15b는 각각 도 1의 A-A'선 및 B-B'선에 따른 단면도들이다. 도 16a는 도 15a의 M 영역을 확대 도시한 단면도이다. 도 16b는 도 15b의 N 영역을 확대 도시한 단면도이다.

[0108] 도 14, 도 15a 및 도 15b를 참조하면, 기판(100)은 제1 활성 영역(PR) 및 제2 활성 영역(NR)을 포함할 수 있다. 본 발명의 일 실시예로, 제1 활성 영역(PR)은 PMOSFET 영역일 수 있고, 제2 활성 영역(NR)은 NMOSFET 영역일 수

있다. 기판(100)은 실리콘, 게르마늄, 실리콘-게르마늄 등을 포함하는 반도체 기판이거나 화합물 반도체 기판일 수 있다. 일 예로, 기판(100)은 실리콘 기판일 수 있다.

[0109] 기판(100)의 상에 제1 활성 영역(PR) 및 제2 활성 영역(NR)이 정의될 수 있다. 제1 활성 영역(PR) 및 제2 활성 영역(NR) 상에 각각 제1 활성 패턴들(AP1) 및 제2 활성 패턴들(AP2)이 제공될 수 있다.

[0110] 제1 활성 패턴(AP1) 상에 제1 채널 패턴(CH1)이 제공될 수 있다. 제1 채널 패턴(CH1)은 수직적으로 적층된 제1 반도체 패턴(SP1), 제2 반도체 패턴(SP2) 및 제3 반도체 패턴(SP3)을 포함할 수 있다. 제1 내지 제3 반도체 패턴들(SP1, SP2, SP3)은 제3 방향(D3)으로 서로 이격될 수 있다. 제1 내지 제3 반도체 패턴들(SP1, SP2, SP3)은 서로 수직적으로 중첩될 수 있다. 제2 활성 패턴(AP2) 상에 제2 채널 패턴(CH2)이 제공될 수 있다. 제2 채널 패턴(CH2)은 수직적으로 적층된 제1 반도체 패턴(SP1), 제2 반도체 패턴(SP2) 및 제3 반도체 패턴(SP3)을 포함할 수 있다. 제1 및 제2 채널 패턴들(CH1, CH2)은 실리콘(Si), 게르마늄(Ge) 및 실리콘-게르마늄(SiGe) 중 적어도 하나를 포함할 수 있다.

[0111] 제1 활성 패턴들(AP1)의 상부들에 제1 소스/드레인 패턴들(SD1)이 제공될 수 있다. 제1 소스/드레인 패턴들(SD1)은 제1 도전형(예를 들어, p형)의 불순물 영역들일 수 있다. 한 쌍의 제1 소스/드레인 패턴들(SD1) 사이에 제1 채널 패턴(CH1)이 개재될 수 있다.

[0112] 제1 소스/드레인 패턴(SD1)은 제1 반도체 층(SEL1) 및 제2 반도체 층(SEL2)을 포함할 수 있다. 제1 반도체 층(SEL1)의 두께는, 그의 하부에서 그의 상부로 갈수록 얇아질 수 있다. 제1 반도체 층(SEL1)은 U자 형태를 가질 수 있다. 제2 반도체 층(SEL2)은 제1 반도체 층(SEL1) 상에 제공될 수 있다. 제2 반도체 층(SEL2)의 부피는 제1 반도체 층(SEL1)의 부피보다 클 수 있다.

[0113] 제1 반도체 층(SEL1) 및 제2 반도체 층(SEL2) 각각은 실리콘 게르마늄(SiGe)을 포함할 수 있다. 구체적으로, 제1 반도체 층(SEL1)은 상대적으로 저농도의 게르마늄(Ge)을 함유할 수 있다. 본 발명의 다른 실시예로, 제1 반도체 층(SEL1)은 게르마늄(Ge)을 제외한 실리콘(Si)만을 함유할 수도 있다. 제1 반도체 층(SEL1)의 게르마늄(Ge)의 농도는 0 at% 내지 10 at%일 수 있다.

[0114] 제2 반도체 층(SEL2)은 상대적으로 고농도의 게르마늄(Ge)을 함유할 수 있다. 일 예로, 제2 반도체 층(SEL2)의 게르마늄(Ge)의 농도는 30 at% 내지 55 at%일 수 있다. 제2 반도체 층(SEL2)의 게르마늄(Ge)의 농도는 제3 방향(D3)으로 갈수록 증가할 수 있다.

[0115] 제2 활성 패턴들(AP2)의 상부들에 제2 소스/드레인 패턴들(SD2)이 제공될 수 있다. 제2 소스/드레인 패턴들(SD2)은 제2 도전형(예를 들어, n형)의 불순물 영역들일 수 있다. 한 쌍의 제2 소스/드레인 패턴들(SD2) 사이에 제2 채널 패턴(CH2)이 개재될 수 있다.

[0116] 제1 및 제2 채널 패턴들(CH1, CH2)을 가로지르며 제1 방향(D1)으로 연장되는 게이트 전극들(GE)이 제공될 수 있다. 게이트 전극(GE)은 제1 및 제2 채널 패턴들(CH1, CH2)과 수직적으로 중첩될 수 있다. 게이트 전극(GE)의 양 측벽들 상에 한 쌍의 게이트 스페이서들(GS)이 배치될 수 있다. 게이트 전극(GE) 상에 게이트 캐핑 패턴(GP)이 제공될 수 있다.

[0117] 게이트 전극(GE)은, 각각의 제1 및 제2 채널 패턴들(CH1, CH2)을 둘러쌀 수 있다. 다시 말하면, 게이트 전극(GE)은 제1 내지 제3 반도체 패턴들(SP1, SP2, SP3) 각각의 상면, 바닥면 및 양 측벽들을 둘러쌀 수 있다. 본 실시예에 따른 트랜지스터는, 게이트 전극(GE)이 채널(CH1, CH2)을 3차원적으로 둘러싸는 3차원 전계 효과 트랜지스터(예를 들어, MBCFET)일 수 있다.

[0118] 각각의 제1 및 제2 채널 패턴들(CH1, CH2)과 게이트 전극(GE) 사이에 게이트 절연막(GI)이 제공될 수 있다. 게이트 절연막(GI)은 각각의 제1 및 제2 채널 패턴들(CH1, CH2)을 둘러쌀 수 있다.

[0119] 제2 활성 영역(NR) 상에서, 게이트 절연막(GI)과 제2 소스/드레인 패턴(SD2) 사이에 내측 스페이서(IP)가 개재될 수 있다. 게이트 전극(GE)은, 게이트 절연막(GI)과 내측 스페이서(IP)에 의해 제2 소스/드레인 패턴(SD2)으로부터 이격될 수 있다. 반면, 제1 활성 영역(PR) 상에서 내측 스페이서(IP)는 생략될 수 있다.

[0120] 기판(100)의 전면 상에 제1 층간 절연막(110) 및 제2 층간 절연막(120)이 제공될 수 있다. 제1 및 제2 층간 절연막들(110, 120)을 관통하여 제1 및 제2 소스/드레인 패턴들(SD1, SD2)에 각각 연결되는 활성 콘택들(AC)이 제공될 수 있다. 제2 층간 절연막(120) 및 게이트 캐핑 패턴(GP)을 관통하여 게이트 전극(GE)에 연결되는 게이트 콘택(GC)이 제공될 수 있다.

[0121] 게이트 콘택(GC)에 인접하는 활성 콘택(AC)의 상부는 상부 절연 패턴(UIP)으로 채워질 수 있다. 이로써, 게이트 콘택(GC)이 그와 인접하는 활성 콘택(AC)과 접촉하여 쇼트가 발생하는 문제를 방지할 수 있다.

[0122] 로직 셀(LC)의 제2 방향(D2)으로 서로 대향하는 양 측에, 한 쌍의 분리 구조체들(DB)이 각각 제공될 수 있다. 분리 구조체(DB)는 제1 방향(D1)으로 게이트 전극들(GE)과 평행하게 연장될 수 있다. 분리 구조체(DB)는 제1 및 제2 층간 절연막들(110, 120)을 관통하여, 제1 및 제2 활성 패턴들(AP1, AP2) 내부로 연장될 수 있다. 분리 구조체(DB)는 제1 및 제2 활성 패턴들(AP1, AP2) 각각의 상부를 관통할 수 있다. 분리 구조체(DB)는 로직 셀(LC)의 제1 및 제2 활성 영역들(PR, NR)을 인접하는 로직 셀의 활성 영역으로부터 분리시킬 수 있다.

[0123] 활성 콘택(AC)과 제1 소스/드레인 패턴(SD1) 사이, 및 활성 콘택(AC)과 제2 소스/드레인 패턴(SD2) 사이에 실리사이드 패턴(SC)이 개재될 수 있다.

[0124] 활성 콘택(AC) 및 게이트 콘택(GC) 각각은, 도전 패턴(FM) 및 도전 패턴(FM)을 감싸는 배리어 패턴(BM)을 포함할 수 있다. 예를 들어, 도전 패턴(FM)은 알루미늄, 구리, 텅스텐, 몰리브데늄 및 코발트 중 적어도 하나의 금속을 포함할 수 있다. 배리어 패턴(BM)은 도전 패턴(FM)의 측벽들 및 바닥면을 덮을 수 있다. 배리어 패턴(BM)은 금속막/금속 질화막을 포함할 수 있다. 상기 금속막은 티타늄, 탄탈륨, 텅스텐, 니켈, 코발트 및 백금 중 적어도 하나를 포함할 수 있다. 상기 금속 질화막은 티타늄 질화막(TiN), 탄탈륨 질화막(TaN), 텅스텐 질화막(WN), 니켈 질화막(NiN), 코발트 질화막(CoN) 및 백금 질화막(PtN) 중 적어도 하나를 포함할 수 있다.

[0125] 제2 층간 절연막(120) 상에 제3 층간 절연막(130)이 제공될 수 있다. 제3 층간 절연막(130) 상에 제4 층간 절연막(140)이 제공될 수 있다. 제3 층간 절연막(130) 내에 제1 금속 층(M1)이 제공될 수 있다. 제1 금속 층(M1)은 제1 하부 배선들(M1_R), 제2 하부 배선들(M1_I) 및 하부 비아들(VI1)을 포함할 수 있다. 하부 비아들(VI1)은, 제1 및 제2 하부 배선들(M1_R, M1_I) 아래에 제공될 수 있다. 제1 하부 배선들(M1_R) 각각은 로직 셀(LC)을 가로지르며 제2 방향(D2)으로 연장될 수 있다. 제1 하부 배선들(M1_R) 각각은 파워 배선일 수 있다. 예를 들어, 제1 하부 배선(M1_R)에 드레인 전압(VDD) 또는 소스 전압(VSS)이 인가될 수 있다. 제2 하부 배선들(M1_I)은, 드레인 전압(VDD)이 인가되는 제1 하부 배선(M1_R)과 소스 전압(VSS)이 인가되는 제1 하부 배선(M1_R) 사이에 제1 방향(D1)을 따라 배치될 수 있다. 제2 하부 배선들(M1_I) 각각은, 제2 방향(D2)으로 연장되는 라인 형태 또는 바 형태를 가질 수 있다.

[0126] 하부 비아들(VI1)은 제1 금속 층(M1)의 제1 및 제2 하부 배선들(M1_R, M1_I) 아래에 제공될 수 있다. 하부 비아들(VI1)은 활성 콘택들(AC)과 제1 및 제2 하부 배선들(M1_R, M1_I) 사이에 각각 개재될 수 있다. 하부 비아들(VI1)은, 게이트 콘택들(GC)과 제2 하부 배선들(M1_I) 사이에 각각 개재될 수 있다.

[0127] 제4 층간 절연막(140) 내에 제2 금속 층(M2)이 제공될 수 있다. 제2 금속 층(M2)은 상부 배선들(M2_I)을 포함할 수 있다. 상부 배선들(M2_I) 각각은 제1 방향(D1)으로 연장되는 라인 형태 또는 바 형태를 가질 수 있다. 다시 말하면, 상부 배선들(M2_I)은 제1 방향(D1)으로 서로 평행하게 연장될 수 있다. 평면적 관점에서, 상부 배선들(M2_I)은 게이트 전극들(GE)과 평행할 수 있다.

[0128] 제2 금속 층(M2)은, 상부 비아들(VI2)을 더 포함할 수 있다. 상부 비아들(VI2)은 상부 배선들(M2_I) 아래에 제공될 수 있다. 상부 비아들(VI2)은, 하부 배선들(M1_R, M1_I)과 상부 배선들(M2_I) 사이에 각각 개재될 수 있다.

[0129] 제1 금속 층(M1)의 하부 배선들(M1_R, M1_I)과 제2 금속 층(M2)의 상부 배선들(M2_I)은 서로 동일하거나 다른 도전 물질을 포함할 수 있다. 예를 들어, 하부 배선들(M1_R, M1_I)과 상부 배선들(M2_I)은, 알루미늄, 구리, 텅스텐, 몰리브데늄 및 코발트 중에서 선택된 적어도 하나의 금속 물질을 포함할 수 있다.

[0130] 본 발명의 일 실시예로, 도시되지는 않았지만, 제4 층간 절연막(140) 상에 적층된 금속 층들(예를 들어, M3, M4, M5 등)이 추가로 제공될 수 있다. 상기 적층된 금속 층들 각각은 라우팅 배선들을 포함할 수 있다.

[0131] 도 16a 및 도 16b를 참조하여 게이트 전극(GE)과 제1 내지 제3 반도체 패턴들(SP1, SP2, SP3)에 대해 보다 상세히 설명한다.

[0132] 도 16a 및 도 16b를 참조하면, 게이트 전극(GE)은 기판(100)과 제1 반도체 패턴(SP1) 사이의 제1 부분(PO1), 제1 및 제2 반도체 패턴들(SP1, SP2) 사이의 제2 부분(PO2), 제2 및 제3 반도체 패턴들(SP2, SP3) 사이의 제3 부분(PO3), 및 제3 반도체 패턴(SP3)의 상면 상의 제4 부분(PO4)을 포함할 수 있다.

[0133] 제1 내지 제3 반도체 패턴들(SP1-SP3) 각각은 도 3을 참조하여 설명한 것과 같이, 그의 상면에 제1 리세스 영역(RSRc)을 갖는 제1 리세스부(REP1) 및 제1 리세스부(REP1)의 하면으로부터 돌출된 제1 돌출부(PTP1)를 포함할

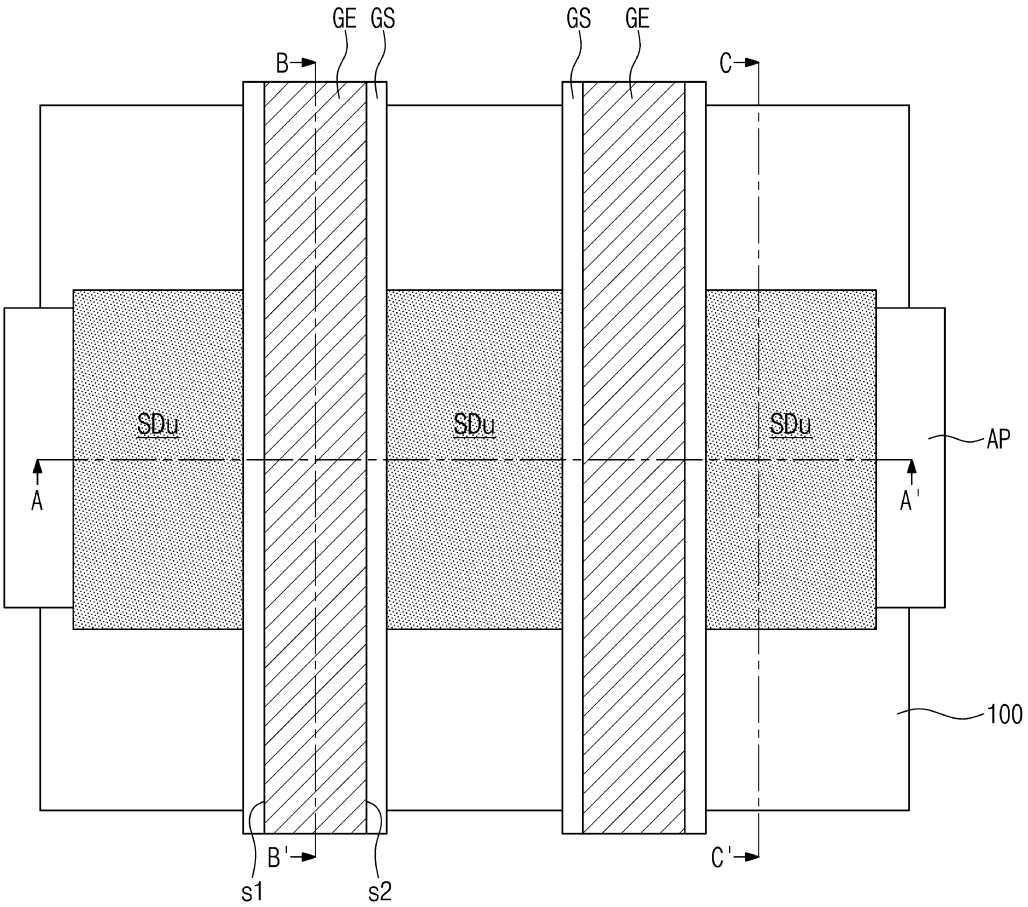
수 있다.

[0134] 제1 내지 제3 부분들(P01-P03) 각각은 도 3을 참조하여 설명한 것과 같이, 그의 상면에 제2 리세스 영역(RSRe)을 갖는 제2 리세스부(REP2) 및 제2 리세스부(REP2)의 하면으로부터 돌출된 제2 돌출부(PTP2)를 포함할 수 있다. 제4 부분(P04)은 도 3을 참조하여 설명한 제4 상부 부분(UE4)과 같이 제2 돌출부(PTP2)를 포함하되, 제2 리세스 영역(RSRe)을 포함하지 않을 수 있다.

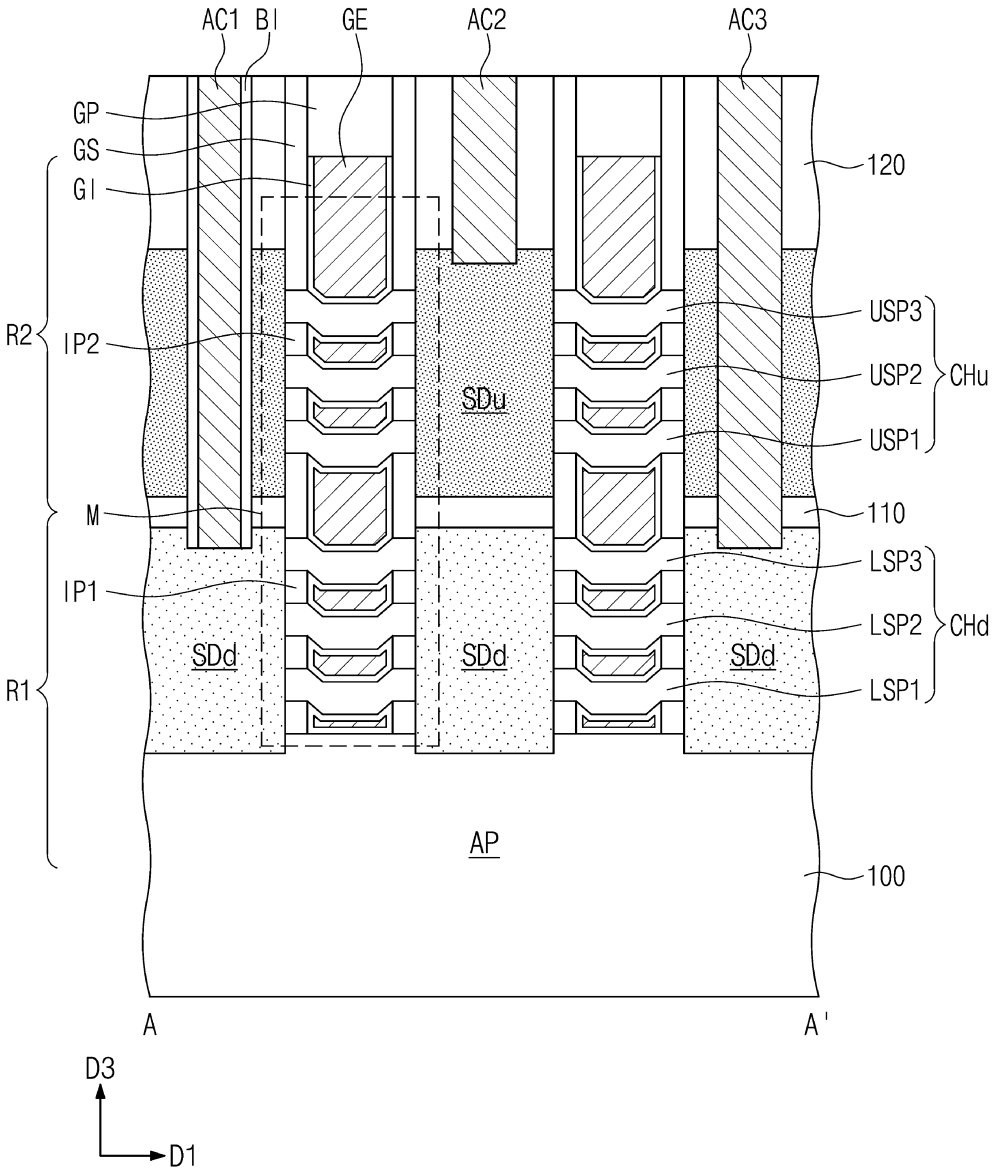
[0136] 이상, 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

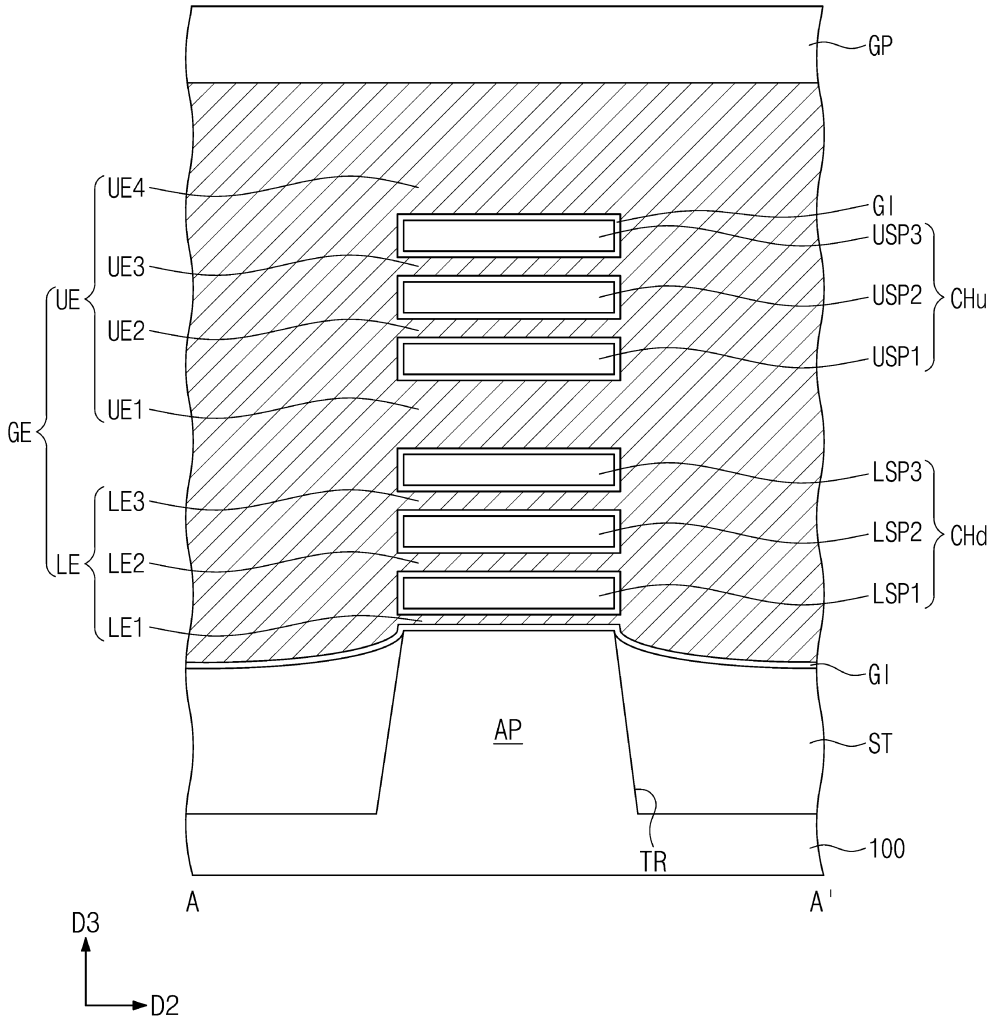
도면1



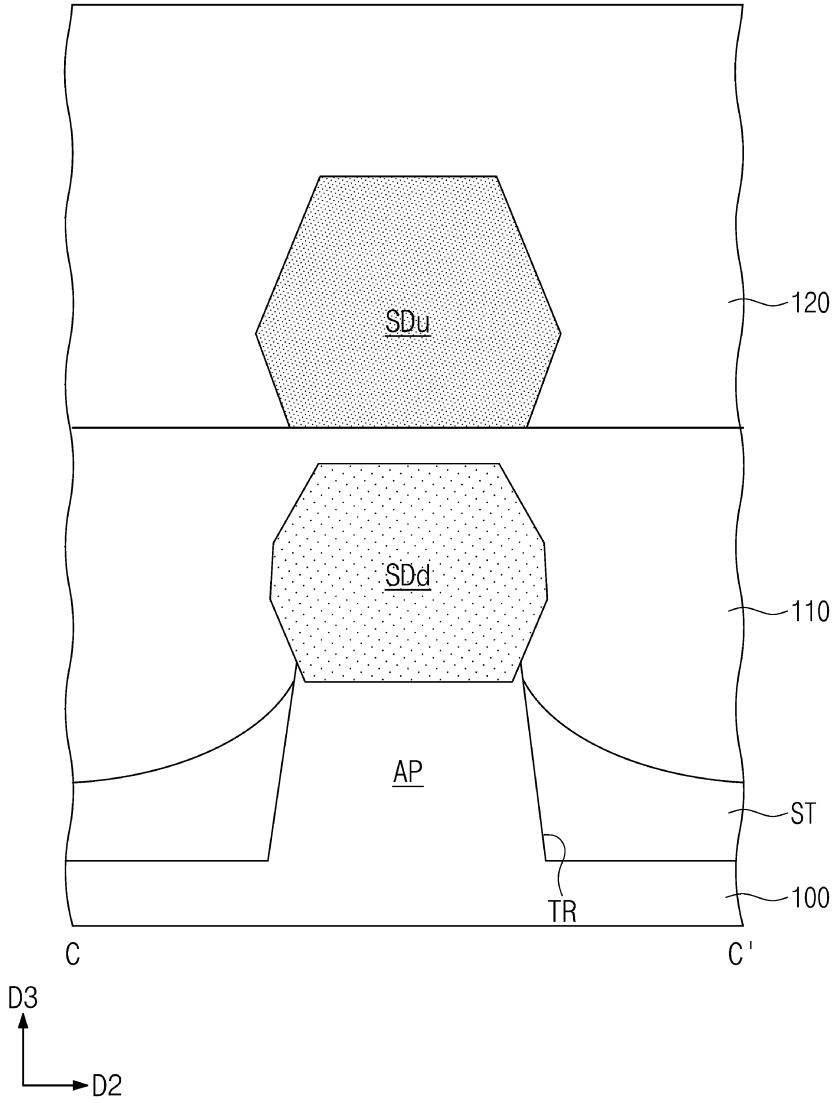
도면2a


AC1
BI
GE
AC2
AC3
GP
GS
GI
120
R2
IP2
USP3
USP2
USP1
CHu
SDu
M
110
IP1
LSP3
LSP2
LSP1
CHd
SDd
SDd
SDd
R1
AP
100
A
A'
D3
D1

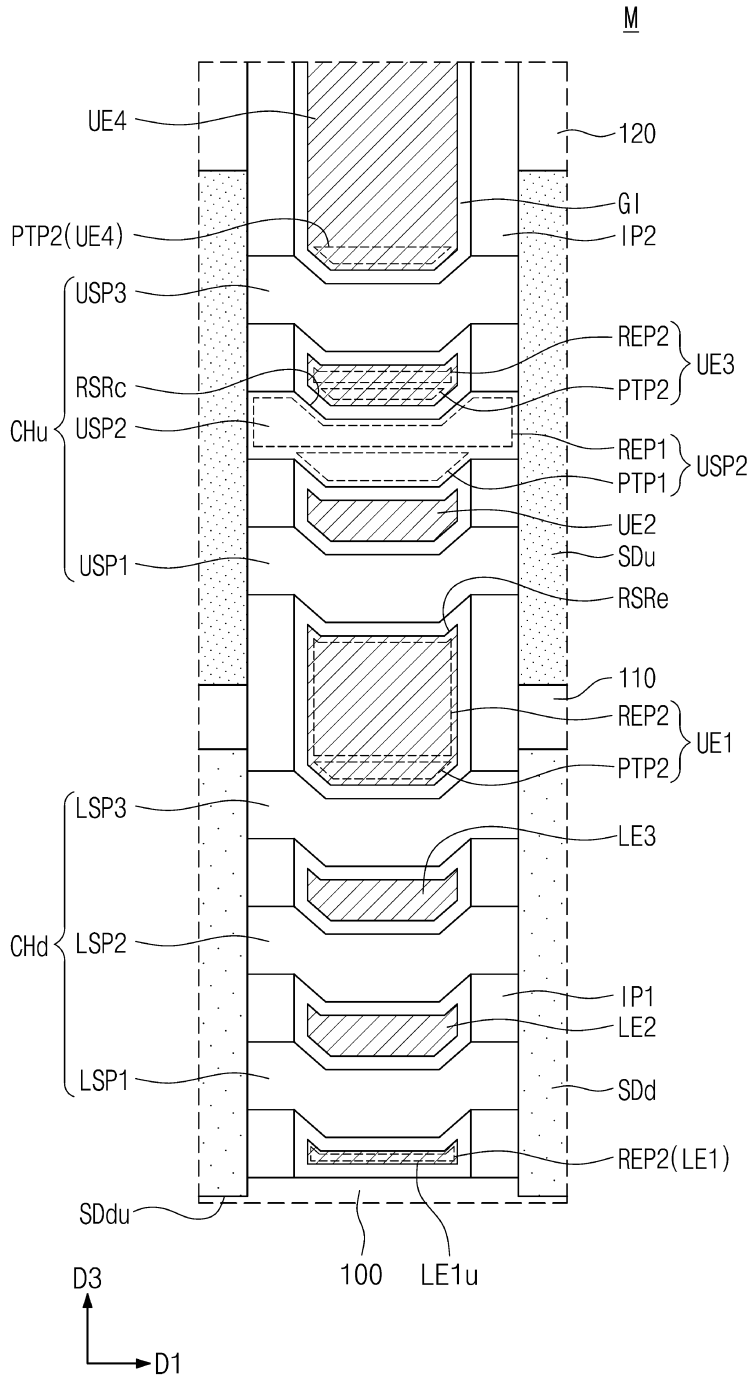
도면2b


GP
UE4
UE3
UE2
UE1
UE
GE
LE3
LE2
LE1
LE
GI
USP3
USP2
USP1
CHu
LSP3
LSP2
LSP1
CHd
GI
AP
ST
TR
100
A
A'
D3
D2

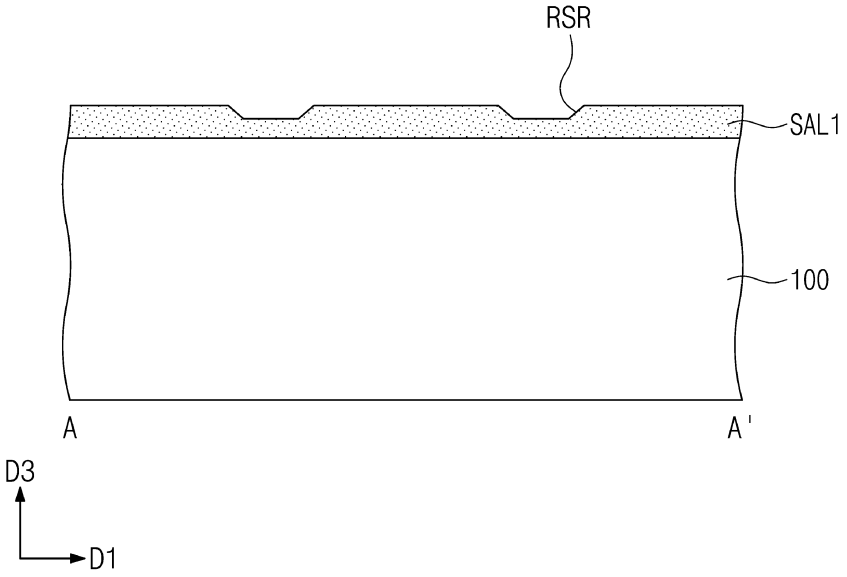
도면2c



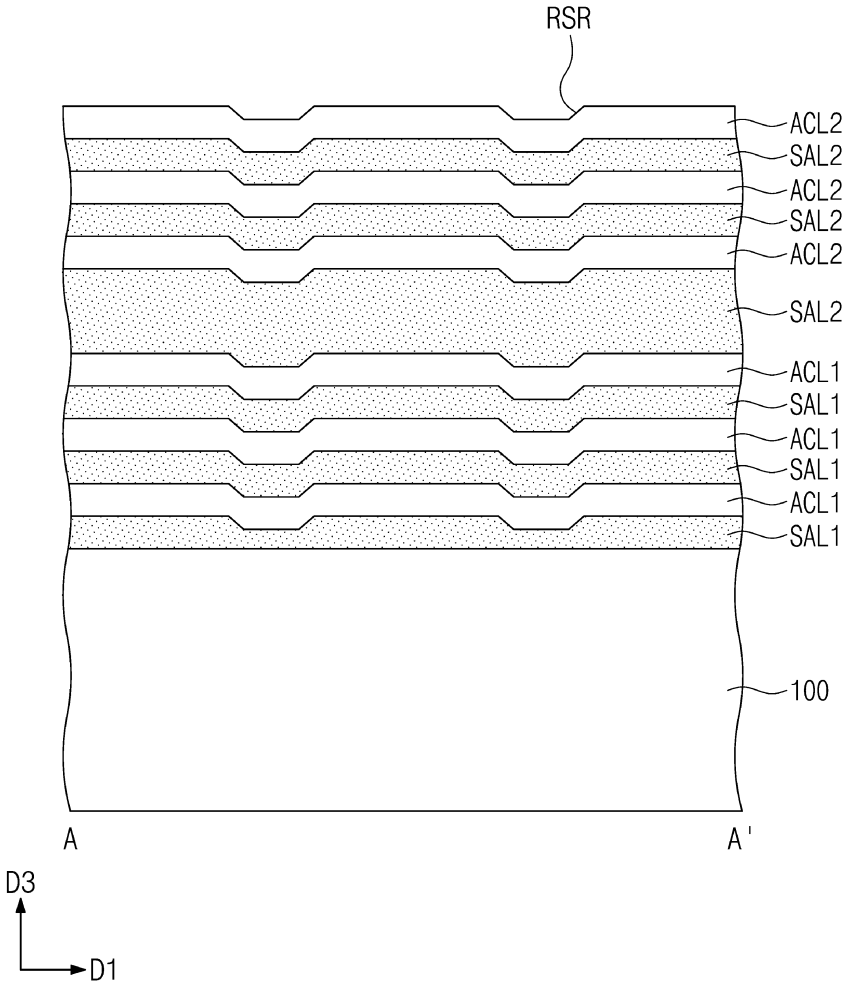
도면3


M
UE4
120
GI
PTP2(UE4)
IP2
USP3
REP2
UE3
RSRc
PTP2
CHu
USP2
REP1
USP2
PTP1
UE2
USP1
SDu
RSRe
110
REP2
UE1
PTP2
LSP3
LE3
CHd
LSP2
IP1
LE2
LSP1
SDd
REP2(LE1)
SDdu
100
LE1u
D3
D1

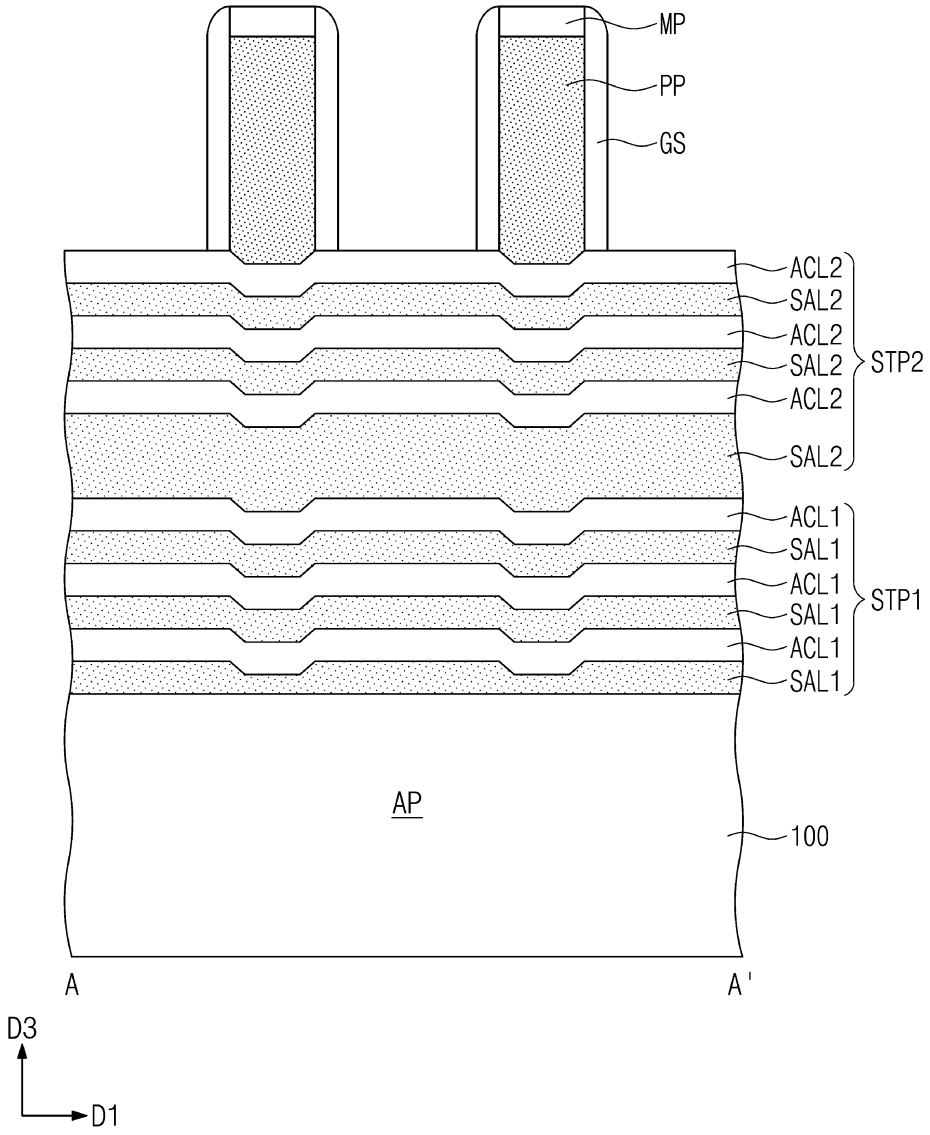
도면4



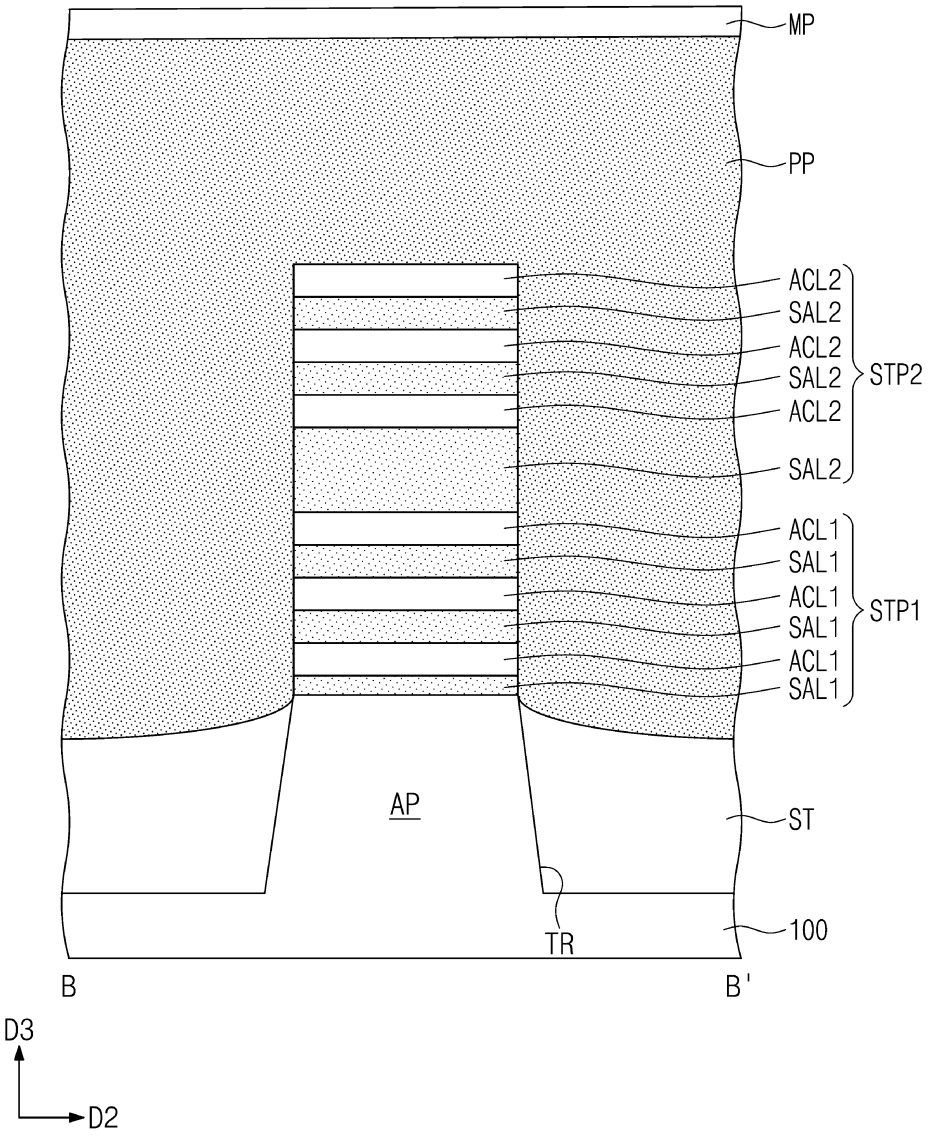
도면5


RSR
ACL2
SAL2
ACL2
SAL2
ACL2
SAL2
ACL1
SAL1
ACL1
SAL1
ACL1
SAL1
100
A
A'
D3
D1

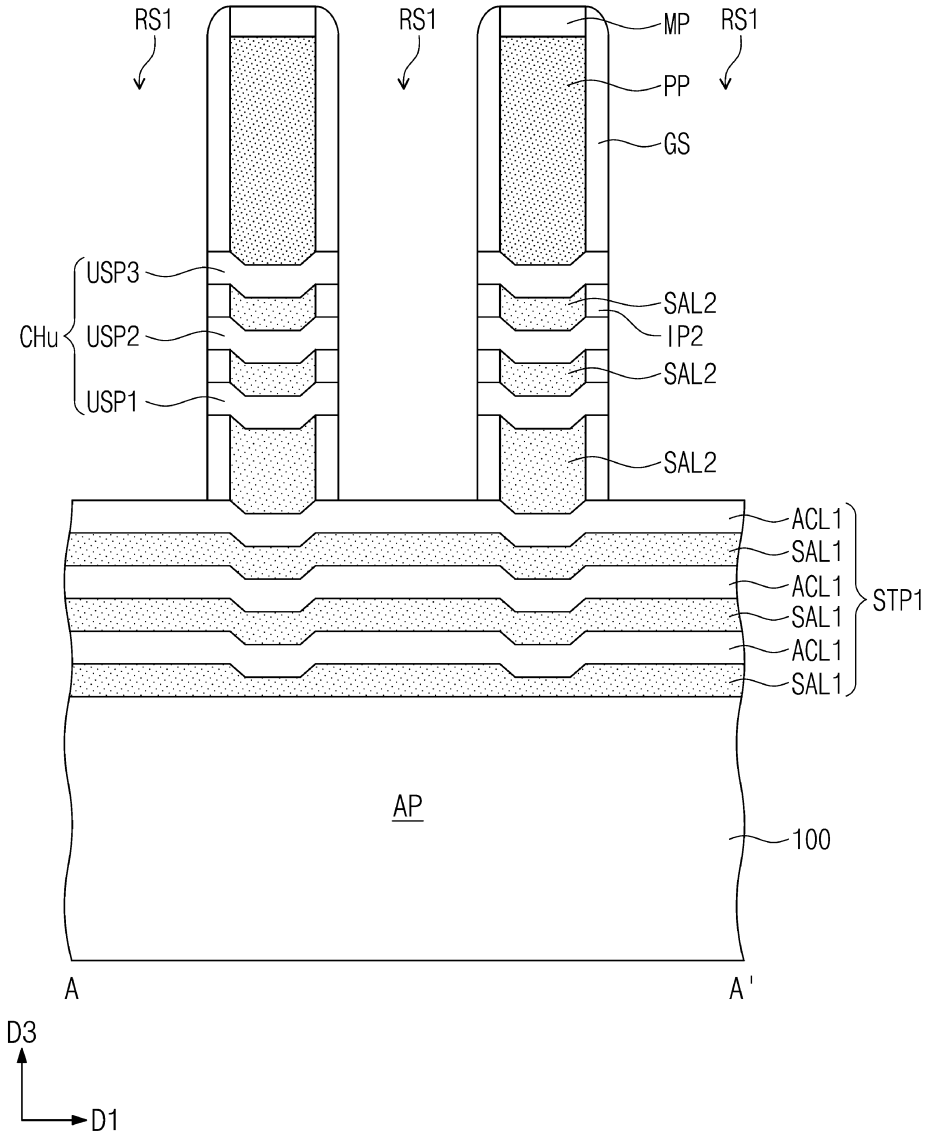
도면6a


MP
PP
GS
ACL2
SAL2
ACL2
SAL2
ACL2
SAL2
STP2
ACL1
SAL1
ACL1
SAL1
ACL1
SAL1
STP1
AP
100
A
A'
D3
D1

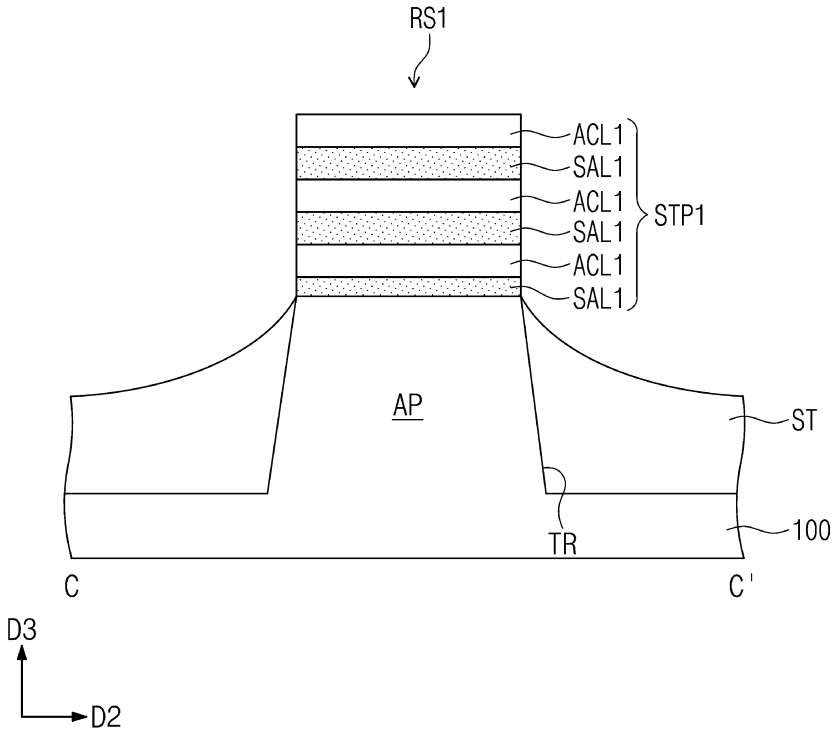
도면6b


MP
PP
ACL2
SAL2
ACL2
SAL2
ACL2
SAL2
STP2
ACL1
SAL1
ACL1
SAL1
ACL1
SAL1
STP1
AP
ST
TR
100
B
B'
D3
D2

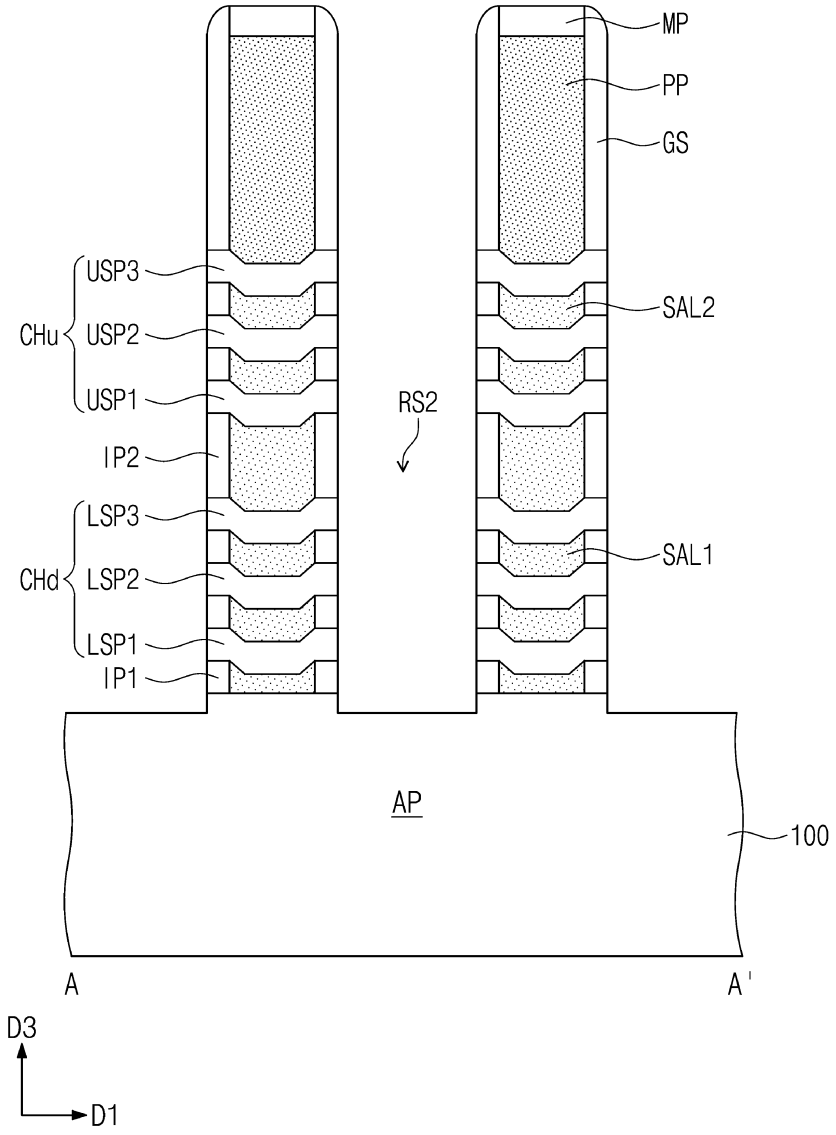
도면7a


RS1
RS1
MP
RS1
PP
GS
USP3
CHu
USP2
USP1
SAL2
IP2
SAL2
SAL2
ACL1
SAL1
ACL1
SAL1
ACL1
SAL1
STP1
AP
100
A
A'
D3
D1

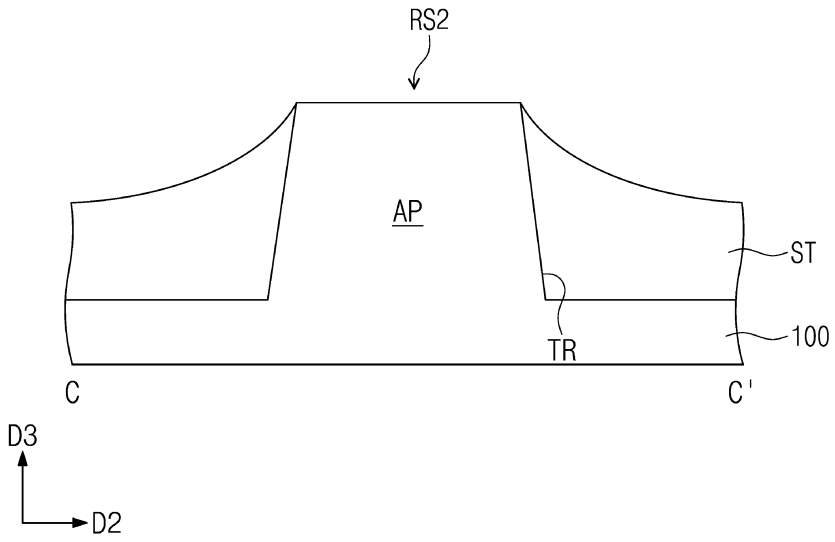
도면7b



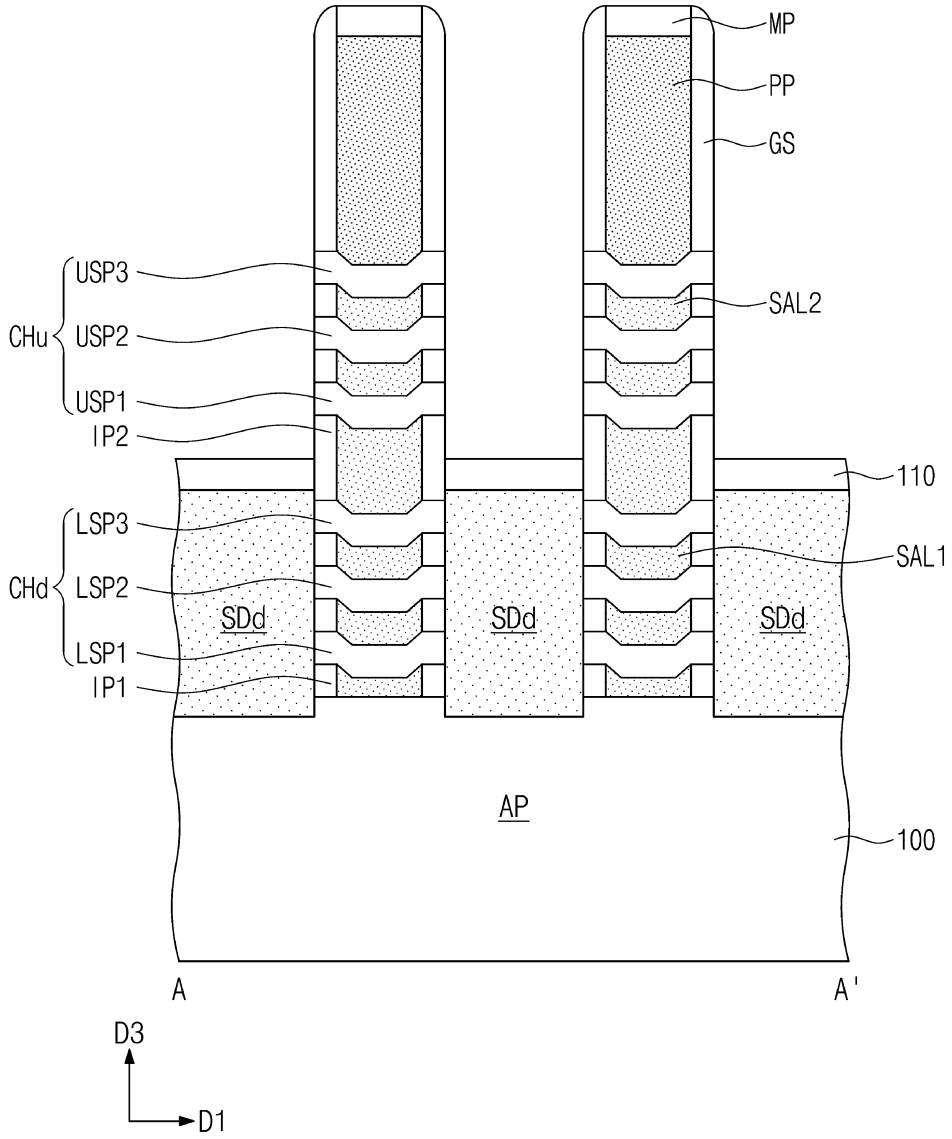
도면8a


MP
PP
GS
USP3
CHu
USP2
USP1
IP2
RS2
SAL2
LSP3
CHd
LSP2
LSP1
IP1
SAL1
AP
100
A
A'
D3
D1

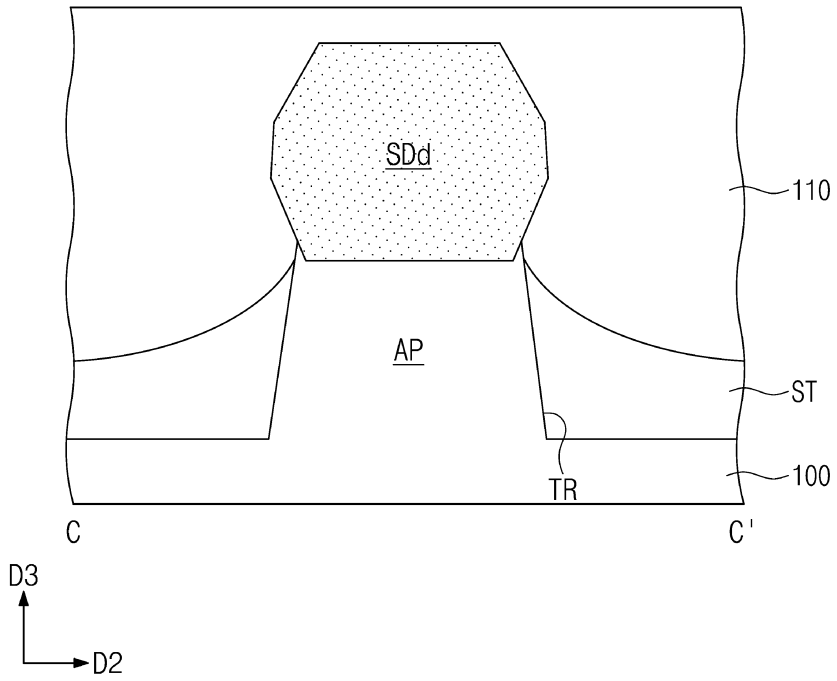
도면8b



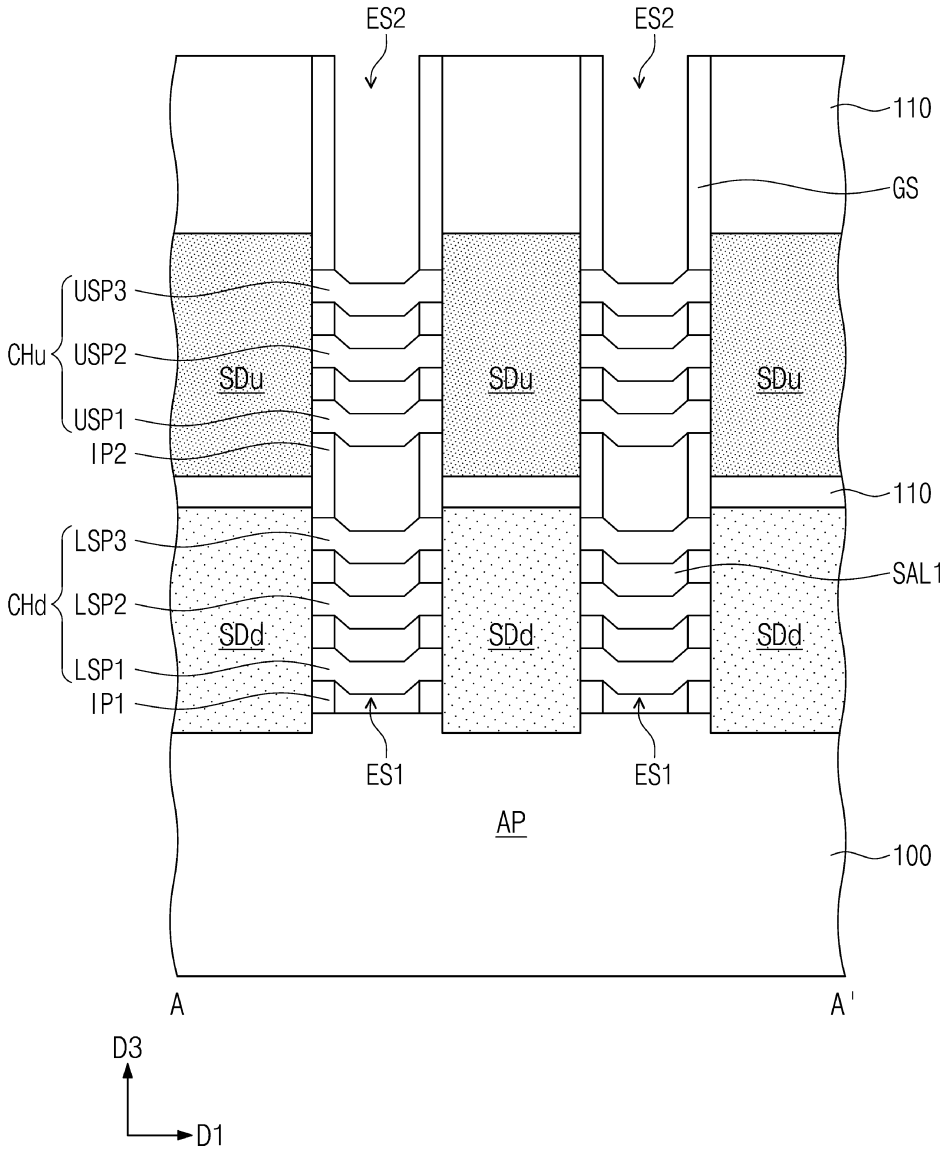
도면9a


MP
PP
GS
USP3
CHu
USP2
USP1
IP2
SAL2
110
LSP3
CHd
LSP2
LSP1
IP1
SAL1
SDd
SDd
SDd
AP
100
A
A'
D3
D1

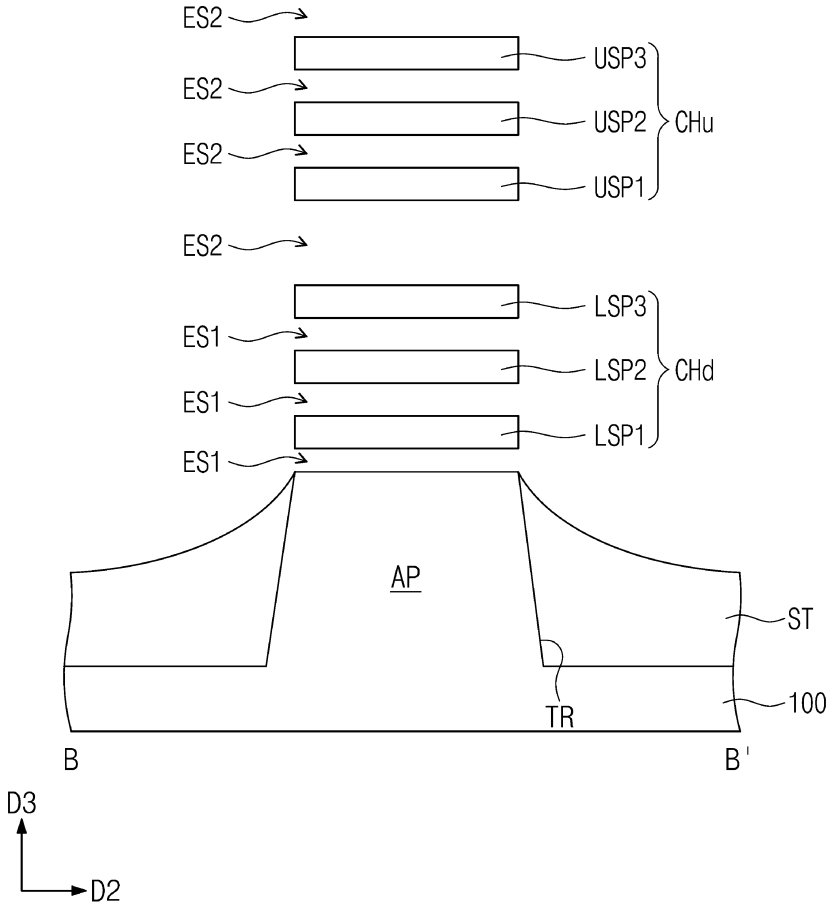
도면9b



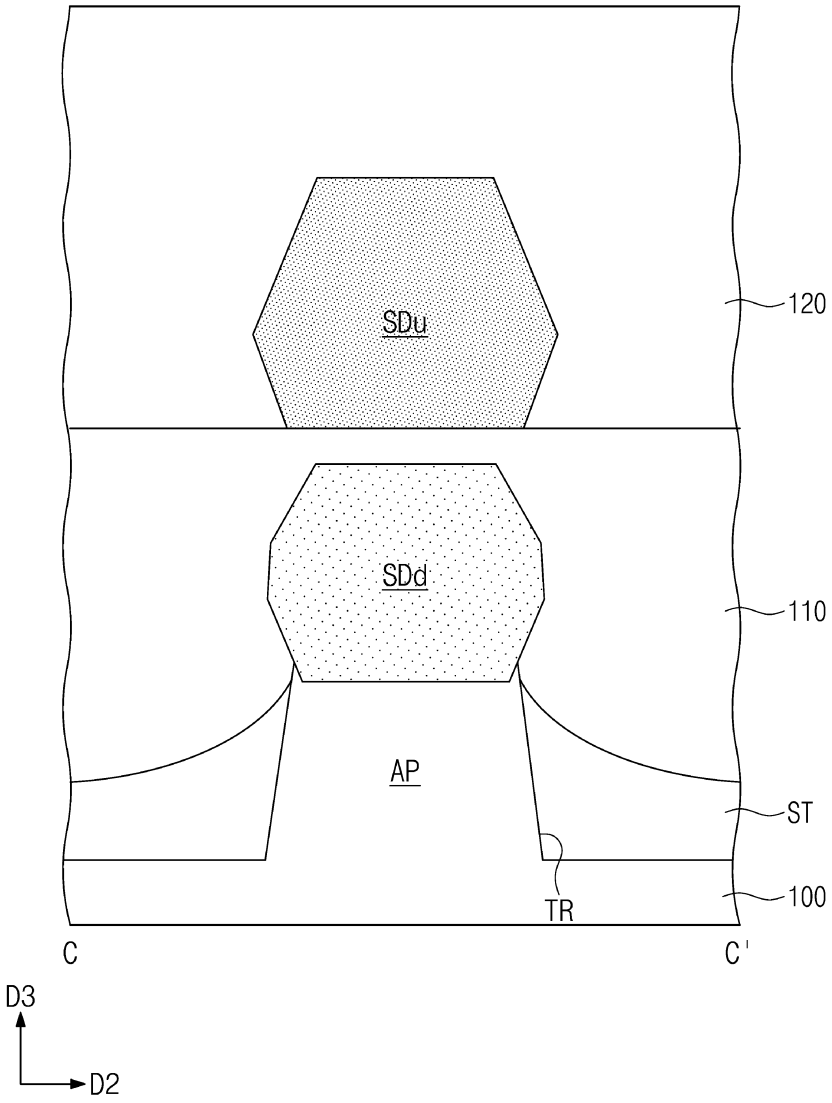
도면10a


ES2
ES2
110
GS
USP3
CHu
USP2
USP1
IP2
SDu
SDu
SDu
110
LSP3
CHd
LSP2
LSP1
IP1
SAL1
SDd
SDd
SDd
ES1
ES1
AP
100
A
A'
D3
D1

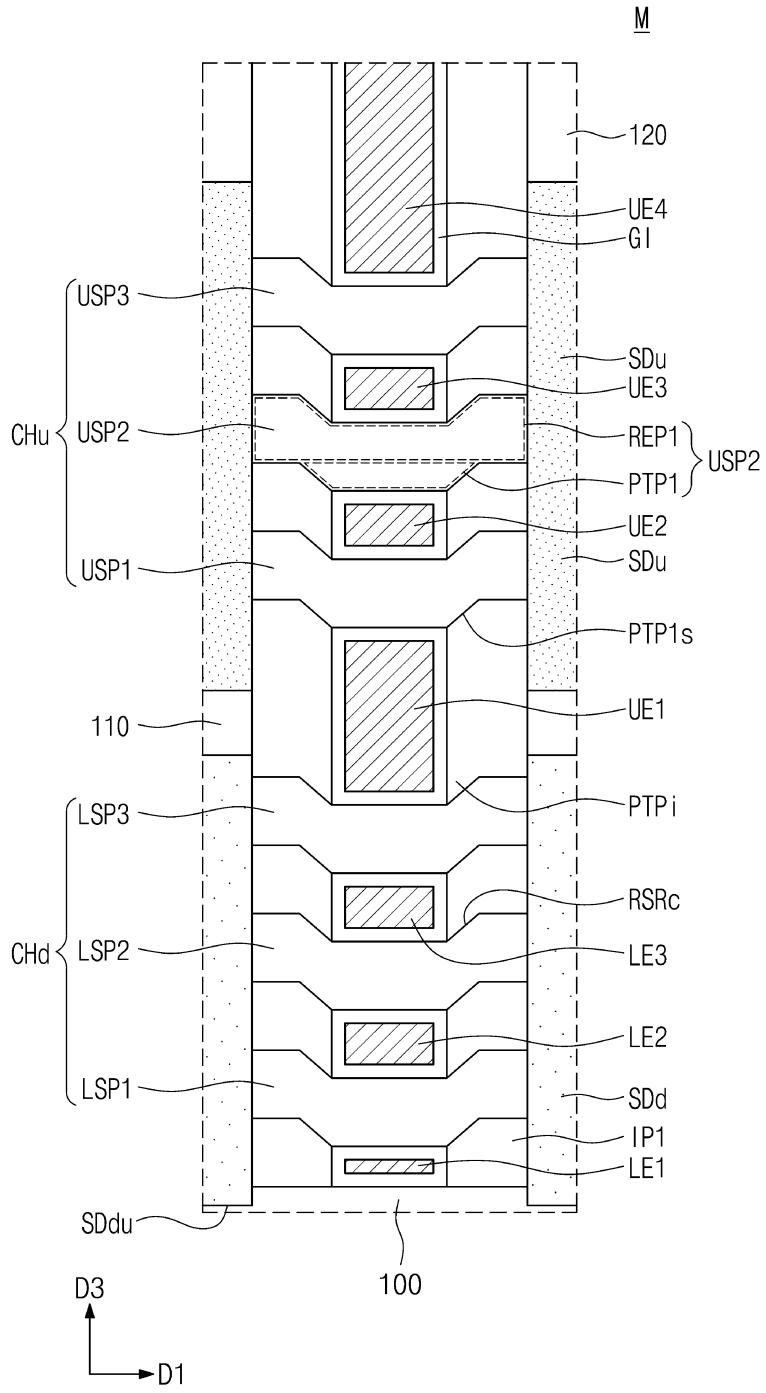
도면10b


ES2
USP3
ES2
USP2
CHu
ES2
USP1
ES2
LSP3
ES1
LSP2
CHd
ES1
LSP1
ES1
AP
ST
TR
100
B
B'
D3
D2

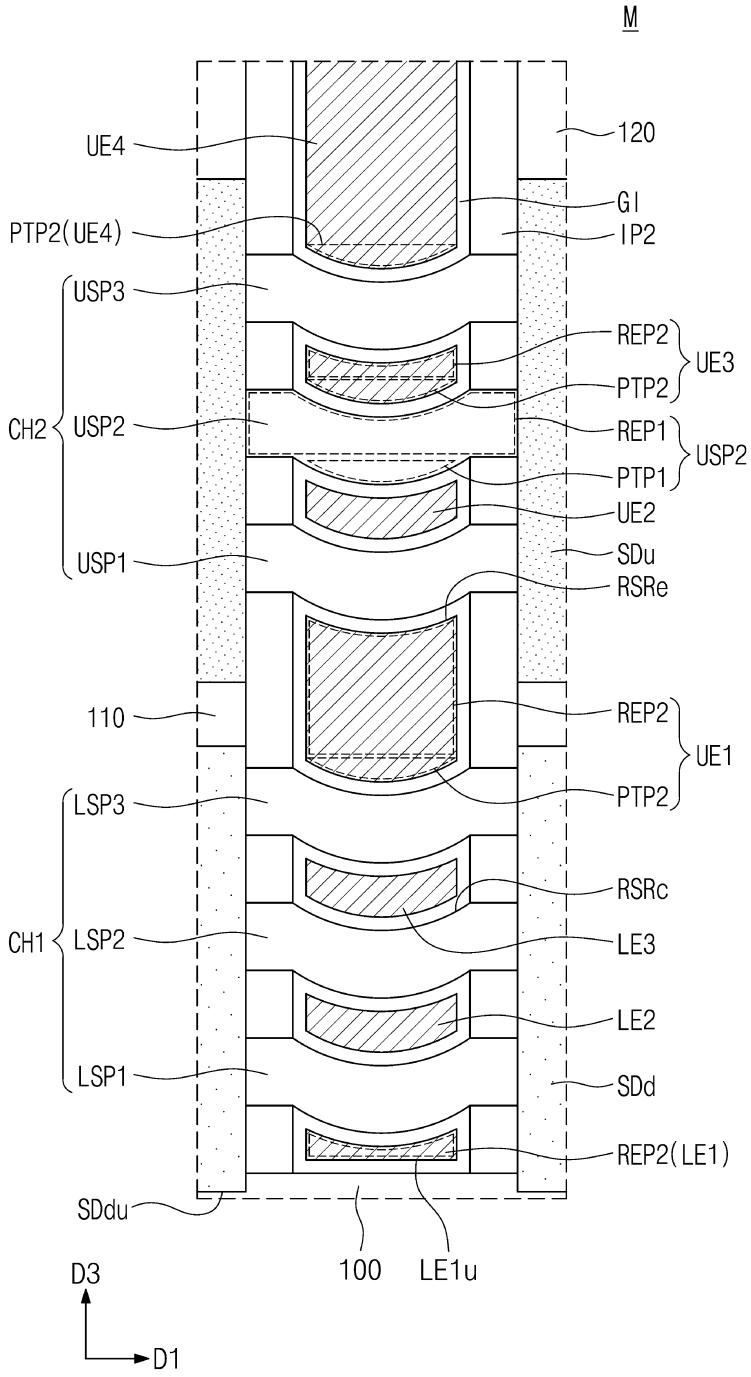
도면10c



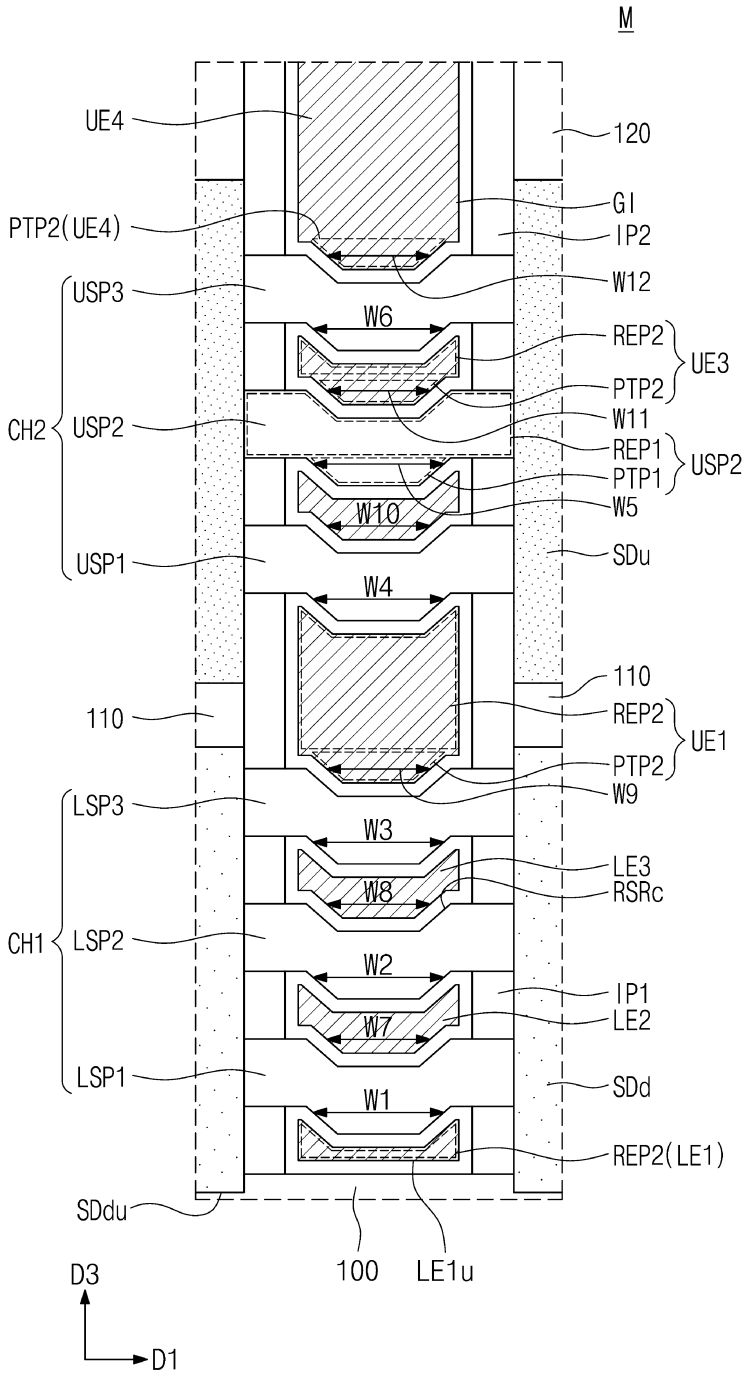
도면11


M
120
UE4
GI
USP3
SDu
UE3
CHu
USP2
REP1
USP2
PTP1
UE2
USP1
SDu
PTP1s
UE1
110
PTPi
LSP3
RSRc
CHd
LSP2
LE3
LE2
LSP1
SDd
IP1
LE1
SDdu
100
D3
D1

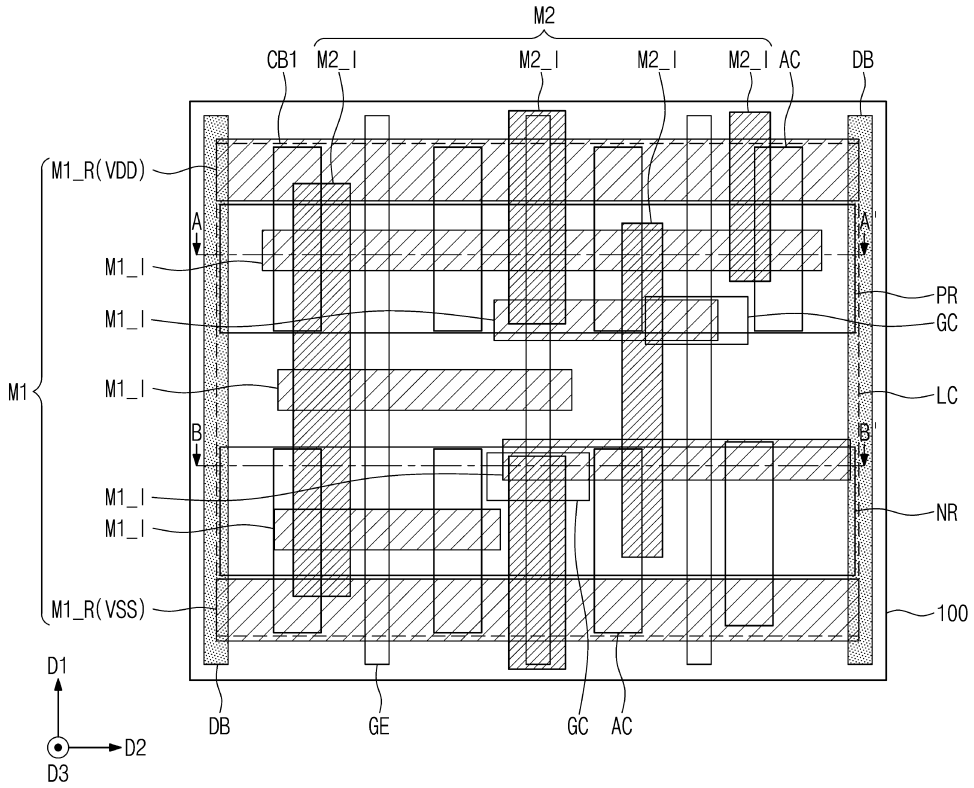
도면12


M
UE4
120
GI
PTP2(UE4)
IP2
USP3
REP2
UE3
PTP2
CH2
USP2
REP1
USP2
PTP1
UE2
USP1
SDu
RSRe
110
REP2
UE1
PTP2
LSP3
RSRc
CH1
LSP2
LE3
LE2
LSP1
SDd
REP2(LE1)
SDdu
100
LE1u
D3
D1

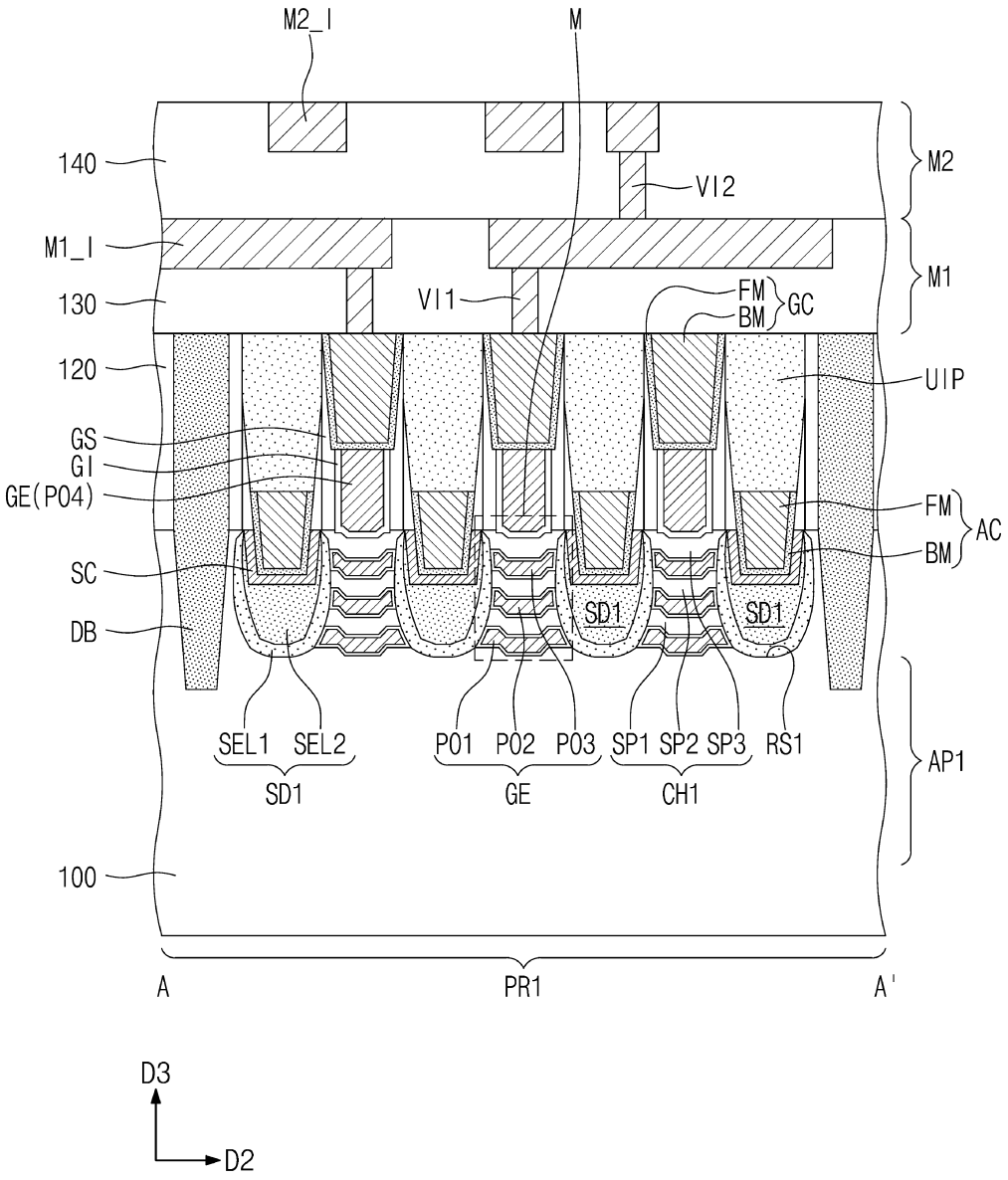
도면13


M
UE4
120
GI
PTP2(UE4)
IP2
W12
USP3
W6
REP2
UE3
PTP2
CH2
USP2
W11
REP1
USP2
PTP1
W10
W5
USP1
SDu
W4
110
110
REP2
UE1
PTP2
W9
LSP3
W3
LE3
W8
RSRc
CH1
LSP2
W2
IP1
W7
LE2
LSP1
SDd
W1
REP2(LE1)
SDdu
100
LE1u
D3
D1

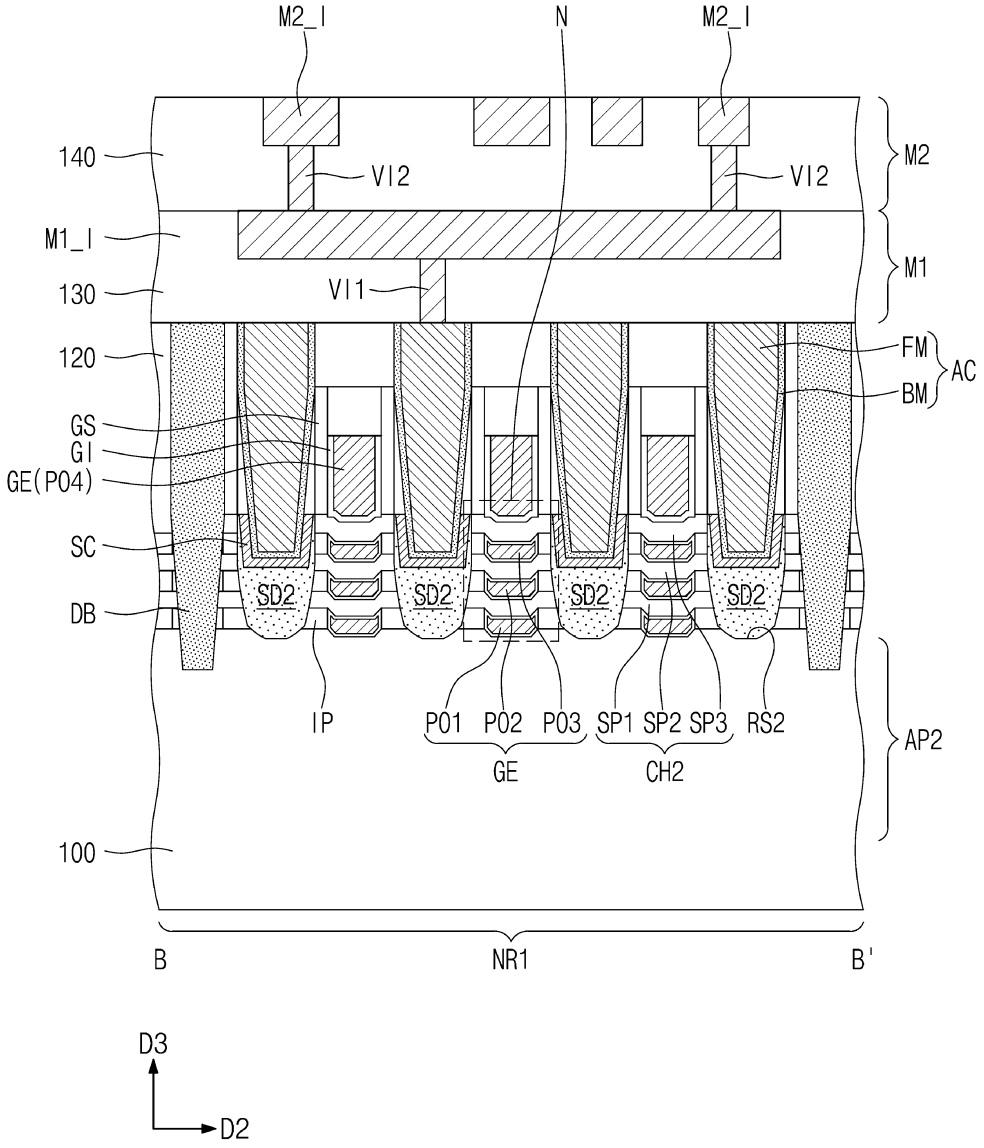
도면14


M2
CB1
M2_I
M2_I
M2_I
M2_I
AC
DB
M1_R(VDD)
A
A'
M1_I
PR
M1_I
GC
M1
M1_I
LC
B
B'
M1_I
NR
M1_I
M1_R(VSS)
100
D1
D2
D3
DB
GE
GC
AC

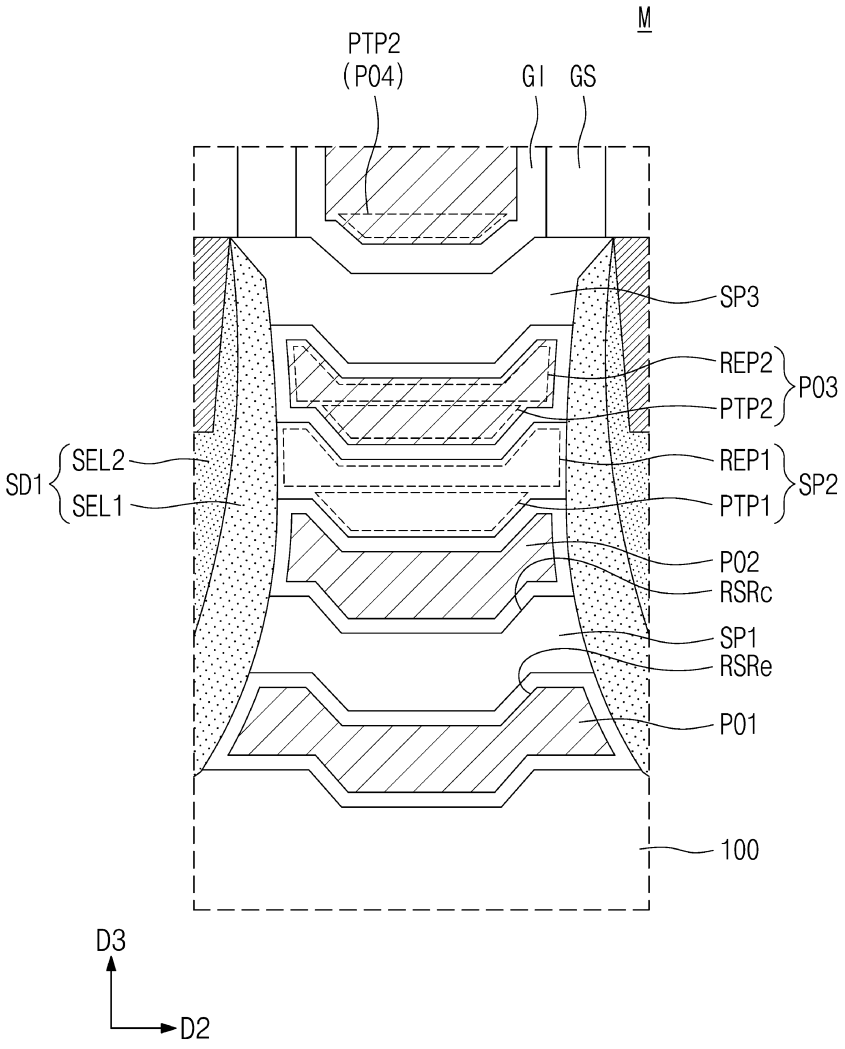
도면15a


M2_I
M
140
VI2
M2
M1_I
M1
130
VI1
FM
BM
GC
120
UIP
GS
GI
GE(P04)
FM
BM
AC
SC
DB
SD1
SD1
SEL1
SEL2
SD1
P01
P02
P03
GE
SP1
SP2
SP3
CH1
RS1
AP1
100
A
PR1
A'
D3
D2

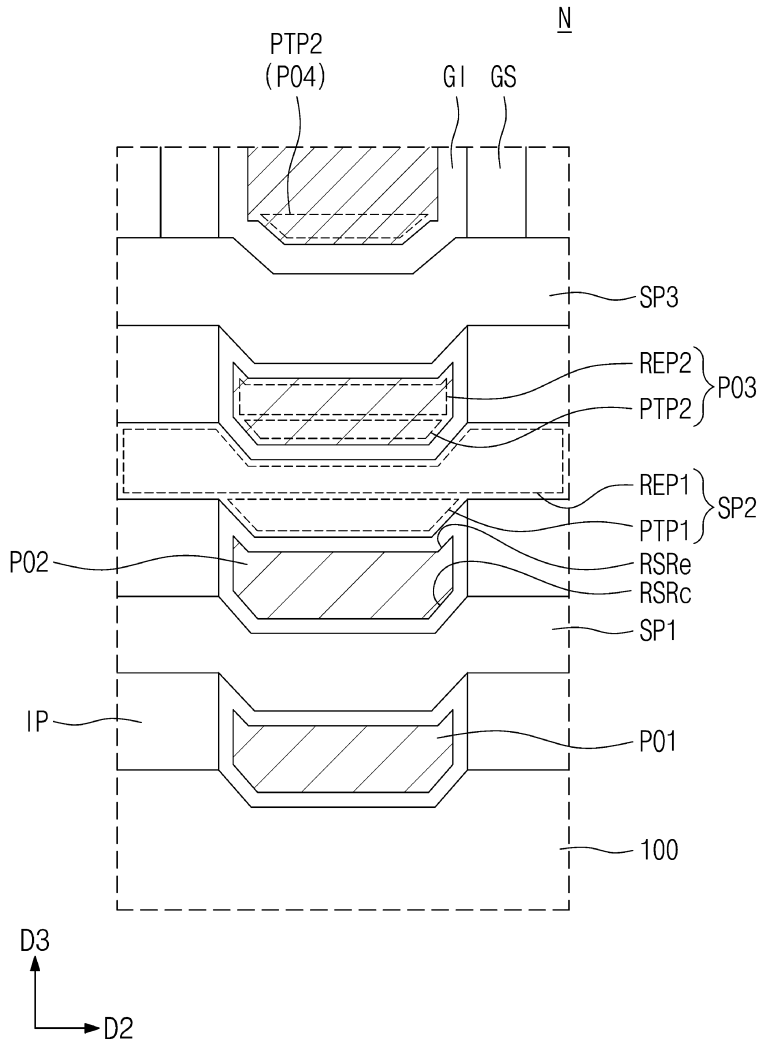
도면15b


M2_I
N
M2_I
140
VI2
VI2
M2
M1_I
M1
130
VI1
120
FM
AC
BM
GS
GI
GE(P04)
SC
SD2
SD2
SD2
SD2
DB
IP
P01
P02
P03
SP1
SP2
SP3
RS2
AP2
GE
CH2
100
B
NR1
B'
D3
D2

도면16a


M
PTP2
(P04)
GI
GS
SP3
REP2
P03
PTP2
SD1
SEL2
SEL1
REP1
SP2
PTP1
P02
RSRc
SP1
RSRe
P01
100
D3
D2

도면16b


N
PTP2
(P04)
GI
GS
SP3
REP2
PTP2
P03
REP1
PTP1
SP2
P02
RSRe
RSRc
SP1
IP
P01
100
D3
D2