



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월06일
(11) 등록번호 10-1348428
(24) 등록일자 2013년12월30일

(51) 국제특허분류(Int. Cl.)
H03M 13/37 (2006.01) H03M 13/00 (2006.01)

(21) 출원번호 10-2007-0018134
(22) 출원일자 2007년02월23일
심사청구일자 2012년02월22일

(65) 공개번호 10-2007-0087518
(43) 공개일자 2007년08월28일

(30) 우선권주장
11/380,820 2006년04월28일 미국(US)
60/776,527 2006년02월23일 미국(US)

(56) 선행기술조사문헌
US6634007 B1
US6034996 A
M. K. Cheng and P. H. Siegel, "Iterative Soft-Decision Reed-Solomon Decoding on Partial Response Channel", Proc. IEEE GLOBECOM' 03, vol. 3, 1-5 December 2003, p.1588-1592.*
James J. Kosmach, et al., "Algebraic-iterative Reed-Solomon Trellis Decoding", Proceedings of 1999 IEEE 49th Vehicular Technology Conference, Vol. 1, 1999, p.269-273.*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
타미라스 퍼 피티어. 엘티디., 엘엘씨
미국, 텔라웨어 19904, 도버, 스위트 101, 그린트리 드라이브 160

(72) 발명자
장, 유웨이
미국, 캘리포니아 94588, 플레젠튼, 하트웰 3327

(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 15 항

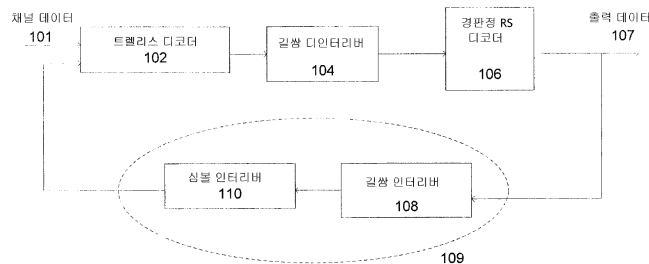
심사관 : 성경아

(54) 발명의 명칭 낮은 검출불가능 에러 확률을 갖는 에러-정정 코드를 기반으로 하는 경관정 반복 디코딩

(57) 요약

디코딩 시스템은 순방향 에러 정정(FEC) 인코딩된 데이터를 디코딩한다. 팩터 그래프 회로(가령 트렐리스 디코더 회로)가 하나 이상의 팩터 그래프에 따라 FEC 인코딩된 데이터를 처리한다. 순서 복구 회로(가령, 컨볼루션 디인터리버 회로)가 상기 팩터 그래프 회로의 출력에 연결되며, 상기 인코딩된 데이터에서 심볼의 순서를 복구한다. 에러 검출 및 정정 회로가 상기 순서 복구 회로의 출력에 연결되어 있고, 블록 기반의 에러 정정 코드를 처리하여, FEC 인코딩된 데이터에서 에러를 검출 및 정정할 수 있으며, 상기 디코딩 시스템의 출력으로 경관정 출력을 제공할 수 있다. 피드백 회로(가령, 컨볼루션 인터리버 회로 및 심볼 인터리버 회로)가 에러 정정 및 결정 회로로부터의 경관정 출력을 처리하도록, 그리고 상기 팩터 그래프 회로로 처리된 경관정 출력을 제공하도록 연결되어 있다.

대표도



특허청구의 범위

청구항 1

연결된 리드-솔로몬 코드(Reed-Solomon code) 및 트렐리스 코드(trellis code) 방식을 이용하여 인코딩된 순방향 에러 정정(FEC: Forward Error Correction) 인코딩된 데이터를 디코딩하도록 구성된 디코딩 시스템으로서,

상기 인코딩된 데이터를 적어도 하나의 트렐리스 그래프의 경로 부분에 따라 처리하도록 구성된 트렐리스 디코더 회로(trellis decoder circuitry);

상기 인코딩된 데이터에서 심볼의 순서를 복구하도록 구성되는, 상기 트렐리스 디코더 회로의 출력에 커플링된 순서 복구 회로(order restoring circuitry);

상기 순서 복구 회로의 출력에 커플링되어 상기 FEC 인코딩된 데이터에서의 에러를 검출하고 정정하기 위해 상기 트렐리스 디코더 회로로부터의 데이터에서의 블록 기반의 에러 정정 코드를 처리하도록 구성되고, 경관정 출력(hard decision output)을 상기 디코딩 시스템의 출력으로서 제공하도록 더 구성된 리드-솔로몬 에러 검출 및 정정 회로(Reed-Solomon detection and correction circuitry); 및

상기 리드-솔로몬 에러 검출 및 정정 회로의 출력에 커플링되고, 상기 경관정 출력을 재순서화(reordering)하도록 구성되어 상기 재순서화된 경관정 출력을 상기 트렐리스 디코더 회로로 제공하기 위한 재순서 회로(reordering circuitry)를 포함하며,

상기 트렐리스 디코더 회로는 상기 리드-솔로몬 에러 검출 및 정정 회로로부터의 상기 경관정 출력에 의해 표시된 상기 적어도 하나의 트렐리스 그래프의 하나 이상의 경로 부분을 선택하도록 구성되고, 상기 트렐리스 디코더 회로의 출력은 상기 선택된 하나 이상의 경로 부분에 적어도 부분적으로 의존하는, 디코딩 시스템.

청구항 2

제 1 항에 있어서,

상기 재순서화 회로는 상기 리드-솔로몬 에러 검출 및 정정 회로로부터의 상기 경관정 출력을 컨볼빙(convolving) 및 인터리빙(interleaving)함으로써 상기 경관정 출력을 재순서화하도록 구성된, 디코딩 시스템.

청구항 3

순방향 에러 정정(FEC: Forward Error Correction) 인코딩된 데이터를 디코딩하도록 구성된 디코딩 시스템으로서,

상기 인코딩된 데이터를 적어도 하나의 팩터 그래프의 특정 경로 부분에 따라 처리하도록 구성된 팩터 그래프 디코딩 회로(factor graph decoding circuitry);

상기 팩터 그래프 디코딩 회로의 출력에 커플링되고, 상기 인코딩된 데이터에서의 심볼의 순서를 복구하도록 구성된 순서 복구 회로(order restoring circuitry);

상기 순서 복구 회로의 출력에 커플링되어 상기 인코딩된 데이터에서의 에러를 검출하고 정정하기 위해 블록 기반의 에러 정정 코드를 처리하도록 구성되고, 경관정 출력(hard decision output)을 상기 디코딩 시스템의 출력으로서 제공하도록 더 구성된 에러 검출 및 정정 회로; 및

상기 경관정 출력을 처리하고 상기 처리된 경관정 출력을 상기 팩터 그래프 디코딩 회로로 제공하도록 구성된 피드백 회로를 포함하며,

상기 팩터 그래프 디코딩 회로는 상기 처리된 경관정 출력을 기반으로 상기 적어도 하나의 팩터 그래프의 특정 경로 부분을 선택하고, 상기 인코딩된 데이터를 상기 선택된 특정 경로 부분에 따라 처리하도록 구성된, 디코딩 시스템.

청구항 4

제 3 항에 있어서,

상기 팩터 그래프 디코딩 회로는 상기 인코딩된 데이터를 적어도 하나의 트렐리스 그래프에 따라 처리하도록 구

성된 트렐리스 디코더 회로를 포함하는, 디코딩 시스템.

청구항 5

제 4 항에 있어서,

상기 피드백 회로는, 상기 경관정 출력을 컨볼빙(convolve) 및 인터리빙(interleave)하고, 상기 컨볼빙되고 인터리빙된 경관정 출력을 상기 트렐리스 디코더 회로로 제공하도록 구성된 회로를 포함하는, 디코딩 시스템.

청구항 6

제 3 항에 있어서,

상기 피드백 회로는 상기 경관정 출력을 컨볼빙 및 인터리빙하고, 상기 컨볼빙되고 인터리빙된 경관정 출력을 상기 팩터 그래프 디코딩 회로로 제공하도록 구성된 회로를 포함하는, 디코딩 시스템.

청구항 7

제 3 항에 있어서,

상기 에러 검출 및 정정 회로는 리드-솔로몬 디코딩 회로를 포함하는, 디코딩 시스템.

청구항 8

제 3 항에 있어서,

상기 팩터 그래프 디코딩 회로는 복수의 경로 부분을 포함하며, 상기 복수의 경로 부분은 상기 팩터 그래프 디코딩 회로의 가능한 디코딩 출력에 대응하는 하나 이상의 경로를 포함하고; 그리고,

상기 팩터 그래프 디코딩 회로는 상기 팩터 그래프 디코딩 회로의 상기 출력이 상기 처리된 경관정 출력에 의해 표시되는 상기 하나 이상의 경로 부분을 기반으로 하도록 동작하게 더 구성된, 디코딩 시스템.

청구항 9

제 8 항에 있어서,

상기 팩터 그래프 디코딩 회로는, 또한, 상기 경관정 출력이 제공되지 않을 때, 상기 팩터 그래프 디코딩 회로의 상기 출력이 기반으로 하는 상기 하나 이상의 경로 부분이 상태 메트릭 기준(state metrics criteria)을 기반으로 결정되도록 동작하게 구성된, 디코딩 시스템.

청구항 10

순방향 에러 정정(FEC) 인코딩을 이용하여 인코딩된, 인코딩된 데이터를 디코더로 디코딩하는 방법으로서,

- (a) 상기 인코딩된 데이터를 적어도 하나의 팩터 그래프(factor graph)에 따라 처리하는 단계;
 - (b) 상기 FEC 인코딩된 데이터에서의 에러를 검출 및 정정하도록 상기 단계 (a)의 결과에서의 블록 기반의 에러 정정 코드를 처리하고, 이를 기반으로 경관정 출력을 제공하는 단계; 및
 - (c) 처리된 상기 경관정 출력을 상기 단계 (a)의 다음번 인스턴스(instance)로 제공하도록 상기 단계 (b)로부터의 상기 경관정 출력을 피드백하는 단계를 포함하며,
- 상기 단계 (a)의 다음번 인스턴스는, 제공되는 상기 처리된 경관정 출력을 적어도 부분적으로 기반으로 하여 상기 적어도 하나의 팩터 그래프 중 특정 경로 부분을 결정하는 단계, 및 상기 인코딩된 데이터를 상기 결정된 특정 경로 부분에 따라 처리하는 단계를 포함하는, 디코딩하는 방법.

청구항 11

제 10 항에 있어서,

상기 인코딩된 데이터를 처리하는 단계는 상기 인코딩된 데이터를 적어도 하나의 트렐리스 그래프에 따라 처리하는 단계를 포함하는, 디코딩하는 방법.

청구항 12

제 11 항에 있어서,

상기 단계 (b)로부터의 상기 경관정 출력을 피드백하는 단계는 상기 단계 (b)로부터의 상기 경관정 출력을 컨볼빙하고 인터리빙하는 단계를 포함하는, 디코딩하는 방법.

청구항 13

제 10 항에 있어서,

상기 단계 (b)로부터의 상기 경관정 출력을 피드백하는 단계는 상기 단계 (b)로부터의 상기 경관정 출력을 컨볼빙하고 인터리빙하는 단계를 포함하는, 디코딩하는 방법.

청구항 14

제 10 항에 있어서,

상기 단계 (b)는 리드-솔로몬 디코딩에 따라 상기 블록 기반의 에러 정정 코드를 처리하는 단계를 포함하는, 디코딩하는 방법.

청구항 15

제 10 항에 있어서,

상기 단계 (a)는, 상기 경관정 출력이 상기 단계 (b)로부터 제공되지 않을 때, 상기 특정 경로 부분이 상태 메트릭 기준(state metrics criteria)을 기반으로 하여 결정되도록 상기 팩터 그래프를 처리하는 단계를 더 포함하는, 디코딩하는 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0005] 본 발명은 디지털 이미지 프로세싱에 관한 것이며, 더 세부적으로는, (ATSC 표준(Advanced Television System Committee Standard)에 따라 사용되는 단축된 리드-솔로몬 인코딩과 같은) 매우 낮은 검출불가능 에러 확률을 갖는 순방향 에러 정정 및 검출 방식을 이용하여, 인코딩된 신호를 디코딩하기에 특히 적합한 디코딩 프로세싱에 관한 것이다. 디코딩은 경관정(hard decision) 에러 검출 및 정정 디코딩을 포함하는 반복 기법을 사용한다.
- [0006] ATSC(Advanced Television System Committee)는 디지털 TV(DTV) 신호를 인코딩하기 위한 표준을 제시한다. 예를 들어, ATSC A/53E의 섹션 5.1 “Digital Television Standard”(Annex D, 2005년 12월 27일)에는 인코딩 프로세싱에 대하여 다음과 같이 기술되어 있다.
- [0007] “인커밍 데이터가 무작위화되고, 순방향 에러 정정(FEC)을 위해 RS(리드-솔로몬) 코딩과, 1/6 데이터 필드 인터리빙과, 2/3 레이트 트렐리스 코딩의 형태로 처리된다.”
- [0008] 도 3은 종래의 ATSC 송신 측 인코더 구조물(300)을 나타내고 있다. 도 3에서 나타난 바와 같이, 송신될 MPEP 데이터(302)가 인코더 구조물(300)에 입력되고, 랜더마이저 회로(304)에 의해 무작위화 된다. 리드-솔로몬 인코더 회로(306)가 리드-솔로몬 에러 정정 코드를 발생시키고, 따라서 인코딩된 송신 데이터가 컨볼루션 인터리버 회로(convolutional interleaver circuitry)(308)로 제공된다. 컨볼루션 인터리버 회로(308)의 출력이 트렐리스 인코더 회로(310)로 제공되고, 이후에 송신 채널(312)로 제공된다.
- [0009] 도 4는 도 3의 ATSC 송신 측 인코더 구조물의 구성요소로서의 종래의 트렐리스 인코더 구조를 도시한 블록 다이어그램이다. 8 VSB 송신 서브-시스템은 (프리-코더(402, pre-coder)에서 프리-코딩되는 하나의 코딩되지 않은 비트를 갖는) 2/3 레이트(R=2/3)의 트렐리스 코드(trellis code)를 사용한다. 즉, 하나의 입력 비트(X1)는 1/2 레이트의 컨볼루션 코드를 사용하여 두 개의 출력 비트(Z1과 Z0)로 인코딩되며, 다른 입력 비트(X2)는 프리코딩된다. 4-상태 트렐리스 인코더(404)가 사용된다. 트렐리스 인코더의 출력(Z2, Z1, Z0)이 심볼 매핑(symbol

mapper)(406)로 제공되고, 채널로 출력된다(도 3의 참조번호(312)).

[0010] 이러한 인코딩된 데이터를 정확하고 효율적으로 디코딩하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

[0011] 디코딩 시스템은 순방향 에러 정정(FEC) 인코딩된 데이터를 디코딩하도록 구성된다. 팩터 그래프 회로(가령 트렐리스 디코더 회로)가 적어도 하나의 팩터 그래프에 따라 FEC 인코딩된 데이터를 처리하도록 구성된다. 순서 복구 회로(가령, 컨볼루션 디인터리버 회로)가 팩터 그래프 회로의 출력에 연결되며, 인코딩된 데이터에서의 심볼의 순서를 복구하도록 구성된다. 에러 검출 및 정정 회로가 순서 복구 회로의 출력에 연결되며, 블록 기반의 에러 정정 코드를 처리하여, FEC 인코딩된 데이터에서의 에러를 검출 및 정정하고, 디코딩 시스템의 출력으로 경관정 출력을 제공하도록 구성된다. 피드백 회로(가령, 컨볼루션 인터리버 회로 및 심볼 인터리버 회로)가 에러 정정 및 검출 회로로부터의 경관정 출력을 처리하여, 처리된 경관정 출력을 팩터 그래프 회로로 제공하도록 연결된다.

발명의 구성 및 작용

[0012] 배경 기술에서 기술된 바와 같이, ATSC A/53E 기술문서에서 설명된 순방향 에러 정정(FEC) 방식은 연결된 리드-솔로몬(RS: Reed-Solomon) 코드 및 트렐리스 코드 방식이다. 이러한 인코딩된 신호의 통신은 일반적으로 새넨 한계(Shannon limit)로부터 3 ~ 4dB만큼 떨어진 것을 특징으로 한다. 즉, 이러한 ASTC 인코딩 신호의 송신 및 디코딩에 연계된 에러 검출 및 정정 성능을 개선하는 것이 이론적으로 가능하다는 것이 공지되어 있다.

[0013] 적어도 일부 경우에서, (에러 검출 및 정정을 포함하는) 디코딩 시스템 성능을 개선하기 위한 종래의 반복 기법으로는 터보 디코딩(Turbo decoding)이 있다. 연관정(soft decision) 기반의 반복 디코딩 알고리즘을 이용하는 터보 디코딩에 의해, 디코딩 시스템은 새넨 한계에 매우 근접하여 동작할 수 있다. 그러나 RS 코드의 연관정 디코딩은, 일반적으로, “NP 문제”를 갖는다. 본 발명의 발명자는, 트렐리스 디코더의 연출력(soft output) 및 연관정 RS 디코더의 출력을 처리하는 것에 다른 방법으로 연계되는 복잡도가 최소화될 수 있다는 것을 알았다. 일반적으로, 하나의 태양에 따라서, 경관정 RS-기반의 반복 디코딩 방식이 사용된다.

[0014] 경관정 디코딩 방식에 따르면, 수신기는 각각의 송신된 심볼의 고유성에 대한 경관정을 내릴 수 있고, 그 후, 수신된 심볼의 시퀀스가 디코딩되어, 송신된 심볼의 정정된 시퀀스를 판단할 수 있다. 한편 연관정 디코딩에 따르면, 수신기는 각각의 송신된 심볼에 대한 "경"관정을 내리기 전에, 각각의 가능한 관정의 신뢰성에 대한 평가(estimate)를 내릴 수 있다. 그 후, 평가된 신뢰도의 시퀀스(연관정)이 디코딩되어, 송신된 심볼의 정정된 시퀀스를 판단할 수 있다.

[0015] 도 1은 하나의 태양에 따른 반복 디코더 구조(100)를 나타내고 있으며, 여기에서는 경관정 RS-기반의 반복 디코딩 방식이 사용된다. 이는 (경관정 반복 디코딩 방식과는 반대되는) 연관정이 사용되는 종래의 반복 디코더 구조물과는 다르다.

[0016] 도 1을 참조하면, 채널 데이터(101)가 경관정 출력 트렐리스 디코더 회로(102)로 제공된다. 그 밖의 다른 팩터 그래프들(이들 중의 트렐리스 그래프는 예시임)을 사용하는 디코딩이 최대 우도 디코딩(maximum likelihood decoding)에 대하여 사용될 수 있다. 트렐리스 디코더 회로(102)의 경관정 출력이 컨볼루션 디인터리버 회로(104)로 제공되며, 이 컨볼루션 디인터리버 회로(104)는 트렐리스 디코더 회로(102)로부터 출력된 컨볼루션 인코딩된 소스 데이터를 디코딩하고 데이터 인터리버를 제거한다. 컨볼루션 디인터리버 회로(104)는, 예를 들어 비터비(Viterbi) 디코더 회로를 포함할 수도 있다.

[0017] RS 디코더(106)의 입력이 컨볼루션 디인터리버 회로(104)의 출력으로 연결되어 있다. 앞서 언급된 바와 같이, RS 디코더(106)는 경관정 디코더이다. 앞서 언급된 바와 같이, 일반적으로 RS 코드의 연관정 디코딩은 “NP 문제”이다. 본 발명에 의하면, ATSC 컴플라이언트 FEC 방식에 따라 인코딩된 신호에서의 RS 코드는, RS 코드가 매우 낮은 검출불가능 에러 확률을 가질 수 있을 정도로 충분히 짧다-- (207, 187) --. 그 결과로서, 반복 디코딩 알고리즘이 경관정 RS 디코딩과 결합되어 사용될 수 있다.

[0018] 일 실시예에서, RS 경관정 디코딩은 종래의 기법을 사용하여 수행된다. RS 경관정 디코딩에 대한 여러 다른 알고리즘이 존재한다. 이러한 알고리즘 중에서, BM(Berlekamp-Massey)와 유클리드 알고리즘이 일반적이다. 일 실시예에서, RS 디코딩은 4 스텝을 갖는다. 즉, 스텝 1: 패턴 계산(Syndrome calculation)과, 스텝 2: BM 또는 유클리드 알고리즘을 이용한 키 방정식(Key equation)과, 스텝 3: Chien 검색과, 스텝 4: Forney 공식을 이용한

에러 정정이 있다. 본 발명의 발명자는, 경관정 반복 방식이 FEC 인코딩된 신호의 디코딩을 개선시키도록 하기 위해, RS 코드가 충분히 큰 해밍 거리(hamming distance) 또는 충분히 짧은 메시지 요소를 가져야 하며, 이는 매우 낮은 검출불가능 에러 확률을 갖는 RS 코드를 도출한다는 것을 알았다. 본 발명의 발명자는, 또한, ATSC의 RS 코드가 이러한 조건을 충족시키는 것을 알았으며, 시뮬레이션은 적어도 1dB 개선이 실현될 수 있음을 나타낸다.

[0019] 도 1을 다시 참조하면, 경관정 RS 디코더(106)의 출력은 디코딩된 출력 데이터(107)이다. 덧붙여, 경관정 RS 디코더(106)의 출력은 또한 회로(109)로 제공되어, 예를 들어 후속의 디코딩 동작을 유도하기 위해, 트렐리스 디코더(102)에 의해 사용된다. 도 1의 디코더 구조물(100)에서, 회로(109)는 컨볼루션 인터리버 회로(108)와 심볼 인터리버 회로(110)를 포함한다.

[0020] 트렐리스 디코더 회로(102)에 대하여 더 자세하게 서술한다. 특히, 트렐리스 디코더 회로(102)가 경관정 RS 디코더(106)의 경관정 출력을 사용하는 방법에 대하여 서술된다. 일반적으로, 팩터 그래프 디코딩(factor graph decoding)은 팩터 그래프를 통한 최적의 경로를 판단하기 위한 알고리즘을 기반으로 한다. 예를 들어, 도 2에서 나타난 바와 같이, 트렐리스 디코딩은 비터비 알고리즘을 기반으로 한다. ATSC 컴플라이언트 FEC 인코딩된 신호를 디코딩하기 위해, 8-상태 트렐리스 다이어그램이 트렐리스 디코딩에 대하여 사용될 수 있다(도 2의 예시 참조). 도 2의 예시를 여전히 이용하면, 각각의 상태는 이전 4개의 상태로부터 합쳐지는 4개의 가지를 가짐을 알 수 있다. 비터비 알고리즘을 이용하여, 최적 가지가 상태 매트릭 기준(수신된 데이터 시퀀스와 후보 디코딩된 데이터 시퀀스 사이의 거리에 대한 일종의 측정치)을 기반으로 하여 4개의 가능한 가지로부터 선택된다. 각각의 상태에서, 선택된 최적의 가지가 이전의 최적의 가지와 함께 연결되어 최적 경로를 형성한다. 따라서, 임의의 주어진 시간에서, 상기 8개의 트렐리스 상태가 8개의 후보 디코딩 시퀀스와 연계되어 있다. 비터비 알고리즘에 의해, 상태 매트릭 값을 기반으로 하여, 최종 디코딩된 시퀀스로서 최적 후보 디코딩 시퀀스의 선택이 도출된다.

[0021] 경관정 정보가 RS 디코더 회로(106)로부터 입수 가능할 때, 트렐리스 디코더(102)가 4개의 가능한 가지로부터 직접 RS 데이터에 의해 나타내어지는 가지를 취한다. 이와 달리, RS 디코더 회로(106)가 피드백 데이터를 신뢰할 수 없다고 나타낼 경우(또는 피드백 데이터를 신뢰할 수 있는 것도 아니고 신뢰하지도 않는 것으로 간주하는 경우), 트렐리스 디코더 회로(106)는, 바로 앞에서 서술된 바와 같이, 최적의 가지를 검색한다.

[0022] ATSC 인코딩된 신호의 경관정 RS-기반의 반복 디코딩에 대한 시스템 및 방법이 설명되었다. 앞서 서술된 바와 같이, 상기 시스템 및 방법은, 에러 정정 및 검출 회로의 출력이 매우 낮은 검출불가능 에러 확률을 갖는 반복 방식으로 리드-솔로몬(또한 그 밖의 다른 에러 정정 및 검출) 디코딩 방식의 사용에 적용되는 것이 일반적이다.

발명의 효과

[0023] 본 발명의 경관정 디코딩 방식에 따르면, 수신기는 각각의 송신된 심볼의 고유성에 대한 경관정을 내릴 수 있고, 그 후, 수신된 심볼의 시퀀스가 디코딩되어, 송신된 심볼의 정정된 시퀀스를 판단할 수 있다. 본 발명의 연관정 디코딩에 따르면, 수신기는 각각의 송신된 심볼에 대한 경관정을 내리기 전에, 각각의 가능한 판정의 신뢰도에 대한 평가(estimate)를 내릴 수 있다. 그 후, 평가된 신뢰도의 시퀀스(연관정)이 디코딩되어 송신된 심볼의 정정된 시퀀스를 판단할 수 있다.

도면의 간단한 설명

[0001] .도 1은 경관정 에러 검출 및 정정 디코더(이 경우, 리드-솔로몬 기반 디코더)가 사용되는 반복 디코더 시스템(100)의 블록 다이어그램이다.

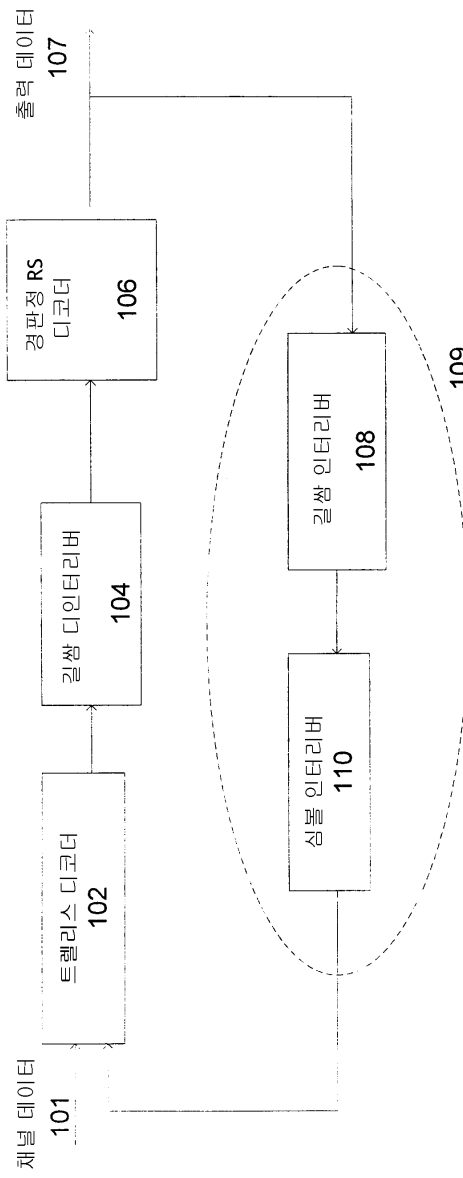
[0002] 도 2는 경관정 기반 피드백 입력에 따라 동작하는 팩터 그래프 기반의 디코더의 예(구체적으로, 도 1의 블록 다이어그램에서의 트렐리스 디코더(120)와 같은 트렐리스 디코더의 예)의 도면이다.

[0003] 도 3은 종래의 ATSC 송신기 즉 인코더 구조물을 나타낸 블록 다이어그램이다.

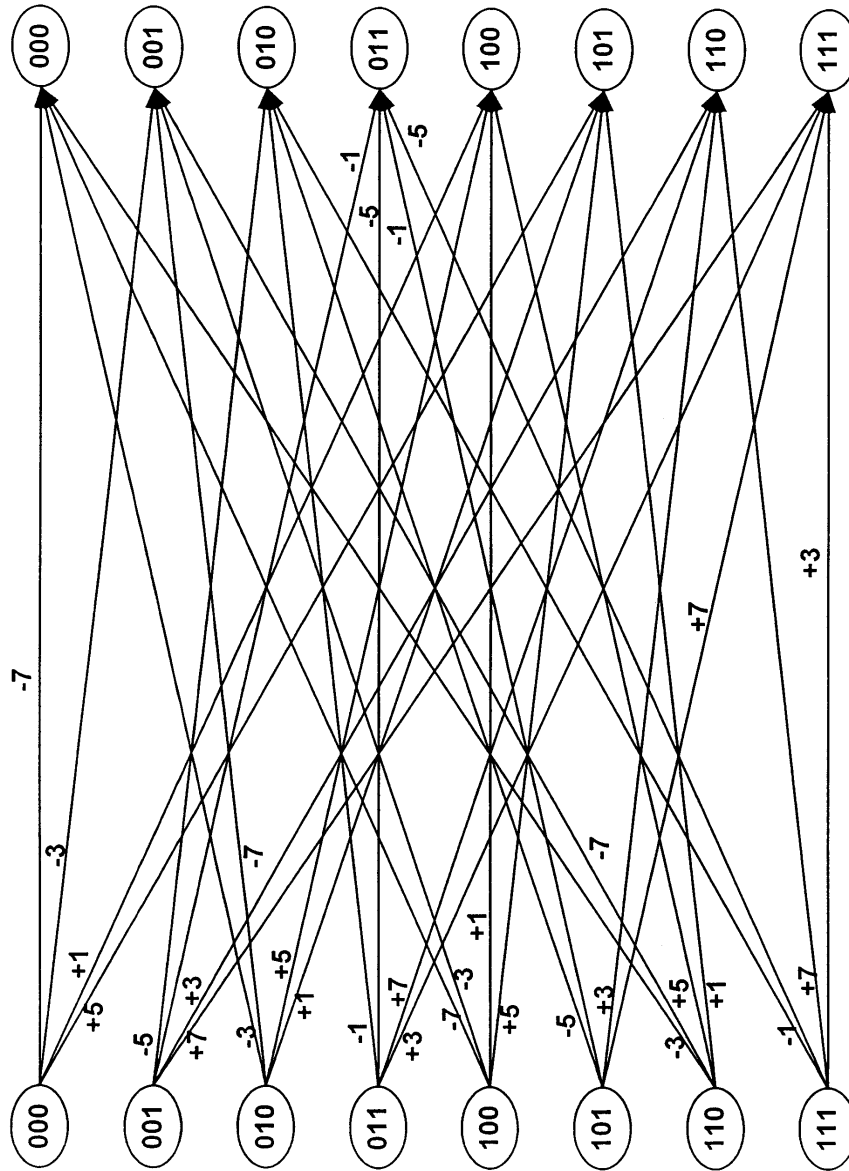
[0004] 도 4는, 도 3의 ATSC 송신기 즉 인코더 구조물의 구성요소로서, 종래의 트렐리스 인코더 구조물을 도식한 블록 다이어그램이다.

도면

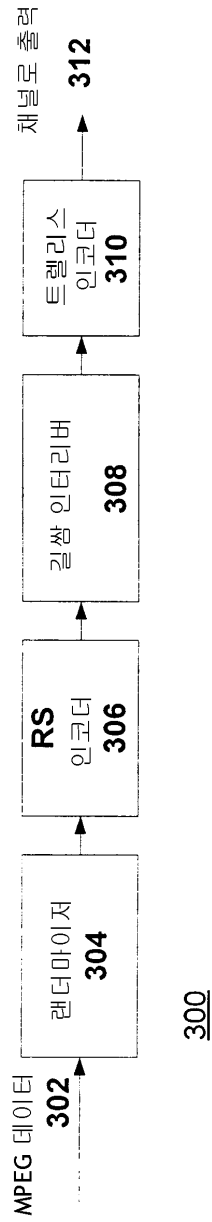
도면1



도면2



도면3



도면4

