

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成20年4月24日(2008.4.24)

【公開番号】特開2006-339760(P2006-339760A)

【公開日】平成18年12月14日(2006.12.14)

【年通号数】公開・登録公報2006-049

【出願番号】特願2005-158926(P2005-158926)

【国際特許分類】

H 0 4 B 10/04 (2006.01)

H 0 4 B 10/06 (2006.01)

H 0 4 B 10/142 (2006.01)

H 0 4 B 10/152 (2006.01)

H 0 4 J 14/00 (2006.01)

H 0 4 J 14/02 (2006.01)

H 0 4 L 27/34 (2006.01)

H 0 4 B 10/14 (2006.01)

H 0 4 B 10/26 (2006.01)

H 0 4 B 10/28 (2006.01)

【F I】

H 0 4 B 9/00 L

H 0 4 B 9/00 E

H 0 4 L 27/00 E

H 0 4 B 9/00 Y

【手続補正書】

【提出日】平成20年3月10日(2008.3.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

内部光伝送路に結合された複数の光変調器を含む光変調部と、上記光変調部に供給すべき複数の高速直列デジタル信号列を発生する電気回路部とからなる光伝送装置であって、上記電気回路部が、

それぞれが N ビット ( N は複数 ) 並列で低速デジタル信号を転送する複数の並列信号路と、

それぞれ上記並列信号路のうちの 1 つから N ビット並列で受信した低速デジタル信号を上記光変調部に供給すべき高速直列デジタル信号列に変換して出力する複数の多重化回路と、

上記並列信号路のうちの少なくとも 1 つに挿入された遅延制御バッファ回路とを有し、

上記遅延制御バッファ回路が、 N ビット並列で受信した低速デジタル信号を高速直列デジタル信号列のビット時間単位、もしくはビット時間の整数分の 1 の時間単位で遅延制御して、該並列信号路に出力することを特徴とする光伝送装置。

【請求項 2】

前記遅延制御バッファ回路が、 N ビット並列で受信した低速デジタル信号を論理的に直列に配列されたデータとして一時的に蓄積し、予め指定された遅延制御量に応じて選択されたビット位置から始まる N ビットデータを前記並列信号路に低速デジタル信号として出

力することを特徴とする請求項 1 に記載の光伝送装置。

【請求項 3】

前記遅延制御バッファ回路が、Nビット並列で受信したデジタルデータを一時的に蓄積するためのメモリと、Nビット並列データの書き込みアドレスを発生する書き込みアドレス発生器と、予め指定された遅延制御量を記憶するレジスタと、上記書き込みアドレス発生器から出力された書き込みアドレスと上記レジスタに記憶された遅延制御量とに基づいて、前記並列信号路に出力すべきNビットデータの読み出しアドレスを生成する読み出しアドレス発生器とを備えたことを特徴とする請求項 1 に記載の光伝送装置。

【請求項 4】

前記電気回路部が、予め指定された制御量に応じて、特定の多重化回路に供給されるクロック信号の位相を調整する遅延量微調整部を備え、前記各多重化回路に、供給されたクロック信号に応じた所定のタイミングで高速直列デジタル信号列の各ビットを出力させることを特徴とする請求項 1 ～ 請求項 3 の何れかに記載の光伝送装置。

【請求項 5】

前記並列信号路のうちの複数の前記遅延制御バッファ回路を備え、

前記電気回路部が、前記並列信号路と対応して遅延制御量を記憶するメモリと、上記メモリに記憶された遅延制御量を上記遅延制御バッファ回路に設定する制御部とを有することを特徴とする請求項 1 ～ 請求項 4 の何れかに記載の光伝送装置。

【請求項 6】

前記電気回路部が、前記並列信号路と対応して遅延制御量とクロック位相制御量とを記憶するメモリと、上記メモリに記憶された遅延制御量とクロック位相制御量を前記遅延制御バッファ回路と遅延量微調整部に設定する制御部とを有することを特徴とする請求項 4 に記載の光伝送装置。

【請求項 7】

外部光伝送路から受信した多値変調光信号を電気的な複数の高速直列デジタル信号列に変換して出力する光復調部と、上記光復調部から受信した複数の高速直列デジタル信号列を複数の低速デジタル信号列に変換して出力する電気回路部とからなる光伝送装置であって、上記電気回路部が、

それぞれがNビット（Nは複数）並列でデジタル信号を転送する複数の並列信号路と、それぞれが高速直列デジタル信号列をNビット並列の低速デジタル信号に変換して、上記並列信号路に出力する複数の分離回路と、

上記並列信号路のうちの少なくとも1つにおいて、Nビット並列で受信した低速デジタル信号を高速直列デジタル信号列のビット時間単位、もしくはビット時間の整数分の1の時間単位で遅延制御して出力する遅延制御バッファ回路と、

上記並列信号路から受信したNビット並列の複数の低速デジタル信号を符号形式の異なる低速並列デジタル信号列に変換する少なくとも1つの復号器とからなることを特徴とする光伝送装置。

【請求項 8】

前記遅延制御バッファ回路が、Nビット並列で受信した低速デジタル信号を論理的論理的に直列に配列されたデータとして一時的に蓄積し、予め指定された遅延制御量に応じて選択されたビット位置から始まるNビットデータを前記並列信号路に低速デジタル信号として出力することを特徴とする請求項 7 に記載の光伝送装置。

【請求項 9】

前記遅延制御バッファ回路が、Nビット並列で受信したデジタルデータを一時的に蓄積するためのメモリと、Nビット並列データの書き込みアドレスを発生する書き込みアドレス発生器と、予め指定された遅延制御量を記憶するレジスタと、上記書き込みアドレス発生器から出力された書き込みアドレスと上記レジスタに記憶された遅延制御量とに基づいて、前記並列信号路に出力すべきNビットデータの読み出しアドレスを生成する読み出しアドレス発生器とを備えたことを特徴とする請求項 8 に記載の光伝送装置。

【請求項 10】

前記電気回路部が、前記復号器として、位相変調用の復号器、多値変調用の復号器、トリレス復号器のうちの少なくとも1つを含むことを特徴とする請求項7～請求項9の何れかに記載の光伝送装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正の内容】

【0059】

上記信号伝搬時間差を補償するため、第2の信号経路に挿入された遅延制御バッファ回路105-2の遅延量設定レジスタ136には、遅延ビット数Dとして「9」ビットが設定される。遅延制御バッファ回路105-2は、入力された低速並列信号を高速直列信号9ビット分だけ遅延して出力する。その結果、遅延制御バッファ回路105-2の出力では、図5(C)に示すように、信号線d0から入力された斜線部のビットデータ「1」が、低速並列デジタル信号の2ビットスロット分(高速直列信号で8ビット分)遅れたタイミングで、1ビットずれた信号線d1に出力される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

多重化回路106-1から出力された高速直列デジタル信号は、伝送路107-1を通過して光位相変調器109-1に供給され、光信号に変換した後、光ファイバ遅延線111-1を介して光位相変調器109-2に到着する。PSK符号器103から出力された経路114-1の信号が光位相変調器109-2に到着する迄の総遅延時間をT1として、経路114-1の送信信号が光位相変調器109-2に到着するタイミングを図5(F)に示す。一方、多重化回路106-1から出力された経路114-2の信号が、信号路107-1で受ける遅延時間をT2として、光位相変調器109-2への到着タイミングを図5(G)に示す。遅延ビット数D(=9ビット)が、遅延時間T2とT1の差に相当していれば、図5(E)、(F)から判るように、斜線部のビット情報が、同一のタイミングで光位相変調器109-2から出力されることになる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0088

【補正方法】変更

【補正の内容】

【0088】

基準光受信器から出力される低速データ信号のデータパターンを観測しながら、特異パターンが検出される迄(505)、テストパターンの繰り返し周期で測定対象遅延制御バッファ回路105-1の遅延制御量を1ビットずつ増加する(504)。基準光受信器側で特異パターンが検出された時点で、測定対象遅延制御バッファ回路の遅延制御量の増加を停止し、次の遅延制御バッファ回路105-2を測定対象に選択して(502)、同様の動作を繰り返す。全ての遅延制御バッファ回路について、最適な遅延制御量が決定された時点で、遅延制御バッファ回路毎の設定遅延値を記録し(506)、測定ルーチン500の実行を完了する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

## 【補正の内容】

## 【0099】

光伝送装置 165 - 1 が示すように、各光伝送装置 165 は、上り、下りの各方向で、光波長分波器 167 (167 - 1、167 - 2) を介して受信側光ファイバ伝送路に結合された複数の光受信器 (RX) 200 (200 - 1 ~ 200 - 3、200 - 4 ~ 200 - 6) と、光波長合波器 166 (166 - 1、166 - 2) を介して送信側光ファイバ伝送路に結合された複数の光送信器 (TX) 100 (100 - 1 ~ 100 - 3、100 - 4 ~ 100 - 6) とを備えている。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0127

【補正方法】変更

## 【補正の内容】

## 【0127】

Q成分 (I成分) の4値高速直列信号は、図6に示した第1実施例の光受信器におけるフォトダイオード205の出力信号処理と同様、3組のクロック抽出・識別回路154 - 1 ~ 154 - 3 (154 - 4 ~ 154 - 6) によって、3本の高速直列デジタル信号に変換され、分離回路155 - 1 ~ 155 - 3 (155 - 4 ~ 155 - 6) と遅延制御バッファ回路105 - 1 ~ 105 - 3 (105 - 4 ~ 105 - 6) を経て、Q成分 (I成分) 4値強度変調用の並列復号器211 - 1 (211 - 2) で復号される。

## 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0131

【補正方法】変更

## 【補正の内容】

## 【0131】

本実施例では、遅延制御バッファ回路105 - 1、105 - 2によって、入力ファイバ202の端から復号器223までの間に存在する複数経路の遅延時間を等しくできるため、入力ファイバ202で並列転送されたビット情報を差動位相変調/トレリス復号器223に正しい位相で入力することが可能となる。