



(10) 授权公告号 CN 111742368 B

(45) 授权公告日 2022.09.13

(21) 申请号 201880090142.8

(22) 申请日 2018.12.21

(65) 同一申请的已公布的文献号
申请公布号 CN 111742368 A

(43) 申请公布日 2020.10.02

(30) 优先权数据
62/611,205 2017.12.28 US
62/752,092 2018.10.29 US

(85) PCT国际申请进入国家阶段日
2020.08.24

(86) PCT国际申请的申请数据
PCT/US2018/067338 2018.12.21

(87) PCT国际申请的公布数据
W02019/133534 EN 2019.07.04

(73) 专利权人 日升存储公司
地址 美国加利福尼亚州

(72) 发明人 E.哈拉里 S.B.赫纳 W-Y.钱

(74) 专利代理机构 北京市柳沈律师事务所
11105
专利代理师 邱军

(51) Int.Cl.
G11C 16/04 (2006.01)
H01L 29/06 (2006.01)

(56) 对比文件
US 6754105 B1, 2004.06.22
US 2008266960 A1, 2008.10.30
US 7512012 B2, 2009.03.31
US 2017092371 A1, 2017.03.30
CN 103226972 A, 2013.07.31

审查员 王光军

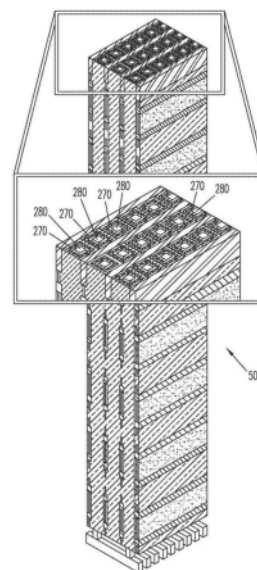
权利要求书4页 说明书7页 附图8页

(54) 发明名称

具有很细节距的三维NOR存储器阵列:装置和方法

(57) 摘要

一种易于制造用于具有20nm或更小的特征尺寸或具有大数目的存储器层的存储器单元的高深宽比三维存储器结构的方法。本发明还提供了沿着有源条带的相同或相对侧的相邻存储器单元之间的改善的隔离。通过在沿着有源条带的相同侧的相邻存储器单元之间引入强电介质屏障膜并通过使有源条带的相对侧的存储器单元交错来提供改善的隔离。



1. 一种形成存储器结构的过程,包括:

在半导体衬底的平坦表面上方形成多个有源堆叠体,其中 (i) 每个有源堆叠体包括沿着实质上垂直于所述平坦表面的第一方向堆叠的多个有源条带,所述多个有源条带由电介质层彼此电隔离, (ii) 每个有源条带包括多个半导体层,并且 (iii) 所述有源堆叠体各自实质上沿着平行于所述平坦表面的第二方向纵长地延伸,相邻的有源堆叠体由各自具有沿着第三方向所测量的预定宽度的第一组沟槽彼此分开,所述第三方向也实质上平行于所述平坦表面;

在所述第一组沟槽中形成沿着所述第一方向延伸的第一组导体,每个导体包括第一导电材料且每个导体通过第一电荷俘获层与和其相邻的有源堆叠体隔离,其中每个沟槽内的所述导体彼此分开预定距离;以及

形成沿着所述第一方向延伸的第二组导体,其中所述第二组导体中的每个导体提供在所述第一组导体中的两个相邻导体之间,所述第二组导体中的每个导体包括第二导电材料且所述第二组导体中的每个导体通过第二电荷俘获层与和其相邻有源堆叠体隔离;并且

其中每个有源条带的所述半导体层提供公共源极区、公共漏极区和多个沟道区,使得所述公共源极区、所述公共漏极区、每个沟道区、所述第一组导体中的与所述沟道区相邻的导体、以及所述沟道区与所述第一组导体中相邻于所述沟道区的导体之间的第一电荷俘获层形成第一薄膜储存晶体管,并且使得所述公共源极区、所述公共漏极区、每个沟道区、所述第二组导体中的与所述沟道区相邻的导体、以及所述沟道区与所述第二组导体中相邻于所述沟道区的导体之间的第二电荷俘获层形成第二薄膜储存晶体管。

2. 如权利要求1所述的过程,其中形成所述第一组导体包括:

在所述第一组沟槽的侧壁之上共形地形成所述第一电荷俘获层,在所述第一组沟槽中的每一个中留下由所述第一电荷俘获层封闭的空间;

由所述第一导电材料填充所述空间;

在每个空间中图案化并蚀刻所述第一导电材料以形成所述第一组导体,使得所述第一组导体中的相邻导体沿着所述第二方向分开所述预定距离。

3. 如权利要求2所述的过程,其中形成所述第二组导体包括:

移除将所述第一组导体中的相邻导体分开的所述预定距离内的所述第一电荷俘获层以形成第二组沟槽;

在所述第二组沟槽的侧壁之上共形地形成所述第二电荷俘获层,在所述第二组沟槽中的每一个内留下由所述第二电荷俘获层围绕的空间;以及

在所述第二组沟槽中的每一个中用所述第二导电材料填充由所述第二电荷俘获层围绕的空间以形成所述第二组导体。

4. 如权利要求1所述的过程,其中形成所述第一组导体包括:

沉积牺牲材料以填充所述第一组沟槽;

图案化并蚀刻所述牺牲材料以形成第二组沟槽,所述第二组沟槽中的每一个由所述牺牲材料的剩余部分分开;

在所述第二组沟槽的侧壁之上共形地形成所述第一电荷俘获层,在所述第二组沟槽中的每一个内留下由所述第一电荷俘获层围绕的空间;以及

在所述第二组沟槽中的每一个中用所述第一导电材料填充由所述第一电荷俘获层围

绕的空间以形成所述第一组导体。

5. 如权利要求4所述的过程, 其中形成所述第二组导体包括:

移除所述牺牲材料的剩余部分以形成第三组沟槽;

在所述第三组沟槽的侧壁之上共形地形成所述第二电荷俘获层, 在所述第三组沟槽中的每一个内留下由所述第二电荷俘获层围绕的空间; 以及

在所述第三组沟槽中的每一个中用所述第二导电材料填充所述由所述第二电荷俘获层围绕的空间以形成所述第二组导体。

6. 如权利要求1所述的过程, 其中所述第一导电材料和所述第二导电材料中的至少一个是金属导体。

7. 如权利要求1所述的过程, 其中所述第一导电材料和所述第二导电材料中的至少一个包括难熔金属。

8. 如权利要求1所述的过程, 其中所述第一导电材料和所述第二导电材料中的至少一个选自由以下各项构成的组: 钛、钛氮化物、钽氮化物、钽、钨氮化物、钨、钴、重掺杂 P^+ 多晶硅、重掺杂 N^+ 多晶硅, 以及硅化物。

9. 如权利要求1所述的过程, 其中所述第一电荷俘获层和所述第二电荷俘获层中的至少一个包括氧化物-氮化物-氧化物三层。

10. 如权利要求1所述的过程, 其中沿着线在每个有源堆叠体的相对侧上形成的所述导体属于所述第一组导体和所述第二组导体中的不同导体, 所述线沿着所述第三方向延伸。

11. 如权利要求1所述的过程, 其中所述第一电荷俘获层和所述第二电荷俘获层具有实质上相同的电荷俘获特性。

12. 如权利要求1所述的过程, 其中所述第一电荷俘获层和所述第二电荷俘获层具有实质上不同的电荷俘获特性。

13. 如权利要求1所述的过程, 还包括在所述存储器结构与所述半导体衬底的平坦表面之间的绝缘层中形成全局互连导体的第一系统, 并且其中所述过程还包括移除绝缘层的部分且相邻于所述绝缘层移除所述第一电荷俘获层或所述第二电荷俘获层或两者, 以暴露全局互连导体的对应的部分, 从而允许去往所述第一组导体、所述第二组导体或两者的连接。

14. 如权利要求13所述的过程, 还包括在所述存储器结构上方形成全局连接体的第二系统, 使得所述连接允许所述全局互连导体的第一系统电互连到所述全局互连导体的第二系统。

15. 如权利要求14所述的过程, 其中全局互连导体的第二系统的至少一部分电连接到形成在所述半导体衬底中的电路。

16. 如权利要求1所述的过程, 其中所述第一组导体和所述第二组导体中的所选导体各自通过其沿着所述第二方向的长度被提供比所述第一组导体和所述第二组导体中的除所选导体之外的任意导体更低的电阻率。

17. 如权利要求16所述的过程, 其中所选导体中的每一个是通孔互连的一部分, 预充电薄膜晶体管、解码选择薄膜晶体管或用于非储存目的的另一薄膜晶体管的一部分。

18. 如权利要求1所述的过程, 其中所述第一组导体各自具有沿着所述第二方向的第一预定宽度, 所述第二组导体各自具有沿着所述第二方向的第二预定宽度, 并且所述第二电荷俘获层具有沿着所述第二方向的第三预定宽度, 其中所述第一预定宽度小于所述第二预

定宽度加两倍的所述第三预定宽度。

19. 如权利要求1所述的过程,其中所述第一组导体中的每个导体通过所述第二电荷俘获层与所述第二组导体中的至少一个导体电绝缘。

20. 如权利要求1所述的过程,还包括在所述有源堆叠体上方提供硬掩模材料以在形成所述第一组导体或形成所述第二组导体期间进行的任意蚀刻步骤期间进行保护。

21. 一种存储器结构,包括:

半导体衬底的平坦表面上方的多个有源堆叠体,其中(i)每个有源堆叠体包括沿着实质上垂直于所述平坦表面的第一方向堆叠的多个有源条带,所述多个有源条带由电介质层彼此电隔离,(ii)每个有源条带包括多个半导体层,并且(iii)所述有源堆叠体各自实质上沿着平行于所述平坦表面的第二方向纵长地延伸,相邻的有源堆叠体由各自具有沿着第三方向所测量的预定宽度的第一组沟槽彼此分开,所述第三方向也实质上平行于所述平坦表面;

在所述第一组沟槽中,第一组导体各自沿着所述第一方向纵长地延伸,每个导体包括第一导电材料且每个导体通过第一电荷俘获层与和其相邻的有源堆叠体隔离,其中每个沟槽内的所述导体彼此分开预定距离;以及

第二组导体,各自沿着所述第一方向纵长地延伸,其中所述第二组导体中的每个导体被提供在所述第一组导体中的两个相邻导体之间,所述第二组导体中的每个导体包括第二导电材料且所述第二组导体中的每个导体通过第二电荷俘获层与和其相邻有源堆叠体隔离;并且

其中每个有源条带的半导体层提供公共源极区、公共漏极区和多个沟道区,使得所述公共源极区、所述公共漏极区、每个沟道区、所述第一组导体中的与所述沟道区相邻的导体、以及所述沟道区与所述第一组导体中相邻于所述沟道区的导体之间的第一电荷俘获层形成第一薄膜储存晶体管,并且使得所述公共源极区、所述公共漏极区、每个沟道区、所述第二组导体中的与所述沟道区相邻的导体、以及所述沟道区与所述第二组导体中相邻于所述沟道区的导体之间的第二电荷俘获层形成第二薄膜储存晶体管。

22. 如权利要求21所述的存储器结构,其中所述第一组导体中的每个导体与所述第二电荷俘获层的与所述第二组导体中的导体相邻的一部分紧密相邻。

23. 如权利要求22所述的存储器结构,其中所述第二组导体中的导体被所述第二电荷俘获层围绕。

24. 如权利要求21所述的存储器结构,其中所述第一组导体各自包括由所述第一电荷俘获层围绕的导体。

25. 如权利要求24所述的存储器结构,其中所述第二组导体各自包括由所述第二电荷俘获层围绕的导体。

26. 如权利要求21所述的存储器结构,其中所述第一导电材料和所述第二导电材料中的至少一个是金属导体。

27. 如权利要求21所述的存储器结构,其中所述第一导电材料和所述第二导电材料中的至少一个包括难熔金属。

28. 如权利要求21所述的存储器结构,其中所述第一导电材料和所述第二导电材料中的至少一个选自由以下各项构成的组:钛、钛氮化物、钽氮化物、钽、钨氮化物、钨、钴、重掺

杂P⁺多晶硅、重掺杂N⁺多晶硅,以及硅化物。

29.如权利要求21所述的存储器结构,其中所述第一电荷俘获层和所述第二电荷俘获层中的至少一个包括氧化物-氮化物-氧化物三层。

30.如权利要求21所述的存储器结构,其中

沿着线在每个有源堆叠体的相对侧上形成的所述导体属于所述第一组导体和所述第二组导体中的不同导体,所述线沿着所述第三方向延伸。

31.如权利要求21所述的存储器结构,其中所述第一电荷俘获层和所述第二电荷俘获层具有实质上相同的电荷俘获特性。

32.如权利要求21所述的存储器结构,其中所述第一电荷俘获层和所述第二电荷俘获层具有实质上不同的电荷俘获特性。

33.如权利要求21所述的存储器结构,还包括在所述存储器结构与所述半导体衬底的平坦表面之间的绝缘层中的全局互连导体的第一系统,并且其中绝缘层的部分,以及相邻所述绝缘层,所述第一电荷俘获层或所述第二电荷俘获层或两者的部分,被移除以暴露全局互连导体的对应的部分,从而允许去往所述第一组导体、所述第二组导体或两者的连接。

34.如权利要求33所述的存储器结构,还包括所述存储器结构上方的全局连接体的第二系统,使得所述连接允许所述全局互连导体的第一系统电互连到所述全局互连导体的第二系统。

35.如权利要求34所述的存储器结构,其中所述全局互连导体的第二系统的至少一部分电连接到形成在所述半导体衬底中的电路。

36.如权利要求21所述的存储器结构,其中所述第一组导体和所述第二组导体中的所选导体通过其沿着所述第二方向的长度而被提供比所述第一组导体和所述第二组导体中的除所选导体之外的任意导体更低的电阻率。

37.如权利要求36所述的存储器结构,其中所选导体中的每一个是通孔互连的一部分,预充电薄膜晶体管、解码选择薄膜晶体管或用于非储存目的的另一薄膜晶体管的一部分。

38.如权利要求21所述的存储器结构,其中所述第一组导体各自具有沿着所述第二方向的第一预定宽度,所述第二组导体各自具有沿着所述第二方向的第二预定宽度,并且所述第二电荷俘获层具有沿着所述第二方向的第三预定宽度,其中所述第一预定宽度小于所述第二预定宽度加两倍的所述第三预定宽度。

39.如权利要求21所述的存储器结构,其中所述第一组导体中的每个导体通过所述第二电荷俘获层与所述第二组导体中的至少一个导体电绝缘。

40.如权利要求21所述的存储器结构,还包括在所述有源堆叠体上方的硬掩膜材料,以在形成所述第一组导体或形成所述第二组导体期间进行的任意蚀刻步骤期间进行保护。

具有很细节距的三维NOR存储器阵列：装置和方法

技术领域

[0001] 本发明涉及一种非易失性NOR型存储器串。特别地，本发明涉及一种三维存储器阵列的架构，其允许形成最小或亚最小节距垂直导体，而不要求涉及高深宽比的蚀刻。

背景技术

[0002] 在高密度三维存储器结构中（诸如非临时申请或临时申请中描述的），期望使存储器单元尽可能小—从而提高存储器单元密度—同时保持高制造良率。随着每个存储器单元的尺寸缩小，特征的深宽比（例如，沟槽的深度除以其水平蚀刻的间隙尺寸）增大。在沟槽的示例中，在蚀刻的层的总厚度保持不变的情况下，沟槽深宽比随着特征尺寸减小而增大。增大存储器单元密度的替代方法是在垂直方向上提供更多层存储器单元。在不改变蚀刻工艺的情况下，该替代方法必然地增大沟槽深宽比。在当前技术水平下，当沟槽深宽比超出大约50时，沟槽的蚀刻变得不可靠地困难或过分地昂贵。

发明内容

[0003] 本发明提供了一种制造存储器结构的方法，存储器结构具有小特征尺寸（例如，20nm或更小，在当前技术下），或在存储器结构中具有8或更多层存储器单元。本发明还提供了沿着存储器结构中的有源条带的相同或相对侧相邻的存储器单元之间的改善的隔离。通过在沿着有源条带的相同侧相邻的存储器单元之间引入强电介质屏障膜，并且通过使有源条带的相对侧的存储器单元交错，而提供改善的隔离。（在本详细说明书中，术语“有源条带”是指水平、长形的存储器结构的形成存储器单元的串的沟道区和公共源极和漏极区的部分）。

[0004] 根据本发明的另一实施例，沿着局部字线的相同和相对侧的相邻存储器单元之间的改善的隔离堆叠在具有水平局部字线的垂直NOR串型存储器结构中。通过在沿着局部字线的相同侧的相邻的存储器单元之间引入强电介质屏障膜，并且通过使局部字线的相对侧的存储器单元交错，而提供改善的隔离。

[0005] 本发明在结合附图考虑以下详细说明后更好地理解。

附图说明

[0006] 图1示出了，根据本发明的一个实施例的在存储器阵列的支持电路（例如，感测放大器、地址解码器、输入和输出电路）已经形成在半导体衬底5（未明确地示出）上之后，形成三维NOR型存储器阵列50（未示出）的全局互连导体10的初始步骤。

[0007] 图2图示了在制造三维NOR型存储器阵列50中的中间步骤中形成的有源堆叠体；有源堆叠体100由八个有源条带构成，包含有源条带255，其在左侧放大以更加清晰。

[0008] 图3示出了根据本发明的一个实施例的在电荷俘获材料240和P⁺半导体层250已经沉积并处理之后的图2的存储器结构50。

[0009] 图4示出了在电荷俘获材料240和P⁺半导体层250被图案化和蚀刻，从而在三维NOR

型存储器阵列50中形成第一组存储器单元之后的图3的存储器结构50, P^+ 半导体层250提供第一组垂直局部字线导体275。

[0010] 图5示出了根据本发明的一个实施例的在第二电荷俘获层270共形地沉积到图4的存储器结构50的相邻局部字线275之间的沟槽295的侧壁上, 然后沉积形成第二组局部字线导体280的第二层 P^+ 半导体材料之后的图4的存储器结构50。

[0011] 图6示出了根据本发明的一个实施例的在存储器结构上方形成第二组全局字线(标记为全局字线290) 和对应的通孔(例如, 通孔300) 以连接到局部字线280之后的图5的存储器结构50。

[0012] 图7A和图7B示出了根据本发明的第二实施例的存储器结构50, 其中第一组局部字线和第二组局部字线相继形成, 两组字线在材料和维度上实质上相同。

[0013] 为了便于在图间交叉引用, 相同元件分配相同的附图标记。

具体实施方式

[0014] 本发明改善了存储器结构(例如, 三维NOR型存储器阵列) 中的存储器单元密度和它们的制造工艺, 诸如通过以上引用并入的非临时申请和临时申请中所描述。本发明改善了例如非临时申请III中结合其中图46-54所描述的三维NOR型存储器阵列及其制造工艺。

[0015] 图1示出了根据本发明的一个实施例的在存储器阵列的支持电路(例如, 感测放大器、地址解码器、输入和输出电路) 已经形成在半导体衬底5(未明确地示出) 中之后的形成三维NOR型存储器阵列50的初始步骤。如图1中所示, 半导体衬底5之上形成层间电介质(ILD) 层25。相互彼此电隔离的一组导体(例如, 导体10) 然后形成在ILD层25之上。由于导体10意图在正在形成的三维NOR型存储器阵列50中连接存储器单元的局部字线, 导体10本文中称为“全局字线”10。(当然, 在适当情况下, 除提供对存储器单元的局部字线的连接之外, 导体10还可以总体上充当存储器结构50的互连导体)。全局字线10各自由通孔或埋置接触体连接到半导体衬底5中的适当电路, 使得可以从半导体衬底5中的电路供给存储器单元操作(例如, 编程、擦除、编程抑制、读取) 的适当电压。全局字线10可以使用任意适当技术制造, 例如, 使用导电材料(诸如一层或多层金属(例如, $Ti/TiN/W$) 或 P^+ 多晶硅) 的减量法金属工艺或大马士革(damascene) 金属工艺。

[0016] 之后, 下一ILD层233(未示出) 形成为覆盖全局字线10。之后, 例如以常规方式形成(例如, 通过在ILD层233中进行蚀刻和导体沉积) 穿过ILD层233的通孔20。提供通孔20, 以将正在形成的3-D NOR存储器阵列50中的局部字线连接到全局字线10。通孔20可以由与全局字线10相同的导电材料(即, 一层或多层金属(例如, $Ti/TiN/W$) 或 P^+ 多晶硅) 形成。任何过量的导电材料可以通过任意适当方法(例如, CMP) 被从ILD层233的顶表面移除, 仅在蚀刻的通孔中留下导电材料。

[0017] 图2示出了在已经形成若干有源堆叠体(例如, 有源堆叠体100) 之后形成3-D NOR型存储器阵列50中的中间步骤。通过将深沟槽235蚀刻到连续地沉积在图1的ILD层233之上的半导体和绝缘材料的层中来形成有源堆叠体, 使用非临时申请I中结合其图5a-5h-3和它们所附描述讨论的这样的制造工艺。在图2中, 有源堆叠体由代表性有源堆叠体100示出, 有源堆叠体100中的代表性有源条带255在左侧放大以更加清晰。

[0018] 如图2所示, 有源条带255包含 N^+ 半导体层130和140(例如, 硅或多晶硅), 它们分别

提供为相邻于金属层110和120,金属层110和120设置为减小 N^+ 半导体层130和140中的电阻。提供电介质包覆层150、160、170和180以电绝缘金属层110和120,从而避免任何意外的短路。 N^+ 半导体层130和140与它们相应的金属层110和120沿着有源条带255一起形成正在形成的存储器单元的串中的公共源极子层和公共漏极子层。在 N^+ 半导体层130与140之间在有源条带255的相对侧上形成沟道半导体层190和200。在此实施例中,通过填充部分移除牺牲层(“SAC1”)所得的腔而形成沟道半导体层190和200。实际上,剩余SAC1层在图2中示出为SAC1层210,在沟道半导体层190与200之间。(在替代实施例中,SAC1层210可以随后被完全移除,从而得到现在SAC1层210所示的空间中的空气或真空空隙;替代地,可以允许沟道层190和200合并在一起以填充之前由SAC1层占据的空间)。

[0019] 有源堆叠体100中的相邻有源条带由电介质层彼此绝缘,如图2中由代表性电介质层220所示。此外,在蚀刻有源堆叠体之间的沟槽235之前提供硬掩膜层230。硬掩膜层230稳定通过蚀刻形成的后续的有源堆叠体。使用这样的硬掩膜层230且还包含使用撑杆(strut)(图2中未示出)来稳定高深宽比结构在非临时申请III中公开。在该示例中,每个有源条带可以具有15nm至50nm的宽度(沿着第三方向,如图2中所示),并且每层硬掩膜230可以支持形成每个有源堆叠体中的上下叠置的8或更多个有源条带。如非临时申请V中所公开,NOR型存储器阵列可以构建为“分段堆叠体”(即,每次形成8层有源条带的堆叠体)。使用分段堆叠体方案,制造工艺步骤可以重复许多次以形成具有16、24、32、48、64...层有源条带的存储器阵列。

[0020] 在一个实施例中, N^+ 半导体层130和140、金属层110和120、沟道半导体层190和200和电介质层220可以各自为约180nm厚,使得有源堆叠体100中的8个有源条带与50-nm硬掩膜层230一起升到1490nm或更高的总高度。在45nm宽局部字线275和相邻局部字线之间45nm空隙或沟槽的情况下,蚀刻的沟槽的深宽比为33:1。如果有源堆叠体100具有12层有源条带,则沟槽深宽比达到49:1。

[0021] 之后,在相邻有源堆叠体之间的每个沟槽的侧壁和底部之上共形地提供电荷俘获层240(参见例如图3,在插图处),其可以是 SiO_2 - SiN - SiO_2 三层(即,氧化物-氮化物-氧化物或“ONO”层)。ONO层的电荷俘获功能对本领域普通技术人员已知。

[0022] 电荷俘获层240可以由例如小于3nm至6nm的 SiO_2 (或能带隙设计的电介质夹层)、6nm的 SiN 和6nm的 SiO_2 (或具有高介电常数的电介质膜,诸如 Al_2O_3 膜)构成。在沉积电荷俘获层240之后,还可以共形地沉积3-nm厚的保护性多晶硅层。电荷俘获层240和保护性多晶硅层在每个沟槽的底部的部分然后可以被移除以暴露通孔20,从而允许全局字线10与接下来要形成的局部字线之间的后续连接。虽然该蚀刻的深宽比大于100,仅移除每个沟槽的底部的约20nm厚层的电荷俘获层240和保护性多晶硅层250。该蚀刻之后,沉积 P^+ 半导体层250(例如,硅或多晶硅)以填充剩余暴露的沟槽235。图3示出了根据本发明的一个实施例的在电荷俘获材料240和 P^+ 半导体层250已经沉积和加工之后的图2的存储器结构50。 P^+ 半导体层250可以被金属导体(例如,钛氮化物、钛、钽氮化物、钽、钨氮化物、钨或具有相对于 SiO_2 的适当金属功函数的另一折射性金属)替代。

[0023] 由ONO三层(示出为例如图4中的隧穿氧化物242、储存氮化物244、阻挡氧化物246)构成的电荷俘获层240可以为近似15nm厚(沿着第三方向测量)。电荷俘获层240和 P^+ 半导体层250然后被图案化并蚀刻(包含移除不被局部字线275保护的空間中的任何残留的ONO三

层),以形成三维NOR型存储器阵列中的第一组存储器单元,蚀刻后P⁺半导体层275提供第一组垂直局部字线,如图4所示。所得的相邻的第一组的局部字线275之间的分离(图4中指示为竖井295)允许第二组垂直局部字线280及与它们相关联的电荷俘获层270(图5)在其中形成。在当前示例中,每个竖井的宽度(沿着第二方向)可以为近似75nm(即,局部字线的45-nm宽度加上局部字线280每侧上的ON0三层270的15nm厚度)。蚀刻75nm宽的沟槽的深宽比为近似 $1490/75=20:1$,其与之之前没有图4和图5的结构的情况下的 $33:1$ 相比显著更宽松。但是,局部字线节距(即,线宽度加上线到线间距)从 $(45+45)=90\text{nm}$ 的标准节距缩小到 $(45+45+(2*15))/2=60\text{nm}$,这是标准节距的三分之一的缩小。尽管沿着每个有源堆叠体的相对侧的局部字线275在图4和图5中示出为在横向于有源条带的长度(即,沿着第三方向)的水平方向上对齐,但它们还可以以交错方式提供,诸如非临时申请IV所教导。在交错的配置中,有源条带的相对侧上的相邻存储器单元定位更加分开,以降低寄生编程干扰。

[0024] 在第一组局部字线中的相邻局部字线之间蚀刻竖井295之后,电荷俘获材料(例如,图5的电荷俘获层270,其可以为ON0三层,包含标记为272、274和276的层)的第二沉积被挨着第一组局部字线275中的每一个共形地沉积到竖井295中的每一个的侧壁上。在形成电荷俘获层270之后,沉积P⁺半导体材料的第二层以形成第二组局部字线(标记为图5中的局部字线280)。电荷俘获层270和局部字线280的部分然后被从存储器结构的顶部移除,从而完成第二组存储器单元。所得结构在图5的放大区域A₁中示出,其清楚示出了从第一组(即,字线275)和第二组(即,字线280)交替的字线,各自彼此分开ON0电荷俘获层270的厚度。

[0025] 在形成局部字线280之前沉积第二P⁺半导体层之前,电荷俘获层270在沟槽的底部的部分可以通过各向异性蚀刻移除以暴露存储器结构下方的通孔20,以将字线280连接到全局字线10(参见图1的全局字线10)。然而,如以下所讨论,如果第二组全局字线(例如,图6的全局字线290)提供在存储器结构上方,电荷俘获层270在沟槽的底部的部分不需要被移除。较高密度存储器结构可以通过在存储器结构50的顶部和下方提供全局字线而实现。如图6所示,来自顶部的全局字线290可以使用通孔300来接触有源条带的一侧上的局部字线,而存储器结构50下方的全局字线可以使用通孔20来接触有源条带的相对侧上的局部字线。替代地,第一组(即,局部字线275)和第二组(即,局部字线280)两者可以从顶部(即,导体290)由全局字线接触或两者可以通过适当地蚀刻的通孔从底部(即,导体10)进行接触。当然,在适当情况下,除提供去往局部字线280的连接之外,全局字线290还可以总体上充当存储器结构50的互连导体。

[0026] 在两个相继的沉积中沉积电荷俘获层240和270具有重要的积极效果,第一和第二组的电荷俘获层是分开的ON0三层。图5示出了与第一组局部字线相关联的ON0三层(即,层242、244和246)和与第二组局部字线相关联的ON0三层(即,层272、274和276)之间的不连续。该不连续提供强电介质屏障膜(诸如由阻挡氧化物层272提供),从而实质上消除不合期望的相邻存储器单元之间的俘获的电荷(即,与第一组局部字线相关联的硅氮化物层244和与第二组局部字线相关联的硅氮化物层274之间的俘获的电荷)的侧向传导。

[0027] 尽管电荷俘获层240和270通常沉积为复制尽可能接近它们的电学特性,在本发明的一些实施例中,电荷俘获层240和电荷俘获层270可以以完全不同的电学特性沉积。例如,电荷俘获层240可以被最优化以具有最大长期数据保留,尽管电荷俘获层270可以分开地优化,以提供更快的编程/擦除/读取操作。在该布置中,与电荷俘获层270相关联的存储器单

元可以用作具有更高写入/擦除循环耐久性特性(以较短数据保留时间为代价)的缓存存储器。在本发明的一些实施例中,第一组和第二组存储器单元不需要各自包含存储器结构中的存储器单元的总数的一半。

[0028] 图7A和图7B中图示了本发明的第二实施例。在本第二实施例中,不是局部字线275和与它们相关联的电荷俘获层240(参见例如图4),而是局部字线280和与它们相关联的电荷俘获层270被使用,使得第一组和第二组局部字线两者具有实质上相同的结构,诸如上述第二组局部字线的结构。

[0029] 根据该第二实施例,在形成有源堆叠体(例如,有源堆叠体100)之后,如图2中所示,通过沉积牺牲材料(例如,快速蚀刻电介质材料,诸如多孔 SiO_2)填充沟槽235。该牺牲材料然后被图案化并部分地蚀刻,以形成牺牲材料的岛400,如图7A中附图标记400所指示,在插图处)。每个岛和与其相邻的岛由竖井彼此分开(在图7A中示出为由电荷俘获层270和局部字线280填充,如接下来所讨论)。岛400中的每一个具有沿着第二方向的预定长度,其实质上与沟槽235中的每一个中的岛400中的相邻岛之间的分离相同。该分离足以容纳局部字线的宽度(例如,图5的局部字线280之一的宽度)加上电荷俘获层(例如,图5的电荷俘获层270)的两倍厚度,以沿着第二方向容纳局部字线两侧上的电荷俘获层。

[0030] 接下来,电荷俘获层共形地沉积在形成岛400时生成的竖井的侧壁和底部之上,在每个竖井内留下空隙,其可以然后被导电材料填充。可以实质上由图5的电荷俘获层270的相同材料(例如,具有分别的成分层272、274和276的氧化物-氮化物-氧化物三层)提供电荷俘获层。为简化参考,该电荷俘获层在图7A中也标记为270。相似地,填充每个竖井中的空隙的导电材料可以由形成图5的局部字线280的相同导电材料提供。再次地,为简化参考,该导电材料,其形成各自由电荷俘获层270围绕的一组导电柱;导电柱也称为局部字线280。导电材料可以选自包含以下各项的组:钛、钛氮化物、钽氮化物、钽、钨氮化物、钨、钴、重掺杂 P^+ 或 N^+ 多晶硅,或另一折射性金属。导电材料然后通过CMP或受控蚀刻被从有源堆叠体的顶表面移除。

[0031] 图7A的导电柱280和它们的周围的电荷俘获层270然后被施加掩模以保护它们免受接下来的蚀刻步骤,蚀刻步骤移除岛400,从而生成第二组竖井。(导电柱280和其围绕的电荷俘获层270后文中分别称为“第一组局部字线”和“第一电荷俘获层”)。第二电荷俘获层然后共形地沉积在该第二组竖井中的每一个的侧壁和底部之上,在中央留下空隙,其被导电材料的柱填充,从而分别形成第二组局部字线和第二电荷俘获层。(该第二组局部字线和它们的周围的第二电荷俘获层可以分别由与第一组局部字线和第一电荷层相同材料提供)。实质上相同的字线,在来自第一组的局部字线与来自第二组局部字线的局部字线之间交错,如图7B所示。将第一组和第二组局部字线连接到全局字线10(即,在存储器结构下方的一组全局字线;参见例如图1)和全局字线290(即,在存储器结构上方的一组全局字线;参见例如图6)的其余工艺步骤在以上描述的第一实施例的对应的步骤之后。

[0032] 第一实施例(图5)和第二实施例(图7B)有与现有技术相同的、比现有技术更有利的蚀刻深宽比。两个实施例有相邻局部字线之间的有利的物理分离。尽管两个实施例的这些每单元面积度量小于现有技术,但第二实施例的每单元面积度量大于第一实施例的每单元面积度量,因为第二实施例的相邻局部字线之间的分离包含两个背对背电荷俘获层(例如,在一个示例中,2乘以15nm),而第一实施例中的对应的分离仅包含单个这样的电荷俘获

层(即,在相同示例中,15nm)。然而,第二实施例具有相对于第一实施例的某些补偿优点。首先,第二实施例中的相邻局部字线和与它们相关联的电荷俘获层在构造上实质上相同,因此相邻局部字线的物理特性可以彼此更好地追踪。第二,第一实施例要求蚀刻导电材料275在其沟槽的深度一直向下,当导电材料275包含折射性金属时这可能是有挑战的。第一实施例还要求在已经移除导电材料275的区域内沿着沟槽的侧壁蚀刻净电荷俘获层242、244和246。在第二实施例中限定第一组和第二组字线不要求这些蚀刻步骤,因为在第二实施例中每组字线中的柱的宽度是由岛的长度和电荷俘获层的厚度预定的。

[0033] 虽然本发明的两步形成局部字线与非临时申请和临时申请中所讨论的工艺相比要求更多数目的工艺步骤,但本发明提供缩小硅面积存储器阵列,从成本的角度,其不止于补偿了附加要求的工艺步骤。

[0034] 本发明允许形成多层有源堆叠体,其为几微米高,要求低电阻率导体以在存储器单元与有源堆叠体的顶部处的全局字线与有源堆叠体之下的衬底中的逻辑电路之间连接。因为本发明的第一组或第二组局部字线沿着垂直于衬底的平坦表面的垂直方向行进,这些局部字线可以适配为更总体上充当在有源堆叠体上方行进的一个或多个导电层之间的高互连和在有源堆叠体的底部与衬底之间行进的一个或多个导电层。

[0035] 高互连可以形成在存储器阵列内的、虚设有源堆叠体内的,或高绝缘层(例如,图7A的牺牲电介质材料400)内的有源条带之间的沟槽中,高绝缘层形成为相邻于有源堆叠体且给定与有源堆叠体实质上相同的高度。虚设有源堆叠体自身不起电气作用,仅充当隔离介质以支承高互连,其被图案化为通孔开口的紧密间隔的行和列的矩阵(即,蚀刻穿过到虚设有源堆叠体的底部的深孔)。在第二实施例中,可以例如与蚀刻第二组沟槽同时蚀刻通孔开口,从而第一电荷俘获层(例如,ONO三层)可以作为壁绝缘体共形地沉积在通孔开口的侧壁上。通过孔的底部处沉积的第一电荷俘获层与其下的隔离电介质层一起可以被施加掩模并由各向异性蚀刻移除,以暴露下方任意要求的接触通孔用于后续电连接。

[0036] 然后可以用导电材料(例如,钛、钛氮化物、钽氮化物、钽、钨氮化物、钨、钴或另一金属导体,诸如折射性金属或硅化物)填充通过孔。有源堆叠体的顶表面上的过量导电材料可以通过CMP或通过受控蚀刻(当大马士革样工艺被用于隔离单独的导体时)移除。隔离电介质层然后沉积在顶表面上,并且穿过该隔离电介质层的通孔可以被图案化并蚀刻以在需要顶部到底部导体路径处下方暴露填充的通过孔中的导电材料。

[0037] 作为进一步改善,围绕每个高互连的电荷俘获层可以用于机械支承和保护高互连的导电材料,允许互连之间的牺牲电介质材料被移除以生成气隙隔离,从而显著地降低相邻高互连之间的寄生电容耦合。当在牺牲电介质材料与电荷俘获层之间具有不同蚀刻选择性的蚀刻剂可用时,可以实现在不蚀刻电荷俘获层的情况下移除牺牲电介质材料。例如,当牺牲电介质材料是多孔硅氧化物且电荷俘获层包含硅氮化物时,HF可以是适当的化学蚀刻剂,因为其移除牺牲氧化物而留下基本上完整的硅氮化物。以此方式,即使当高互连朝向相邻高互连倾斜时,高互连也由它们充当包覆的相应的电荷俘获层彼此电绝缘。

[0038] 提供连续组的并排局部字线(因此,连续组的薄膜储存晶体管)还可以适用于三维垂直薄膜晶体管存储器串,诸如关于非临时申请II所讨论。例如,非临时申请II的图6a和图6b各自公开了薄膜储存晶体管的垂直NOR串(例如,具有作为公共局部位线的 N^+ 多晶硅654的垂直NOR串,作为左和右公共沟道的P多晶硅层656,以及作为公共局部源极线的 N^+ 多晶硅

655)。这样的垂直NOR串可以在根据本发明的连续操作中形成。首先,垂直NOR串的第一个交错行可以形成在第一组沟槽(例如,相邻字线623p-R与623p-L之间的沟槽)中。然后,垂直NOR串的其他交替行然后形成在已经形成在垂直NOR串的行之间的间隔中。与第一组和第二组垂直NOR串相关联的电荷俘获层不需要相同。以此方式,不同组的垂直NOR串可以具有完全不同的储存特性。

[0039] 提供以上详细描述以说明本发明的特定实施例,而无意于进行限制。在本发明范围内的多种变化和修改是可能的。本发明在所附权利要求中提出。

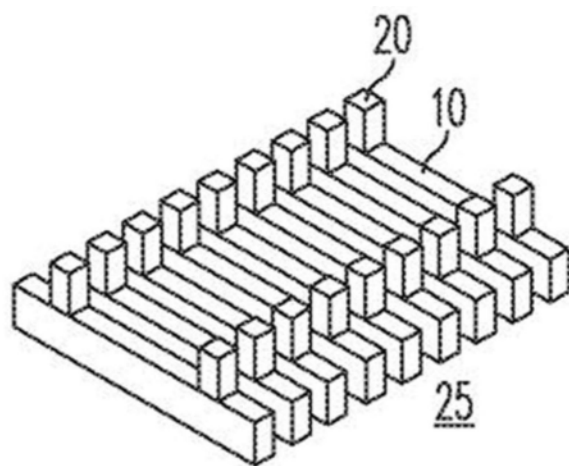


图1

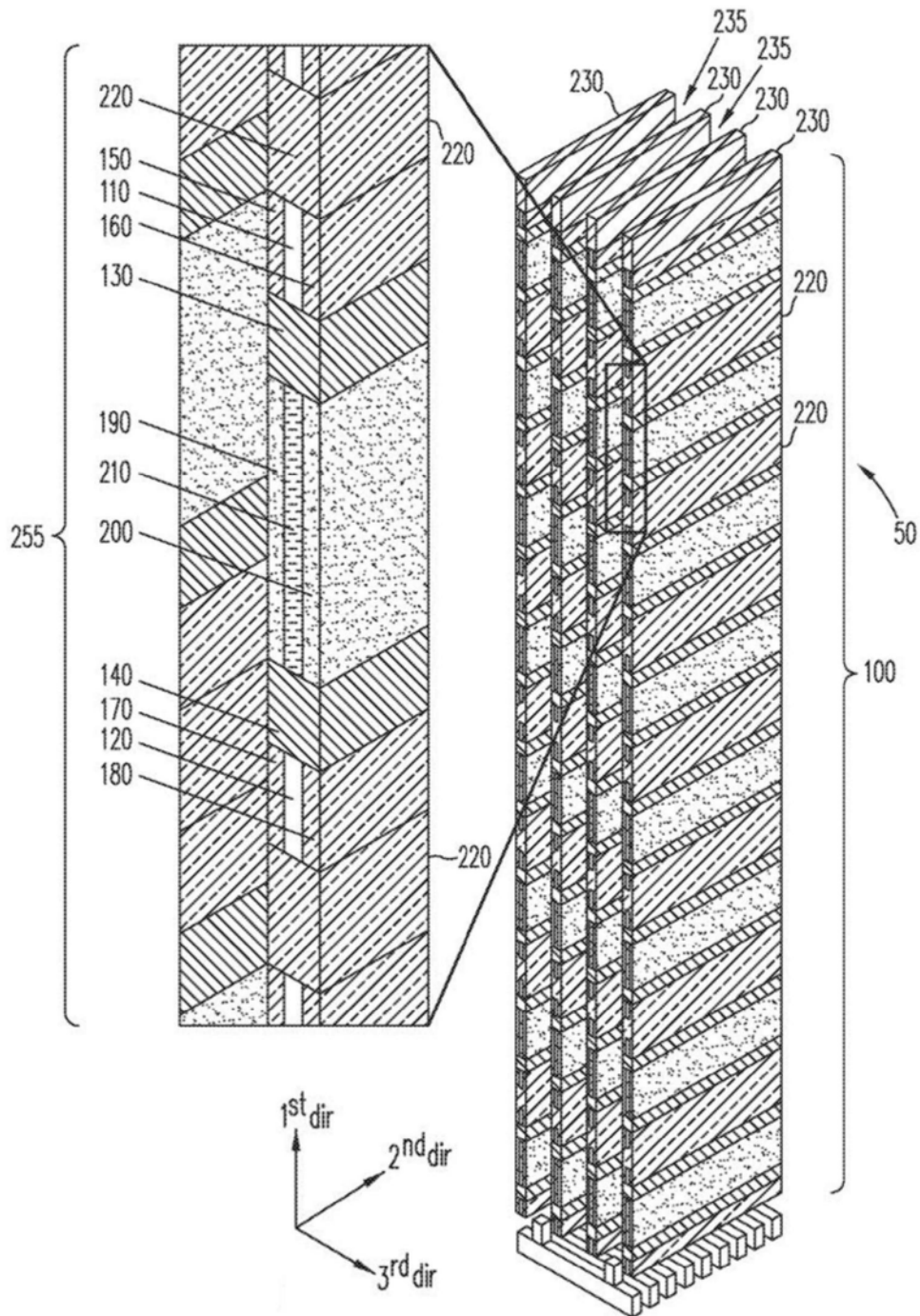


图2

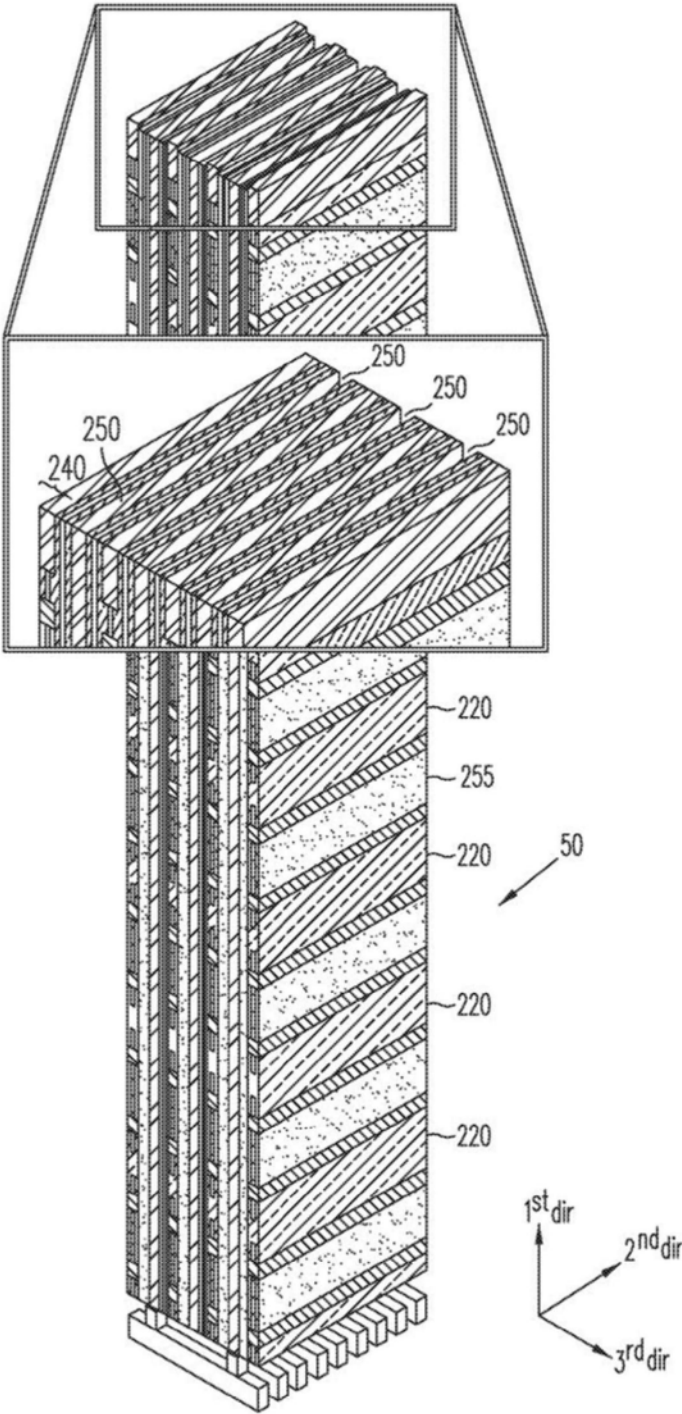


图3

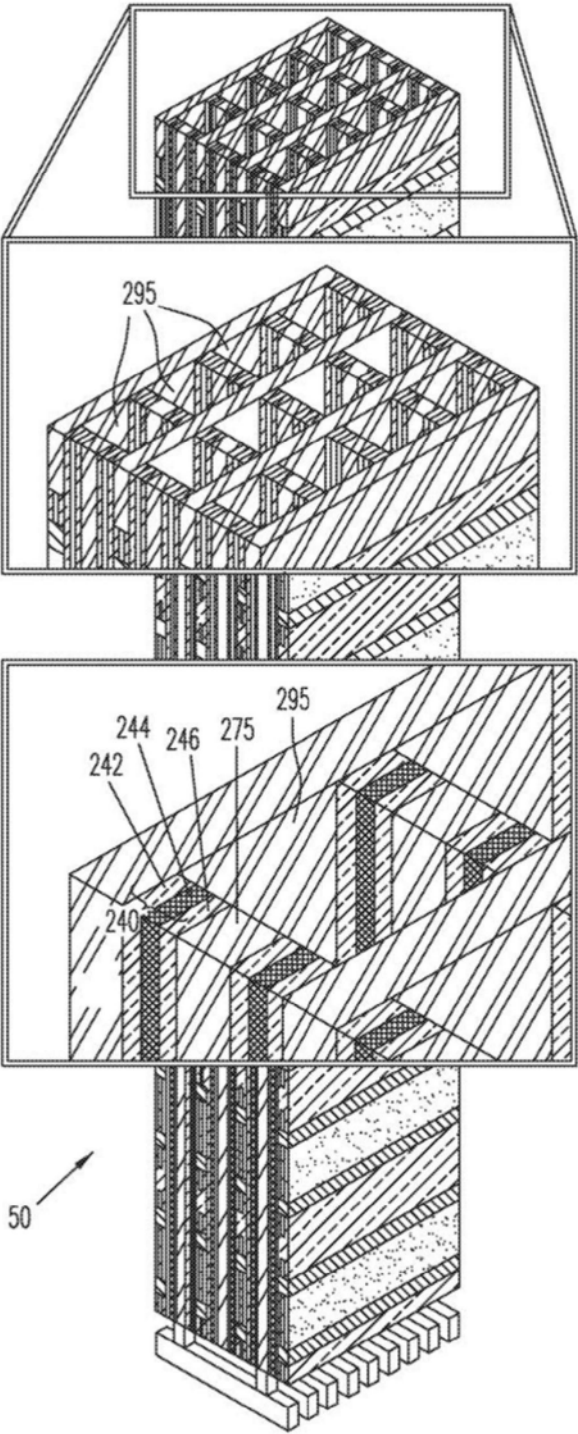


图4

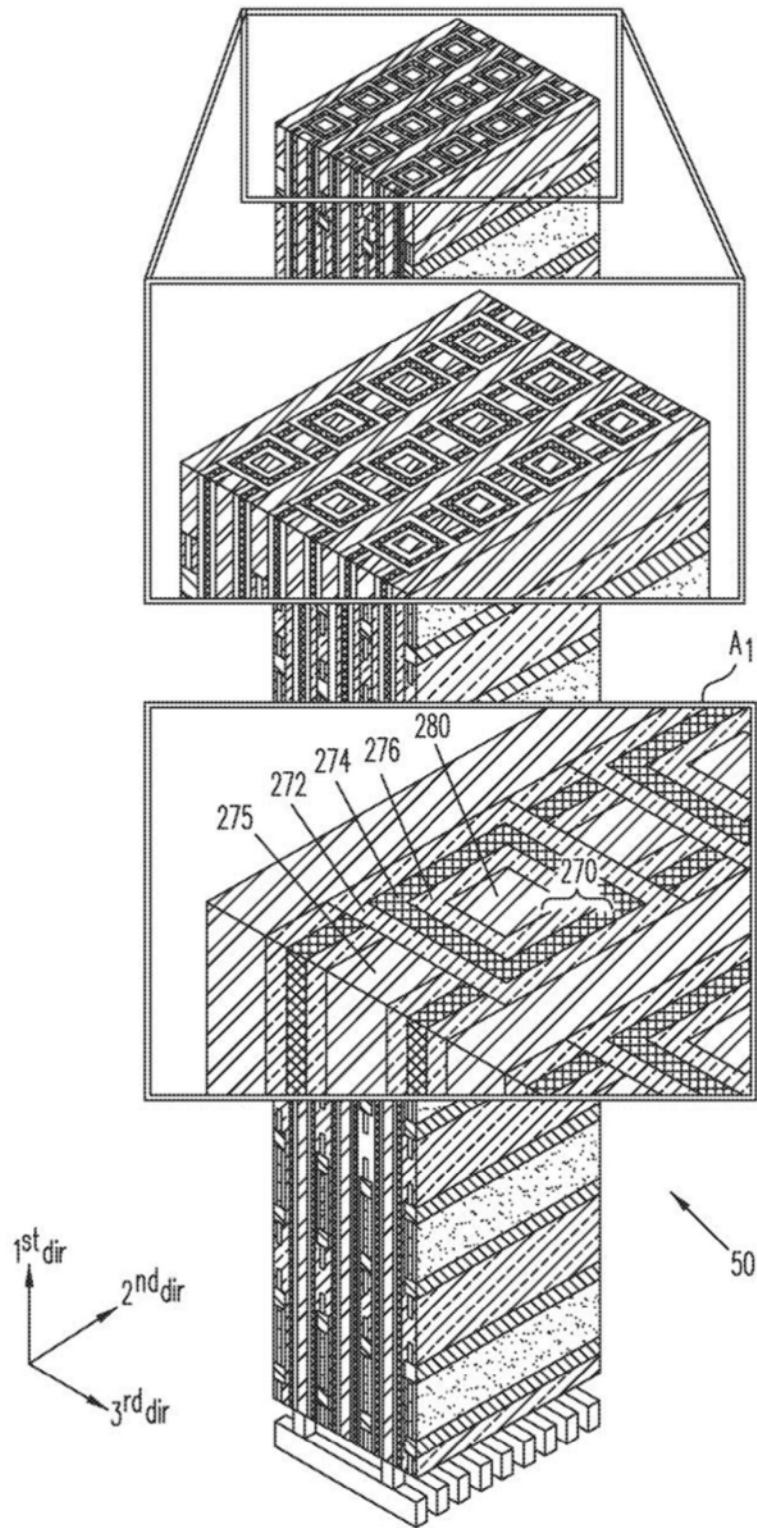


图5

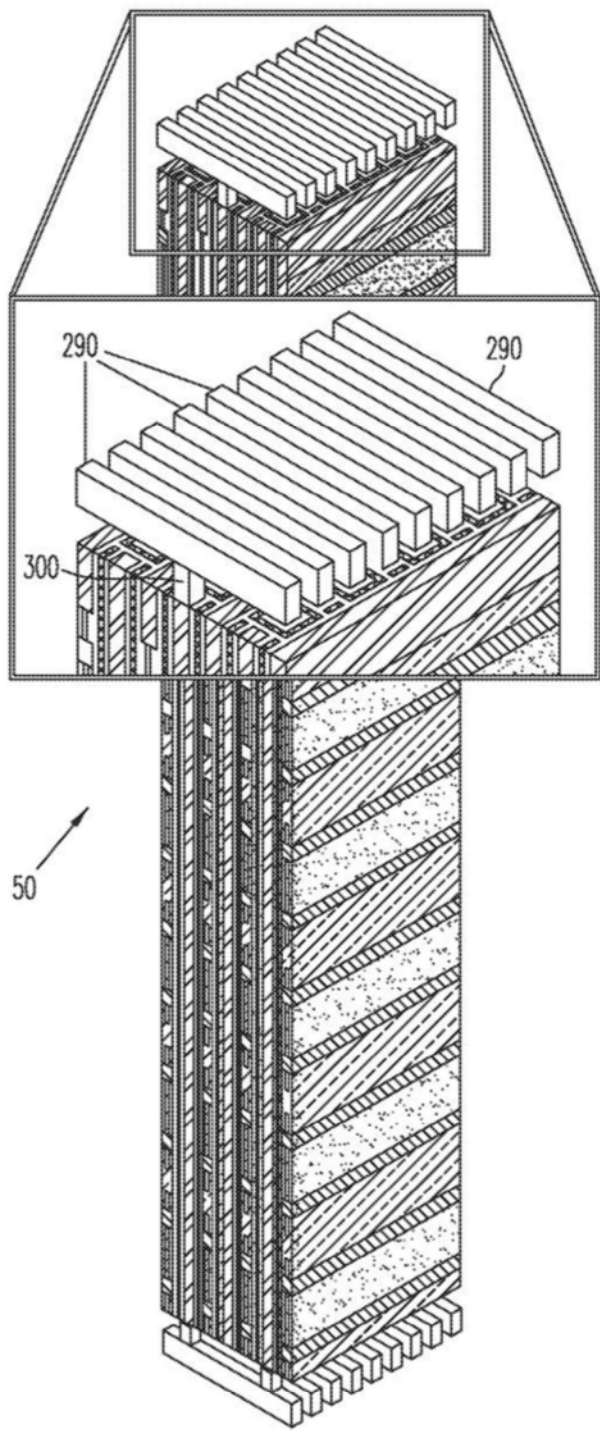


图6

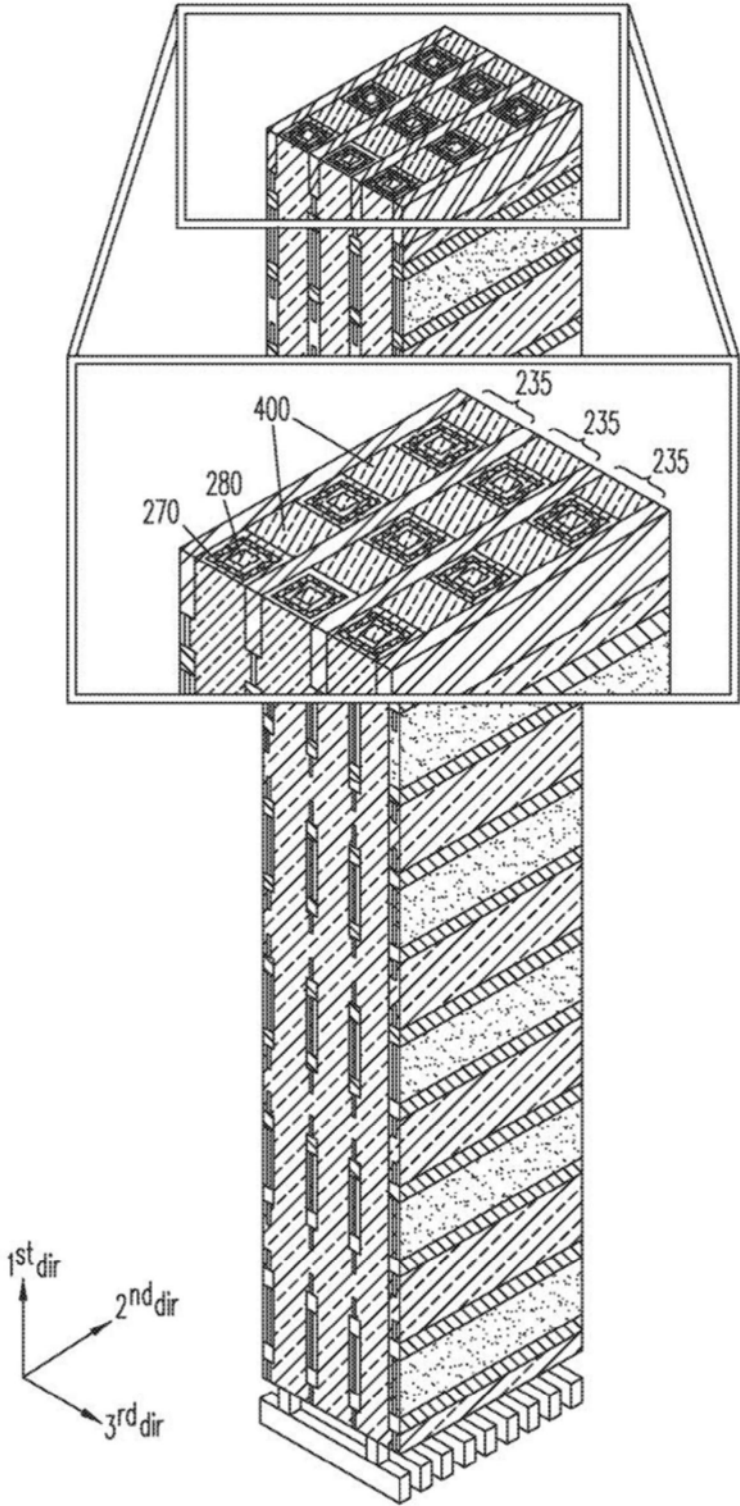


图7A

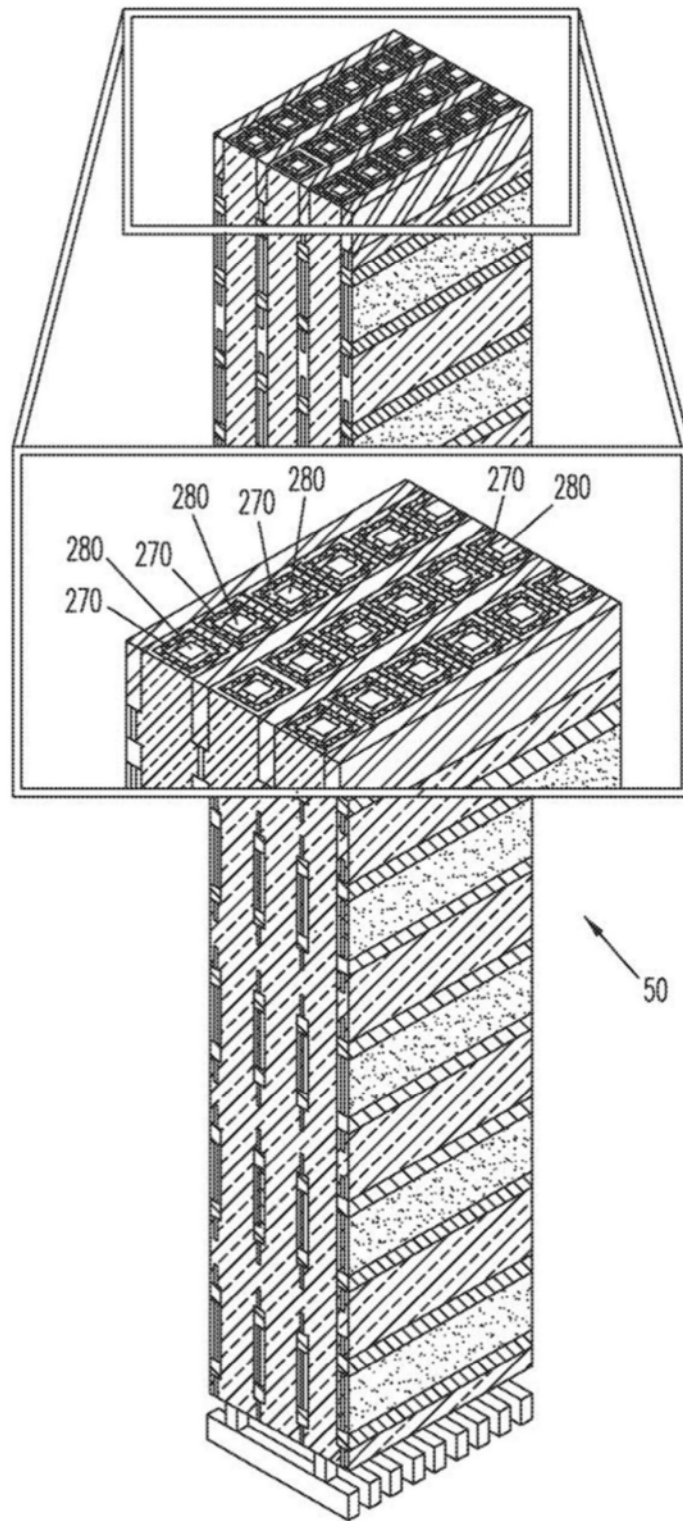


图7B