

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4130307号
(P4130307)

(45) 発行日 平成20年8月6日(2008.8.6)

(24) 登録日 平成20年5月30日(2008.5.30)

(51) Int.Cl.		F I			
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	A
HO 4 N	5/335	(2006.01)	HO 4 N	5/335	E
			HO 4 N	5/335	U

請求項の数 9 (全 14 頁)

(21) 出願番号	特願2001-6239 (P2001-6239)	(73) 特許権者	302062931 NECエレクトロニクス株式会社
(22) 出願日	平成13年1月15日(2001.1.15)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2002-217396 (P2002-217396A)	(74) 代理人	100146178 弁理士 浜田 満広
(43) 公開日	平成14年8月2日(2002.8.2)	(72) 発明者	富留宮 正之 東京都港区芝五丁目7番1号 日本電気株式会社内
審査請求日	平成17年8月19日(2005.8.19)	(72) 発明者	中柴 康隆 東京都港区芝五丁目7番1号 日本電気株式会社内
		審査官	恩田 春香

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

一 導電型の半導体領域に逆導電型の光電変換部と、前記半導体領域に形成され前記光電変換部と対向して形成された逆導電型のドレイン領域と、前記光電変換部と前記ドレイン領域の間に形成される逆導電型の領域を制御用チャンネル領域とする制御用MOSFETと、前記光電変換部で発生する電荷による前記光電変換部の電位変化をソースフォロア増幅回路を通して出力する固体撮像装置であって、前記光電変換部は第1光電変換部及び第2光電変換部を有し、前記第2光電変換部と前記ドレイン領域との間に前記制御用チャンネル領域が位置し、前記第1光電変換部と前記第2光電変換部との間には前記第1光電変換部と前記第2光電変換部との間を定電位設定用チャンネル領域とする定電位設定用MOSFETが形成されていることを特徴とする固体撮像装置。

【請求項2】

前記第1光電変換部は前記第2光電変換部よりも面積が大きい請求項1記載の固体撮像装置。

【請求項3】

前記定電位設定用チャンネル領域のポテンシャルは、前記制御用チャンネル領域にハイレベルの電圧が印加されたときの制御用チャンネル領域のポテンシャルとローレベルの電圧が印加されたときの制御用チャンネル領域のポテンシャルとの間に位置する請求項1又は2記載の固体撮像装置。

【請求項4】

10

20

前記ドレイン領域、前記第 1 光電変換部及び前記第 2 光電変換部のうち少なくとも一つが、他と不純物濃度及び前記半導体領域との接合の深さが異なる請求項 1、2 又は 3 記載の固体撮像装置。

【請求項 5】

前記ドレイン領域の不純物濃度が、前記第 1 光電変換部及び前記第 2 光電変換部の不純物濃度よりも高く、かつ、前記ドレイン領域と前記半導体領域との接合の深さが、前記第 1 光電変換部及び前記第 2 光電変換部と前記半導体領域との接合の深さよりも浅い請求項 4 記載の固体撮像装置。

【請求項 6】

前記第 1 光電変換部及び前記第 2 光電変換部は不純物濃度及び前記半導体領域との接合の深さが同じであるか、或いは、不純物濃度及び前記半導体領域との接合の深さのいずれかが異なる請求項 5 記載の固体撮像装置。

10

【請求項 7】

前記制御用 M O S F E T は、そのゲート電極に印加される電圧が零のときでもそのソース、ドレイン間に電流が流れるデプレッション型のトランジスタである請求項 1 乃至 6 のいずれかに記載の固体撮像装置。

【請求項 8】

前記第 1 光電変換部の表面を一導電型のキャップ半導体層が覆う請求項 1 乃至 7 のいずれかに記載の固体撮像装置。

【請求項 9】

20

前記第 2 光電変換部は、前記ソースフォロア増幅回路を構成するソースフォロアトランジスタのゲートに接続される請求項 1 乃至 8 のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、固体撮像装置に関し、特に、C M O S 製造プロセスと互換性のあるアクティブ型 X Y アドレス方式固体撮像装置に関するものである。

【0002】

【従来の技術】

従来、固体撮像装置は、光電変換された信号電荷を転送する転送層の方式に応じて M O S 型と C C D 型とに大別されていた。

30

【0003】

この固体撮像装置のうち、特に C C D 型の固体撮像装置は、近年、カメラ一体型 V T R、デジタルカメラ、ファクシミリその他の電子機器に使用されており、現在もなお特性向上のための技術開発が図られている。

【0004】

このような固体撮像装置の 1 つに C M O S 製造プロセスと互換性のある固体撮像装置（以後「C M O S センサ」と略す）がある（例えば、「日経マイクロデバイス」1997年7月号、120 - 125 頁参照）。この C M O S センサは、5 V 又は 3 . 3 V の単一電源で動作可能であり、消費電力が低いこと、一般的な C M O S 製造プロセスで作成できるとともに、信号処理回路その他の周辺回路も同一チップに搭載でき、C M O S 製造プロセスと互換性があること、などの特徴を有している。

40

【0005】

図 1 0 及び 1 1 に C M O S センサの基本セルの断面図を示す。図 1 0 は光電変換部の信号電荷蓄積中の電荷のポテンシャル状態図を、図 1 1 は光電変換部の信号電荷をリセットしたポテンシャル状態図をそれぞれ含む。

【0006】

図 1 0 に示すように、C M O S センサの基本セルは、P 型半導体基板 3 0 1 と、P 型半導体基板 3 0 1 の内部に形成され、一部が P 型半導体基板 3 0 1 の表面に露出している P 型ウェル層 3 0 2 と、P 型ウェル層 3 0 2 上に形成され、P 型半導体基板 3 0 1 の表面に露

50

出している素子分離領域となるP⁺型半導体領域303、323と、P型ウェル層302とP⁺型半導体領域303とに囲まれて形成された光電変換部をなすN⁺型半導体領域306と、P型ウェル層302とP⁺型半導体領域323とに囲まれて形成され、制御用MOSFET401のドレインとなるN⁺型半導体領域305と、P型半導体基板301の表面に露出しているP型ウェル層302の露出表面に対向して位置するゲート電極を有する制御用MOSFET401と、ソースフォロワアンプをなす第1MOSFET402と、水平選択スイッチをなす第2MOSFET403と、を備えている。

【0007】

CMOSセンサの基本セルは第2MOSFET403を介して外部回路と接続されている。

10

【0008】

外部回路は、ソースフォロワアンプの負荷をなす第3負荷MOSFET404と、暗出力転送MOSFET405と、明出力転送MOSFET406と、暗出力転送MOSFET405のソース又はドレインに接続されている暗出力蓄積容量407と、明出力転送MOSFET406のソース又はドレインに接続されている明出力蓄積容量408と、からなる。

【0009】

第2MOSFET403は第3負荷MOSFET404に接続されている。暗出力転送MOSFET405と明出力転送MOSFET406とは、第2MOSFET403と第3負荷MOSFET404との間のノードに接続されている。

20

【0010】

第1MOSFET402、第2MOSFET403及び第3負荷MOSFET404は電源電圧VDDとVSSとの間に直列に接続されており、N⁺型半導体領域406は第1MOSFET402のゲートに接続されている。

【0011】

また、P⁺型半導体領域403、423は接地され、N⁺型半導体領域405は電源電圧VDDに接続されている。

【0012】

図10及び11に画素として示したCMOSセンサの基本セル450は、マトリクス状に配置され、CMOSセル列が構成される。各基本セル450は、図12(a)に示すように、垂直レジスタ(V-register)451、水平レジスタ(H-register)452、負荷トランジスタ404及び出力ライン453に接続されている。

30

【0013】

なお、図12(a)に示した負荷トランジスタ404は図10及び11に示した負荷MOSFET404である。

【0014】

出力ライン453は水平レジスタ452により選択される垂直選択スイッチとしての垂直選択スイッチMOSFET455を介して、図10、11に示す各MOSFET405、406及び各容量407、408に接続される。

【0015】

40

図12(b)は基本セル(または画素)内部の接続を示す図であり、図10及び11に対応する構成要素には同一符号を付してある。図12(b)に示すように、制御用MOSFET401のゲートには制御パルスRが入力され、第2MOSFET403のゲートにはアドレス信号Xが入力され、第2MOSFET403のソースには負荷トランジスタ404と出力ライン453がそれぞれ接続される。

【0016】

次に、以上のような構成を有するCMOSセンサの動作方法を図10及び11を用いて説明する。

【0017】

まず、図11に示すように、制御用MOSFET401の制御パルスRをハイレベルの

50

電圧に設定し、N⁺型半導体領域306を電源電圧VDDにセットする

【0018】

次に、図10に示すように、ブルーミング防止のため、制御用MOSFET401の制御パルスRをローレベルの電圧に設定する。

【0019】

信号電荷の蓄積期間中、光電変換部となるN⁺型半導体領域306において、入射した光により電子・正孔対が発生すると、空乏層中に電子が蓄積されていき、正孔はP型ウェル層302を通して排出される。ここで、電源電圧VDDより深い電位の格子状のハッチングは、この領域が空乏化していないことを示している。

10

【0020】

蓄積された電子の数に応じて光電変換部となるN⁺型半導体領域306の電位が変動する。この電位変化を、第1MOSFET402のソースフォロワ動作によって、第1MOSFET402のソースを介して第2MOSFET403へ出力することにより、線型性の良い光電変換特性を得ることができる。

【0021】

ここで、光電変換部となるN⁺型半導体領域306において、リセットによるkTCノイズが発生するが、これは信号電子転送前の暗時出力をサンプリングして蓄積しておき、この暗時出力と明時出力との差を取ることで除去することができる。

【0022】

【発明が解決しようとする課題】

上述した、CMOS製造プロセスと互換性のある固体撮像装置においては、蓄積された電子の数に応じて光電変換部となるN⁺型半導体領域306の電位が変動し、その電位変化を第1MOSFET402のソースフォロワ動作によって、第1MOSFET402のソースを介して第2MOSFET403へ出力する。

20

【0023】

この場合、信号電荷量をQ、光電変換部となるN⁺型半導体領域306の寄生容量をC、出力電圧をVとすると、 $V = Q / C$ となる。入射光量、電位と出力電圧の関係を図13に示す。

【0024】

しかしながら、図10に示すように、上述したようなCMOS製造プロセスと互換性のある固体撮像装置においては、光電変換部がN⁺型半導体領域306から形成されているため、単純に光電変換部の面積を大きくしても、それにつれて光電変換部の寄生容量Cが大きくなり、期待したほどに信号電荷による電位変動Vを大きくすることができないという欠点があった。

30

【0025】

本発明は上記のような問題点を解消するためになされたものであり、特に、低光量時の光電変換部の出力変換効率を向上させ、感度を向上させることができる、CMOS製造プロセスと互換性のある固体撮像装置を提供することを目的とする。

【0026】

【課題を解決するための手段】

本発明の固体撮像装置は、一導電型の半導体領域に逆導電型の光電変換部と、前記半導体領域に形成され前記光電変換部と対向して形成された逆導電型のドレイン領域と、前記光電変換部と前記ドレイン領域の間に形成される逆導電型の領域を制御用チャネル領域とする制御用MOSFETと、前記光電変換部で発生する電荷による前記光電変換部の電位変化をソースフォロワ増幅回路を通して出力する固体撮像装置であって、前記光電変換部は第1光電変換部及び第2光電変換部を有し、前記第2光電変換部と前記ドレイン領域との間に前記制御用チャネル領域が位置し、前記第1光電変換部と前記第2光電変換部との間には前記第1光電変換部と前記第2光電変換部との間を定電位設定用チャネル領域とする定電位設定用MOSFETが形成されている、という構造を基本構成としている。この本

40

50

発明の基本構成の固体撮像装置は、以下に示す種々の適用形態を有している。

【 0 0 2 7 】

まず、前記第 1 光電変換部は前記第 2 光電変換部よりも面積が大きい。

【 0 0 2 8 】

また、前記定電位設定用チャネル領域のポテンシャルは、前記制御用チャネル領域にハイレベルの電圧が印加されたときの制御用チャネル領域のポテンシャルとローレベルの電圧が印加されたときの制御用チャネル領域のポテンシャルの間に位置する。

【 0 0 2 9 】

また、前記ドレイン領域、前記第 1 光電変換部及び前記第 2 光電変換部のうち少なくとも一つが、他と不純物濃度及び前記半導体領域との接合の深さが異なり、前記ドレイン領域の不純物濃度が、前記第 1 光電変換部及び前記第 2 光電変換部の不純物濃度よりも高く、かつ、前記ドレイン領域と前記半導体領域との接合の深さが、前記第 1 光電変換部及び前記第 2 光電変換部と前記半導体領域との接合の深さよりも浅く、さらに具体的には、前記第 1 光電変換部及び前記第 2 光電変換部は不純物濃度及び前記半導体領域との接合の深さが同じであるか、或いは、不純物濃度及び前記半導体領域との接合の深さのいずれかが異なる。

【 0 0 3 0 】

また、前記制御用 MOSFET は、そのゲート電極に印加される電圧が零のときでもそのソース、ドレイン間に電流が流れるデプレッション型のトランジスタである。

【 0 0 3 1 】

また、前記第 1 光電変換部の表面を一導電型のキャップ半導体体層が覆う。

【 0 0 3 2 】

最後に、前記第 2 光電変換部は、前記ソースフォロア増幅回路を構成するソースフォロアトランジスタのゲートに接続される。

【 0 0 3 3 】

【発明の実施の形態】

次に、本発明を図面を参照して説明する。

【 0 0 3 4 】

図 1 は、本発明の第 1 の実施形態に係る CMOS センサの基本セルの断面図及びこの基本セルにおける光電変換部の信号電荷蓄積中の電荷のポテンシャル状態図で、図 2 は、本発明の第 1 の実施形態に係る CMOS センサの基本セルの断面図及びこの基本セルにおける光電変換部の信号電荷をリセットしたときのポテンシャル状態図である。それぞれの図において、(a) は制御用 MOSFET を含む光電変換部近傍の断面図をソースフォロアアンプの回路図と併せて示したものであり、(b) は、(a) の光電変換部及び制御用 MOSFET の各部に対応した電子ポテンシャル図である。

【 0 0 3 5 】

CMOS センサの基本セルは、P 型半導体基板 1 0 1 と、P 型半導体基板 1 0 1 の内部に形成され、一部が P 型半導体基板 1 0 1 の表面に露出している P 型ウェル層 1 0 2 と、P 型ウェル層 1 0 2 上に形成され、P 型半導体基板 1 0 1 の表面に露出している素子分離領域となる P⁺型半導体領域 1 0 3、1 2 3 と、P 型半導体基板 1 0 1 の表面に露出している P 型ウェル層 1 0 2 の露出表面に対向して位置するゲート電極を有する制御用 MOSFET 2 0 1 と、P 型ウェル層 1 0 2 と P⁺型半導体領域 1 2 3 とに囲まれて形成され、制御用 MOSFET 2 0 1 のドレインとなる N⁺型半導体領域 1 0 5 と、P 型ウェル層 1 0 2 と P⁺型半導体領域 1 0 3 とに囲まれて形成された第 1 導電型の第 1 領域としての N⁺型半導体領域 1 0 6 と、第 1 領域 1 0 6 に隣接して形成され、P 型半導体基板 1 0 1 の表面に露出している P 型ウェル層 1 0 2 の露出表面に対向して位置するゲート電極を有する定電位設定用 MOSFET 2 0 9 と、制御用 MOSFET 2 0 1 と定電位設定用 MOSFET 2 0 9 間に第 1 導電型の第 2 領域としての N⁺型半導体領域 1 0 7 と、ソースフォロアアンプをなす第 1 MOSFET 2 0 2 と、水平選択スイッチをなす第 2 MOSFET 2 0 3 と、を備えている。ここで、N⁺型半導体領域 1 0 5、N⁺型半導体領域 1 0 6、N⁺

10

20

30

40

50

型半導体領域107の3つの半導体領域は製造プロセスを短くするために同時に、即ち同じ不純物濃度及び接合深さに形成しても良いが、3つの半導体領域のうち少なくとも一つの半導体領域を別工程で形成してその不純物濃度及び接合深さを他の半導体領域と異なるように形成しても良い。

【0036】

CMOSセンサの基本セルは第2MOSFET203を介して外部回路と接続されている。

【0037】

外部回路は、ソースフォロワアンプをなす第3負荷MOSFET204と、暗出力転送MOSFET205のソース又はドレインに接続されている暗出力蓄積容量207と、明出力転送MOSFET206と、明出力転送MOSFET206のソース又はドレインに接続されている明出力蓄積容量208と、からなる。

10

【0038】

第2MOSFET203は第3負荷MOSFET204に接続されている。暗出力転送MOSFET205と明出力転送MOSFET206とは、第2MOSFET203と第3負荷MOSFET204との間のノードに接続されている。

【0039】

第1MOSFET202、第2MOSFET203及び第3負荷MOSFET204は電源電圧VDDとVSSとの間に直列に接続されており、第1領域(N⁺型半導体領域)106は第1MOSFET202の初段ゲート電極に接続されている。

20

【0040】

また、P⁺型半導体領域103、123は接地され、N⁺型半導体領域105は電源電圧VDDに接続されている。ここで、定電位設定用MOSFET209下に形成される電位は、制御用MOSFET201にローレベル電圧印加時に制御用MOSFET201下に形成される電位より深く、制御用MOSFET201にハイレベル電圧印加時に制御用MOSFET201下に形成される電位より浅くなるように形成されている。

【0041】

このような電位関係は、例えば電源電圧VDDが3.3V、前記制御用MOSFET201のハイレベル電圧印加電圧が5.0V、ローレベル電圧印加電圧1.0V、定電位設定用MOSFET209の印加電圧が3.3Vの時実現できる。

30

【0042】

図10及び11に示したCMOSセンサの基本セルと比較して、本実施形態に係るCMOSセンサの基本セルが相違する点は、図1に示すように、本実施形態における光電変換部が、P型ウェル層102とP⁺型半導体領域103とに囲まれて形成された第1導電型の第1領域としてのN⁺型半導体領域106と、第1領域106に隣接して形成された定電位設定用MOSFET209と、制御用MOSFET201と定電位設定用MOSFET209間に第1導電型の第2領域としてのN型半導体領域107とから形成されている点である。

【0043】

ここで、第1導電型の第1領域106、第2領域107、定電位設定用MOSFET209は、光電変換部として機能し、光電変換された信号電荷は電位の深い第2領域107から第1領域106に順次蓄積されていくことになる。

40

【0044】

また、信号電荷が第2領域107の下方に蓄積されているときのリセット電位VDDから電位VT'までの寄生容量C1よりも、信号電荷が第1領域106の下方にまで蓄積されているときの電位VT'から電位cまでの寄生容量C2の方が大きくなるため、図3に示したように、入射光量に対して2段階の入射光量-出力電圧特性を得ることができ、低照度時の感度向上を図ることができる。

【0045】

このため、第1導電型の第1領域106に比べ、第1導電型の第2領域107は小さく形

50

成されている方が、低照度時の感度向上には寄与が大きくなる。

【0046】

なお、ここでは図示を省略しているが、光電変換部以外の領域は遮光膜により遮光されている。

【0047】

また、この実施形態の制御用MOSFET201と定電位設定用MOSFET209は、閾値制御用のチャンネルドープの無いものを記載したが、閾値制御用のチャンネルドープのあるものを用いても同様に適用できることは言うまでもない。

【0048】

次に、本発明の第2の実施形態の固体撮像装置について図4、5を参照して説明する。図4は、本発明の第2の実施形態に係るCMOSセンサの基本セルの断面図及びこの基本セルにおける光電変換部の信号電荷蓄積中の電荷のポテンシャル状態図で、図5は、本発明の第2の実施形態に係るCMOSセンサの基本セルの断面図及びこの基本セルにおける光電変換部の信号電荷をリセットしたときのポテンシャル状態図である。

10

【0049】

本実施形態に係るCMOSセンサは、第1の実施形態に係るCMOSセンサと比較して、制御用MOSFET201がデプレッション型で構成され、制御用MOSFET201のチャンネル領域108がN⁺型半導体領域105及び第2領域107と同じ導電型のN型となっている点が異なっている。これ以外の構成は第1の実施形態に係るCMOSセンサと同じである。

20

【0050】

このため、電源電圧VDDが3.3V、前記制御用MOSFET201のハイレベル印加電圧が3.3V、ローレベル印加電圧0V、定電位設定用MOSFET209の印加電圧が3.3Vで、複数の電圧を使用することなく、前述した前記定電位設定用MOSFET209と前記制御用MOSFET201下の電位関係を実現できる。

【0051】

次に、本発明の第3の実施形態の固体撮像装置について図6、7を参照して説明する。図6は、本発明の第3の実施形態に係るCMOSセンサの基本セルの断面図及びこの基本セルにおける光電変換部の信号電荷蓄積中の電荷のポテンシャル状態図で、図7は、本発明の第3の実施形態に係るCMOSセンサの基本セルの断面図及びこの基本セルにおける光電変換部の信号電荷をリセットしたときのポテンシャル状態図である。

30

【0052】

本実施形態に係るCMOSセンサは、第1の実施形態に係るCMOSセンサと比較して、第1導電型の第1領域としてのN⁺型半導体領域126と、第1導電型の第2領域としてのN⁺型半導体領域127と、制御用MOSFET201のドレインとなるN⁺型半導体領域105の不純物濃度と接合の深さが異なっている点である。

【0053】

具体的には、制御用MOSFET201のドレインとなるN⁺型半導体領域105の不純物濃度と接合の深さに比べて、第1導電型の第1領域としてのN⁺型半導体領域126と、第1導電型の第2領域としてのN⁺型半導体領域127の不純物濃度は低く、接合の深さは深くなっている。これ以外の構成は第2の実施形態に係るCMOSセンサと同じである。

40

【0054】

このため、P型ウェル層102と、第1導電型の第1領域としてのN⁺型半導体領域126と、第1導電型の第2領域としてのN⁺型半導体領域127との接合部に形成される空乏層を延ばすことができるため、感度が向上すると共に寄生容量Cを低減することができるため、信号電荷による電位変動Vを大きくすることができ、出力変換効率を向上させることができる。

【0055】

なお、この実施形態では、第1導電型の第1領域としてのN⁺型半導体領域126と、第

50

1 導電型の第 2 領域としての N⁺型半導体領域 1 2 7 と、制御用 MOSFET 2 0 1 のドレインとなる N⁺型半導体領域 1 0 5 の 3 領域共に不純物濃度と接合の深さが異なっているものを記載したが、第 1 導電型の第 1 領域 1 2 6 と、第 1 導電型の第 2 領域 1 2 7 が不純物濃度、接合の深さ共に同じでも問題なく、不純物濃度、接合の深さの内一方だけ異なっている場合でも本実施形態の変形例として固体撮像装置に適用できることは言うまでもない。

【 0 0 5 6 】

さらに、第 3 の実施形態の制御用 MOSFET 2 0 1 のチャンネル領域 1 0 8 を第 2 の実施形態と同じくデプレッション型としたが、エンハンス型のチャンネル領域としても本実施形態により得られる効果と同じ効果が得られることは勿論のことである。

【 0 0 5 7 】

次に、本発明の第 4 の実施形態の固体撮像装置について図 8、9 を参照して説明する。図 8 は、本発明の第 4 の実施形態に係る CMOS センサの基本セルの断面図及びこの基本セルにおける光電変換部の信号電荷蓄積中の電荷のポテンシャル状態図で、図 9 は、本発明の第 4 の実施形態に係る CMOS センサの基本セルの断面図及びこの基本セルにおける光電変換部の信号電荷をリセットしたときのポテンシャル状態図である。

【 0 0 5 8 】

本実施形態に係る CMOS センサは、第 1 の実施形態に係る CMOS センサと比較して、第 1 導電型の第 1 領域としての N⁺型半導体領域 1 2 6 の表面に基準電位に固定された P⁺型半導体領域 1 0 9 が形成されている点である。これ以外の構成は第 3 の実施形態に係る CMOS センサと同じである。

【 0 0 5 9 】

このため、シリコン / 酸化膜界面からの発生電流を再結合により消滅させることができ、光電変換によらないノイズ成分の低減を行うことができるため、SN 比を向上させることができる。

【 0 0 6 0 】

本実施形態は、第 3 の実施形態の N⁺型半導体領域 1 2 6 の表面に P⁺型半導体領域 1 0 9 が形成されている例であるが、これ以外にも、第 1 の実施形態及び第 2 の実施形態の N⁺型半導体領域 1 0 6 の表面に本実施形態と同様にして P⁺型半導体領域を形成する変形例が考えられることは言うまでもなく、これらの変形例においても第 4 の実施形態と同様の効果が得られる。

【 0 0 6 1 】

さらに、上述の第 1 乃至第 4 の実施形態は上記の範囲に限定されるものではなく、以下のように、変更することが可能である。

【 0 0 6 2 】

例えば、各実施形態において、半導体領域の極性を N 型と P 型との間で入れ替えることも可能である。

【 0 0 6 3 】

さらに、各実施形態においては、P 型半導体基板 1 0 1 を用いたが、N 型半導体基板を使用することも可能である。

【 0 0 6 4 】

【 発明の効果 】

以上のように、本発明に係る固体撮像装置においては、本実施形態における光電変換部が、従来 P 型ウェル層と P⁺型半導体領域とに囲まれて形成されていた光電変換部を、第 1 導電型の第 1 領域としての N⁺型半導体領域と、第 1 領域に隣接して形成された定電位設定用 MOSFET のチャンネル領域と、第 1 導電型の第 2 領域としての N⁺型半導体領域とに分割し、第 1 領域及び第 2 領域間の P 型ウェル層をチャンネル領域とする定電位設定用 MOSFET を設け、制御用 MOSFET のチャンネル領域を、第 2 領域と従来の制御用 MOSFET のドレインとに挟まれた P 型ウェル層とすることにより、入射光量に対して 2 段階の入射光量 - 出力電圧特性を得ることができ、低照度時の感度向上を図ることができるという効果がある。

10

20

30

40

50

【 0 0 6 5 】

また、制御用MOSFETがデプレッション型で構成すると、複数の電圧を使用することなく、定電位設定用MOSFETと制御用MOSFET下の電位関係を実現できるという効果がある。

【 0 0 6 6 】

また、第1導電型の第1領域及び第1導電型の第2領域の不純物濃度、接合深さを、制御用MOSFETのドレインの不純物濃度よりも低く、接合の深さよりも深くすることにより、P型ウェル層と、第1導電型の第1領域と、第1導電型の第2領域との接合部に形成される空乏層を延ばすことができ、感度が向上すると共に寄生容量Cを低減することができ、信号電荷による電位変動Vを大きくすることができ、出力変換効率を向上させることができるという効果がある。

10

【 0 0 6 7 】

さらに、第1導電型の第1領域としてのN型半導体領域の表面に基準電位に固定されたP⁺型半導体領域が形成されている。このため、シリコン/酸化膜界面からの発生電流を再結合により消滅させることができ、光電変換によらないノイズ成分の低減を行うことができるため、SN比を向上させることができるという効果がある。

【 図面の簡単な説明 】

【 図 1 】 本発明の第1の実施形態の固体撮像装置の断面図及びポテンシャル状態図である。

。

【 図 2 】 本発明の第1の実施形態の固体撮像装置の断面図及びポテンシャル状態図である。

20

。

【 図 3 】 本発明の固体撮像装置の出力の入射光依存性を示すグラフである。

【 図 4 】 本発明の第2の実施形態の固体撮像装置の断面図及びポテンシャル状態図である。

。

【 図 5 】 本発明の第2の実施形態の固体撮像装置の断面図及びポテンシャル状態図である。

。

【 図 6 】 本発明の第3の実施形態の固体撮像装置の断面図及びポテンシャル状態図である。

。

【 図 7 】 本発明の第3の実施形態の固体撮像装置の断面図及びポテンシャル状態図である。

。

30

【 図 8 】 本発明の第4の実施形態の固体撮像装置の断面図及びポテンシャル状態図である。

。

【 図 9 】 本発明の第4の実施形態の固体撮像装置の断面図及びポテンシャル状態図である。

。

【 図 1 0 】 従来の固体撮像装置の断面図及びポテンシャル状態図である。

【 図 1 1 】 従来の固体撮像装置の断面図及びポテンシャル状態図である。

【 図 1 2 】 アクティブ型XYアドレス方式固体撮像装置のブロック図である。

【 図 1 3 】 従来の固体撮像装置の出力の入射光依存性を示すグラフである。

【 符号の説明 】

1 0 1、3 0 1 P型半導体基板

40

1 0 2、3 0 2 P型ウェル層

1 0 3、1 0 9、1 2 3、3 0 3、3 2 3 P⁺型半導体領域

1 0 5、3 0 5 ドレイン

1 0 6、1 2 6 第1領域(N⁺型半導体領域)

1 0 7、1 2 7 第2領域(N⁺型半導体領域)

1 0 8 チャネル領域

1 0 9

2 0 1、4 0 1 制御用MOSFET

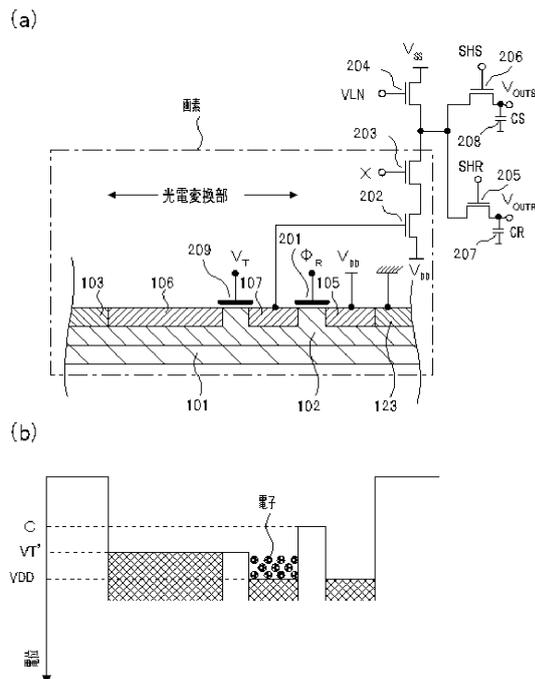
2 0 2、4 0 2 第1MOSFET

2 0 3、4 0 3 第2MOSFET

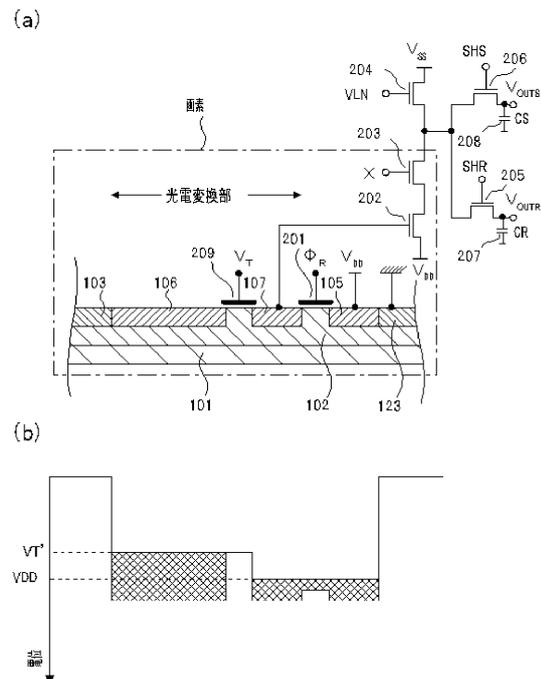
50

- 204、404 第3負荷MOSFET
- 205、405 暗出力転送MOSFET
- 206、406 明出力転送MOSFET
- 207、407 暗出力蓄積容量
- 208、408 明出力蓄積容量
- 209 定電位設定用MOSFET
- 305 N⁺型半導体領域(ドレイン)
- 306 N⁺型半導体領域(光電変換部)
- 450 基本セル
- 451 垂直レジスタ(V-register)
- 452 水平レジスタ(H-register)
- 453 出力ライン
- 455 垂直選択スイッチMOSFET

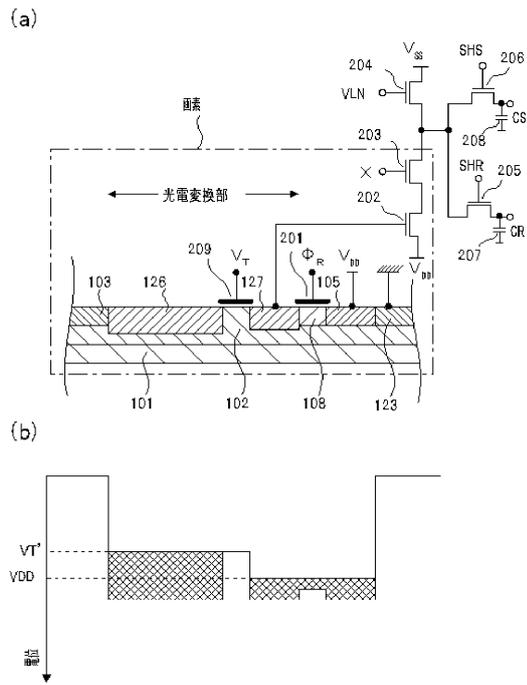
【図1】



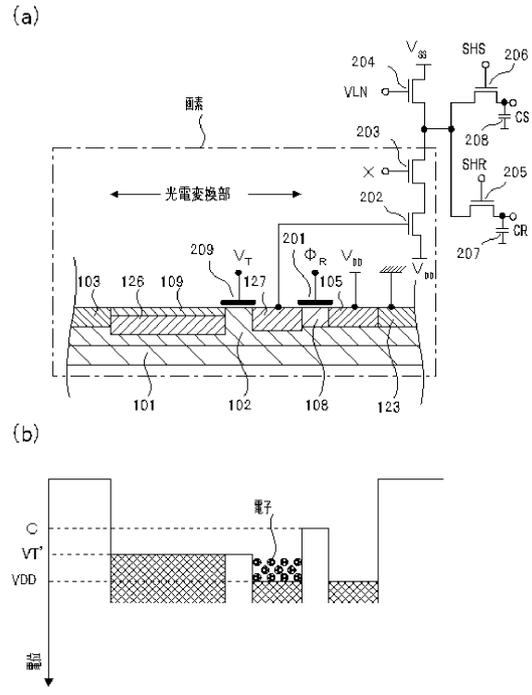
【図2】



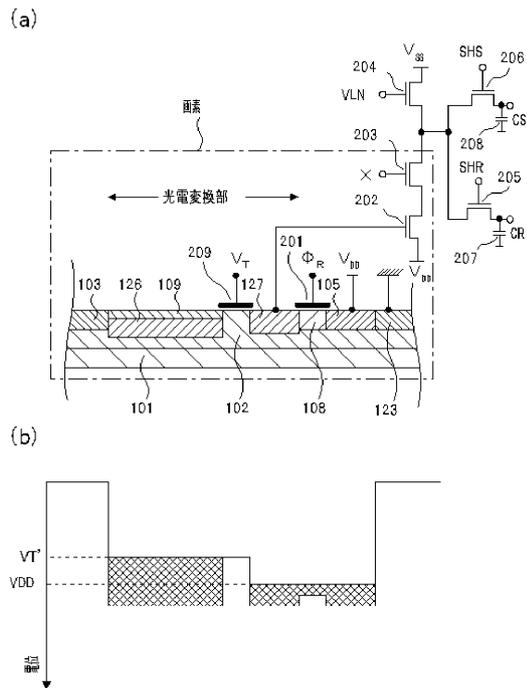
【図7】



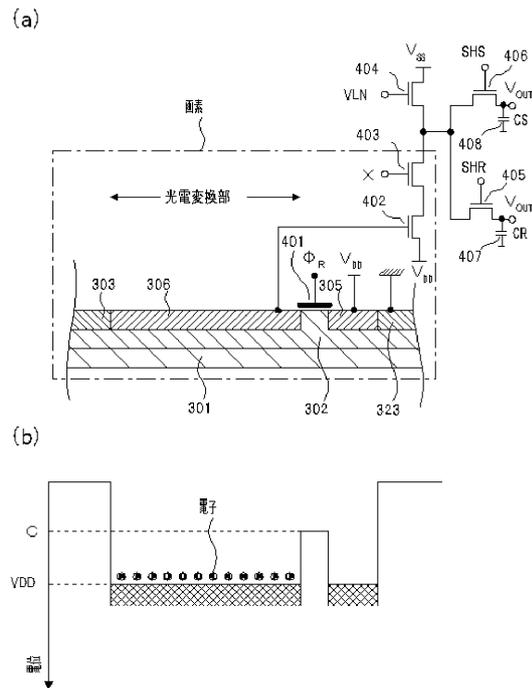
【図8】



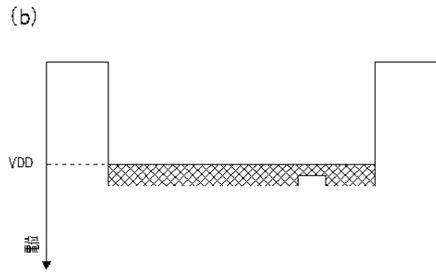
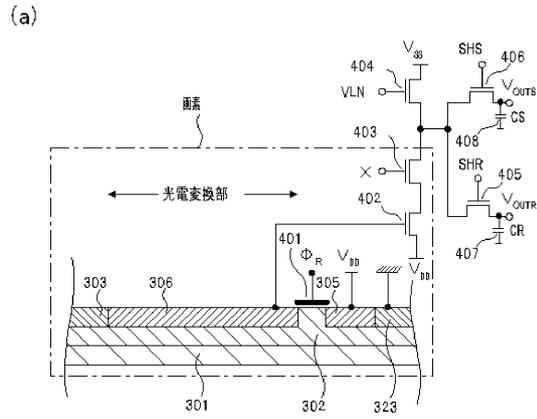
【図9】



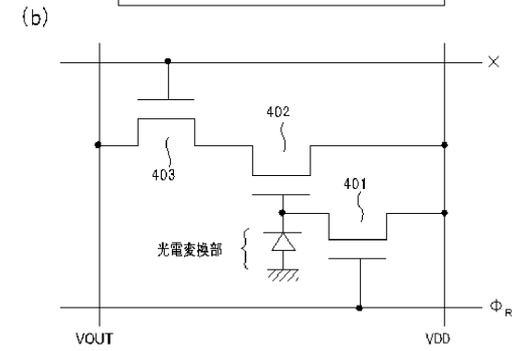
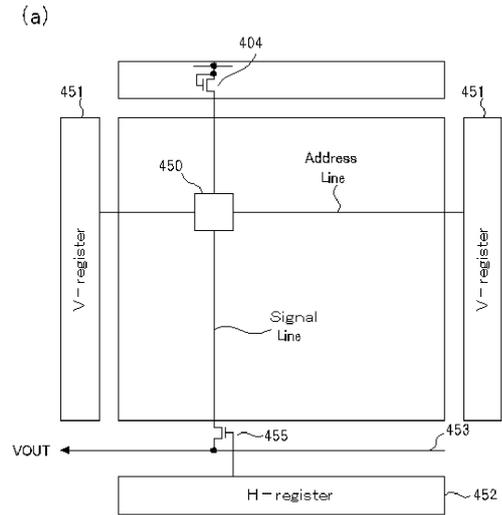
【図10】



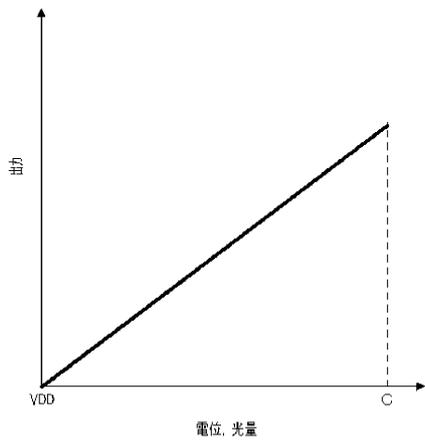
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(56)参考文献 特開2000-059688(JP,A)
特開昭63-053968(JP,A)
特開2000-082839(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 27/14-27/148