

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年4月7日(2005.4.7)

【公開番号】特開2000-315778(P2000-315778A)

【公開日】平成12年11月14日(2000.11.14)

【出願番号】特願平11-123927

【国際特許分類第7版】

H 01 L 27/108

H 01 L 21/8242

H 01 L 21/28

H 01 L 27/04

H 01 L 21/822

H 01 L 27/10

【F I】

H 01 L 27/10 6 5 1

H 01 L 21/28 3 0 1 Z

H 01 L 27/10 4 5 1

H 01 L 27/10 4 6 1

H 01 L 27/04 C

H 01 L 27/10 6 2 1 B

H 01 L 27/10 6 2 1 C

【手続補正書】

【提出日】平成16年5月31日(2004.5.31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板の主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に電気的に接続された第1電極および前記第1電極の上部に容量絶縁膜を介して形成された第2電極によって構成される容量素子とからなるメモリセルを有する半導体集積回路装置であって

前記容量素子の前記第1電極は、前記ソース、ドレインの一方に接続するプラグに接続された第1導電性接続体と、前記第1導電性接続体の上部に形成された第1導電体膜との積層膜によって構成され、

前記第1導電性接続体および前記第1導電体膜のそれぞれは、白金族金属、白金族合金または白金族金属の導電性酸化物を主成分とする膜からなり、

前記第1導電体膜の膜厚は、前記第1導電性接続体の膜厚よりも大きいことを特徴とする半導体集積回路装置。

【請求項2】

請求項1記載の半導体集積回路装置において、前記第1電極の一部を構成する前記第1導電性接続体の下端部の径は、その上端部の径以上であり、前記第1電極の他の一部を構成する前記第1導電体膜の下端部の径は、その上端部の径以下であることを特徴とする半導体集積回路装置。

【請求項3】

請求項1記載の半導体集積回路装置において、前記第1導電性接続体は、複数の導電体膜

によって構成されていることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 1 または 3 記載の半導体集積回路装置において、前記第 1 電極の一部を構成する前記第 1 導電性接続体は、CVD 法またはスパッタリング法によって形成された導電膜からなり、前記第 1 電極の他の一部を構成する前記第 1 導電体膜は、メッキ法によって形成された導電膜からなることを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 記載の半導体集積回路装置において、前記容量素子の前記容量絶縁膜は、前記第 1 電極の上面と側面とに形成されていることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 1、2、3 または 5 記載の半導体集積回路装置において、前記容量素子の前記容量絶縁膜は、ペロブスカイト型または複合ペロブスカイト型の結晶構造を有する高誘電率膜または強誘電体膜を主成分とすることを特徴とする半導体集積回路装置。

【請求項 7】

請求項 6 記載の半導体集積回路装置において、前記容量素子の前記第 2 電極は、白金族金属、白金族合金または白金族金属の導電性酸化物を主成分とする第 2 導電体膜によって構成されていることを特徴とする半導体集積回路装置。

【請求項 8】

請求項 6 記載の半導体集積回路装置において、前記容量素子の上部には、水素を透過し難い絶縁膜を介在して酸化シリコン系の絶縁膜およびメタル配線が形成されていることを特徴とする半導体集積回路装置。

【請求項 9】

半導体基板の主面上に形成されたメモリセル選択用 MISFET と、前記メモリセル選択用 MISFET のソース、ドレインの一方電気的に接続された第 1 電極および前記第 1 電極の上部に容量絶縁膜を介して形成された第 2 電極によって構成される容量素子とからなるメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面上にメモリセル選択用 MISFET を形成した後、前記メモリセル選択用 MISFET の上部に第 1 絶縁膜を形成する工程、

(b) 前記第 1 絶縁膜に第 1 接続孔を形成した後、前記第 1 接続孔の内部に前記 MISFET のソース、ドレインの一方電気的に接続される第 1 導電性接続体を形成する工程、

(c) 前記第 1 絶縁膜の上部に第 1 導電性下地膜を形成した後、前記第 1 導電性下地膜の上部に第 2 絶縁膜を形成する工程、

(d) 前記第 1 導電性接続体の上方の前記第 2 絶縁膜に溝を形成した後、前記溝の底部に露出した前記第 1 導電性下地膜の上部に第 1 導電体膜を形成することによって、前記溝の内部に前記第 1 導電体膜を埋め込む工程、

(e) 前記第 2 絶縁膜を除去して前記第 1 導電性下地膜を露出した後、前記第 1 導電体膜をマスクにしたエッチングで前記第 1 導電性下地膜を除去することによって、前記第 1 導電体膜とその下部の前記第 1 導電性下地膜とによって構成され、かつ前記第 1 導電性接続体を介して前記 MISFET のソース、ドレインの一方電気的に接続される第 1 電極を形成する工程、

(f) 前記第 1 電極の上部にその上面と側面とを覆う容量絶縁膜を形成した後、前記容量絶縁膜の上部に第 2 導電体膜からなる第 2 電極を形成することによって、前記第 1 電極、前記容量絶縁膜および前記第 2 電極からなる容量素子を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 10】

請求項 9 記載の半導体集積回路装置の製造方法において、前記第 1 導電性接続体の上方の前記第 2 絶縁膜に前記溝を形成した後、前記溝の底部に露出した前記第 1 導電性下地膜の上部に前記第 1 導電体膜を形成する工程に先立って、前記溝の底部に露出した前記第 1 導電性下地膜をスパッタエッチングすることによって、前記第 1 導電性下地膜の一部を前記溝の側壁に再析出させることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 1】

請求項 9 記載の半導体集積回路装置の製造方法において、前記第 1 導電体膜をマスクにしたエッチングで前記第 1 導電性下地膜を除去することによって前記下部電極を形成する際、前記下部電極の肩部を丸めることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 2】

半導体基板の主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に電気的に接続された第 1 電極および前記第 1 電極の上部に容量絶縁膜を介して形成された第 2 電極によって構成される容量素子とからなるメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面上にメモリセル選択用 M I S F E T を形成した後、前記メモリセル選択用 M I S F E T の上部に第 1 絶縁膜を形成する工程、

(b) 前記第 1 絶縁膜に第 1 接続孔を形成した後、前記第 1 接続孔の内部に前記 M I S F E T のソース、ドレインの一方に電気的に接続される第 1 導電性接続体を形成する工程、

(c) 前記第 1 絶縁膜の上部に第 2 絶縁膜を形成した後、前記第 1 導電性接続体の上方の前記第 2 絶縁膜に前記第 1 導電性接続体を露出する溝を形成する工程、

(d) 前記溝の内部を含む前記第 2 絶縁膜の上部に第 1 導電性下地膜を形成した後、前記第 1 導電性下地膜の上部に第 1 導電体膜を形成することによって、前記溝の内部に前記第 1 導電体膜を埋め込む工程、

(e) 前記第 2 絶縁膜の上部の前記第 1 導電体膜および前記第 1 導電性下地膜を除去することによって、前記第 1 導電体膜および前記第 1 導電性下地膜を前記溝の内部に残す工程、

(f) 前記第 2 絶縁膜を除去することによって、前記第 1 導電体膜とその底部および側面に形成された前記第 1 導電性下地膜とによって構成され、かつ前記第 1 導電性接続体を介して前記 M I S F E T のソース、ドレインの一方に電気的に接続される第 1 電極を形成する工程、

(g) 前記第 1 電極の上部にその上面と側面とを覆う容量絶縁膜を形成した後、前記容量絶縁膜の上部に第 2 導電体膜からなる第 2 電極を形成することによって、前記第 1 電極、前記容量絶縁膜および前記第 2 電極からなる容量素子を形成する工程、
を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 3】

請求項 1 2 記載の半導体集積回路装置の製造方法において、前記 (f) 工程で前記第 2 絶縁膜を除去する際、周辺回路領域の前記第 2 絶縁膜を除去しないことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 4】

請求項 1 2 記載の半導体集積回路装置の製造方法において、前記 (f) 工程で前記第 2 絶縁膜を除去する際、周辺回路領域の前記第 2 絶縁膜を除去することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 5】

請求項 1 2 記載の半導体集積回路装置の製造方法において、前記第 2 絶縁膜を窒化シリコン系の絶縁膜とその上部に形成した酸化シリコン系の絶縁膜とで構成し、前記第 2 絶縁膜に前記溝を形成する際、まず前記窒化シリコン系の絶縁膜をエッチングのストップにして前記酸化シリコン系の絶縁膜をエッチングし、次いで前記窒化シリコン系の絶縁膜をエッチングすることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 6】

請求項 9 または 1 2 記載の半導体集積回路装置の製造方法において、前記第 1 導電性下地膜は、白金族金属、白金族合金または白金族金属の導電性酸化物を主成分とする膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 7】

半導体基板の主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に電気的に接続された第 1 電極および前記第 1

電極の上部に容量絶縁膜を介して形成された第2電極によって構成される容量素子とからなるメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面上にメモリセル選択用MISFETを形成した後、前記メモリセル選択用MISFETの上部に第1絶縁膜を形成する工程、

(b) 前記第1絶縁膜に第1接続孔を形成した後、前記第1接続孔の内部に前記MISFETのソース、ドレインの一方電気的に接続される第1導電性接続体を形成する工程、

(c) 前記第1絶縁膜の上部に第1導電性下地膜を形成した後、前記第1導電性下地膜の上部に第2絶縁膜を形成する工程、

(d) 前記第1導電性接続体の上方の前記第2絶縁膜に溝を形成した後、前記溝の内部を含む前記第2絶縁膜の上部に第2導電性下地膜を形成する工程、

(e) 前記第2導電性下地膜の上部に第1導電体膜を形成することによって、前記溝の内部に前記第1導電体膜を埋め込む工程、

(f) 前記第2絶縁膜の上部の前記第1導電体膜および前記第2導電性下地膜を除去する

ことによって、前記第1導電体膜および前記第2導電性下地膜を前記溝の内部に残す工程、

(g) 前記第2絶縁膜を除去して前記第1導電性下地膜を露出した後、前記第1導電体膜および前記第2導電性下地膜をマスクにしたエッティングで前記第1導電性下地膜を除去することによって、前記第1導電体膜と、前記第2導電性下地膜と、前記第2導電性下地膜の下層の前記第1導電性下地膜とによって構成され、かつ前記第1導電性接続体を介して前記MISFETのソース、ドレインの一方電気的に接続される第1電極を形成する工程、

(h) 前記第1電極の上部にその上面と側面とを覆う容量絶縁膜を形成した後、前記容量絶縁膜の上部に第2導電体膜からなる第2電極を形成することによって、前記第1電極、前記容量絶縁膜および前記第2電極からなる容量素子を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項18】

請求項17記載の半導体集積回路装置の製造方法において、前記第1導電体膜および前記第2導電性下地膜をマスクにしたエッティングで前記第1導電性下地膜を除去することによって前記下部電極を形成する際、前記下部電極の肩部を丸めることを特徴とする半導体集積回路装置の製造方法。

【請求項19】

請求項17記載の半導体集積回路装置の製造方法において、前記第1導電体膜は、前記第2導電性下地膜をカソード電極とする電解メッキ法、前記第2導電性下地膜を触媒とする無電解メッキ法または選択CVD法のいずれかによって形成することを特徴とする半導体集積回路装置の製造方法。

【請求項20】

請求項19記載の半導体集積回路装置の製造方法において、前記第1導電体膜を前記電解メッキ法によって形成する際、ウエハの端部に露出した前記第2導電性下地膜に負電極側の端子を接続することを特徴とする半導体集積回路装置の製造方法。

【請求項21】

請求項17記載の半導体集積回路装置の製造方法において、前記第1導電体膜と前記第2導電性下地膜との合計の膜厚は、前記第1導電性下地膜の膜厚よりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項22】

請求項17記載の半導体集積回路装置の製造方法において、前記第1導電性下地膜および前記第2導電性下地膜は、白金族金属、白金族合金または白金族金属の導電性酸化物を主成分とする膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項23】

請求項9、12または17記載の半導体集積回路装置の製造方法において、前記溝の内部に前記第1導電体膜を埋め込む工程は、前記第1導電体膜を前記溝の深さ以上の膜厚で形

成する工程と、その後、前記第1導電体膜を化学的機械研磨法でポリッシュバックまたはドライエッティング法でエッチバックすることによって、その表面の高さを前記第2絶縁膜の表面の高さと略同一にする工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項24】

半導体基板の主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に電気的に接続された第1電極および前記第1電極の上部に容量絶縁膜を介して形成された第2電極によって構成される容量素子とからなるメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面上にメモリセル選択用MISFETを形成した後、前記メモリセル選択用MISFETの上部に第1絶縁膜を形成する工程、

(b) 前記第1絶縁膜に第1接続孔を形成した後、前記第1接続孔の内部に前記MISFETのソース、ドレインの一方に電気的に接続される第1導電性接続体を形成する工程、
(c) 前記第1絶縁膜の上部に第1導電性下地膜を形成した後、前記第1導電性下地膜の上部に第2絶縁膜を形成する工程、

(d) 前記第1導電性接続体の上方の前記第2絶縁膜に溝を形成した後、前記溝の底部に露出した前記導電性下地膜をスパッタエッティングすることによって、前記第1導電性下地膜の一部を前記溝の側壁に再析出させる工程、

(e) 前記溝の底部に露出した前記第1導電性下地膜および前記溝の側壁に再析出させた前記第1導電性下地膜のそれぞれの表面に第1導電体膜を形成する工程、

(f) 前記溝の内部を含む前記第2絶縁膜の上部に、前記第2絶縁膜とはエッティング速度が異なる第3絶縁膜を形成した後、前記第2絶縁膜の上部の前記第3絶縁膜および前記第1導電体膜を除去することによって、前記第3絶縁膜および前記第1導電体膜を前記溝の内部に残す工程、

(g) 前記第2絶縁膜と前記第3絶縁膜とのエッティング速度の差を利用したエッティングによって前記第2絶縁膜を選択的に除去して前記第1導電性下地膜を露出する工程、

(h) 前記溝の側壁に再析出させた前記第1導電性下地膜、前記第1導電性下地膜の表面に形成した前記第1導電体膜および前記溝の内部の前記第3絶縁膜をマスクにしたエッティングで前記第1絶縁膜の上部の前記第1導電性下地膜を除去する工程、

(i) 前記第3絶縁膜を除去することによって、前記第1導電体膜と前記第1導電性下地膜とによって構成され、かつ前記第1導電性接続体を介して前記MISFETのソース、ドレインの一方に電気的に接続される第1電極を形成する工程、

(j) 前記第1電極の上部にその上面と側面とを覆う容量絶縁膜を形成した後、前記容量絶縁膜の上部に第2導電体膜からなる第2電極を形成することによって、前記第1電極、前記容量絶縁膜および前記第2電極からなる容量素子を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項25】

請求項24記載の半導体集積回路装置の製造方法において、前記第2絶縁膜を酸化シリコン系の絶縁膜とその上部に形成した窒化シリコン系の絶縁膜とで構成し、前記第2絶縁膜に前記溝を形成する際、まずフォトレジスト膜をマスクにして前記窒化シリコン系の絶縁膜をエッティングし、次いで前記フォトレジスト膜を除去した後、前記窒化シリコン系の絶縁膜をマスクにして前記酸化シリコン系の絶縁膜をエッティングすることを特徴とする半導体集積回路装置の製造方法。

【請求項26】

請求項24記載の半導体集積回路装置の製造方法において、前記第2絶縁膜および前記第3絶縁膜の一方は、ホウ素、リンの少なくとも一方を含む酸化シリコン系の絶縁膜からなり、前記第2絶縁膜および前記第3絶縁膜の他方は、前記ホウ素および前記リンを含まない酸化シリコン系の絶縁膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項27】

請求項26記載の半導体集積回路装置の製造方法において、前記第1絶縁膜を酸化シリコ

ン系の絶縁膜とその上部に形成した窒化シリコン系の絶縁膜とで構成し、前記(i)工程で前記第3絶縁膜を除去する際、前記窒化シリコン系の絶縁膜をエッティングのストップとして前記第3絶縁膜をエッティングすることを特徴とする半導体集積回路装置の製造方法。

【請求項28】

請求項9または24記載の半導体集積回路装置の製造方法において、前記第1導電体膜は、前記第1導電性下地膜の上部での膜成長速度が前記第2絶縁膜の上部での膜成長速度よりも大きい成膜方法によって形成することを特徴とする半導体集積回路装置の製造方法。

【請求項29】

請求項9、12または24記載の半導体集積回路装置の製造方法において、前記第1導電体膜の膜厚は、前記第1導電性下地膜の膜厚よりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項30】

請求項9、12または24記載の半導体集積回路装置の製造方法において、前記第1導電体膜は、前記第1導電性下地膜をカソード電極とする電解メッキ法、前記第1導電性下地膜を触媒とする無電解メッキ法または選択CVD法のいずれかによって形成することを特徴とする半導体集積回路装置の製造方法。

【請求項31】

請求項30記載の半導体集積回路装置の製造方法において、前記第1導電体膜を前記電解メッキ法によって形成する際、ウエハの端部に露出した前記第1導電性下地膜に負電極側の端子を接続することを特徴とする半導体集積回路装置の製造方法。

【請求項32】

請求項9、17または24記載の半導体集積回路装置の製造方法において、前記第1導電性下地膜のエッティングは、前記半導体基板の正面に対して垂直な方向のエッティング速度が水平な方向のエッティング速度よりも大きい異方性エッティング法によって行うことを特徴とする半導体集積回路装置の製造方法。

【請求項33】

請求項9、17または24記載の半導体集積回路装置の製造方法において、前記第2絶縁膜に前記溝を形成する工程は、前記第1導電性下地膜をエッティングのストップに用いたドライエッティングで行うことを特徴とする半導体集積回路装置の製造方法。

【請求項34】

請求項9、12、17または24記載の半導体集積回路装置の製造方法において、前記第1電極の平面パターンは、前記第2絶縁膜に形成された前記溝の平面パターンによって規定されることを特徴とする半導体集積回路装置の製造方法。

【請求項35】

請求項9、12、17または24記載の半導体集積回路装置の製造方法において、前記溝の内径は、その底部よりも上端部の方が大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項36】

請求項9、12、17または24記載の半導体集積回路装置の製造方法において、前記第1導電性接続体と前記第1導電性下地膜との間に前記第1導電性接続体の酸化を防止するバリアメタル膜を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項37】

請求項9、12、17または24記載の半導体集積回路装置の製造方法において、前記容量素子の上部に第4絶縁膜を形成する工程と、前記第4絶縁膜に接続孔を形成することによって前記接続孔の底部に前記容量素子の前記上部電極を露出させる工程と、前記接続孔の内部に第2導電性接続体を形成する工程と、前記第4絶縁膜の上部に上層配線を形成し、前記接続孔を通じて前記上層配線と前記上部電極とを電気的に接続する工程をさらに含むことを特徴とする半導体集積回路装置の製造方法。

【請求項38】

請求項37記載の半導体集積回路装置の製造方法において、前記容量素子と前記第2導電

性接続体との間に前記第2導電性接続体の酸化を防止するバリアメタル膜を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項39】

請求項37記載の半導体集積回路装置の製造方法において、前記容量素子の上部の前記第4絶縁膜は、水素を透過し難い絶縁膜とその上部に形成した酸化シリコン系の絶縁膜とかなることを特徴とする半導体集積回路装置の製造方法。

【請求項40】

半導体基板の主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方電気的に接続された第1電極および前記第1電極の上部に容量絶縁膜を介して形成された第2電極によって構成される容量素子とかなるメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面上にメモリセル選択用MISFETを形成した後、前記メモリセル選択用MISFETの上部に第1絶縁膜を形成する工程、

(b) 前記第1絶縁膜に第1接続孔を形成した後、前記第1接続孔の内部に前記MISFETのソース、ドレインの一方電気的に接続される第1導電性接続体を形成する工程、

(c) 前記第1絶縁膜の上部に第1導電性下地膜を形成した後、前記第1導電性下地膜の上部に第2絶縁膜を形成する工程、

(d) 前記第1導電性接続体の上方の前記第2絶縁膜に溝を形成した後、前記溝の底部に露出した前記第1導電性下地膜の上部に第1導電体膜を形成することによって、前記溝の内部にその表面の高さが前記第2絶縁膜の表面の高さよりも低くなるように前記第1導電体膜を埋め込む工程、

(e) 前記溝の内部の前記第1導電体膜上にエッチングバリア膜を形成する工程、

(f) 前記エッチングバリア膜、前記第2絶縁膜、前記第1導電体膜および前記第1導電性下地膜の相互のエッチング速度の差を利用し、まず前記第2絶縁膜をエッチングして選択的に除去し、次いで前記エッチングバリア膜をマスクにしたエッチングで前記第1導電性下地膜を除去した後、前記エッチングバリア膜を選択的に除去することによって、前記第1導電体膜および前記第1導電性下地膜によって構成され、かつ前記第1導電性接続体を介して前記MISFETのソース、ドレインの一方電気的に接続される第1電極を形成する工程、

(g) 前記第1電極の上部にその上面と側面とを覆う容量絶縁膜を形成した後、前記容量絶縁膜の上部に第2導電体膜からなる第2電極を形成することによって、前記第1電極、前記容量絶縁膜および前記第2電極からなる容量素子を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項41】

請求項9、12、17、24または40記載の半導体集積回路装置の製造方法において、前記第1導電性下地膜は、Pt、Ru、Irなどの白金族金属または前記白金族金属を含む合金のいずれか一種または二種以上の金属、あるいはRuO₂またはIrO₂からなることを特徴とする半導体集積回路装置の製造方法。

【請求項42】

請求項9、12、17、24または40記載の半導体集積回路装置の製造方法において、前記第1導電体膜は、Pt、Ru、Irなどの白金族金属または前記白金族金属を含む合金のいずれか一種または二種以上の金属、あるいはRuO₂またはIrO₂からなることを特徴とする半導体集積回路装置の製造方法。

【請求項43】

請求項9、12、17、24または40記載の半導体集積回路装置の製造方法において、前記容量絶縁膜は、ペロブスカイト型または複合ペロブスカイト型の結晶構造を有する高誘電率膜または強誘電体膜を主成分とすることを特徴とする半導体集積回路装置の製造方法。

【請求項44】

請求項9、12、17、24または40記載の半導体集積回路装置の製造方法において、

前記容量絶縁膜は、PZT、PLT、PLZT、PbTiO₃、SrTiO₃、BaTiO₃、BST、SBTまたはTa₂O₅のいずれかを主成分とする膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項45】

請求項9、12、17、24または40記載の半導体集積回路装置の製造方法において、前記第2導電体膜は、Pt、Ru、Irなどの白金族金属または前記白金族金属を含む合金のいずれか一種または二種以上の金属、あるいはRuO₂またはIrO₂からなることを特徴とする半導体集積回路装置の製造方法。

【請求項46】

半導体基板の主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に電気的に接続された第1電極および前記第1電極の上部に容量絶縁膜を介して形成された第2電極によって構成される容量素子とからなるメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面上にメモリセル選択用MISFETを形成した後、前記メモリセル選択用MISFETの上部に第1絶縁膜を形成する工程、

(b) 前記第1絶縁膜に第1接続孔を形成した後、前記第1接続孔の内部に前記MISFETのソース、ドレインの一方に電気的に接続される第1導電性接続体を形成する工程、

(c) 前記第1絶縁膜の上部に第2絶縁膜を形成した後、前記第1導電性接続体の上方の前記第2絶縁膜に溝を形成する工程、

(d) 前記溝の内部にメッキ法または選択CVD法によって第1導電体膜を形成した後、前記第2絶縁膜を除去することによって、前記第1導電体膜によって構成され、かつ前記第1導電性接続体を介して前記MISFETのソース、ドレインの一方に電気的に接続される第1電極を形成する工程、

(e) 前記第1電極の上部にその上面と側面とを覆う容量絶縁膜を形成した後、前記容量絶縁膜の上部にCVD法またはスパッタリング法で形成した第2導電体膜からなる第2電極を形成することによって、前記第1電極、前記容量絶縁膜および前記第2電極からなる容量素子を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項47】

請求項46記載の半導体集積回路装置の製造方法において、前記第1導電体膜および前記第2導電体膜は、白金族金属、白金族合金または白金族金属の導電性酸化物を主成分とする膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項48】

請求項46記載の半導体集積回路装置の製造方法において、前記容量絶縁膜は、ペロブスカイト型または複合ペロブスカイト型の結晶構造を有する高誘電率膜または強誘電体膜を主成分とすることを特徴とする半導体集積回路装置の製造方法。

【請求項49】

請求項9記載の半導体集積回路装置の製造方法において、前記(e)工程におけるエッチングは、前記第1導電性下地膜を構成する材料に対するエッチング速度が、前記第1導電体膜を構成する材料に対するエッチング速度よりも大きくなる方法で行うことを特徴とする半導体集積回路装置の製造方法。

【請求項50】

請求項17記載の半導体集積回路装置の製造方法において、前記(g)工程におけるエッチングは、前記第1導電性下地膜を構成する材料に対するエッチング速度が、前記第1導電体膜を構成する材料に対するエッチング速度よりも大きくなる方法で行うことを特徴とする半導体集積回路装置の製造方法。

【請求項51】

半導体基板の主面上に形成された第1の電極と前記第1の電極の上面および側壁面上に容量絶縁膜を介して形成された第2の電極とによって構成される容量素子を有する半導体集積回路装置であって、

前記容量素子の前記第1の電極は、白金族金属、白金族合金または白金族金属の導電性酸化物を主成分とすることを特徴とする半導体集積回路装置。

【請求項52】

請求項51記載の半導体集積回路装置において、前記半導体基板の主面上に、前記容量素子の前記第1の電極に電気的に接続された容量素子選択用スイッチング素子を有することを特徴とする半導体集積回路装置。

【請求項53】

請求項51記載の半導体集積回路装置において、前記容量素子の前記容量絶縁膜は、ペロブスカイト型または複合ペロブスカイト型の結晶構造を有する高誘電率膜または強誘電体膜を主成分とすることを特徴とする半導体集積回路装置。

【請求項54】

請求項9、12または17記載の半導体集積回路装置の製造方法において、前記第2絶縁膜は酸化シリコン膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項55】

請求項9記載の半導体集積回路装置の製造方法において、前記(d)工程は、前記溝の深さよりも大きい膜厚を有する前記第1導電体膜を成膜する工程と、前記溝の外部に形成された前記第1導電体膜をウエハ主面上の平坦化処理によって除去する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項56】

請求項9記載の半導体集積回路装置の製造方法において、前記(d)工程は、前記溝の深さよりも大きい膜厚を有する前記第1導電体膜を成膜する工程と、前記溝の外部に形成された前記第1導電体膜を化学的機械研磨法またはドライエッティング法によって除去する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項57】

請求項9記載の半導体集積回路装置の製造方法において、前記容量素子の前記容量絶縁膜は、前記(e)工程のエッティングによって形成された前記第1導電性下地膜の側壁部上も覆うように形成されることを特徴とする半導体集積回路装置の製造方法。