(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-147742
(P2009-147742A)
(43)公開日　平成21年7月2日(2009.7.2)

| (51)Int.Cl. | | | F I | | | テーマコード（参考） |
|---|---|---|---|---|---|---|
| H03K | 5/1252 | (2006.01) | H03K | 5/01 | G | 5J001 |
| H03K | 5/13 | (2006.01) | H03K | 5/13 | | 5J039 |

審査請求 有　請求項の数 42　ＯＬ　（全 56 頁）

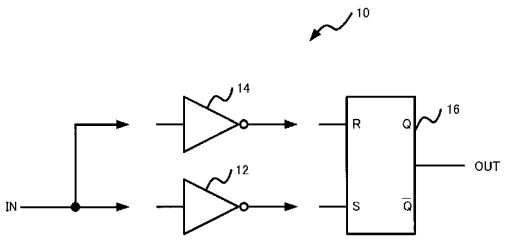
(21)出願番号　特願2007-323926 (P2007-323926)
(22)出願日　平成19年12月14日 (2007.12.14)

(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100090479
弁理士　井上　一
(74)代理人　100104710
弁理士　竹腰　昇
(74)代理人　100124682
弁理士　黒田　泰
(72)発明者　斎藤　忠守
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

Ｆターム(参考)　5J001 AA11　BB12　CC03　DD09
5J039 BB05　KK13　KK20

(54)【発明の名称】ノイズフィルタ回路、デッドタイム回路、遅延回路、およびその方法、ならびに、サーマルヘッドドライバ、サーマルヘッド、制御回路、電子機器、および印刷システム

(57)【要約】
【課題】　簡易な構造を有するノイズフィルタ回路等を提供する。
【解決手段】　ノイズフィルタ回路（１０；６０；８０；１００）は、入力信号（ＩＮ）に基づく信号を入力する第１のインバータ回路（１２；６２；８２；１０２）と、入力信号（ＩＮ）に基づく信号を入力する第２のインバータ回路（１４；６４；８４；１０４）と、第１および第２のインバータ回路（１２、１４；６２、６４；８２、８４；１０２、１０４）からの信号に基づく信号を、セット信号（Ｓ）及びリセット信号（Ｒ）として入力するラッチ回路（１６；６６；８６；１０６）と、を備える。第１および第２のインバータ回路（１２、１４；６２、６４；８２、８４；１０２、１０４）のそれぞれは、第１および第２の導電型のトランジスタを含み、第１および第２の導電型のトランジスタの一方の能力は、第１および第２の導電型のトランジスタの他方の能力より低い。
【選択図】　図１



【特許請求の範囲】
【請求項１】
ノイズフィルタ回路であって、
入力信号に基づく信号を入力する第１のインバータ回路と、
前記入力信号に基づく信号を入力する第２のインバータ回路と、
前記第１および第２のインバータ回路からの信号に基づく信号を、セット信号及びリセット信号として入力するラッチ回路と、
を備え、
前記第１および第２のインバータ回路のそれぞれは、第１および第２の導電型のトランジスタを含み、前記第１および第２の導電型のトランジスタの一方の能力は、前記第１および第２の導電型のトランジスタの他方の能力より低い、ノイズフィルタ回路。
【請求項２】
請求項１において、
前記第１および第２のインバータ回路の一方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｐ型のトランジスタの能力は、該Ｎ型のトランジスタの能力より低く、
前記第１および第２のインバータ回路の他方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｐ型のトランジスタの能力は、該Ｎ型のトランジスタの能力より低い、ノイズフィルタ回路。
【請求項３】
請求項１において、
前記第１および第２のインバータ回路の一方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｎ型のトランジスタの能力は、該Ｐ型のトランジスタの能力より低く、
前記第１および第２のインバータ回路の他方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｎ型のトランジスタの能力は、該Ｐ型のトランジスタの能力より低い、ノイズフィルタ回路。
【請求項４】
請求項１において、
前記第１および第２のインバータ回路の一方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｎ型のトランジスタの能力は、該Ｐ型のトランジスタの能力より低く、
前記第１および第２のインバータ回路の他方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｐ型のトランジスタの能力は、該Ｎ型のトランジスタの能力より低い、ノイズフィルタ回路。
【請求項５】
請求項２または３において、
前記第１および第２のインバータ回路の一方は、第３のインバータ回路を介して、前記入力信号を入力する、ノイズフィルタ回路。
【請求項６】
請求項４において、
前記ラッチ回路は、前記第１および第２のインバータ回路の一方からの信号を、第３のインバータ回路を介して入力する、ノイズフィルタ回路。
【請求項７】
入力信号を入力する第１の遅延回路と、
前記入力信号と、前記第１の遅延回路からの信号とを入力する論理積回路と、
前記入力信号と、前記第１の遅延回路からの信号とを入力する論理和回路と、
前記論理積回路からの信号に基づく信号と、前記論理和回路からの信号に基づく信号とを、セット信号及びリセット信号として入力するラッチ回路と、
を備えるノイズフィルタ回路において、
前記論理積回路からの信号を入力する第２の遅延回路と、
前記論理和回路からの信号を入力する第３の遅延回路と、
をさらに備え、

前記第２および第３の遅延回路のそれぞれは、インバータ回路を備え、
前記インバータ回路のそれぞれは、第１および第２の導電型のトランジスタを含み、前記第１および第２の導電型のトランジスタの一方の能力は、前記第１および第２の導電型のトランジスタの他方の能力より低く、
前記ラッチ回路は、前記論理積回路からの信号に基づく信号と、前記論理和回路からの信号に基づく信号とを、前記第２および第３の遅延回路を介して入力する、ノイズフィルタ回路。
【請求項８】
デッドタイム回路であって、
入力信号に基づく信号を入力する第１のインバータ回路と、
前記入力信号に基づく信号を入力する第２のインバータ回路と、
を備え、
前記第１および第２のインバータ回路のそれぞれは、第１および第２の導電型のトランジスタを含み、前記第１および第２の導電型のトランジスタの一方の能力は、前記第１および第２の導電型のトランジスタの他方の能力より低く、
前記第１および第２のインバータ回路からの信号の組み合わせは、デッドタイムを形成する、デッドタイム回路。
【請求項９】
請求項８において、
前記第１のインバータ回路からの信号に基づく信号を入力する第１の波形整形回路と、
前記第２のインバータ回路からの信号に基づく信号を入力する第２の波形整形回路と、
をさらに備え、
前記第１および第２の波形整形回路からの信号の組み合わせが、デッドタイムを形成する、デッドタイム回路。
【請求項１０】
請求項８または９において、
前記第１および第２のインバータ回路の一方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｐ型のトランジスタの能力は、該Ｎ型のトランジスタの能力より低く、
前記第１および第２のインバータ回路の他方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｐ型のトランジスタの能力は、該Ｎ型のトランジスタの能力より低い、
デッドタイム回路。
【請求項１１】
請求項８または９において、
前記第１および第２のインバータ回路の一方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｎ型のトランジスタの能力は、該Ｐ型のトランジスタの能力より低く、
前記第１および第２のインバータ回路の他方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｎ型のトランジスタの能力は、該Ｐ型のトランジスタの能力より低い、
デッドタイム回路。
【請求項１２】
請求項８または９において、
前記第１および第２のインバータ回路の一方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｎ型のトランジスタの能力は、該Ｐ型のトランジスタの能力より低く、
前記第１および第２のインバータ回路の他方は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、該Ｐ型のトランジスタの能力は、該Ｎ型のトランジスタの能力より低い、
デッドタイム回路。
【請求項１３】
請求項１０または１１において、
前記第１および第２のインバータ回路の一方は、第３のインバータ回路を介して、前記入力信号を入力する、デッドタイム回路。
【請求項１４】

遅延回路であって、
入力信号に基づく信号を入力するインバータ回路を、
を備え、
前記インバータ回路は、複数のインバータ回路を含み、前記複数のインバータ回路のそれぞれは、第１および第２の導電型のトランジスタを含み、前記第１および第２の導電型のトランジスタの一方の能力は、前記第１および第２の導電型のトランジスタの他方の能力より低い、遅延回路。
【請求項１５】
請求項１４において、
前記複数のインバータ回路は、直列接続され、
前記複数のインバータ回路のそれぞれにおいて能力が低い導電型に関して、前記能力が低い導電型のすべてが、同種の導電型である、遅延回路。
【請求項１６】
請求項１５において、
前記複数のインバータ回路の間に、直列接続される非反転型の波形整形回路を、
さらに備える遅延回路。
【請求項１７】
請求項１４において、
前記複数のインバータ回路は、直列接続され、
前記複数のインバータ回路は、偶数の連続するインバータ回路と、次の１つのインバータ回路と、を含み、
前記偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、
前記偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、前記次の１つのインバータ回路において能力が低い導電型と異なり、
前記異種の導電型が交互に連続する偶数のインバータ回路と、前記次の１つのインバータ回路と間に、直列接続される反転型の波形整形回路を、
さらに備える遅延回路。
【請求項１８】
請求項１４において、
前記複数のインバータ回路は、直列接続され、
前記複数のインバータ回路は、偶数の連続するインバータ回路と、次の１つのインバータ回路と、を含み、
前記偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、
前記偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、前記次の１つのインバータ回路において能力が低い導電型と同じであり、
前記異種の導電型が交互に連続する偶数のインバータ回路と、前記次の１つのインバータ回路と間に、直列接続される非反転型の波形整形回路を、
さらに備える遅延回路。
【請求項１９】
請求項１４において、
前記複数のインバータ回路は、直列接続され、
前記複数のインバータ回路は、奇数の連続するインバータ回路と、次の１つのインバータ回路と、を含み、
前記奇数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、
前記奇数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、前記次の１つのインバータ回路において能力が低い導電型と同じであり、
前記異種の導電型が交互に連続する奇数のインバータ回路と、前記次の１つのインバー

タ回路と間に、直列接続される非反転型の波形整形回路を、
さらに備える遅延回路。
【請求項２０】
請求項１４において、
前記複数のインバータ回路は、直列接続され、
前記複数のインバータ回路は、奇数の連続するインバータ回路と、次の１つのインバータ回路と、を含み、
前記奇数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、
前記奇数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、前記次の１つのインバータ回路において能力が低い導電型と異なり、
前記異種の導電型が交互に連続する奇数のインバータ回路と、前記次の１つのインバータ回路と間に、直列接続される反転型の波形整形回路を、
さらに備える遅延回路。
【請求項２１】
請求項１４乃至２０のいずれかにおいて、
前記インバータ回路からの信号に基づく信号を入力する波形整形回路を、
さらに備える遅延回路。
【請求項２２】
請求項１４において、
前記インバータ回路からの信号に基づく信号を入力する波形整形回路を、
さらに備え、
前記複数のインバータ回路は、並列接続された第１および第２のインバータ回路を含み、
前記波形整形回路は、ラッチ回路である、遅延回路。
【請求項２３】
請求項２２において、
前記第１のインバータ回路に直列接続された第１の反転型の波形整形回路と、
前記第１の反転型の波形整形回路に直列接続された第１の次の１つのインバータ回路と、
前記第２のインバータ回路に直列接続された第２の反転型の波形整形回路と、
前記第２の反転型の波形整形回路に直列接続された第２の次の１つのインバータ回路と、
前記第１のインバータ回路の前段、前記第１の次の１つのインバータ回路の後段、前記第２のインバータ回路の前段、または、前記第２の次の１つのインバータ回路の後段のいずれか１つに、直列接続された第３のインバータ回路と、
をさらに備え、
前記第１のインバータ回路において能力が低い導電型は、前記第１の次の１つのインバータ回路において能力が低い導電型と同じであり、
前記第２のインバータ回路において能力が低い導電型は、前記第２の次の１つのインバータ回路において能力が低い導電型と同じである、遅延回路。
【請求項２４】
請求項２２において、
前記第１のインバータ回路に直列接続された第１の反転型の波形整形回路と、
前記第１の反転型の波形整形回路に直列接続された第１の次の１つのインバータ回路と、
前記第２のインバータ回路に直列接続された第２の反転型の波形整形回路と、
前記第２の反転型の波形整形回路に直列接続された第２の次の１つのインバータ回路と、
前記第１のインバータ回路の前段、前記第１の次の１つのインバータ回路の後段、前記

第２のインバータ回路の前段、または、前記第２の次の１つのインバータ回路の後段のいずれか１つに、直列接続された第３のインバータ回路と、
をさらに備え、
前記第１のインバータ回路は、第１の偶数の連続するインバータ回路で構成され、前記第１の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、前記第１の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、前記第１の次の１つのインバータ回路において能力が低い導電型と同じであり、
前記第２のインバータ回路は、第２の偶数の連続するインバータ回路で構成され、前記第２の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、前記第２の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、前記第２の次の１つのインバータ回路において能力が低い導電型と同じである、遅延回路。
【請求項２５】
請求項２２において、
前記第１のインバータ回路に直列接続された第１の非反転型の波形整形回路と、
前記第１の非反転型の波形整形回路に直列接続された第１の次の１つのインバータ回路と、
前記第２のインバータ回路に直列接続された第２の非反転型の波形整形回路と、
前記第２の非反転型の波形整形回路に直列接続された第２の次の１つのインバータ回路と、
前記第１のインバータ回路の前段、前記第１の次の１つのインバータ回路の後段、前記第２のインバータ回路の前段、または、前記第２の次の１つのインバータ回路の後段のいずれか１つに、直列接続された第３のインバータ回路と、
をさらに備え、
前記第１のインバータ回路は、第１の偶数の連続するインバータ回路で構成され、前記第１の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、前記第１の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、前記第１の次の１つのインバータ回路において能力が低い導電型と異なり、
前記第２のインバータ回路は、第２の偶数の連続するインバータ回路で構成され、前記第２の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、前記第２の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、前記第２の次の１つのインバータ回路において能力が低い導電型と異なる、遅延回路。
【請求項２６】
請求項２２において、
前記第１のインバータ回路に直列接続された第１の反転型の波形整形回路と、
前記第１の反転型の波形整形回路に直列接続された第１の次の１つのインバータ回路と、
前記第２のインバータ回路に直列接続された第２の反転型の波形整形回路と、
前記第２の反転型の波形整形回路に直列接続された第２の次の１つのインバータ回路と、
前記第１のインバータ回路の前段、前記第１の次の１つのインバータ回路の後段、前記第２のインバータ回路の前段、または、前記第２の次の１つのインバータ回路の後段のいずれか１つに、直列接続された第３のインバータ回路と、
をさらに備え、
前記第１のインバータ回路は、第１の奇数の連続するインバータ回路で構成され、前記第１の奇数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、前記第１の奇数の連続するインバータ回路の最後のインバー

タ回路において能力が低い導電型は、前記第１の次の１つのインバータ回路において能力が低い導電型と同じであり、
前記第２のインバータ回路は、第２の奇数の連続するインバータ回路で構成され、前記第２の奇数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、前記第２の奇数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、前記第２の次の１つのインバータ回路において能力が低い導電型と同じである、遅延回路。
【請求項２７】
請求項２２において、
前記第１のインバータ回路に直列接続された第１の非反転型の波形整形回路と、
前記第１の非反転型の波形整形回路に直列接続された第１の次の１つのインバータ回路と、
前記第２のインバータ回路に直列接続された第２の非反転型の波形整形回路と、
前記第２の非反転型の波形整形回路に直列接続された第２の次の１つのインバータ回路と、
前記第１のインバータ回路の前段、前記第１の次の１つのインバータ回路の後段、前記第２のインバータ回路の前段、または、前記第２の次の１つのインバータ回路の後段のいずれか１つに、直列接続された第３のインバータ回路と、
をさらに備え、
前記第１のインバータ回路は、第１の奇数の連続するインバータ回路で構成され、前記第１の奇数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、前記第１の奇数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、前記第１の次の１つのインバータ回路において能力が低い導電型と異なり、
前記第２のインバータ回路は、第２の奇数の連続するインバータ回路で構成され、前記第２の奇数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続し、前記第２の奇数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、前記第２の次の１つのインバータ回路において能力が低い導電型と異なる、遅延回路。
【請求項２８】
請求項１乃至７のいずれかのノイズフィルタ回路を備えるサーマルヘッドドライバ。
【請求項２９】
請求項２８のサーマルヘッドドライバを備えるサーマルヘッド。
【請求項３０】
請求項１乃至７のいずれかのノイズフィルタ回路を備える電子機器。
【請求項３１】
請求項１乃至７のいずれかのノイズフィルタ回路を含むプリンタ装置を備える印刷システム。
【請求項３２】
請求項８乃至１３のいずれかのデッドタイム回路を備える制御回路。
【請求項３３】
請求項８乃至１３のいずれかのデッドタイム回路を備える電子機器。
【請求項３４】
請求項１４乃至２７のいずれかの遅延回路を備えるノイズフィルタ回路。
【請求項３５】
請求項１４乃至２７のいずれかの遅延回路を備えるサーマルヘッドドライバ。
【請求項３６】
請求項３５において、
請求項１乃至７のいずれか、または請求項３４のノイズフィルタ回路を、
さらに備えるサーマルヘッドドライバ。

【請求項３７】
請求項１４乃至２７のいずれかの遅延回路を備える電子機器。
【請求項３８】
ノイズフィルタ方法であって、
入力信号を準備すること、
前記入力信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第１の信号を、第１のインバータ回路において生成すること、
前記入力信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第２の信号を、第２のインバータ回路において生成すること、および
前記第１および第２の信号に基づく信号を、セット信号及びリセット信号としてラッチ回路に入力すること、
を含むノイズフィルタ方法。
【請求項３９】
入力信号を準備すること、
前記入力信号を遅延させること、
前記入力信号と前記遅延された信号とを論理積回路に入力すること、
前記入力信号と前記遅延された信号とを論理和回路に入力すること、および
前記論理積回路からの信号に基づく信号と、前記論理和回路からの信号に基づく信号とを、セット信号及びリセット信号としてラッチ回路に入力すること、
を含むノイズフィルタ方法において、
前記論理積回路からの信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第１の信号を生成すること、および
前記論理和回路からの信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第２の信号を生成すること、
をさらに含むノイズフィルタ方法。
【請求項４０】
デッドタイム方法であって、
入力信号を準備すること、
前記入力信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第１の信号を第１のインバータ回路において生成すること、および
前記入力信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第２の信号を第２のインバータ回路において生成すること、
を含み、
前記生成された第１および第２の信号の組み合わせは、デッドタイムを形成する、デッドタイム方法。
【請求項４１】
遅延方法であって、
入力信号を準備すること、
前記入力信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第１の信号を第１のインバータ回路において生成すること、および
前記第１の信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第２の信号を第２のインバータ回路において生成すること、
を含む遅延方法。
【請求項４２】
遅延方法であって、
入力信号を準備すること、
前記入力信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第１の信号を第１のインバータ回路において生成すること、
前記入力信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第２の信号を第２のインバータ回路において生成すること、および

前記生成された第１および第２の信号をラッチ回路に入力して、波形整形すること、
を含む遅延方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ノイズフィルタ回路、デッドタイム回路、遅延回路、およびその方法、ならびに、サーマルヘッドドライバ、サーマルヘッド、制御回路、電子機器、および印刷システム等に関する。
【背景技術】
【０００２】
幾つかの電子機器は、信号に含まれるノイズを除去するために、ノイズフィルタ回路を備えることができる（たとえば、特許文献１）。また、電子機器又はそれに含まれる回路（たとえば、特許文献１に開示されるノイズフィルタ回路）は、信号を遅延させるために、遅延回路を備えることもできる（たとえば、特許文献２）。あるいは、電子機器は、駆動回路を備えることもでき、駆動回路を貫通する電流を防止するために、デッドタイム回路を備えることもできる（たとえば、特許文献３）。
【特許文献１】特開２００３－１６３５８３号公報（図１）
【特許文献２】特開平０７－０２２９２１号公報（図２、図１）
【特許文献３】特開２００５－２６１０９１号公報（図８、図１）
【発明の開示】
【発明が解決しようとする課題】
【０００３】
一般に、電子機器又はそれに含まれる回路（たとえば、ノイズフィルタ回路、デッドタイム回路、および遅延回路）は、簡易な構造を有することが望ましい。しかしながら、簡易な構造を有する回路を設計することは、当業者にとって困難である。
本発明に従う複数の形態のうち少なくとも１つの形態において、簡易な構造を有する回路が提供される。当業者は、（必要に応じて、本明細書およびそれに添付される図面（および、場合によって技術常識）を参照することによって、）本発明に従う各形態によって提供される少なくとも１つのさらなる利点を容易に理解することができるであろう。
【課題を解決するための手段】
【０００４】
以下に、本発明に従う複数の形態を例示する。以下に例示される複数の形態において、添付の図面で示される参照符号は、本発明を容易に理解するために用いられている。したがって、当業者は、本発明が、参照符号によって不当に限定されないことを留意すべきである。
【０００５】
本発明に従う第１の形態は、ノイズフィルタ回路（１０；６０；８０；１００）に関係する。たとえば、ノイズフィルタ回路（１０；６０；８０；１００）は、入力信号（ＩＮ）に基づく信号を入力する第１のインバータ回路（１２；６２；８２；１０２）と、入力信号（ＩＮ）に基づく信号を入力する第２のインバータ回路（１４；６４；８４；１０４）と、第１および第２のインバータ回路（１２、１４；６２、６４；８２、８４；１０２、１０４）からの信号に基づく信号を、セット信号（Ｓ）及びリセット信号（Ｒ）として入力するラッチ回路（１６；６６；８６；１０６）と、を備える。
第１および第２のインバータ回路（１２、１４；６２、６４；８２、８４；１０２、１０４）のそれぞれは、第１および第２の導電型のトランジスタを含み、第１および第２の導電型のトランジスタの一方の能力は、第１および第２の導電型のトランジスタの他方の能力より低い。
本発明に従う第１の形態において、簡易な構造を有するノイズフィルタ回路（１０；６０；８０；１００）を提供することができる。また、ノイズフィルタ回路（１０；６０；８０；１００）は、連続ノイズを除去することができる。

【０００６】
本発明に従う第１形態において、たとえば、第１および第２のインバータ回路（１２、１４；６２、６４）の一方（１２；６２）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低く、第１および第２のインバータ回路（１２、１４；６２、６４）の他方（１４；６４）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。
第１のインバータ回路（１２；６２）および第２のインバータ回路（１４；６４）の双方は、同じインバータ回路（Ｎ型のトランジスタと比べて、Ｐ型のトランジスタの能力が低いインバータ回路）を備えることができ、その結果、ノイズフィルタ回路（１０；６０）の遅延量（ｄ１、ｄ２）のばらつきを小さくすることが可能となる。また、第１のインバータ回路（１２；６２）および第２のインバータ回路（１４；６４）の双方は、Ｐ型のトランジスタの能力が低いインバータ回路を備えるので、ノイズフィルタ回路（１０；６０）は、より小さいチップサイズを有する。
【０００７】
本発明に従う第１の形態において、たとえば、第１および第２のインバータ回路（１２、１４；８２、８４）の一方（１２；８２）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低く、第１および第２のインバータ回路（１２、１４；８２、８４）の他方（１４；８４）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低い。
第１のインバータ回路（１２；８２）および第２のインバータ回路（１４；８４）の双方は、同じインバータ回路（Ｐ型のトランジスタと比べて、Ｎ型のトランジスタの能力が低いインバータ回路）を備えることができ、その結果、ノイズフィルタ回路（１０；８０）の遅延量（ｄ３、ｄ４）のばらつきを小さくすることが可能となる。
【０００８】
本発明に従う第１の形態において、たとえば、第１および第２のインバータ回路（１２、１４；１０２、１０４）の一方（１２；１０２）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低く、第１および第２のインバータ回路（１２、１４；１０２、１０４）の他方（１４；１０４）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。
第１のインバータ回路（６２）および第２のインバータ回路（６４）の他方（１２；１０４）は、Ｐ型のトランジスタの能力が低いインバータ回路を備えるので、ノイズフィルタ回路（１０；１００）は、より小さいチップサイズを有する。
【０００９】
本発明に従う第２の形態は、入力信号（ＩＮ）を入力する第１の遅延回路（１２１）と、入力信号（ＩＮ）と第１の遅延回路（１２１）からの信号（ＩＮｄ）とを入力する論理積回路（１２２）と、入力信号（ＩＮ）と第１の遅延回路（１２１）からの信号（ＩＮｄ）とを入力する論理和回路（１２３）と、論理積回路（１２２）からの信号に基づく信号と論理和回路（１２３）からの信号に基づく信号とを、セット信号（Ｓ）及びリセット信号（Ｒ）として入力するラッチ回路（１２６）と、を備えるノイズフィルタ回路（１２０）に関係する。
たとえば、ノイズフィルタ回路（１２０）は、論理積回路（１２２）からの信号を入力する第２の遅延回路（１２４）と、論理和回路（１２３）からの信号を入力する第３の遅延回路（１２５）と、をさらに備える。
第２および第３の遅延回路（１２４、１２５）のそれぞれは、インバータ回路（１２４－１、１２５－１）を備える。インバータ回路（１２４－１、１２５－１）のそれぞれは、第１および第２の導電型のトランジスタを含み、第１および第２の導電型のトランジスタの一方の能力は、第１および第２の導電型のトランジスタの他方の能力より低い。ラッ

チ回路（１２６）は、論理積回路（１２２）からの信号に基づく信号と、論理和回路（１２３）からの信号に基づく信号とを、第２および第３の遅延回路（１２４、１２５）を介して入力する。

本発明に従う第２の形態において、ノイズフィルタ回路（１２０）は、連続ノイズ（１３１－１、１３１－２；１３２－１、１３２－２）を除去することができる。

【００１０】

本発明に従う第３の形態は、デッドタイム回路（１４０；１５０；１７０；１９０）に関係する。デッドタイム回路（１４０；１５０；１７０；１９０）は、入力信号（ＩＮ）に基づく信号を入力する第１のインバータ回路（１４２；１５２；１７２；１９２）と、入力信号（ＩＮ）に基づく信号を入力する第２のインバータ回路（１４４；１５４；１７４；１９４）と、を備える。

第１および第２のインバータ回路（１４２、１４４；１５２、１５４；１７２、１７４；１９２、１９４）のそれぞれは、第１および第２の導電型のトランジスタを含み、第１および第２の導電型のトランジスタの一方の能力は、第１および第２の導電型のトランジスタの他方の能力より低い。

第１および第２のインバータ回路（１４２、１４４；１５２、１５４；１７２、１７４；１９２、１９４）からの信号の組み合わせは、デッドタイムを形成する。

本発明に従う第３の形態において、簡易な構造を有するデッドタイム回路（１４０；１５０；１７０；１９０）を提供することができる。

【００１１】

本発明に従う第３の形態において、たとえば、デッドタイム回路（１４０；１５０；１７０；１９０）は、第１のインバータ回路（１４２；１５２；１７２；１９２）からの信号に基づく信号を入力する第１の波形整形回路（１４６；１５６；１７６；１９６）と、第２のインバータ回路（１４４；１５４；１７４；１９４）からの信号に基づく信号を入力する第２の波形整形回路（１４８；１５８；１７８；１９８）と、をさらに備えることができる。

第１および第２の波形整形回路（１４６、１４８；１５６、１５８；１７６、１７８；１９６、１９８）からの信号（ＯＵＴ１、ＯＵＴ２）の組み合わせが、デッドタイムを形成する。

【００１２】

本発明に従う第３の形態において、たとえば、第１および第２のインバータ回路（１４２、１４４；１５２、１５４）の一方（１４２；１５２）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低く、第１および第２のインバータ回路（１４２、１４４；１５２、１５４）の他方（１４４；１５４）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。

第１のインバータ回路（１４２；１５２）および第２のインバータ回路（１４４；１５４）の双方は、同じインバータ回路（Ｎ型のトランジスタと比べて、Ｐ型のトランジスタの能力が低いインバータ回路）を備えることができ、その結果、デッドタイム回路（１４０；１５０）のデッドタイム（ｄｔ１、ｄｔ２）のばらつきを小さくすることが可能となる。また、第１のインバータ回路（１４２；１５２）および第２のインバータ回路（１４４；１５４）の双方は、Ｐ型のトランジスタの能力が低いインバータ回路を備えるので、デッドタイム回路（１４０；１５０）は、より小さいチップサイズを有する。

【００１３】

本発明に従う第３の形態において、たとえば、第１および第２のインバータ回路（１４２、１４４；１７２、１７４）の一方（１４２；１７２）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低く、第１および第２のインバータ回路（１４２、１４４；１７２、１７４）の他方（１４４；１７４）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低い。

第１のインバータ回路（１４２；１７２）および第２のインバータ回路（１４４；１７４）の双方は、同じインバータ回路（Ｐ型のトランジスタと比べて、Ｎ型のトランジスタの能力が低いインバータ回路）を備えることができ、その結果、デッドタイム回路（１４０；１７０）のデッドタイム（ｄｔ３、ｄｔ４）のばらつきを小さくすることが可能となる。

【００１４】

本発明に従う第３の形態において、たとえば、第１および第２のインバータ回路（１４２、１４４；１９２、１９４）の一方（１４２；１９２）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低く、第１および第２のインバータ回路（１４２、１４４；１９２、１９４）の他方（１４２；１９４）は、Ｐ型のトランジスタとＮ型のトランジスタとを含み、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。

第１のインバータ回路（１４２；１９２）および第２のインバータ回路（１４４；１９４）の他方（１４２；１９４）は、Ｐ型のトランジスタの能力が低いインバータ回路を備えるので、デッドタイム回路（１４０；１９０）は、より小さいチップサイズを有する。

【００１５】

本発明に従う第４の形態は、遅延回路（２１０；２２０；２９０）に関係する。たとえば、遅延回路（２１０；２２０；２９０）は、入力信号（ＩＮ）に基づく信号を入力するインバータ回路（２１２）を備える。

インバータ回路（２１２）は、複数のインバータ回路（２２２－１、２２２－２、２２２－３、２２２－Ｎ；２９２－１、２９２－Ｎ、２９２－１’、２９２－Ｎ’）を含み、複数のインバータ回路（２２２－１、２２２－２、２２２－３、２２２－Ｎ；２９２－１、２９２－Ｎ、２９２－１’、２９２－Ｎ’）のそれぞれは、第１および第２の導電型のトランジスタを含み、第１および第２の導電型のトランジスタの一方の能力は、第１および第２の導電型のトランジスタの他方の能力より低い。

本発明に従う第４の形態において、簡易な構造を有する遅延回路（２１０；２２０；２９０）を提供することができる。

【００１６】

本発明に従う第４の形態において、たとえば、複数のインバータ回路（２２２－１、２２２－２、２２２－３、２２２－Ｎ）は、直列接続される。複数のインバータ回路（２２２－１、２２２－２、２２２－３、２２２－Ｎ）のそれぞれにおいて能力が低い導電型に関して、能力が低い導電型のすべてが、同種の導電型である（たとえば、図２２）。

遅延回路（２１０；２２０）は、複数のインバータ回路（２２２－１、２２２－２、２２２－３、２２２－Ｎ）の間に、直列接続される非反転型の波形整形回路を、さらに備えることができる（たとえば、図２４）。

【００１７】

本発明に従う第４の形態において、たとえば、複数のインバータ回路（２２２－１、２２２－２、２２２－３）は、直列接続される。複数のインバータ回路（２２２－１、２２２－２、２２２－３）は、偶数の連続するインバータ回路（２２２－１、２２２－２）と、次の１つのインバータ回路（２２２－３）と、を含む。偶数の連続するインバータ回路（２２２－１、２２２－２）のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。偶数の連続するインバータ回路（２２２－１、２２２－２）の最後のインバータ回路（２２２－２）において能力が低い導電型は、次の１つのインバータ回路（２２２－３）において能力が低い導電型と異なる。遅延回路（２１０；２２０）は、異種の導電型が交互に連続する偶数のインバータ回路（２２２－１、２２２－２）と、次の１つのインバータ回路（２２２－３）と間に、直列接続される反転型の波形整形回路を、さらに備える（たとえば、図２６）。

【００１８】

本発明に従う第４の形態において、たとえば、複数のインバータ回路（２２２－１、２２２－２、２２２－３）は、直列接続される。複数のインバータ回路（２２２－１、２２

２－２、２２２－３）は、偶数の連続するインバータ回路（２２２－１、２２２－２）と、次の１つのインバータ回路（２２２－３）と、を含む。偶数の連続するインバータ回路（２２２－１、２２２－２）のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。偶数の連続するインバータ回路（２２２－１、２２２－２）の最後のインバータ回路（２２２－２）において能力が低い導電型は、次の１つのインバータ回路（２２２－３）において能力が低い導電型と同じである。遅延回路（２１０；２２０）は、異種の導電型が交互に連続する偶数のインバータ回路（２２２－１、２２２－２）と、次の１つのインバータ回路（２２２－３）と間に、直列接続される非反転型の波形整形回路を、さらに備える（たとえば、図２６の変形例）。

【００１９】

本発明に従う第４の形態において、たとえば、複数のインバータ回路（２２２－１、２２２－２、２２２－３、２２２－４）は、直列接続される。複数のインバータ回路（２２２－１、２２２－２、２２２－３、２２２－４）は、奇数の連続するインバータ回路（２２２－１、２２２－２、２２２－３）と、次の１つのインバータ回路（２２２－４）と、を含む。奇数の連続するインバータ回路（２２２－１、２２２－２、２２２－３）のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。奇数の連続するインバータ回路（２２２－１、２２２－２、２２２－３）の最後のインバータ回路（２２２－３）において能力が低い導電型は、次の１つのインバータ回路（２２２－４）において能力が低い導電型と同じである。遅延回路（２１０；２２０）は、異種の導電型が交互に連続する奇数のインバータ回路（２２２－１、２２２－２、２２２－３）と、次の１つのインバータ回路（２２２－４）と間に、直列接続される非反転型の波形整形回路を、さらに備える（たとえば、図２８）。

【００２０】

本発明に従う第４の形態において、たとえば、複数のインバータ回路（２２２－１、２２２－２、２２２－３、２２２－４）は、直列接続される。複数のインバータ回路（２２２－１、２２２－２、２２２－３、２２２－４）は、奇数の連続するインバータ回路（２２２－１、２２２－２、２２２－３）と、次の１つのインバータ回路（２２２－４）と、を含む。奇数の連続するインバータ回路（２２２－１、２２２－２、２２２－３）のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。奇数の連続するインバータ回路（２２２－１、２２２－２、２２２－３）の最後のインバータ回路（２２２－３）において能力が低い導電型は、次の１つのインバータ回路（２２２－４）において能力が低い導電型と異なる。遅延回路（２１０；２２０）は、異種の導電型が交互に連続する奇数のインバータ回路（２２２－１、２２２－２、２２２－３）と、次の１つのインバータ回路（２２２－４）と間に、直列接続される反転型の波形整形回路を、さらに備える（たとえば、図２８の変形例）。

【００２１】

本発明に従う第４の形態において、たとえば、遅延回路（２１０；２９０）は、インバータ回路（２１２）からの信号に基づく信号を入力する波形整形回路（２１４；２２４）を、さらに備える。複数のインバータ回路（２９２－１、２９２－１’）は、並列接続された第１および第２のインバータ回路（２９２－１；２９２－１’）を含む。波形整形回路（２１４；２２４）は、ラッチ回路である（たとえば、図２９、図３１）。

【００２２】

本発明に従う第４の形態において、たとえば、遅延回路（２１０；２９０）は、第１のインバータ回路（２９２－１）に直列接続された第１の反転型の波形整形回路（２９２－２）と、第１の反転型の波形整形回路（２９２－２）に直列接続された第１の次の１つのインバータ回路（２９２－Ｎ）と、第２のインバータ回路（２９２－１’）に直列接続された第２の反転型の波形整形回路（２９２－２’）と、第２の反転型の波形整形回路（２９２－２’）に直列接続された第２の次の１つのインバータ回路（２９２－Ｎ’）と、第１のインバータ回路（２９２－１）の前段、第１の次の１つのインバータ回路（２９２－Ｎ）の後段、第２のインバータ回路（２９２－１’）の前段、または、第２の次の１つの

インバータ回路（２９２－Ｎ’）の後段のいずれか１つに、直列接続された第３のインバータ回路（２９３）と、をさらに備える。第１のインバータ回路（２９２－１）において能力が低い導電型は、第１の次の１つのインバータ回路（２９２－Ｎ）において能力が低い導電型と同じである。第２のインバータ回路（２９２－１’）において能力が低い導電型は、第２の次の１つのインバータ回路（２９２－Ｎ’）において能力が低い導電型と同じである（たとえば、図２９、図３１）。

【００２３】

本発明に従う第４の形態において、たとえば、遅延回路（２１０；２９０）は、第１のインバータ回路（２９２－１）に直列接続された第１の反転型の波形整形回路と、第１の反転型の波形整形回路に直列接続された第１の次の１つのインバータ回路（２９２－Ｎ）と、第２のインバータ回路（２９２－１’）に直列接続された第２の反転型の波形整形回路（２９２－２’）と、第２の反転型の波形整形回路（２９２－２’）に直列接続された第２の次の１つのインバータ回路（２９２－Ｎ’）と、第１のインバータ回路（２９２－１）の前段、第１の次の１つのインバータ回路（２９２－Ｎ）の後段、第２のインバータ回路（２９２－１’）の前段、または、第２の次の１つのインバータ回路（２９２－Ｎ’）の後段のいずれか１つに、直列接続された第３のインバータ回路（２９３）と、をさらに備える。第１のインバータ回路（２９２－１）は、第１の偶数の連続するインバータ回路で構成される。第１の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。第１の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第１の次の１つのインバータ回路（２２２－Ｎ）において能力が低い導電型と同じである。第２のインバータ回路（２９２－１’）は、第２の偶数の連続するインバータ回路で構成される。第２の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。第２の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第２の次の１つのインバータ回路（２２２－Ｎ’）において能力が低い導電型と同じである（たとえば、図２９または図３１の変形例）。

【００２４】

本発明に従う第４の形態において、たとえば、遅延回路（２１０；２９０）は、第１のインバータ回路（２９２－１）に直列接続された第１の非反転型の波形整形回路と、第１の非反転型の波形整形回路に直列接続された第１の次の１つのインバータ回路（２９２－Ｎ）と、第２のインバータ回路（２９２－１’）に直列接続された第２の非反転型の波形整形回路（２９２－２’）と、第２の非反転型の波形整形回路（２９２－２’）に直列接続された第２の次の１つのインバータ回路（２９２－Ｎ’）と、第１のインバータ回路（２９２－１）の前段、第１の次の１つのインバータ回路（２９２－Ｎ）の後段、第２のインバータ回路（２９２－１’）の前段、または、第２の次の１つのインバータ回路（２９２－Ｎ’）の後段のいずれか１つに、直列接続された第３のインバータ回路（２９３）と、をさらに備える。第１のインバータ回路（２９２－１）は、第１の偶数の連続するインバータ回路で構成される。第１の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。第１の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第１の次の１つのインバータ回路（２２２－Ｎ）において能力が低い導電型と異なる。第２のインバータ回路（２９２－１’）は、第２の偶数の連続するインバータ回路で構成される。第２の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。第２の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第２の次の１つのインバータ回路（２２２－Ｎ’）において能力が低い導電型と異なる（たとえば、図２９または図３１の変形例）。

【００２５】

本発明に従う第４の形態において、たとえば、遅延回路（２１０；２９０）は、第１のインバータ回路（２９２－１）に直列接続された第１の反転型の波形整形回路と、第１の反転型の波形整形回路に直列接続された第１の次の１つのインバータ回路（２９２－Ｎ）

と、第２のインバータ回路（２９２－１’）に直列接続された第２の反転型の波形整形回路（２９２－２’）と、第２の反転型の波形整形回路（２９２－２’）に直列接続された第２の次の１つのインバータ回路（２９２－Ｎ’）と、第１のインバータ回路（２９２－１）の前段、第１の次の１つのインバータ回路（２９２－Ｎ）の後段、第２のインバータ回路（２９２－１’）の前段、または、第２の次の１つのインバータ回路（２９２－Ｎ’）の後段のいずれか１つに、直列接続された第３のインバータ回路（２９３）と、をさらに備える。第１のインバータ回路（２９２－１）は、第１の奇数の連続するインバータ回路で構成される。第１の奇数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。第１の奇数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第１の次の１つのインバータ回路（２２２－Ｎ）において能力が低い導電型と同じである。第２のインバータ回路（２９２－１’）は、第２の奇数の連続するインバータ回路で構成される。第２の奇数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。第２の奇数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第２の次の１つのインバータ回路（２２２－Ｎ’）において能力が低い導電型と同じである（たとえば、図２９または図３１の変形例）。

【００２６】

本発明に従う第４の形態において、たとえば、遅延回路（２１０；２９０）は、第１のインバータ回路（２９２－１）に直列接続された第１の非反転型の波形整形回路と、第１の非反転型の波形整形回路に直列接続された第１の次の１つのインバータ回路（２９２－Ｎ）と、第２のインバータ回路（２９２－１’）に直列接続された第２の非反転型の波形整形回路（２９２－２’）と、第２の非反転型の波形整形回路（２９２－２’）に直列接続された第２の次の１つのインバータ回路（２９２－Ｎ’）と、第１のインバータ回路（２９２－１）の前段、第１の次の１つのインバータ回路（２９２－Ｎ）の後段、第２のインバータ回路（２９２－１’）の前段、または、第２の次の１つのインバータ回路（２９２－Ｎ’）の後段のいずれか１つに、直列接続された第３のインバータ回路（２９３）と、をさらに備える。第１のインバータ回路（２９２－１）は、第１の奇数の連続するインバータ回路で構成される。第１の奇数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。第１の奇数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第１の次の１つのインバータ回路（２２２－Ｎ）において能力が低い導電型と異なる。第２のインバータ回路（２９２－１’）は、第２の奇数の連続するインバータ回路で構成される。第２の奇数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。第２の奇数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第２の次の１つのインバータ回路（２２２－Ｎ’）において能力が低い導電型と異なる（たとえば、図２９または図３１の変形例）。

【００２７】

本発明に従う第１および第２の形態において、ノイズフィルタ回路（１０；６０；８０；１００；１２０）は、たとえば、サーマルヘッドドライバ（２９０）、サーマルヘッド（３２０）、電子機器（３４０、３５４、３５５、３５６、３５７、３５８）、および、印刷システム（３５０）に適用することができる。

したがって、サーマルヘッドドライバ（２９０）、サーマルヘッド（３２０）、電子機器（３４０、３５４、３５５、３５６、３５７、３５８）、および、印刷システム（３５０）を低コストで提供することができる。

【００２８】

本発明に従う第３の形態において、デッドタイム回路（１４０；１５０；１７０；１９０）は、たとえば、制御回路（３７０）および電子機器（３４０、３５４、３５５、３５６、３５７、３５８）に適用することができる。

したがって、制御回路（３７０）および電子機器（３４０、３５４、３５５、３５６、３５７、３５８）を低コストで提供することができる。

【００２９】
本発明に従う第４の形態において、遅延回路（２１０；２２０；２９０；２９０）は、たとえば、ノイズフィルタ回路（１２０）、サーマルヘッドドライバ（３８０）および電子機器（３４０、３５４、３５５、３５６、３５７、３５８）に適用することができる。
したがって、ノイズフィルタ回路（１２０）、サーマルヘッドドライバ（３８０）および電子機器（３４０、３５４、３５５、３５６、３５７、３５８）を低コストで提供することができる。
【００３０】
本発明に従う第５の形態は、ノイズフィルタ方法（１０；６０；８０；１００）に関係すえる。たとえば、ノイズフィルタ方法（１０；６０；８０；１００）は、入力信号（ＩＮ）を準備すること、入力信号（ＩＮ）に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第１の信号を、第１のインバータ回路（１２；６２；８２；１０２）において生成すること、入力信号（ＩＮ）に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第２の信号を、第２のインバータ回路（１４；６４；８４；１０４）において生成すること、および第１および第２の信号に基づく信号を、セット信号（Ｓ）及びリセット信号（Ｒ）としてラッチ回路（１６；６６；８６；１０６）に入力すること、を含む。
本発明に従う第５の形態において、ノイズフィルタ方法（１０；６０；８０；１００）を実施するノイズフィルタ回路は、簡易な構造を有する。
【００３１】
本発明に従う第６の形態は、入力信号（ＩＮ）を準備すること、入力信号（ＩＮ）を遅延させること、入力信号（ＩＮ）と遅延された信号（ＩＮｄ）とを論理積回路（１２２）に入力すること、入力信号（ＩＮ）と遅延された信号（ＩＮｄ）とを論理和回路（１２３）に入力すること、および、論理積回路（１２２）からの信号に基づく信号と論理和回路（１２３）からの信号に基づく信号とを、セット信号（Ｓ）及びリセット信号（Ｒ）としてラッチ回路（１２６）に入力すること、を含むノイズフィルタ方法（１２０）に関係する。
ノイズフィルタ方法（１２０）はさらに、たとえば、論理積回路（１２２）からの信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第１の信号を生成（１２４－１）すること、および、論理和回路（１２３）からの信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第２の信号を生成（１２５－１）すること、を含む。
本発明に従う第６の形態において、ノイズフィルタ方法（１２０）を実施するノイズフィルタ回路は、簡易な構造を有する。
【００３２】
本発明に従う第７の形態は、デッドタイム方法（１４０；１５０；１７０；１９０）に関係する。たとえば、デッドタイム方法（１４０；１５０；１７０；１９０）は、入力信号（ＩＮ）を準備すること、入力信号（ＩＮ）に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第１の信号を第１のインバータ回路（１４２；１５２；１７２；１９２）において生成すること、および、入力信号（ＩＮ）に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第２の信号を第１のインバータ回路（１４２；１５２；１７２；１９２）において生成すること、を含む。
生成（１４６、１４８；１５６、１５８；１７６、１７８；１９６、１９８）された第１および第２の信号の組み合わせは、デッドタイムを形成する。
本発明に従う第７の形態において、デッドタイム方法（１４０；１５０；１７０；１９０）を実施するデッドタイム回路は、簡易な構造を有する。
【００３３】
本発明に従う第８の形態は、遅延方法（２１０；２２０）に関係する。たとえば、遅延方法（２１０；２２０）は、入力信号（ＩＮ）を準備すること、入力信号（ＩＮ）に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第１の信号を第

１のインバータ回路（２１２；２２２－１）において生成すること、および、前記第１の信号に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第２の信号を第２のインバータ回路（２１２；２２２－２）において生成すること、を含む。

本発明に従う第８の形態において、遅延方法（２１０；２２０）を実施する遅延回路は、簡易な構造を有する。

【００３４】

本発明に従う第９の形態は、遅延方法（２１０；２９０）に関係する。たとえば、遅延方法（２１０；２９０）は、入力信号（ＩＮ）を準備すること、前記入力信号（ＩＮ）に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第１の信号を第１のインバータ回路（２１２；２９２－１）において生成すること、前記入力信号（ＩＮ）に基づく信号の立ち上がり時間または立ち下がり時間のいずれか一方のみが長い第２の信号を第２のインバータ回路（２１２；２９２－１’）において生成すること、および、前記生成（１２２；２９２－１、２９２－１’）された第１および第２の信号をラッチ回路（２９４）に入力して、波形整形すること、を含む。

本発明に従う第９の形態において、遅延方法（２１０；２９０）を実施する遅延回路は、簡易な構造を有する。

【００３５】

当業者は、上述した本発明に従う各形態が、本発明の精神を逸脱することなく、変形され得ることを容易に理解できるであろう。たとえば、本発明に従うある形態を構成する少なくとも１つの要素は、本発明に従う他の形態に加えることができる。代替的に、本発明に従うある形態を構成する少なくとも１つの要素は、本発明に従う他の形態を構成する少なくとも１つの要素に組み替えることができる。

【発明を実施するための最良の形態】

【００３６】

以下に、添付の図面を参照しながら、本発明に従う複数の実施形態を説明する。以下に説明する各実施形態は、本発明を容易に理解するために用いられている。したがって、当業者は、本発明が、以下に説明される各実施形態によって不当に限定されないことを留意すべきである。

【００３７】

１．　ノイズフィルタ回路

１．１　ノイズフィルタ回路の動作原理

図１は、本発明に従うノイズフィルタ回路の概略ブロック図を示す。

図１に示されるノイズフィルタ回路１０は、入力信号（ＩＮ）に基づく信号を入力する第１および第２のインバータ回路１２、１４と、第１および第２のインバータ回路１２、１４からの信号に基づく信号を、セット信号（Ｓ）及びリセット信号（Ｒ）として入力するラッチ回路１６と、を備える。

【００３８】

第１のインバータ回路１２は、入力信号（ＩＮ）に基づく信号（たとえば、入力信号（ＩＮ）が反転された信号（ＩＮ’））を反転し、それを出力する。第１のインバータ回路１２は、第１および第２の導電型のトランジスタを含み、第１および第２の導電型のトランジスタの一方の能力（電流駆動能力）は、第１および第２の導電型のトランジスタの他方の能力より低い。第１のインバータ回路１２は、たとえば、ＣＭＯＳトランジスタで構成される。

【００３９】

第２のインバータ回路１４は、入力信号（ＩＮ）に基づく信号（たとえば、入力信号（ＩＮ）そのもの）を反転し、それを出力する。第２のインバータ回路１４は、第１および第２の導電型のトランジスタを含み、第１および第２の導電型のトランジスタの一方の能力は、第１および第２の導電型のトランジスタの他方の能力より低い。第２のインバータ回路１４は、たとえば、ＣＭＯＳトランジスタで構成される。

【００４０】

ラッチ回路１６は、第１のインバータ回路１２からの信号に基づく信号（たとえば、第１のインバータ回路１２からの信号そのもの）をセット信号（Ｓ）として、入力する。ラッチ回路１６はさらに、第２のインバータ回路１４からの信号に基づく信号（たとえば、第２のインバータ回路１４からの信号そのもの）をリセット信号（Ｒ）として、入力する。ラッチ回路１６は、セット信号（Ｓ）およびリセット信号（Ｒ）のタイミングに応じて、２つの出力のレベル（Ｑ、Ｑ＿）を記憶する。ラッチ回路１６は、２つの出力のレベル（Ｑ、Ｑ＿）のいずれか１つ（たとえば、Ｑ）を出力することができる。

なお、本明細書において、記号「Ｑ＿」は、記号「Ｑ」の上にバーを付したものを表し（図１参照）、Ｑの反転を意味する。

【００４１】

図２は、図１に示されるノイズフィルタ回路１０の動作を理解するためのタイミング図を示す。

図２に例として示される入力信号（ＩＮ）は、ノイズを含まない周期性の矩形波を用いて表されている。また、図２に示される２つのインバータ出力信号（ＩＮＶ＿ＯＵＴ（１）、ＩＮＶ＿ＯＵＴ（２））のいずれか、または、双方は、第１および第２のインバータ回路１２、１４の出力のいずれか、または、双方に対応する。

上述のとおり、第１および第２のインバータ回路１２、１４のそれぞれは、第１および第２の導電型のトランジスタを含み、第１および第２の導電型のトランジスタの一方の能力は、第１および第２の導電型のトランジスタの他方の能力より低い。

【００４２】

図２に示される１つのインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））の立ち下がり時間（矢印２２参照）は、そのインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））の立ち上がり時間（矢印２４参照）と比べて短く、無視することができる。また、図２に示されるもう１つのインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））の立ち上がり時間（矢印２８参照）は、そのインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））の立ち下がり時間（矢印２６参照）と比べて短く、無視することができる。

なお、図２に示される入力信号（ＩＮ）の立ち上がり時間および立ち下がり時間は、第１または第２のインバータ回路１２、１４の遅延量と比べて短く、無視することができる。

【００４３】

１．２　ノイズフィルタ回路の動作（その１）

図３は、図１に示されるノイズフィルタ回路１０の動作を理解するためのタイミング図を示す。

なお、図３において、図３の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））は、たとえば、図１に示される第２のインバータ回路１４に対応し、図３の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））は、たとえば、図１に示される第１のインバータ回路１２に対応する。

【００４４】

図３に例として示される入力信号（ＩＮ）は、入力信号（ＩＮ）のＨＩＧＨ側またはＬＯＷ側のパルス幅よりも小さいパルス幅を有する第１および第２のノイズ（矢印３１、３２参照）を含む。また、図３の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））は、第１および第２のノイズ（３１、３２）を有する入力信号（ＩＮ）が反転された信号を表す。

加えて、図３に示される入力信号’（ＩＮ’）は、第１および第２のノイズ（３１、３２）を有する入力信号（ＩＮ）が反転された信号を表す。また、図３の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））は、入力信号’（ＩＮ’）が反転された信号を表す。

【００４５】

図３において、入力信号（ＩＮ）に含まれる第１のノイズ（３１）は、上側のインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））に含まれるノイズ（矢印３３参照）、入力信号’（

ＩＮ’）に含まれるノイズ（矢印３１’参照）、および、下側のインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））に含まれるノイズ（矢印３５参照）に対応する。また、入力信号（ＩＮ）に含まれる第２のノイズ（３２）は、上側のインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））に含まれるノイズ（矢印３４参照）、入力信号’（ＩＮ’）に含まれるノイズ（矢印３２’参照）、および、下側のインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））に含まれるノイズ（矢印３６参照）に対応する。

【００４６】

図３において、点線３７は、ラッチ回路１６のリセット信号（Ｒ）およびセット信号（Ｓ）に対する入力閾値を表す。なお、図３における入力閾値３７は、セット信号（Ｓ）およびリセット信号（Ｒ）に対して同じ閾値であるが、リセット信号（Ｒ）およびセット信号（Ｓ）に対して、相互に異なる閾値であってもよい。

【００４７】

図３に示されるように、入力信号（ＩＮ）が反転されたインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））において、立ち上がり時間（２４）が、立ち下がり時間と比べて十分に長い場合、ノイズ（３４）は、入力閾値３７を超えない。したがって、ラッチ回路１６は、ノイズ（３４）を無視することが可能となる。

【００４８】

さらに、図３に示されるように、入力信号’（ＩＮ’）が反転されたインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））において、立ち上がり時間（２４）が、立ち下がり時間と比べて十分に長い場合、ノイズ（３５）は、入力閾値３７を超えない。したがって、ラッチ回路１６は、ノイズ（３５）を無視することが可能となる。

【００４９】

このように、たとえば、図３の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））と、図３の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））との組み合わせは、リセット信号（Ｒ）およびセット信号（Ｓ）を形成することができる。結果として、ラッチ回路１６は、ノイズ（３３、３６）も無視することが可能となる。

【００５０】

従来のノイズフィルタ回路は、たとえば、特許文献１（特開２００３－１６３５８３号公報）の図１に開示され、入力信号とラッチ回路との間に、遅延回路、ＮＡＮＤ回路およびＯＲ回路が配置される。一方、図１に示すように、本発明に従うノイズフィルタ回路１０は、遅延回路、ＮＡＮＤ回路およびＯＲ回路の代わりに、簡易な構造を有する第１および第２のインバータ回路１２、１４を備えることができる。

【００５１】

図３に示される入力信号（ＩＮ）に含まれる第１のノイズ（３１）が、たとえば、後述する図１３に示されるような連続ノイズ（１３１－１、１３１－２）である場合、その連続ノイズも、入力閾値３７を超えない。同様に、図３に示される入力信号（ＩＮ）に含まれる第２のノイズ（３２）が、連続ノイズである場合でも、そのノイズは、入力閾値３７を超えない。したがって、本発明に従うノイズフィルタ回路１０は、連続ノイズを除去することができる。これに対し、後述するように、従来のノイズフィルタ回路は、連続ノイズを除去することができないこともある。

【００５２】

１．３　ノイズフィルタ回路の動作（その２）

図４は、図１に示されるノイズフィルタ回路１０の動作を理解するためのもう１つのタイミング図を示す。

なお、図４において、図４の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））は、たとえば、図１に示される第１のインバータ回路１２に対応し、図４の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））は、たとえば、図１に示される第２のインバータ回路１４に対応する。

【００５３】

図４に示される入力信号（ＩＮ）および入力信号’（ＩＮ’）は、図３に示される入力

信号（ＩＮ）および入力信号’（ＩＮ’）である。
図４の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））は、入力信号（ＩＮ）が反転された信号を表し、図４の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））は、入力信号’（ＩＮ’）が反転された信号を表す。
【００５４】
図４に示されるように、入力信号（ＩＮ）が反転されたインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））において、立ち下がり時間（２６）が、立ち上がり時間と比べて十分に長い場合、ノイズ（４３）は、入力閾値３７を超えない。したがって、ラッチ回路１６は、ノイズ（４３）を無視することが可能となる。
【００５５】
さらに、図４に示されるように、入力信号’（ＩＮ’）が反転されたインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））において、立ち下がり時間（２６）が、立ち上がり時間と比べて十分に長い場合、ノイズ（４６）は、入力閾値３７を超えない。したがって、たとえば、ラッチ回路１６は、ノイズ（４６）を無視することが可能となる。
【００５６】
このように、たとえば、図４の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））と、図４の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））との組み合わせは、セット信号（Ｓ）およびリセット信号（Ｒ）を形成することができる。結果として、ラッチ回路１６は、ノイズ（４４、４５）も無視することが可能となる。
【００５７】
１．４　ノイズフィルタ回路の動作（その３）
図５は、図１に示されるノイズフィルタ回路１０の動作を理解するためのさらなるタイミング図を示す。
なお、図５において、図５の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））は、たとえば、図１に示される第１のインバータ回路１２に対応し、図５の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））は、たとえば、図１に示される第２のインバータ回路１４に対応する。
【００５８】
図５に示される入力信号（ＩＮ）は、図３に示される入力信号（ＩＮ）である。
図５の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））は、入力信号（ＩＮ）が反転された信号、すなわち、図４の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））である。
図５の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））は、入力信号（ＩＮ）が反転された信号、すなわち、図３の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））である。
図５に示されるインバータ出力信号’（ＩＮＶ＿ＯＵＴ（１）’）は、図５の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））が反転され、波形整形された信号を表す。
【００５９】
図５に示されるように、入力信号（ＩＮ）が反転されたインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））において、立ち下がり時間（２６）が、立ち上がり時間と比べて十分に長い場合、ノイズ（４３）は、ラッチ回路１６の入力閾値３７を超えない。したがって、ラッチ回路１６は、ノイズ（４３）を無視することが可能となる。
【００６０】
さらに、図５に示されるように、入力信号（ＩＮ）が反転されたインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））において、上がり時間（２４）が、立ち下がり時間と比べて十分に長い場合、ノイズ（３４）は、インバータ出力信号（ＩＮＶ＿ＯＵＴ（１））を反転する回路の入力閾値５２を超えない。
したがって、インバータ出力信号（ＩＮＶ＿ＯＵＴ（１））が反転され、波形整形されたインバータ出力信号’（ＩＮＶ＿ＯＵＴ（１）’）は、ノイズ（３４）を含まない（矢

印３４’参照）。結果として、ラッチ回路１６は、ノイズ（３４）を無視することが可能となる。

【００６１】

このように、たとえば、図５の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））と、図５に示されるインバータ出力信号’（ＩＮＶ＿ＯＵＴ（１）’）との組み合わせは、セット信号（Ｓ）およびリセット信号（Ｒ）を形成することができる。結果として、ラッチ回路１６は、ノイズ（４４、３３）も無視することが可能となる。

【００６２】

図５において、インバータ出力信号（ＩＮＶ＿ＯＵＴ（１））を反転する回路の入力閾値５２は、ラッチ回路１６の入力閾値３７対して、同じ閾値であるが、異なる閾値であってもよい。

なお、図１に示されたラッチ回路１６のセット信号（Ｓ）およびリセット信号（Ｒ）の組み合わせは、図３～図５に示されたタイミング図で表されるが、これらの各タイミング図に限定されるものではない。

たとえば、図３の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））と、図に示されていないが、図４の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））が反転される信号との組み合わせは、セット信号（Ｓ）およびリセット信号（Ｒ）を形成することができる。また、図に示されていないが、図５の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））が反転される信号と、図３の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））との組み合わせも、セット信号（Ｓ）およびリセット信号（Ｒ）を形成することができる。

【００６３】

１．５　ノイズフィルタ回路の第１の実施形態

図６は、図１に示されるノイズフィルタ回路１０の具体例を示す。

図６に示されるノイズフィルタ回路６０は、入力信号（ＩＮ）に基づく信号を入力する第１および第２のインバータ回路６２、６４と、第１および第２のインバータ回路６２、６４からの信号に基づく信号を入力するラッチ回路６６と、を備える。

【００６４】

第１のインバータ回路６２は、第３のインバータ回路６１を介して、入力信号（ＩＮ）を入力する。

第３のインバータ回路６１は、入力信号（ＩＮ）を反転し、それを出力する。

第１のインバータ回路６２は、第３のインバータ回路６１からの信号、すなわち、入力信号（ＩＮ）が反転された信号（ＩＮ’）を入力する。第１のインバータ回路６２はさらに、入力信号’（ＩＮ’）を反転し、それを出力する。

【００６５】

第１のインバータ回路６２は、ＰおよびＮの型のトランジスタ（ＣＭＯＳトランジスタ）を含み、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。

Ｐ型のトランジスタのチャネル長およびチャネル幅がそれぞれＬｐおよびＷｐであり、Ｎ型のトランジスタのチャネル長およびチャネル幅がそれぞれＬｎおよびＷｎであると想定する。たとえば、Ｗｐ／Ｌｐを２～３倍したものが、Ｗｎ／Ｌｎより小さい場合、Ｐ型のトランジスタのＯＮ抵抗は、Ｎ型のトランジスタのＯＮ抵抗より高い。このように、第１のインバータ回路６２において、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。なお、電子の移動度は、正孔の移動度よりも大きいため、Ｗｐ／Ｌｐ＝Ｗｎ／Ｌｎの場合、一般に、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力の２～３倍である。

【００６６】

第２のインバータ回路６４は、入力信号（ＩＮ）を反転し、それを出力する。第２のインバータ回路６４は、ＰおよびＮの型のトランジスタ（ＣＭＯＳトランジスタ）を含む。第２のインバータ回路６４において、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。

【００６７】
ラッチ回路６６は、第１のインバータ回路６２からの信号をセット信号（Ｓ）として、入力する。ラッチ回路６６はさらに、第２のインバータ回路６４からの信号をリセット信号（Ｒ）として、入力する。ラッチ回路６６は、セット信号（Ｓ）およびリセット信号（Ｒ）のタイミングに応じて、２つの出力のレベル（Ｑ、Ｑ＿）の一方（Ｑ＿）を、第４のインバータ回路６７を介して出力する。ラッチ回路６６は、ＮＯＲ型ラッチ回路で構成される。
【００６８】
第４のインバータ回路６７は、ラッチ回路６６からの信号（Ｑ＿）を反転し、それを出力する。第４のインバータ回路６７からの信号は、ノイズフィルタ回路６０の出力信号（ＯＵＴ）を形成する。
【００６９】
図７は、図６に示されるノイズフィルタ回路６０の動作を理解するためのタイミング図を示す。
図７において、符号ＩＮ、６１（ＩＮ’）、６２（Ｓ）、６４（Ｒ）、６６（Ｑ＿）、および６７（ＯＵＴ）は、それぞれ、入力信号、第３のインバータ回路６１からの信号（入力信号’）、第１のインバータ回路６２からの信号（セット信号）、第２のインバータ回路６４からの信号（リセット信号）、ラッチ回路６６からの信号（ラッチ信号）、および、第４のインバータ回路６７からの信号（出力信号）を表す。
なお、図３の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））は、図７に示される第２のインバータ回路６４からの信号（Ｒ）に対応し、図３の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（１））は、図７に示される第１のインバータ回路６２からの信号（Ｓ）に対応する。
【００７０】
図７に示されるように、ノイズフィルタ回路６０は、入力閾値３７を超えないセット信号（６２（Ｓ））に含まれるノイズ（７１）を除去できる。なお、セット信号（６２（Ｓ））に含まれるノイズ（７１）のパルス幅が、第１の遅延量ｄ１を超えない限り、ノイズ（７１）は、入力閾値３７を超えない。したがって、ノイズフィルタ回路６０は、第１の遅延量ｄ１より小さいパルス幅を有するノイズ（７１）、すなわち第１の遅延量ｄ１より小さいパルス幅を有するＨＩＧＨ側のノイズ（３１）を除去できる。
また、ノイズフィルタ回路６０は、第２の遅延量ｄ２より小さいパルス幅を有するリセット信号（６４（Ｒ））に含まれるノイズ（７２）、すなわち第２の遅延量ｄ２より小さいパルス幅を有するＬＯＷ側のノイズ（３２）を除去できる。好ましくは、第１の遅延量ｄ１は、第２の遅延量ｄ２と等しい。
なお、図７に示される第３および第４のインバータ回路６１、６７のそれぞれの出力信号（ＩＮ’、ＯＵＴ）の立ち下がり時間および立ち上がり時間は、十分に短く、無視することができる。
【００７１】
上述のとおり、従来のノイズフィルタ回路において、たとえば、入力信号とラッチ回路との間に、遅延回路、ＮＡＮＤ回路およびＯＲ回路が配置される。
遅延回路は、たとえば、少なくとも２つのインバータ回路（たとえば、２つのＰ型のトランジスタと２つのＮ型のトランジスタ）で構成することができる。ＮＡＮＤ回路は、たとえば、２つのＰ型のトランジスタと２つのＮ型のトランジスタで構成することができる。ＯＲ回路は、たとえば、ＮＯＲ回路（たとえば、２つのＰ型トランジスタと２つのＮ型のトランジスタ）と、１つのインバータ回路（たとえば、１つのＰ型トランジスタと１つのＮ型のトランジスタ）とで、構成することができる。
図６に示されるノイズフィルタ回路６０は、遅延回路、ＮＡＮＤ回路およびＯＲ回路の代わりに、第３、第１、および第２のインバータ回路６１、６２、６４（たとえば、３つのＰ型のトランジスタと３つのＮ型のトランジスタ）を備えることができる。このように、図６に示されるノイズフィルタ回路６０は、簡易な構造を有する。したがって、ノイズ

フィルタ回路６０は、従来のノイズフィルタ回路と比較して、小さいチップサイズを有することが可能となる。

【００７２】

図７に示される第１の遅延量ｄ１は、（第１のインバータ回路６２のＰ型のトランジスタのＯＮ抵抗と、第１のインバータ回路６２とラッチ回路６６との間の容量（ラッチ回路６６のセット信号側のゲート容量と、第１のインバータ回路６２のドレイン容量と、配線などによる寄生容量との総和容量）とで決定される）時定数と、ラッチ回路６６のセット信号側の入力閾値３７と、によって決定される。

第２の遅延量ｄ２は、（第２のインバータ回路６４のＰ型のトランジスタのＯＮ抵抗と、第２のインバータ回路６４とラッチ回路６６との間の容量（ラッチ回路６６のリセット信号側のゲート容量と、第２のインバータ回路６４のドレイン容量と、配線などによる寄生容量との総和容量）とで決定される）時定数と、ラッチ回路６６のリセット信号側の入力閾値３７と、によって決定される。

【００７３】

第１のインバータ回路６２および第２のインバータ回路６４の双方は、同じインバータ回路（Ｎ型のトランジスタと比べて、Ｐ型のトランジスタの能力が低いインバータ回路）を備えることができ、その結果、遅延量（ｄ１、ｄ２）のばらつきを小さくすることが可能となる。

また、ＣＭＯＳトランジスタの能力を低くする場合において、Ｐ型のトランジスタの能力を所定量ＰＯだけ小さくするために必要なＰ型のトランジスタのチャネル長Ｌｐ’は、Ｎ型のトランジスタの能力を所定量ＰＯだけ小さくするために必要なＮ型のトランジスタのチャネル長Ｌｎ’より短い。したがって、第１のインバータ回路６２および第２のインバータ回路６４の双方が、Ｐ型のトランジスタの能力が低いインバータ回路を備える場合（ノイズフィルタ回路の第１の実施形態）、より小さいチップサイズを有するノイズフィルタ回路を提供することが可能となる。

【００７４】

なお、図７に示される入力信号（ＩＮ）に含まれる第１のノイズ（３１）が、連続ノイズである場合、セット信号（６２（Ｓ））に含まれるノイズ（７１）も、連続ノイズになる。しかしながら、セット信号（６２（Ｓ））に含まれる連続ノイズは、入力閾値３７を超えない。同様に、図７に示される入力信号（ＩＮ）に含まれる第２のノイズ（３２）が、連続ノイズである場合でも、リセット信号（６４（Ｒ））に含まれる連続ノイズは、入力閾値３７を超えない。したがって、本発明に従うノイズフィルタ回路６０は、連続ノイズを除去することができる。

【００７５】

１．５．１　ノイズフィルタ回路の第１の実施形態の変形例

図６において、たとえば、ラッチ回路６６は、２つの出力のレベル（Ｑ、Ｑ＿）の一方（Ｑ＿）を出力するが、ラッチ回路６６は、２つの出力のレベル（Ｑ、Ｑ＿）の他方（Ｑ）を出力してもよい。この場合、ノイズフィルタ回路６０は、第４のインバータ回路６７を省略することができる。

また、図６において、たとえば、ラッチ回路６６は、第１および第２のインバータ回路６２、６４からの信号を、それぞれ、セット信号およびリセット信号として入力するが、ラッチ回路６６は、第１および第２のインバータ回路６２、６４からの信号の組み合わせを変更して、それぞれ、リセット信号およびセット信号として入力してもよい。言い換えれば、図６において、第３のインバータ回路６１は、入力信号（ＩＮ）と第１のインバータ回路６２との間に配置されるが、第３のインバータ回路６１は、入力信号（ＩＮ）と第２のインバータ回路６４との間に配置されてもよい。この場合、ノイズフィルタ回路６０は、第４のインバータ回路６７を省略することができる。

さらに、図６において、たとえば、第１および第２のインバータ回路６２、６４のそれぞれと、ラッチ回路６６との間に、独立したキャパシタを配置してもよい。この場合、第１および第２の遅延量ｄ１、ｄ２は、独立したキャパシタの容量に応じて、多くなる。し

たがって、ノイズフィルタ回路６０は、より長いパルス幅を持つノイズも除去することが可能となる。

【００７６】

１．６　ノイズフィルタ回路の第２の実施形態

図８は、図１に示されるノイズフィルタ回路１０のもう１つの具体例を示す。

図８に示されるノイズフィルタ回路８０は、入力信号（ＩＮ）に基づく信号を入力する第１および第２のインバータ回路８２、８４と、第１および第２のインバータ回路８２、８４からの信号に基づく信号を入力するラッチ回路８６と、を備える。

【００７７】

第１のインバータ回路８２は、入力信号（ＩＮ）を反転し、それを出力する。第１のインバータ回路８２において、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低い。

【００７８】

第２のインバータ回路８４は、第３のインバータ回路８１を介して、入力信号（ＩＮ）を入力する。すなわち、第２のインバータ回路８４は、入力信号（ＩＮ）が反転された信号（ＩＮ’）を入力する。第２のインバータ回路８４はさらに、入力信号’（ＩＮ’）を反転し、それを出力する。第２のインバータ回路８４において、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低い。

【００７９】

ラッチ回路８６は、第１のインバータ回路８２からの信号をセット信号（Ｓ）として、入力する。ラッチ回路８６はさらに、第２のインバータ回路８４からの信号をリセット信号（Ｒ）として、入力する。ラッチ回路８６は、セット信号（Ｓ）およびリセット信号（Ｒ）のタイミングに応じて、２つの出力のレベル（Ｑ、Ｑ＿）の一方（Ｑ＿）を出力する。ラッチ回路８６は、ＮＡＮＤ型ラッチ回路で構成される。ラッチ回路８６からの信号は、ノイズフィルタ回路８０の出力信号（ＯＵＴ）を形成する。

【００８０】

図９は、図８に示されるノイズフィルタ回路８０の動作を理解するためのタイミング図を示す。

図９において、符号ＩＮ、８１（ＩＮ’）、８２（Ｓ）、８４（Ｒ）、および８６（Ｑ＿）（ＯＵＴ）は、それぞれ、入力信号、第３のインバータ回路８１からの信号（入力信号’）、第１のインバータ回路８２からの信号（セット信号）、第２のインバータ回路８４からの信号（リセット信号）、および、ラッチ回路８６からの信号（ラッチ信号）（出力信号）を表す。

なお、図４の上側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））は、図９に示される第１のインバータ回路８２からの信号（Ｓ）に対応し、図４の下側に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））は、図９に示される第２のインバータ回路８４からの信号（Ｒ）に対応する。

【００８１】

図９に示されるように、ノイズフィルタ回路８０は、第１の遅延量ｄ３より小さいＨＩＧＨ側のノイズ（３１）を除去できる。また、ノイズフィルタ回路８０は、第２の遅延量ｄ４より小さいＬＯＷ側のノイズ（３２）を除去できる。好ましくは、第１の遅延量ｄ３は、第２の遅延量ｄ４と等しい。

なお、図９に示される第３のインバータ回路８１の出力信号（ＩＮ’）の立ち下がり時間および立ち上がり時間は、十分に短く、無視することができる。

【００８２】

第１のインバータ回路８２および第２のインバータ回路８４の双方は、同じインバータ回路（Ｐ型のトランジスタと比べて、Ｎ型のトランジスタの能力が低いインバータ回路）を備えることができ、その結果、遅延量（ｄ３、ｄ４）のばらつきを小さくすることが可能となる。

【００８３】

なお、図９に示される入力信号（ＩＮ）に含まれる第１のノイズ（３１）が、連続ノイズである場合でも、セット信号（８２（Ｓ））に含まれる連続ノイズは、入力閾値３７を超えない。同様に、図９に示される入力信号（ＩＮ）に含まれる第２のノイズ（３２）が、連続ノイズである場合でも、リセット信号（８４（Ｒ））に含まれる連続ノイズは、入力閾値３７を超えない。したがって、本発明に従うノイズフィルタ回路８０は、連続ノイズを除去することができる。

【００８４】

１．６．１　ノイズフィルタ回路の第２の実施形態の変形例

図８において、たとえば、ラッチ回路８６は、２つの出力のレベル（Ｑ、Ｑ＿）の一方（Ｑ＿）を出力するが、ラッチ回路８６は、２つの出力のレベル（Ｑ、Ｑ＿）の他方（Ｑ）を出力してもよい。この場合、ノイズフィルタ回路８０は、第４のインバータ回路６７を備えることができる。

また、図８において、たとえば、第３のインバータ回路８１は、入力信号（ＩＮ）と第２のインバータ回路８４との間に配置されるが、第３のインバータ回路８１は、入力信号（ＩＮ）と第１のインバータ回路８２との間に配置されてもよい。この場合、ノイズフィルタ回路８０は、第４のインバータ回路６７を備えることができる。

さらに、図８において、たとえば、第１および第２のインバータ回路８２、８４のそれぞれと、ラッチ回路８６との間に、独立したキャパシタを配置してもよい。

【００８５】

１．７　ノイズフィルタ回路の第３の実施形態

図１０は、図１に示されるノイズフィルタ回路１０のさらなる具体例を示す。

図１０に示されるノイズフィルタ回路１００は、入力信号（ＩＮ）に基づく信号を入力する第１および第２のインバータ回路１０２、１０４と、第１および第２のインバータ回路１０２、１０４からの信号に基づく信号を入力するラッチ回路１０６と、を備える。

【００８６】

第１のインバータ回路１０２は、入力信号（ＩＮ）を反転し、それを出力する。第１のインバータ回路１０２において、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。

第２のインバータ回路１０４は、入力信号（ＩＮ）を反転し、それを出力する。第２のインバータ回路１０４において、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低い。

【００８７】

ラッチ回路１０６は、第１のインバータ回路１０２からの信号をセット信号（Ｓ）として、入力する。

ラッチ回路１０６はさらに、第２のインバータ回路１０４からの信号を第３のインバータ回路１０５を介して入力する。すなわち、ラッチ回路１０６は、第２のインバータ回路１０４からの信号が反転され、波形整形された信号を、リセット信号（Ｒ）として、入力する。

ラッチ回路１０６は、セット信号（Ｓ）およびリセット信号（Ｒ）のタイミングに応じて、２つの出力のレベル（Ｑ、Ｑ＿）の一方（Ｑ＿）を出力する。ラッチ回路１０６は、ＮＡＮＤ型ラッチ回路で構成される。ラッチ回路１０６からの信号は、ノイズフィルタ回路１００の出力信号（ＯＵＴ）を形成する。

【００８８】

図１１は、図１０に示されるノイズフィルタ回路１００の動作を理解するためのタイミング図を示す。

図１１において、符号ＩＮ、１０２（Ｓ）、１０４、１０５（Ｒ）、および１０６（Ｑ＿）（ＯＵＴ）は、それぞれ、入力信号、第１のインバータ回路１０２からの信号（セット信号）、第２のインバータ回路１０４からの信号、第３のインバータ回路１０５からの信号（リセット信号）、および、ラッチ回路１０６からの信号（ラッチ信号）（出力信号）を表す。

なお、図５に示されるインバータ出力信号（ＩＮＶ＿ＯＵＴ（２））は、図１０に示される第１のインバータ回路１０２からの信号（Ｓ）に対応し、図５に示されるインバータ出力信号’（ＩＮＶ＿ＯＵＴ（１）’）は、図１０に示される第２のインバータ回路１０４からの信号が反転された信号（Ｒ）、すなわち、図１０に示される第３のインバータ回路１０５からの信号（Ｒ）に対応する。

【００８９】

図１１に示されるように、ノイズフィルタ回路１００は、第１の遅延量ｄ５より小さいＨＩＧＨ側のノイズ（３１）を除去できる。また、ノイズフィルタ回路１００は、第２の遅延量ｄ６より小さいＬＯＷ側のノイズ（３２）を除去できる。好ましくは、第１の遅延量ｄ５は、第２の遅延量ｄ６と等しい。

なお、図１１に示される第３のインバータ回路１０５の出力信号（Ｒ）の立ち下がり時間および立ち上がり時間は、十分に短く、無視することができる。

【００９０】

第２のインバータ回路１０４のみが、Ｐ型のトランジスタの能力が低いインバータ回路を備える場合（ノイズフィルタ回路の第３の実施形態）、ノイズフィルタ回路の第１の実施形態より大きいが、ノイズフィルタ回路の第２の実施形態より小さいチップサイズを有するノイズフィルタ回路を提供することが可能となる。

【００９１】

なお、図１１に示される入力信号（ＩＮ）に含まれる第１のノイズ（３１）が、連続ノイズである場合でも、セット信号（１０２（Ｓ））に含まれる連続ノイズは、入力閾値３７を超えない。また、図１１に示される入力信号（ＩＮ）に含まれる第２のノイズ（３２）が、連続ノイズである場合でも、第２のインバータ回路１０４から信号に含まれる連続ノイズは、第３のインバータ回路１０５の入力閾値５２を超えない。したがって、本発明に従うノイズフィルタ回路１００は、連続ノイズを除去することができる。

【００９２】

１．７．１　ノイズフィルタ回路の第３の実施形態の変形例

図１０において、たとえば、ラッチ回路１０６は、２つの出力のレベル（Ｑ、Ｑ＿）の一方（Ｑ＿）を出力するが、ラッチ回路１０６は、２つの出力のレベル（Ｑ、Ｑ＿）の他方（Ｑ）を出力してもよい。この場合、ノイズフィルタ回路１００は、第４のインバータ回路６７を備えることができる。

また、図１０において、たとえば、第３のインバータ回路１０５は、第２のインバータ回路１０４とラッチ回路１０６（ＮＡＮＤ型ラッチ回路）との間に配置されるが、第３のインバータ回路１０５は、第１のインバータ回路１０２とラッチ回路１０６との間に配置されてもよい。この場合、ラッチ回路１０６は、ＮＯＲ型ラッチ回路（図６中のラッチ回路６６）で構成することができ、ノイズフィルタ回路８０は、第４のインバータ回路６７を備えることができる。

さらに、図８において、たとえば、第１および第２のインバータ回路８２、８４のそれぞれと、ラッチ回路８６との間に、独立したキャパシタを配置してもよい。

【００９３】

１．８　ノイズフィルタ回路の第４の実施形態

従来のノイズフィルタ回路は、たとえば、特許文献１（特開２００３－１６３５８３号公報）の図１に開示され、入力信号とラッチ回路との間に、遅延回路、ＮＡＮＤ回路およびＯＲ回路が配置される。

従来のノイズフィルタ回路において、ＮＡＮＤ回路とラッチ回路との間、および、ＯＲ回路とラッチ回路との間のそれぞれに、図１０に示される第２および第３のインバータ回路１０４、１０５（遅延回路）を挿入することで、本発明に従うノイズフィルタ回路１２０（第４の実施形態）が構成される。

【００９４】

図１２は、本発明に従うノイズフィルタ回路１２０の具体例を示す。

図１２に示されるノイズフィルタ回路１２０は、入力信号（ＩＮ）を入力する第１の遅

延回路１２１と、入力信号（ＩＮ）と第１の遅延回路１２１からの信号（ＩＮｄ）とを入力するＮＡＮＤ回路１２２およびＯＲ回路１２３と、ＮＡＮＤ回路１２２からの信号を入力する第２の遅延回路１２４と、ＯＲ回路１２３からの信号を入力する第３の遅延回路１２５と、第２および第３の遅延回路１２４、１２５からの信号を、セット信号（Ｓ）及びリセット信号（Ｒ）として入力するラッチ回路１２６と、を備える。

【００９５】

遅延回路１２１は、入力信号（ＩＮ）を入力し、入力信号（ＩＮ）を第１の所定の遅延量Ｄ１だけ遅延させ、それを出力する。遅延回路１２１は、たとえば、偶数個のインバータ回路が直列接続された回路（たとえば、特許文献２（特開平０７－０２２９２１号公報）の図２または図１に開示される遅延回路）で構成される。

好ましくは、遅延回路１２１は、後述の遅延回路（たとえば、図２２に示されるインバータ回路２２０にインバータ回路が組み合わされた回路）で、構成される。

【００９６】

ＮＡＮＤ回路（論理積回路）１２２は、入力信号（ＩＮ）と、第１の遅延回路１２１からの信号（ＩＮｄ）と、を入力する。ＮＡＮＤ回路１２２は、これらの２つの信号（ＩＮ、ＩＮｄ）の論理演算（ＮＡＮＤ）を実行し、その結果を出力する。具体的には、ＮＡＮＤ回路１２２は、２つの信号（ＩＮ、ＩＮｄ）の双方がＨＩＧＨを示すときのみ、ＬＯＷを出力し、その他の場合には、ＨＩＧＨを出力する。

【００９７】

ＯＲ回路（論理和回路）１２３は、入力信号（ＩＮ）と、第１の遅延回路１２１からの信号（ＩＮｄ）と、を入力する。ＯＲ回路１２３は、これらの２つの信号（ＩＮ、ＩＮｄ）の論理演算（ＯＲ）を実行し、その結果を出力する。具体的には、ＮＡＮＤ回路１２２は、２つの信号（ＩＮ、ＩＮｄ）の少なくとも１つがＨＩＧＨを示すとき、ＨＩＧＨを出力し、その他の場合には、ＬＯＷを出力する。

【００９８】

第２の遅延回路１２４は、ＮＡＮＤ回路１２２からの信号を入力する。

第２の遅延回路１２４は、図１０に示される第２および第３のインバータ回路１０４、１０５と同様の機能を有する。すなわち、第２の遅延回路１２４は、ＮＡＮＤ回路１２２からの信号を反転し、それを出力する初段のインバータ回路１２４－１を有する。第２の遅延回路１２４はさらに、初段のインバータ回路１２４－１からの信号を反転し、それを出力する次段のインバータ回路１２４－２を有する。初段のインバータ回路１２４－１において、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。次段のインバータ回路１２４－２からの信号は、第２の遅延回路１２４の出力信号を形成する。

【００９９】

第３の遅延回路１２５は、ＯＲ回路１２５からの信号を入力する。

第３の遅延回路１２５は、ＯＲ回路１２５からの信号を反転し、それを出力する初段のインバータ回路１２５－１を有する。第３の遅延回路１２５はさらに、初段のインバータ回路１２５－１からの信号を反転し、それを出力する次段のインバータ回路１２５－２を有する。初段のインバータ回路１２５－１において、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。次段のインバータ回路１２５－２からの信号は、第２の遅延回路１２５の出力信号を形成する。

【０１００】

ラッチ回路１２６は、第２の遅延回路１２４からの信号をセット信号（Ｓ）として、入力する。ラッチ回路１２６はさらに、第３の遅延回路１２４からの信号をリセット信号（Ｒ）として、入力する。ラッチ回路１２６は、セット信号（Ｓ）およびリセット信号（Ｒ）のタイミングに応じて、２つの出力のレベル（Ｑ、Ｑ＿）の一方（Ｑ＿）を出力する。ラッチ回路１２６は、ＮＡＮＤ型ラッチ回路で構成される。ラッチ回路１２６からの信号は、ノイズフィルタ回路１２０の出力信号（ＯＵＴ）を形成する。

【０１０１】

図１３は、図１２に示されるノイズフィルタ回路１２０および従来のノイズフィルタ回

路の動作を理解するためのタイミング図を示す。
図１３において、符号ＩＮ、１２１（ＩＮｄ）、１２２（ＮＡＮＤ）、１２３（ＯＲ）、１２４－１（ＩＮＶ）、１２４－２（Ｓ）、１２５－１（ＩＮＶ）、１２５（Ｒ）、および１２６（Ｑ＿）（ＯＵＴ）は、それぞれ、入力信号、第１の遅延回路１２１からの信号、ＮＡＮＤ回路１２２からの信号、ＯＲ回路１２３からの信号、第２の遅延回路１２４の初段のインバータ回路１２４－１からの信号、第２の遅延回路１２４の次段のインバータ回路１２４－２からの信号（セット信号）、第３の遅延回路１２５の初段のインバータ回路１２５－１からの信号、第３の遅延回路１２５の次段のインバータ回路１２５－２からの信号（リセット信号）、および、ラッチ回路１２６からの信号（ラッチ信号）（出力信号）を表す。
なお、図１３において、符号ＰｒｉｏｒＡｒｔ（ＯＵＴ）は、従来のノイズフィルタ回路からの出力信号を表す。
【０１０２】
図１３に示される入力信号（ＩＮ）は、ＨＩＧＨ側の連続ノイズ１３１－１、１３１－２と、ＬＯＷ側の連続ノイズ１３２－１、１３２－２と、を含む。
図１３において、ＨＩＧＨ側の連続ノイズ１３１－１、１３１－２の間隔Ｄｉが、第１の遅延回路１２１の遅延量Ｄ１と、連続ノイズの先頭ノイズ１３１－１のパルス幅Ｄｐとの和より小さい場合（Ｄｉ＜Ｄ１＋Ｄｐ）、ＮＡＮＤ回路１２２は、ＨＩＧＨ側の連続ノイズに対応するノイズ１３３を有する。
また、ＬＯＷ側の連続ノイズ１３２－１、１３２－２の間隔Ｄｉが、第１の遅延回路１２１の遅延量Ｄ１と、連続ノイズの先頭ノイズ１３２－１のパルス幅Ｄｐとの和より小さい場合（Ｄｉ＜Ｄ１＋Ｄｐ）、ＯＲ回路１２３は、ＬＯＷ側の連続ノイズに対応するノイズ１３４を有する。
【０１０３】
このような場合、従来のノイズフィルタ回路において、ＮＡＮＤ回路１２２からの信号そのものおよびＯＲ回路１２３からの信号そのものは、ラッチ回路のセット信号およびリセット信号を構成していた。したがって、従来のノイズフィルタ回路の出力信号（ＰｒｉｏｒＡｒｔ（ＯＵＴ））は、ＨＩＧＨおよびＬＯＷ側の連続ノイズに起因するノイズ１３５、１３６を有する。
【０１０４】
従来のノイズフィルタ回路とは対照的に、本発明に従うノイズフィルタ回路１２０において、ＮＡＮＤ回路１２２からの信号を入力する第２の遅延回路１２４からの信号、および、ＯＲ回路１２３からの信号を入力する第３の遅延回路１２６からの信号は、ラッチ回路１２６のセット信号およびリセット信号を構成する。したがって、ノイズフィルタ回路１２０の出力（１２６（Ｑ＿）（ＯＵＴ））は、ＨＩＧＨおよびＬＯＷ側の連続ノイズに起因するノイズ１３５、１３６を有しない。
【０１０５】
第２の遅延回路１２４の初段のインバータ回路１２４－１からの信号（１２４－１（ＩＮＶ））は、ＨＩＧＨ側の連続ノイズに対応するノイズ１３７を有するが、ノイズ１３７は、次段のインバータ回路１２４－２の入力閾値１３９を超えない。したがって、ノイズ１３７は、第２の遅延回路１２５によって、除去することが可能となる。
また、第３の遅延回路１２５の初段のインバータ回路１２５－１からの信号（１２５－１（ＩＮＶ））は、ＬＯＷ側の連続ノイズに対応するノイズ１３８を有するが、ノイズ１３８は、次段のインバータ回路１２５－２の入力閾値１３９を超えない。したがって、ノイズ１３８は、第３の遅延回路１２５によって、除去することが可能となる。
なお、好ましくは、第２の遅延回路１２４の遅延量Ｄ２は、第３の遅延回路１２５の遅延量Ｄ３と等しい。
【０１０６】
図１２に示される初段のインバータ回路１２４－１、１２５－１のそれぞれの出力信号（１２４－１（ＩＮＶ）、１２５－１（ＩＮＶ））において、立ち上がり時間は、立ち下

がり時間と比べて十分に長い。
　また、図１２に示される次段のインバータ回路１２４－２、１２５－２のそれぞれの出力信号（１２４－２（Ｓ）、１２５－２（Ｒ））の立ち下がり時間および立ち上がり時間は、十分に短く、無視することができる。
【０１０７】
　１．８．１　ノイズフィルタ回路の第４の実施形態の変形例
　図１２において、たとえば、第２の遅延回路１２４の次段のインバータ回路１２４－２を省略し、第３の遅延回路１２５の次段のインバータ回路１２５－２を省略し、Ｑ＿を出力するＮＡＮＤ型ラッチ回路１２６の代わりにＱを出力するＮＯＲ型ラッチ回路が配置されてもよい。
　また、図１２において、たとえば、初段のインバータ回路１２４－１と次段のインバータ回路１２４－２との間、および／または、初段のインバータ回路１２５－１と次段のインバータ回路１２５－２との間に、独立したキャパシタが配置されてもよい。
【０１０８】
　２．　デッドタイム回路
　２．１　デッドタイム回路の構成
　図１４は、本発明に従うデッドタイム回路の概略ブロック図を示す。
　図１４に示されるデッドタイム回路１４０は、入力信号（ＩＮ）に基づく信号を入力する第１および第２のインバータ回路１４２、１４４と、第１のインバータ回路１４２からの信号に基づく信号を入力する第１の波形整形回路１４６と、第２のインバータ回路１４４からの信号に基づく信号を入力する第２の波形整形回路１４８と、を備える。
　なお、たとえば、小チップ化を優先させる場合、デッドタイム回路１４０は、第１および第２の波形整形回路１４６、１４８を省略してもよい。
【０１０９】
　第１のインバータ回路１４２は、入力信号（ＩＮ）に基づく信号（たとえば、入力信号（ＩＮ）が反転された信号（ＩＮ’））を反転し、それを出力する。第１のインバータ回路１４２は、第１および第２の導電型のトランジスタを含み、第１および第２の導電型のトランジスタの一方の能力は、第１および第２の導電型のトランジスタの他方の能力より低い。第１のインバータ回路１４２は、たとえば、ＣＭＯＳトランジスタで構成される。
【０１１０】
　第２のインバータ回路１４４は、入力信号（ＩＮ）に基づく信号（たとえば、入力信号（ＩＮ）そのもの）を反転し、それを出力する。第２のインバータ回路１４４は、第１および第２の導電型のトランジスタを含み、第１および第２の導電型のトランジスタの一方の能力は、第１および第２の導電型のトランジスタの他方の能力より低い。第２のインバータ回路１４４は、たとえば、ＣＭＯＳトランジスタで構成される。
【０１１１】
　第１の波形整形回路１４６は、第１のインバータ回路１４２からの信号（たとえば、第１のインバータ回路１４２からの信号そのもの）の波形を整形し、それを出力する。
　第２の波形整形回路１４８は、第２のインバータ回路１４４からの信号（たとえば、第２のインバータ回路１４４からの信号そのもの）の波形を整形し、それを出力する。
　第１および第２の波形整形回路１４６、１４６からの信号（ＯＵＴ１、ＯＵＴ２）の組み合わせは、デッドタイムを形成する。
　なお、第１および第２の波形整形回路１４６、１４８が省略される場合、第１および第２のインバータ回路１４２、１４４からの信号の組み合わせが、デッドタイムを形成する。
【０１１２】
　２．２　デッドタイム回路の第１の実施形態
　図１５は、図１４に示されるデッドタイム回路１４０の具体例を示す。
　図１５に示されるデッドタイム回路１５０は、入力信号（ＩＮ）に基づく信号を入力する第１および第２のインバータ回路１５２、１５４と、第１のインバータ回路１５２から

の信号に基づく信号を入力する第１の波形整形回路１５６と、第２のインバータ回路１５４からの信号に基づく信号を入力する第２の波形整形回路１５８と、を備える。

なお、デッドタイム回路１５０は、第１および第２の波形整形回路１５６、１５８を省略してもよい。

【０１１３】

第１のインバータ回路１５２は、第３のインバータ回路１５１を介して、入力信号（ＩＮ）を入力する。言い換えれば、第１のインバータ回路１５２は、第３のインバータ回路１５１からの信号、すなわち、入力信号（ＩＮ）が反転された信号（ＩＮ’）を入力する。第１のインバータ回路１５２はさらに、入力信号’（ＩＮ’）を反転し、それを出力する。

なお、第１のインバータ回路１５２は、ＰおよびＮの型のトランジスタ（ＣＭＯＳトランジスタ）を含む。第１のインバータ回路１５２において、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。

【０１１４】

第２のインバータ回路１５４は、入力信号（ＩＮ）を反転し、それを出力する。第２のインバータ回路１５４は、ＰおよびＮの型のトランジスタ（ＣＭＯＳトランジスタ）を含む。第２のインバータ回路１５４において、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。

【０１１５】

第１の波形整形回路１５６は、第１のインバータ回路１５２からの信号の波形を整形する第４のインバータ回路１５６－１を有する。第１の波形整形回路１５６はさらに、第４のインバータ回路１５６－１からの信号を反転する第５のインバータ回路１５６－２を有する。

【０１１６】

第２の波形整形回路１５８は、第２のインバータ回路１５４からの信号の波形を整形する。図１５において、第２の波形整形回路１５８は、第６のインバータ回路１５８で構成される。

【０１１７】

図１６は、図１５に示されるデッドタイム回路１５０の動作を理解するためのタイミング図を示す。

図１６において、符号ＩＮ、１５１（ＩＮ’）、１５２、１５４、１５６－１、１５６－２（ＯＵＴ１）、および１５８（ＯＵＴ２）は、それぞれ、入力信号、第３のインバータ回路１５１からの信号（入力信号’）、第１のインバータ回路１５２からの信号、第２のインバータ回路１５４からの信号、第４のインバータ回路１５６－１からの信号、第５のインバータ回路１５６－２からの信号（出力信号１）、および、第６のインバータ回路１５８からの信号（出力信号２）を表す。

【０１１８】

図１６に示されるように、図１５のデッドタイム回路１５０に入力される入力信号（ＩＮ）は、矩形信号を有する。

図１６に示されるように、図１５に示される第１および第２のインバータ回路１５２、１５４のそれぞれの出力信号において、立ち上がり時間（矢印１６４参照）は、立ち下がり時間（矢印１６２参照）と比べて十分に長い。

図１６に示されるように、図１５に示される第３、第４、第５および第６のインバータ回路１５１、１５６－１、１５６－２、１５８のそれぞれの出力信号において、立ち下がり時間および立ち上がり時間は、十分に短く、無視することができる。

【０１１９】

図１６において、点線１６７は、第１および第２の波形整形回路１５６、１５８の入力閾値を表す。なお、第１および第２の波形整形回路１５６、１５８の入力閾値１６７は、第１および第２のインバータ回路１５２、１５４の電源電圧ＶＤＤの１／２に設定されるが、第１および第２の波形整形回路１５６、１５８に対して、相互に異なる閾値であって

もよい。

【０１２０】

図１６に示されるように、図１５のデッドタイム回路１５０からの出力信号１および２（ＯＵＴ１、ＯＵＴ２）の組み合わせは、組み合わせの両者が入力信号（ＩＮ）の位相と比べて同じ位相を有して、デッドタイム（ｄｔ１、ｄｔ２）を形成することができる。出力信号１および２（ＯＵＴ１、ＯＵＴ２）の組み合わせは、互いに、同じ位相を有し、たとえば、後述する図３７の駆動回路３７０に適用することができる。なお、第１および第２の波形整形回路１５６、１５８が省略される場合、第１および第２のインバータ回路１５２、１５４からの信号の組み合わせは、組み合わせの一方のみが入力信号（ＩＮ）の位相と比べて同じ位相を有して、デッドタイムを形成する。第１および第２のインバータ回路１５２、１５４からの信号の組み合わせは、互いに逆の位相を有し、たとえば、図示しないレベルシフタ回路に適用することができる。

図１６に示される第１のデッドタイムｄｔ１は、（第１のインバータ回路１５２のＰ型のトランジスタのＯＮ抵抗と、第１のインバータ回路１５２と第１の波形整形回路１５６との間の容量（第４のインバータ回路１５６－１のゲート容量と、第１のインバータ回路１５２のドレイン容量と、配線などによる寄生容量との総和容量）とで決定される）時定数と、第１の波形整形回路１５６の入力閾値１６７と、によって決定される。

図１６に示される第２のデッドタイムｄｔ２は、（第２のインバータ回路１５４のＰ型のトランジスタのＯＮ抵抗と、第２のインバータ回路１５４と第２の波形整形回路１５８との間の容量（第６のインバータ回路１５８のゲート容量と、第２のインバータ回路１５４のドレイン容量と、配線などによる寄生容量との総和容量）とで決定される）時定数と、第２の波形整形回路１５８の入力閾値１６７と、によって決定される。

好ましくは、第１のデッドタイムｄｔ１は、第２のデッドタイムｄｔ２と等しい。

【０１２１】

従来のデッドタイム回路は、たとえば、特許文献３（特開２００５－２６１０９１号公報）の図８または図１に開示され、複数の種類の回路素子で構成される。

これに対し、図１５に示されるデッドタイム回路１５０は、第１～第６のインバータ回路で構成され、簡易な構造を有する。したがって、デッドタイム回路１５０は、従来のデッドタイム回路と比較して、小さいチップサイズを有することが可能となる。

【０１２２】

第１のインバータ回路１５２および第２のインバータ回路１５４の双方は、同じインバータ回路（Ｎ型のトランジスタと比べて、Ｐ型のトランジスタの能力が低いインバータ回路）を備えることができ、その結果、デッドタイム（ｄｔ１、ｄｔ２）のばらつきを小さくすることが可能となる。

また、第１のインバータ回路１５２および第２のインバータ回１５４の双方が、Ｐ型のトランジスタの能力が低いインバータ回路を備える場合（デッドタイム回路の第１の実施形態）、より小さいチップサイズを有するデッドタイム回路を提供することが可能となる。

【０１２３】

２．２．１　デッドタイム回路の第１の実施形態の変形例

図１５において、たとえば、第１の波形整形回路１５６は、２つのインバータ回路１５６－１、１５６－２で構成されるが、１つのインバータ回路１５６－１だけで、構成してもよい。言い換えれば、インバータ回路１５６－２を省略してもよい。この場合、インバータ回路１５６－１からの信号およびインバータ回路１５８からの信号の組み合わせは、組み合わせの一方のみが入力信号（ＩＮ）の位相と比べて同じ位相を有して、デッドタイムを形成する。

また、図１５において、たとえば、第１および第２の波形整形回路１５６、１５８の入力閾値１６７は、ＶＤＤ／２に設定されるが、第１の波形整形回路１５６の入力閾値を高くし、かつ、第２の波形回路１５８の入力閾値を高く設定してもよい。この場合、第１および第２のデッドタイムｄｔ１、ｄｔ２は、変更される入力閾値に応じて、多くなる。

さらに、図１５において、第１のインバータ回路１５２と第１の波形整形回路１５６との間、および、第２のインバータ回路１５４と第２の波形整形回路１５８との間に、独立したキャパシタを配置してもよい。この場合、第１および第２のデッドタイムｄｔ１、ｄｔ２は、独立したキャパシタの容量に応じて、多くなる。

【０１２４】

２．３　デッドタイム回路の第２の実施形態

図１７は、図１４に示されるデッドタイム回路１４０のもう１つの具体例を示す。

図１７に示されるデッドタイム回路１７０は、入力信号（ＩＮ）に基づく信号を入力する第１および第２のインバータ回路１７２、１７４と、第１のインバータ回路１７２からの信号に基づく信号を入力する第１の波形整形回路１７６と、第２のインバータ回路１７４からの信号に基づく信号を入力する第２の波形整形回路１７８と、を備える。

なお、デッドタイム回路１７０は、第１および第２の波形整形回路１７６、１７８を省略してもよい。

【０１２５】

第１のインバータ回路１７２は、第３のインバータ回路１７１を介して、入力信号（ＩＮ）を入力する。第１のインバータ回路１７２はさらに、入力信号’（ＩＮ’）を反転し、それを出力する。第１のインバータ回路１７２は、ＰおよびＮの型のトランジスタ（ＣＭＯＳトランジスタ）を含む。第１のインバータ回路１７２において、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低い。

【０１２６】

第２のインバータ回路１７４は、入力信号（ＩＮ）を反転し、それを出力する。第２のインバータ回路１７４は、ＰおよびＮの型のトランジスタ（ＣＭＯＳトランジスタ）を含む。第２のインバータ回路１７４において、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低い。

【０１２７】

第１の波形整形回路１７６は、第１のインバータ回路１７２からの信号の波形を整形する第４のインバータ回路１７６－１を有する。第１の波形整形回路１７６はさらに、第４のインバータ回路１７６－１からの信号を反転する第５のインバータ回路１７６－２を有する。

第２の波形整形回路１７８は、第２のインバータ回路１７４からの信号の波形を整形する。図１７において、第２の波形整形回路１７８は、第６のインバータ回路１７８で構成される。

【０１２８】

図１８は、図１７に示されるデッドタイム回路１７０の動作を理解するためのタイミング図を示す。

図１８において、符号ＩＮ、１７１（ＩＮ’）、１７２、１７４、１７６－１、１７６－２（ＯＵＴ１）、および１７８（ＯＵＴ２）は、それぞれ、入力信号、第３のインバータ回路１７１からの信号（入力信号’）、第１のインバータ回路１７２からの信号、第２のインバータ回路１７４からの信号、第４のインバータ回路１７６－１からの信号、第５のインバータ回路１７６－２からの信号（出力信号１）、および、第６のインバータ回路１７８からの信号（出力信号２）を表す。

【０１２９】

図１８に示されるように、図１７に示される第１および第２のインバータ回路１５２、１５４のそれぞれの出力信号において、立ち上がり時間（矢印１８４参照）は、立ち下がり時間（矢印１８２参照）と比べて十分に長い。

図１８に示されるように、図１７のデッドタイム回路１７０からの出力信号１および２（ＯＵＴ１、ＯＵＴ２）の組み合わせは、組み合わせの両者が入力信号（ＩＮ）の位相と比べて同じ位相を有して、デッドタイム（ｄｔ３、ｄｔ４）を形成することができる。好ましくは、第１のデッドタイムｄｔ３は、第２のデッドタイムｄｔ４と等しい。なお、第１および第２の波形整形回路１７６、１７８が省略される場合、第１および第２のインバ

ータ回路１７２、１７４からの信号の組み合わせは、組み合わせの一方のみが入力信号（ＩＮ）の位相と比べて同じ位相を有して、デッドタイムを形成する。

【０１３０】

図１７に示されるデッドタイム回路１７０は、簡易な構造を有する。したがって、デッドタイム回路１７０は、従来のデッドタイム回路と比較して、小さいチップサイズを有することが可能となる。

【０１３１】

第１のインバータ回路１７２および第２のインバータ回路１７４の双方は、同じインバータ回路（Ｐ型のトランジスタと比べて、Ｎ型のトランジスタの能力が低いインバータ回路）を備えることができ、その結果、デッドタイム（ｄｔ３、ｄｔ４）のばらつきを小さくすることが可能となる。

【０１３２】

２．３．１　デッドタイム回路の第２の実施形態の変形例

図１７において、たとえば、第１の波形整形回路１７６は、２つのインバータ回路１７７－１、１７６－２で構成されるが、１つのインバータ回路１７６－１だけで、構成してもよい。

また、図１７において、たとえば、第１および第２の波形整形回路１７６、１７８の入力閾値１６７は、ＶＤＤ／２に設定されるが、第１の波形整形回路１７６の入力閾値を低くし、かつ、第２の波形回路１７８の入力閾値を低く設定してもよい。

さらに、図１７において、第１のインバータ回路１７２と第１の波形整形回路１７６との間、および、第２のインバータ回路１７４と第２の波形整形回路１７８との間に、独立したキャパシタを配置してもよい。

【０１３３】

２．４　デッドタイム回路の第３の実施形態

図１９は、図１４に示されるデッドタイム回路１４０のさらなる具体例を示す。

図１９に示されるデッドタイム回路１９０は、入力信号（ＩＮ）に基づく信号を入力する第１および第２のインバータ回路１９２、１９４と、第１のインバータ回路１９２からの信号に基づく信号を入力する第１の波形整形回路１９６と、第２のインバータ回路１９４からの信号に基づく信号を入力する第２の波形整形回路１９８と、を備える。

なお、デッドタイム回路１９０は、第１および第２の波形整形回路１９６、１９８を省略してもよい。

【０１３４】

第１のインバータ回路１９２は、入力信号（ＩＮ）を反転し、それを出力する。第１のインバータ回路１９２は、ＰおよびＮの型のトランジスタ（ＣＭＯＳトランジスタ）を含む。第１のインバータ回路１９２において、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低い。

第２のインバータ回路１９４は、入力信号（ＩＮ）を反転し、それを出力する。第２のインバータ回路１９４は、ＰおよびＮの型のトランジスタ（ＣＭＯＳトランジスタ）を含む。第２のインバータ回路１９４において、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。

【０１３５】

第１の波形整形回路１９６は、第１のインバータ回路１９２からの信号の波形を整形する第３インバータ回路１９６－１を有する。第１の波形整形回路１９６はさらに、第３のインバータ回路１９６－１からの信号を反転する第４のインバータ回路１９６－２を有する。

第２の波形整形回路１９８は、第２のインバータ回路１９４からの信号の波形を整形する第５のインバータ回路１９８－１を有する。第２の波形整形回路１９８はさらに、第５のインバータ回路１９８－１からの信号を反転する第６のインバータ回路１９８－２を有する。

【０１３６】

図２０は、図１９に示されるデッドタイム回路１９０の動作を理解するためのタイミング図を示す。

図２０において、符号ＩＮ、１９２、１９４、１９６－１、１９６－２（ＯＵＴ１）、１９８－１、および１９８－２（ＯＵＴ２）は、それぞれ、入力信号、第１のインバータ回路１９２からの信号、第２のインバータ回路１９４からの信号、第３のインバータ回路１９６－１からの信号、第４のインバータ回路１９６－２からの信号（出力信号１）、第５のインバータ回路１９８－１からの信号（出力信号１）、および、第６のインバータ回路１９８－２からの信号（出力信号２）を表す。

【０１３７】

図２０に示されるように、図１９に示される第１のインバータ回路１９２の出力信号において、立ち下がり時間（１８４）は、立ち上がり時間（１８２）と比べて十分に長い。

図２０に示されるように、図１９に示される第２のインバータ回路１９４の出力信号において、立ち上がり時間（１６４）は、立ち下がり時間（１６２）と比べて十分に長い。

図２０に示されるように、図１９のデッドタイム回路１９０からの出力信号１および２（ＯＵＴ１、ＯＵＴ２）の組み合わせは、組み合わせの両者が入力信号（ＩＮ）の位相と比べて逆の位相を有して、デッドタイム（ｄｔ５、ｄｔ６）を形成することができる。好ましくは、第１のデッドタイムｄｔ５は、第２のデッドタイムｄｔ６と等しい。なお、第１および第２の波形整形回路１９６、１９８が省略される場合、第１および第２のインバータ回路１９２、１９４からの信号の組み合わせは、組み合わせの両者が入力信号（ＩＮ）の位相と比べて逆の位相を有して、デッドタイムを形成する。

【０１３８】

図１９に示されるデッドタイム回路１９０は、簡易な構造を有する。したがって、デッドタイム回路１９０は、従来のデッドタイム回路と比較して、小さいチップサイズを有することが可能となる。

また、第２のデッドタイム回路１９４のみが、Ｐ型のトランジスタの能力が低いインバータ回路を備える場合（デッドタイム回路の第３の実施形態）、デッドタイム回路の第１の実施形態より大きいが、デッドタイム回路の第２の実施形態より小さいチップサイズを有するデッドタイム回路を提供することが可能となる。

【０１３９】

２．４．１　デッドタイム回路の第３の実施形態の変形例

図１９において、たとえば、第１の波形整形回路１９６は、２つのインバータ回路１９６－１、１９６－２で構成されるが、１つのインバータ回路１９６－１だけで、構成してもよい。

また、図１９において、たとえば、第２の波形整形回路１９８は、２つのインバータ回路１９８－１、１９８－２で構成されるが、１つのインバータ回路１９８－１だけで、構成してもよい。

さらに、図１９において、たとえば、第１および第２の波形整形回路１９６、１９８の入力閾値１６７は、ＶＤＤ／２に設定されるが、第１の波形整形回路１９６の入力閾値を低くし、かつ、第２の波形回路１９８の入力閾値を高く設定してもよい。

加えて、図１９において、第１のインバータ回路１９２と第１の波形整形回路１９６との間、および、第２のインバータ回路１９４と第２の波形整形回路１９８との間に、独立したキャパシタを配置してもよい。

【０１４０】

３．　遅延回路

３．１　遅延回路の構成

図２１は、本発明に従う遅延回路の概略ブロック図を示す。

図２１に示される遅延回路２１０は、入力信号（ＩＮ）に基づく信号を入力するインバータ回路２１２と、インバータ回路２１２からの信号に基づく信号を入力する波形整形回路２１４と、を備える。

なお、たとえば、小チップ化を優先させる場合、遅延回路２１０は、波形整形回路２１

４を省略してもよい。言い換えれば、図示しない次段の回路が、インバータ回路２１２からの信号に基づく信号の波形を整形してもよい。

【０１４１】

インバータ回路２１２は、複数のインバータ回路を含み、初段のインバータ回路は、入力信号（ＩＮ）に基づく信号（たとえば、入力信号（ＩＮ）そのもの）を反転し、それを出力する。次段のインバータ回路は、前段のインバータ回路からの信号に基づく信号（たとえば、初段のインバータ回路からの信号そのもの）を反転し、それを出力する。インバータ回路２１２に含まれる複数のインバータ回路のそれぞれは、第１および第２の導電型のトランジスタを含み、第１および第２の導電型のトランジスタの一方の能力は、第１および第２の導電型のトランジスタの他方の能力より低い。インバータ回路２１２に含まれる複数のインバータ回路のそれぞれは、たとえば、ＣＭＯＳトランジスタで構成される。

波形整形回路２１４は、インバータ回路２１２からの信号（たとえば、インバータ回路２１２からの信号そのもの）の波形を整形し、それを出力する。

【０１４２】

なお、本発明者は、たとえば、インバータ回路（一方の能力が他方の能力より低い）と波形整形回路との組み合わせ（たとえば、図１２および図１３に示される第２の遅延回路１２４およびその遅延量Ｄ２を参照）を利用することで、遅延回路を構成可能であることを認識した。

【０１４３】

３．２　遅延回路の第１の実施形態

図２２は、図２１に示される遅延回路２１０の具体例を示す。

図２２に示される遅延回路２２０は、入力信号（ＩＮ）に基づく信号を入力する後段のインバータ回路２２２－Ｎと、後段のインバータ回路２２２－Ｎからの信号に基づく信号を入力する波形整形回路２２４と、を備える。

なお、たとえば、遅延回路２２０は、波形整形回路２２４を省略してもよい。

【０１４４】

後段のインバータ回路２２２－Ｎは、前段のインバータ回路２２２－１、２２２－２、２２２－３を介して、入力信号（ＩＮ）を入力する。言い換えれば、インバータ回路２２２－Ｎは、インバータ回路２２２－３からの信号、すなわち、入力信号（ＩＮ）が３回反転された信号（ＩＮ’’’）を入力する。

なお、後段および前段のインバータ回路２２２－Ｎ、２２２－１、２２２－２、２２２－３のそれぞれは、ＰおよびＮの型のトランジスタ（ＣＭＯＳトランジスタ）を含む。後段および前段のインバータ回路２２２－Ｎ、２２２－１、２２２－２、２２２－３のそれぞれにおいて、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。

【０１４５】

図２２において、複数のインバータ回路２２２－１、２２２－２、２２２－３、２２２－Ｎは、直列接続される。複数のインバータ回路（２２２－１、２２２－２、２２２－３、２２２－Ｎ）のそれぞれにおいて能力が低い導電型に関して、能力が低い導電型のすべてが、同種のＰ型である。

【０１４６】

波形整形回路２２４は、後段のインバータ回路２２２－Ｎからの信号の波形を整形する。図２２において、波形整形回路２２４は、最終段のインバータ回路２２４で構成される。

なお、後述の図２３に示されるように、最終段のインバータ回路２２４からの信号（出力信号）は、入力信号（ＩＮ）の位相と比べて逆の位相を有する。したがって、波形整形回路２２４からの信号が、入力信号（ＩＮ）の位相と比べて同じ位相を有するように、波形整形回路２２４は、非反転型の波形整形回路（偶数個のインバータ回路）で構成してもよい。

【０１４７】

図２３は、図２２に示される遅延回路２２０の動作を理解するためのタイミング図を示

す。
図２３において、符号ＩＮ、２２２－１、２２２－２、２２２－３、２２２－Ｎ、および２２４（ＯＵＴ）は、それぞれ、入力信号、前段のインバータ回路２２２－１、２２２－２、２２２－３、後段のインバータ回路２２２－Ｎ、および、最終段のインバータ回路２２４からの信号（出力信号）を表す。
【０１４８】
図２３に示されるように、図２２の遅延回路２２０に入力される入力信号（ＩＮ）は、矩形信号を有する。
図２３に示されるように、図２２に示される前段および後段のインバータ回路２２２－１、２２２－２、２２２－３、２２２－Ｎのそれぞれの出力信号において、立ち上がり時間（矢印２３４参照）は、立ち下がり時間（矢印２３２参照）と比べて十分に長い。
図２３に示されるように、図２２に示される最終段のインバータ回路２２４の出力信号において、立ち下がり時間および立ち上がり時間は、十分に短く、無視することができる。
【０１４９】
図２３において、点線２３７は、インバータ回路２２２－２、２２２－３、２２２－Ｎの入力閾値を表し、点線２３９は、波形整形回路２２４の入力閾値を表す。
インバータ回路２２２－２、２２２－３、２２２－Ｎのそれぞれにおいて、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低いので、インバータ回路２２２－２、２２２－３、２２２－Ｎの入力閾値２３７は、インバータ回路２２２－１、２２２－２、２２２－３の電源電圧ＶＤＤの１／２より低く設定される。波形整形回路２２４の入力閾値２３９は、たとえば、インバータ回路２２２－Ｎの電源電圧ＶＤＤの１／２に設定されるが、異なる閾値であってもよい。
【０１５０】
図２３に示されるように、図２２の遅延回路２２０からの出力信号（ＯＵＴ）は、入力信号（ＩＮ）がＬＯＷからＨＩＧＨに変化するとき、遅延量（Ｄ１’（＝ｄ’’＋ｄ’））を有し、さらに、入力信号（ＩＮ）がＨＩＧＨからＬＯＷに変化するとき、遅延量（Ｄ２’（＝２ｄ’’））を有する。
【０１５１】
従来の遅延回路は、たとえば、特許文献２（特開平０７－０２２９２１号公報）の図２または図１に開示され、インバータ回路と独立したキャパシタとの複数の組み合わせで構成される。また、もう１つの従来の遅延回路は、図示しないが、図２６の説明において比較例として後述するように、複数のインバータ回路のそれぞれにおいて、ＰおよびＮの双方の型のトランジスタの能力が低い。
図２２に示される遅延回路２２０は、独立したキャパシタを備えない場合であっても、インバータ回路２２２－１、２２２－２、２２２－３、２２２－Ｎ自身で、遅延を生じさせることが可能となる。また、インバータ回路２２２－１、２２２－２、２２２－３、２２２－Ｎにおいて、ＰまたはＮの何れか一方のみの型のトランジスタの能力が低いので、ゲート面積を小さくすることが可能となる。したがって、遅延回路２２０は、簡易な構造を有し、従来の遅延回路と比較して、小さいチップサイズを有することが可能となる。
【０１５２】
前段および後段のインバータ回路２２２－１、２２２－２、２２２－３、２２２－Ｎのすべては、同じインバータ回路（Ｎ型のトランジスタと比べて、Ｐ型のトランジスタの能力が低いインバータ回路）を備えることができ、その結果、遅延量（Ｄ１’、Ｄ２’）のばらつきを小さくすることが可能となる。
また、前段および後段のインバータ回路２２２－１、２２２－２、２２２－３、２２２－Ｎのすべてが、Ｐ型のトランジスタの能力が低いインバータ回路を備える場合（遅延回路の第１の実施形態）、より小さいチップサイズを有する遅延回路を提供することが可能となる。
【０１５３】

３．２．１　遅延回路の第１の実施形態の変形例

図２２において、たとえば、前段のインバータ回路２２２－１、２２２－２、２２２－３は、３つのインバータ回路で構成されるが、遅延回路２２０の所望の遅延量に従って、前段のインバータ回路の数を増加または減少させてもよい。たとえば、前段のインバータ回路が９つの場合、遅延回路２２０の遅延量Ｄ１’は、４ｄ’’＋ｄ’となり、Ｄ２’は、５ｄ’’となる。

また、図２２において、たとえば、前段および後段のインバータ回路２２２－１、２２２－２、２２２－３、２２２－Ｎのすべてが、Ｐ型のトランジスタの能力が低いインバータ回路を備えるが、Ｎ型のトランジスタの能力が低いインバータ回路（たとえば、図８の第１のインバータ回路８２を参照）を備えてもよい。

さらに、図２２において、たとえば、前段および後段のインバータ回路２２２－１、２２２－２、２２２－３、２２２－Ｎのそれぞれに、独立したキャパシタを配置してもよい。この場合、遅延量Ｄ１’、Ｄ２’は、独立したキャパシタの容量に応じて、多くなる。

加えて、図２２において、インバータ回路２２４の出力信号（ＯＵＴ）を反転させるために、インバータ２２４回路に接続されるインバータ回路を加えてもよい。

さらに、図２２において、たとえば、波形形成回路２２４は、１つの入力閾値２３９を有するインバータ回路で構成されるが、２つの入力閾値を持つシュミット回路で構成してもよい。たとえば、シュミット回路は、ＬＯＷからＨＩＧＨへの変化を検出する第１の閾値をＶＤＤ／２より高く設定され、ＨＩＧＨからＬＯＷへの変化を検出する第２の閾値をＶＤＤ／２より低く設定される。この場合、遅延量Ｄ１’は、より長くなるとともに、シュミット回路本来の機能である、第１および第２の閾値の間の振幅ノイズも除去される。

【０１５４】

図２４は、図２２に示される遅延回路２２０の変形例を示す。

すなわち、図２２において、インバータ回路２２２－１、２２２－２、２２２－３のそれぞれの後段に、偶数個のインバータ回路（非反転型の波形整形回路）を加えてもよい。

【０１５５】

図２５は、図２４に示される遅延回路２２０の動作を理解するためのタイミング図を示す。なお、加えられた偶数個のインバータ回路からの信号は、図２５に示されていない。

図２５において、点線２５７は、加えられた偶数個のインバータ回路のそれぞれの組における初段のインバータ回路の入力閾値を表し、これらの入力閾値は、たとえば、インバータ回路２２２－１、２２２－２、２２２－３の電源電圧ＶＤＤの１／２に設定される。

図２５に示されるように、図２４の遅延回路２２０からの出力信号（ＯＵＴ）は、入力信号（ＩＮ）がＬＯＷからＨＩＧＨに変化するとき、遅延量（Ｄ１’（＝２ｄ’））を有し、さらに、入力信号（ＩＮ）がＨＩＧＨからＬＯＷに変化するとき、遅延量（Ｄ２’（＝２ｄ’））を有する。なお、図２４に示される遅延回路２２０の遅延量（２ｄ’）は、図２２に示される遅延回路２２０の遅延量（（ｄ’’＋ｄ’）、（２ｄ’’））より大きい。

なお、図２４において、たとえば、加えられた偶数個のインバータ回路のそれぞれの組における初段のインバータ回路、および、波形形成回路２２４は、１つの入力閾値２５７、２３９を有するインバータ回路で構成されるが、２つの入力閾値を持つシュミット回路で構成してもよい。たとえば、シュミット回路は、ＬＯＷからＨＩＧＨへの変化を検出する第１の閾値をＶＤＤ／２より高く設定され、ＨＩＧＨからＬＯＷへの変化を検出する第２の閾値をＶＤＤ／２より低く設定される。この場合、遅延量Ｄ１’、Ｄ２’は、より長くなるとともに、シュミット回路本来の機能である、第１および第２の閾値の間の振幅ノイズも除去される。

また、図２４において、波形整形回路２２４は、１個のインバータ回路（反転型の波形整形回路）で構成されるが、必要に応じて、非反転型の波形整形回路（偶数個のインバータ回路）で構成してもよい。

【０１５６】

図２６は、図２２に示される遅延回路２２０のもう１つの変形例を示す。

すなわち、図２２において、インバータ回路２２２－２の後段に、奇数個のインバータ回路２６２（反転型の波形整形回路２６２）を加え、インバータ回路２２２－２、２２２－Ｎのそれぞれにおいて、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低くてもよい。言い換えれば、遅延回路２２０は、複数の単位回路で構成されてもよく、その単位回路は、Ｐ型のトランジスタの能力が低いインバータ回路２２２－１と、Ｎ型のトランジスタの能力が低いインバータ回路２２２－２と、反転型の波形整形回路２６２とを含む。

言い換えれば、図２６において、複数のインバータ回路２２２－１、２２２－２、２２２－３は、直列接続される。複数のインバータ回路２２２－１、２２２－２、２２２－３は、偶数の連続するインバータ回路２２２－１、２２２－２と、次の１つのインバータ回路２２２－３と、を含む。偶数の連続するインバータ回路２２２－１、２２２－２のそれぞれにおいて能力が低い導電型に関して、異種のＰ型およびＮ型が交互に連続する。偶数の連続するインバータ回路２２２－１、２２２－２の最後のインバータ回路２２２－２において能力が低いＮ型は、次の１つのインバータ回路２２２－３において能力が低いＰ型と異なる。

なお、図２６において、インバータ回路２２２－１、２２２－２、２２２－３、および２２２－Ｎのそれぞれの後段にキャパシタを加え、インバータ回路２６２および２２４の入力閾値が電源電圧ＶＤＤの１／２に設定される場合、たとえば、インバータ回路２２２－１、２２２－２、２６２、２２２－３、２２２－Ｎ、および２２４のゲート面積は、それぞれ、６８［μｍ×μｍ］、１２５［μｍ×μｍ］、２２［μｍ×μｍ］、６８［μｍ×μｍ］、１２５［μｍ×μｍ］、および２２［μｍ×μｍ］である。この実施例において、ゲート面積の合計は、４３０［μｍ×μｍ］である。一方、図２６において、インバータ回路２２２－１、２２２－２、２２２－３、および２２２－Ｎのそれぞれの後段にキャパシタを加え、インバータ回路２６２を省略し、インバータ回路２２４（反転型の波形整形回路）を２つのインバータ回路２２４（非反転型の波形整形回路）で構成し、インバータ回路２２２－１、２２２－２、２２２－３、および２２２－Ｎのそれぞれにおいて、Ｐの型のトランジスタの能力が、他のインバータ回路２２４のＰ型のトランジスタの能力より低く、かつ、Ｎの型のトランジスタの能力が、他のインバータ回路２２４のＮ型のトランジスタの能力より低い場合、たとえば、インバータ回路２２２－１、２２２－２、２６２、２２２－３、２２２－Ｎ、２２４および２２４のゲート面積は、それぞれ、１６０［μｍ×μｍ］、１６０［μｍ×μｍ］、１６０［μｍ×μｍ］、１６０［μｍ×μｍ］、７［μｍ×μｍ］、および７［μｍ×μｍ］である。この比較例（従来の遅延回路）において、ゲート面積の合計は、６５４［μｍ×μｍ］である。このように、遅延回路２２０を構成するインバータ回路２２２－１、２２２－２、２６２、２２２－３および２２２－Ｎにおいて、ＰまたはＮの何れか一方のみの型のトランジスタの能力が低い実施例は、ＰおよびＮの双方の型のトランジスタの能力が低い比較例と比べて、たとえば、６６％のゲート面積で、同じ遅延量を得ることができる。

【０１５７】

図２７は、図２６に示される遅延回路２２０の動作を理解するためのタイミング図を示す。

図２７において、点線２７７は、インバータ回路２２２－２、２２２－Ｎの入力閾値を表し、点線２７９は、加えられたインバータ回路２６２の入力閾値を表す。

インバータ回路２２２－２、２２２－Ｎのそれぞれにおいて、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低いので、インバータ回路２２２－２、２２２－Ｎの入力閾値２７７は、インバータ回路２２２－１、２２２－３の電源電圧ＶＤＤの１／２より高く設定される。インバータ回路２６２の入力閾値は、たとえば、インバータ回路２２２－２の電源電圧ＶＤＤの１／２に設定される。

図２７に示されるように、図２６に示されるインバータ回路２２２－２、２２２－Ｎのそれぞれの出力信号において、立ち下がり時間（矢印２７２参照）は、立ち上がり時間（矢印２７４参照）と比べて十分に長い。

図２７に示されるように、図２６に示されるインバータ回路２６２の出力信号において、立ち下がり時間および立ち上がり時間は、十分に短く、無視することができる。

図２７に示されるように、図２６の遅延回路２２０からの出力信号（ＯＵＴ）は、ＬＯＷからＨＩＧＨに変化するとき、遅延量（Ｄ１’（＝ｄ’’’＋ｄ’））を有し、さらに、ＨＩＧＨからＬＯＷに変化するとき、遅延量（Ｄ２’（＝ｄ’’’＋ｄ’））を有する。なお、図２６に示される遅延回路２２０の遅延量（ｄ’’’＋ｄ’）は、図２２に示される遅延回路２２０の遅延量（（ｄ’’＋ｄ’）、（２ｄ’’））、または、図２４に示される遅延回路２２０の遅延量（２ｄ’）より大きい。

なお、図２６において、たとえば、加えられたインバータ回路２６２、および、波形形成回路２２４は、１つの入力閾値２７９、２３９を有するインバータ回路で構成されるが、２つの入力閾値を持つシュミット回路で構成してもよい。たとえば、シュミット回路は、ＬＯＷからＨＩＧＨへの変化を検出する第１の閾値をＶＤＤ／２より低く設定され、ＨＩＧＨからＬＯＷへの変化を検出する第２の閾値をＶＤＤ／２より高く設定される。この場合、遅延量Ｄ１’、Ｄ２’は、より長くなるとともに、シュミット回路本来の機能である、第１および第２の閾値の間の振幅ノイズも除去される。

また、図２６において、たとえば、反転型の波形整形回路２６２を非反転型の波形整形回路に変更し、Ｐ型のトランジスタの能力が低いインバータ回路２２２－３をＮ型のトランジスタの能力が低いインバータ回路２２２－３に変更し、Ｎ型のトランジスタの能力が低いインバータ回路２２２－ＮをＰ型のトランジスタの能力が低いインバータ回路２２２－Ｎに変更してもよい。この場合、直列接続される複数のインバータ回路２２２－１、２２２－２、２２２－３は、偶数の連続するインバータ回路２２２－１、２２２－２と、次の１つのインバータ回路２２２－３と、を含む。偶数の連続するインバータ回路２２２－１、２２２－２の最後のインバータ回路２２２－２において能力が低いＮ型は、次の１つのインバータ回路２２２－３において能力が低いＮ型と同じである。

さらに、図２６において、波形整形回路２２４は、１数個のインバータ回路（反転型の波形整形回路）で構成されるが、必要に応じて、非反転型の波形整形回路（偶数個のインバータ回路）で構成してもよい。

【０１５８】

図２８は、図２２に示される遅延回路２２０のさらなる変形例を示す。

すなわち、図２２において、インバータ回路２２２－３の後段に、偶数個のインバータ回路（非反転型の波形整形回路）を加え、インバータ回路２２２－２において、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低く、インバータ回路２２２－Ｎの前段に、インバータ回路２２２－１、２２２－２と同等の機能を有するインバータ回路を加え、反転型の波形整形回路２２４を非反転型の波形整形回路２２４に変更してもよい。言い換えれば、遅延回路２２０は、複数の単位回路で構成されてもよく、その単位回路は、Ｐ型のトランジスタの能力が低いインバータ回路２２２－１と、Ｎ型のトランジスタの能力が低いインバータ回路２２２－２と、Ｐ型のトランジスタの能力が低いインバータ回路２２２－３と、非反転型の波形整形回路とを含む。

図２８において、複数のインバータ回路２２２－１、２２２－２、２２２－３、２２２－４は、直列接続される。複数のインバータ回路２２２－１、２２２－２、２２２－３、２２２－４は、奇数の連続するインバータ回路２２２－１、２２２－２、２２２－３と、次の１つのインバータ回路２２２－４と、を含む。奇数の連続するインバータ回路２２２－１、２２２－２、２２２－３のそれぞれにおいて能力が低い導電型に関して、異種のＰ型、Ｎ型およびＰ型が交互に連続する。奇数の連続するインバータ回路２２２－１、２２２－２、２２２－３の最後のインバータ回路２２２－３において能力が低いＰ型は、次の１つのインバータ回路２２２－４において能力が低いＰ型と同じである。

このように、ＰまたはＮのいずれか一方の型のトランジスタの能力が低いインバータ回路を多く備え、遅延回路２２０の遅延量を大きくすることができる。

なお、図２８において、たとえば、非反転型の波形整形回路の初段のインバータ回路は、２つの入力閾値を持つシュミット回路で構成してもよい。

なお、図２８において、たとえば、非反転型の波形整形回路を反転型の波形整形回路に変更し、Ｐ型のトランジスタの能力が低いインバータ回路２２２－４をＮ型のトランジスタの能力が低いインバータ回路２２２－４に変更し、Ｎ型のトランジスタの能力が低いインバータ回路２２２－５をＰ型のトランジスタの能力が低いインバータ回路２２２－５に変更し、Ｐ型のトランジスタの能力が低いインバータ回路２２２－ＮをＮ型のトランジスタの能力が低いインバータ回路２２２－Ｎに変更してもよい。この場合、直列接続される複数のインバータ回路２２２－１、２２２－２、２２２－３、２２２－４は、奇数の連続するインバータ回路２２２－１、２２２－２、２２２－３と、次の１つのインバータ回路２２２－４と、を含む。奇数の連続するインバータ回路２２２－１、２２２－２の最後のインバータ回路２２２－２において能力が低いＰ型は、次の１つのインバータ回路２２２－４において能力が低いＮ型と異なる。

また、図２８において、波形整形回路２２４は、非反転型の波形整形回路で構成されるが、必要に応じて、反転型の波形整形回路（奇数個のインバータ回路）で構成してもよい。

【０１５９】

３．３　遅延回路の第２の実施形態

図２９は、図２１に示される遅延回路２１０のもう１つの具体例を示す。

図２９に示される遅延回路２９０は、入力信号（ＩＮ）に基づく信号を入力する後段のインバータ回路２９２－Ｎ、２９２－Ｎ’と、後段のインバータ回路２９２－Ｎ、２９２－Ｎ’からの信号に基づく信号を入力する波形整形回路２９４と、を備える。

【０１６０】

後段のインバータ回路２９２－Ｎは、図２９に示される後段のインバータ回路２９２－Ｎと同様の機能を有する。すなわち、後段のインバータ回路２９２－Ｎは、前段のインバータ回路２９２－１および波形整形回路２９２－２を介して、入力信号（ＩＮ）を入力する。図２９において、前段の波形整形回路２９２－２は、インバータ回路２９２－２で構成される。

なお、後段および前段のインバータ回路２９２－Ｎ、２９２－１のそれぞれは、ＰおよびＮの型のトランジスタ（ＣＭＯＳトランジスタ）を含む。後段および前段のインバータ回路２９２－Ｎ、２９２－１のそれぞれにおいて、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低い。

【０１６１】

後段のインバータ回２９２－Ｎ’は、上述の後段のインバータ回路２９２－Ｎと比べて、以下の点のみ、異なり、その他は、同様の回路素子を有する。

後段および前段のインバータ回路２９２－Ｎ’、２９２－１’のそれぞれにおいて、Ｎ型のトランジスタの能力は、Ｐ型のトランジスタの能力より低い。すなわち、前段および後段のインバータ回路２９２－１、２９２－Ｎの双方は、Ｐ型のトランジスタの能力が低いインバータ回路を備える一方、前段および後段のインバータ回路２９２－１’、２９２－Ｎ’の双方は、Ｎ型のトランジスタの能力が低いインバータ回路を備える。

【０１６２】

波形整形回路２９４は、後段のインバータ回２９２－Ｎからの信号を入力し、さらに、中段のインバータ回路２９３を介して、後段のインバータ回２９２－Ｎ’からの信号を入力する。波形整形回路２９４は、ラッチ回路２９４で構成される。

ラッチ回路２９４は、後段のインバータ回２９２－Ｎ’からの信号が反転された信号をセット信号（Ｓ）として、入力する。ラッチ回路２９４はさらに、後段のインバータ回２９２－Ｎからの信号をリセット信号（Ｒ）として、入力する。ラッチ回路２９４は、セット信号（Ｓ）およびリセット信号（Ｒ）のタイミングに応じて、２つの出力のレベル（Ｑ、Ｑ＿）の一方（Ｑ）を出力する。ラッチ回路２９４は、ＮＯＲ型ラッチ回路で構成される。ラッチ回路８６からの信号は、遅延回路２９０の出力信号（ＯＵＴ）を形成する。

【０１６３】

図３０は、図２９に示される遅延回路２９０の動作を理解するためのタイミング図を示

す。
図３０において、符号ＩＮ、２９２－Ｎ（Ｒ）、２９２－Ｎ’、２９３（Ｓ）、および２９４（ＯＵＴ）は、それぞれ、入力信号、後段のインバータ回路２９２－Ｎ（リセット信号）、後段のインバータ回路２９２－Ｎ’、中段のインバータ回路２９３からの信号（セット信号）、および、ラッチ回路２９４からの信号（出力信号）を表す。
【０１６４】
図３０において、点線３０７は、ラッチ回路２９４のリセット信号（Ｒ）に対する入力閾値、中段のインバータ回路２９３の入力閾値、および、ラッチ回路２９４のセット信号（Ｓ）に対する入力閾値を表す。なお、中段のインバータ回路２９３およびラッチ回路２９４の入力閾値２３７は、インバータ回路２９２－Ｎ、２９２－Ｎ’、２９３の電源電圧ＶＤＤの１／２に設定されるが、中段のインバータ回路２９３およびラッチ回路２９４の入力閾値２３７に対して、相互に異なる閾値であってもよい。
【０１６５】
図３０に示されるように、図２９の遅延回路２９０からの出力信号（ＯＵＴ）は、ＬＯＷからＨＩＧＨに変化するとき、遅延量（Ｄ３’（＝２ｄ’））を有し、さらに、ＨＩＧＨからＬＯＷに変化するとき、遅延量（Ｄ４’（＝２ｄ’））を有する。
【０１６６】
図２９に示される遅延回路２９０は、簡易な構造を有する。したがって、遅延回路２９０は、従来の遅延回路と比較して、小さいチップサイズを有することが可能となる。
【０１６７】
３．３．１　遅延回路の第３の実施形態の変形例
図２９において、たとえば、中段のインバータ回路２９３は、後段のインバータ回路２９２－Ｎ’とラッチ回路２９４との間に配置されるが、後段のインバータ回路２９２－Ｎとラッチ回路２９４との間に配置されてもよい。この場合、ラッチ回路２９４は、ＮＡＮＤ型ラッチで構成される。
また、図２９において、インバータ回路２９２－２、２９２－２’、２９３のそれぞれは、２つの入力閾値を持つシュミット回路で構成してもよい。
【０１６８】
図３１は、図２９に示される遅延回路２９０の変形例を示す。
すなわち、図２９において、インバータ回路２９３は、２９２－Ｎ’と波形整形回路２９４との間に配置されるが、入力信号（ＩＮ）とインバータ回路２９２－１’との間に配置し、インバータ回路２９２－１’、２９２－Ｎ’のそれぞれにおいて、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力より低くしてもよい。言い換えれば、遅延回路２９０において、ＰまたはＮのいずれか一方の型のトランジスタの能力が低いインバータ回路のすべてが、Ｐ型のトランジスタの能力が低いインバータ回路２９２－１、２９２－Ｎ、２９２－１’、２９２－Ｎ’で構成される。この場合、遅延回路２９０の遅延量（Ｄ３’、Ｄ４’）のばらつきを小さくすることが可能となる。また、図３１の遅延回路２９０は、より小さいチップサイズを有することが可能となる。
なお、図３１において、インバータ回路２９２－２、２９２－２’のそれぞれは、２つの入力閾値を持つシュミット回路で構成してもよい。
【０１６９】
図２９または図３１において、遅延回路２９０は、並列接続された第１および第２のインバータ回路２９２－１、２９２－１’を含む。遅延回路２９０は、第１のインバータ回路２９２－１に直列接続された第１の反転型の波形整形回路２９２－２と、第１の反転型の波形整形回路２９２－２に直列接続された第１の次の１つのインバータ回路２９２－Ｎと、第２のインバータ回路２９２－１’に直列接続された第２の反転型の波形整形回路２９２－２’と、第２の反転型の波形整形回路２９２－２’に直列接続された第２の次の１つのインバータ回路２９２－Ｎ’と、第１のインバータ回路２９２－１の前段、第１の次の１つのインバータ回路２９２－Ｎの後段、第２のインバータ回路２９２－１’の前段、または、第２の次の１つのインバータ回路２９２－Ｎ’の後段のいずれか１つに、直列接

続された第３のインバータ回路２９３と、をさらに備える。第１のインバータ回路２９２－１において能力が低い導電型は、第１の次の１つのインバータ回路２９２－Ｎにおいて能力が低い導電型と同じである。第２のインバータ回路２９２－１’において能力が低い導電型は、第２の次の１つのインバータ回路２９２－Ｎ’において能力が低い導電型と同じである。

【０１７０】

なお、図２９または図３１において、たとえば、第１のインバータ回路２９２－１は、第１の偶数の連続するインバータ回路で構成され（たとえば、図２６のインバータ回路２２２－１、２２２－２）、第２のインバータ回路２９２－１’は、第２の偶数の連続するインバータ回路で構成されてもよい。ただし、第１および第２の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。また、第１および第２の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第１および第２の次の１つのインバータ回路において能力が低い導電型と同じである。

【０１７１】

また、図２９または図３１において、たとえば、第１のインバータ回路２９２－１は、第１の偶数の連続するインバータ回路で構成され（たとえば、図２６のインバータ回路２２２－１、２２２－２）、第２のインバータ回路２９２－１’は、第２の偶数の連続するインバータ回路で構成され、第１および第２の反転型の波形整形回路２９２－２、波形整形回路２９２－２’は、非反転型の波形回路に変更されてもよい。ただし、第１および第２の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。また、第１および第２の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第１および第２の次の１つのインバータ回路において能力が低い導電型と異なる。

【０１７２】

さらに、図２９または図３１において、たとえば、第１のインバータ回路２９２－１は、第１の奇数の連続するインバータ回路で構成され（たとえば、図２８のインバータ回路２２２－１、２２２－２、２２２－３）、第２のインバータ回路２９２－１’は、第２の奇数の連続するインバータ回路で構成されてもよい。ただし、第１および第２の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。また、第１および第２の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第１および第２の次の１つのインバータ回路において能力が低い導電型と同じである。

【０１７３】

加えて、図２９または図３１において、たとえば、第１のインバータ回路２９２－１は、第１の奇数の連続するインバータ回路で構成され（たとえば、図２８のインバータ回路２２２－１、２２２－２、２２２－３）、第２のインバータ回路２９２－１’は、第２の偶数の連続するインバータ回路で構成され、第１および第２の反転型の波形整形回路２９２－２、波形整形回路２９２－２’は、非反転型の波形回路に変更されてもよい。ただし、第１および第２の偶数の連続するインバータ回路のそれぞれにおいて能力が低い導電型に関して、異種の導電型が交互に連続する。また、第１および第２の偶数の連続するインバータ回路の最後のインバータ回路において能力が低い導電型は、第１および第２の次の１つのインバータ回路において能力が低い導電型と異なる。

【０１７４】

４．　サーマルヘッドドライバ、サーマルヘッド、電子機器、および印刷システム

４．１　サーマルヘッド

図３２は、本発明に従うサーマルヘッドの概略ブロック図を示す。

図３２に示されるサーマルヘッド３２０は、セラミック板３２２の上に、複数のサーマル抵抗素子（広義には発熱素子、発熱抵抗体）が形成されている。図３２において、セラミック板３２２の長辺の１つの縁部に、画素の間隔に合わせて複数のサーマル抵抗素子が

配列されている。複数のサーマル抵抗素子の一端には、電源電圧ＶＨが供給されている。この電源電圧は、サーマルヘッド３２０（セラミック板３２２）の外部から供給される、例えば２４Ｖや１８Ｖといった高電圧である。また、サーマルヘッド３２０は、第１～第Ｍ（Ｍは２以上の整数）のサーマルヘッドドライバ３３０－１、３３０－２、…、３３０－Ｍを含む。複数のサーマル抵抗素子の他端には、第１～第Ｍのサーマルヘッドドライバ３３０－１、３３０－２、…、３３０－Ｍの出力が電気的に接続される。

【０１７５】

第１～第Ｍのサーマルヘッドドライバ３３０－１、３３０－２、…、３３０－Ｍの各サーマルヘッドドライバは、サーマル抵抗素子に接続される出力ドライバの出力を例えば接地電源電圧に設定することで、該サーマル抵抗素子に電流を流す（駆動する）ことができる。

【０１７６】

４．２　サーマルヘッドドライバ

図３３は、図３２に示される各サーマルヘッドドライバ３３０の具体例を示す。

図３３に示されるサーマルヘッドドライバ３３０は、入力部に、ノイズフィルタ回路３３２－１、３３２－２、３３２－３、３３２－４を備える。ノイズフィルタ回路３３２－１、３３２－２、３３２－３、３３２－４は、上述のノイズフィルタ回路（たとえば、図８に示されるノイズフィルタ回路８０）で、構成される。

ノイズフィルタ回路３３２－１、３３２－２、３３２－３、３３２－４は、小さいチップサイズを有することが可能であり、したがって、小型なサーマルヘッドドライバを低コストで提供することができる。

【０１７７】

サーマルヘッドドライバ３３０は、複数のドライバブロック$DB_1$～$DB_N$（Ｎは２以上の整数）を含む。ドライバブロック$DB_j$（１≦ｊ≦Ｎ、ｊは整数）は、出力ドライバ$OD_j$と、ラッチ$LT_j$と、フリップフロップ$DFF_j$とを含むことができる。

【０１７８】

サーマルヘッドドライバ３３０には、クロック信号ＣＬＫ、シリアルデータＳＩ、ラッチ信号ＬＡＴおよびストローブ信号ＳＴＢが、ノイズフィルタ回路３３２－１、３３２－２、３３２－３、３３２－３を介して、入力される。画素データは、シリアルデータＳＩとして、クロック信号ＣＬＫに同期してシリアルに入力される。ラッチ信号ＬＡＴは、ラッチ$LT_1$～$LT_N$に１ライン分の画素データを取り込むための信号である。ストローブ信号ＳＴＢは、ドライバブロック$DB_1$～$DB_N$に供給される。

【０１７９】

ドライバブロック$DB_1$～$DB_N$のフリップフロップ$DFF_1$～$DFF_N$は、シリアルデータＳＩとして入力される画素データがシフト方向ＳＤＲにシフトされるシフトレジスタを構成する。シフトレジスタを構成する各フリップフロップは、クロック信号ＣＬＫの変化タイミングに同期して、前段のフリップフロップの出力を取り込むと共に、フリップフロップに取り込んだデータを出力する。

【０１８０】

ラッチ$LT_j$は、ラッチ信号ＬＡＴが例えばＨレベルのとき、フリップフロップ$DFF_j$に取り込んだデータをラッチ（保持）する。ラッチ$LT_j$にラッチされたデータは、出力制御回路$OC_j$に入力される。出力制御回路$OC_j$は、出力ドライバ$OD_1$の出力制御を行う出力制御信号$cnt_1$を生成する。

【０１８１】

出力ドライバ$OD_j$は、Ｎ型金属酸化膜半導体（Metal Oxide Semiconductor:ＭＯＳ）トランジスタ（以下、単にＭＯＳトランジスタと略す）により構成される。このＭＯＳトランジスタのドレインが、ドライバ出力ＤＯｊとなる。ドライバブロック$DB_1$～$DB_N$の出力ドライバ$OD_1$～$OD_N$を構成するＭＯＳトランジスタのソースには、接地電源電圧ＧＮＤが供給される。出力ドライバ$OD_j$を構成するＭＯＳトランジスタのゲートには、出力制御回路$OC_j$からの出力制御信号$cnt_j$が供給される。図３３では、出力制御

信号ｃｎｔ$_j$により、出力ドライバＯＤ$_j$を構成するＭＯＳトランジスタのソース・ドレイン間が電気的に導通することで、ドライバ出力ＤＯｊが接地電源電圧ＧＮＤに設定される。

【０１８２】

出力制御回路ＯＣ$_j$は、ストローブ信号ＳＴＢと、ドライバブロックＤＢ$_j$に対応した画素データ（ラッチＬＴ$_j$にラッチされた画素データ）とに基づいて、出力制御信号ｃｎｔ$_j$を生成する。

【０１８３】

４．２．１　変形例

サーマルヘッドドライバ３３０以外の制御回路（たとえば、液晶ドライバ）も、入力部に、上述のノイズフィルタ回路を備えることができる。

【０１８４】

４．３　電子機器

図３４は、図３２に示されるサーマルヘッド３２０を備えるサーマルプリンタの具体例の主要部分のみの縦断面図を示す。

プリンタ装置３４０内には、感熱紙がロール紙３４２としてセットされる用に構成されている。ロール紙３４２の印刷対象部分は、所与の紙送り機構（紙送り手段）により１ラインずつ紙送り方向３４３の方向に送り出される。そして、この印刷対象部分は、ハウジング３４４内で印刷ヘッド３４５の方に導かれる。印刷ヘッド３４５は、図３２のサーマルヘッド３２０を搭載する。ロール紙３４２の印刷対象部分が、印刷ヘッド３４５およびプラテン３４６の間を通過する際に、印刷ヘッド３４５により該印刷対象部分に所定の印刷が行われる。

【０１８５】

紙送り機構は、印刷対象部分を更に紙送り方向３４３に送り出し、カッター３４７によりロール紙３４２が切断されて、切断後の用紙がレシート３４８として取り出し可能となる。

【０１８６】

またハウジング３４４内には、印刷ヘッド３４５の前段に、用紙エンドセンサ３４９が設けられており、ロール紙３４２が紙送り方向３４３に送られる際にロール紙３４２の端を検知できる。

【０１８７】

４．３．１　変形例

サーマルプリンタ３４０以外の電子機器（たとえば、液晶装置）も、上述のノイズフィルタ回路を含む制御回路を備えることができる。

【０１８８】

４．４　印刷システム

図３５は、図３２に示されるサーマルヘッド３２０を含む印刷システムの具体例を示す。

図３５に示される印刷システム３５０は、ホストコンピュータ３５２（広義には制御部）と、レシート３４８等を発行するプリンタ装置３５４とを含む。ホストコンピュータ３５２は、本体３５５と、表示装置３５６と、キーボード３５７と、ポインティングデバイスとしてのマウス３５８とを含む。

プリンタ装置３５４は、たとえば、図３４に示されるプリンタ装置３４０で構成される。

【０１８９】

図３６は、図３５に示されるホストコンピュータ３５２の概略ブロック図を示す。

ホストコンピュータ３５２では、ＣＰＵ（Central Processing Unit）３６１に、バスライン３６２を介して、プログラムデータ等が格納されたＲＯＭ（Read Only Memory）３６３、データ処理の作業エリアや印刷データがバッファリングされるＲＡＭ（Random Access Memory）３６４、プリンタ装置３５４に印刷データや印刷コマンド等を送信する通信イ

ンタフェース３６５、表示装置３５６を駆動制御して表示データに対応する文字等を表示させるディスプレイコントローラ３６６、キーボード３５７から入力キーに対応するキー信号を取り込むキーボードコントローラ３６７、マウス３５８とのデータ等のやり取りを制御するマウスコントローラ３６８が接続されている。また、プリンタ装置３５４は、通信インタフェース３６５からの印刷データ等を受信する通信インタフェース３６９を含む。

【０１９０】

ＣＰＵ３６１は、ＲＯＭ３６３又はＲＡＭ３６４に格納されたプログラムに従って所定の印刷処理を実行し、印刷データをＲＡＭ３６４に展開したり、ＲＡＭ３６４の印刷データを、通信インタフェース３６５を介してプリンタ装置３５４に転送したりすることができる。

【０１９１】

４．４．１　変形例

印刷システム３５０以外のシステムも、上述のノイズフィルタ回路を含む電子機器を備えることができる。

【０１９２】

５．　デッドタイム回路の適用例

図３７は、本発明に従うデッドタイム回路の適用例を示す。

図３７に示される駆動回路３７０は、デッドタイム回路３７２と、出力回路３７４と、を備える。

【０１９３】

デッドタイム回路３７２は、上述のデッドタイム回路（たとえば、図１５で構成されるデッドタイム回路１５０）で構成することができる。

出力回路３７４は、たとえば、ＰおよびＮの型のトランジスタ３７４（ＣＭＯＳトランジスタ）で構成され、ＣＭＯＳトランジスタ３７４において、Ｐ型のトランジスタの能力は、Ｎ型のトランジスタの能力と同等である。

デッドタイム回路３７２からの第１の信号（たとえば、図１６の１５６－２（ＯＵＴ１））は、ＣＭＯＳトランジスタ３７４のＮ型のトランジスタのゲートに接続され、デッドタイム回路３７２からの第２の信号（たとえば、図１６の１５８（ＯＵＴ２））は、ＣＭＯＳトランジスタ３７４のＰ型のトランジスタのゲートに接続される。図３７において、デッドタイム回路３７２からの第１の信号および第２の信号は、互いに、同じ位相を有する。

【０１９４】

デッドタイム回路３７２のデットタイムを用いることで、ＣＭＯＳトランジスタ３７４のＰおよびＮの型のトランジスタが同時にＯＮすることを回避することができる。したがって、デッドタイム回路３７２は、出力回路３７４を貫通する電流を防止することができる。

なお、上述のデッドタイム回路は、駆動回路３７０以外の制御回路（たとえば、レベルシフタ回路、スイッチドキャパシタ回路、昇圧回路など）、電子機器、システムなどにも、適用することができる。

【０１９５】

６．　遅延回路の適用例

図３８は、本発明に従う遅延回路の適用例を示す。

図３８に示されるサーマルヘッドドライバ３８０は、図３３に示されるサーマルヘッドドライバ３３０に、Ｍ個の遅延回路３８２－１～３８２－Ｍを備える。図３８において、ノイズフィルタ回路３３２－１、３３２－２、３３２－３、３３２－４は、省略してもよい。

遅延回路３８２－１、３８２－（Ｎ－１）のそれぞれは、上述の遅延回路（たとえば、図２６に示される遅延回路２６０）で構成することができる。遅延回路３８２－１、３８２－（Ｎ－１）によって、ストローブ信号ＳＴＢは、徐々に遅延し、ストローブ信号ＳＴ

Ｂおよび遅延されたストローブ信号ＳＴＢ－１～ＳＴＢ－Ｍは、対応するドライバブロックＤＢ$_1$～ＤＢ$_N$に入力される。したがって、ドライバ出力ＤＯ１～ＤＯＮは、対応する遅延回路３８２に応じて時間差を有し、その結果、発生するサージ電圧を抑えることができる。

【０１９６】

また、図１２に示される遅延回路１２１も、上述の遅延回路（たとえば、図２６に示される遅延回路２６０）で構成することができる。

本発明に従う遅延回路は、サーマルヘッドドライバ３８０およびノイズフィルタ回路１２０以外の制御回路、電子機器、システムなどにも、適用することができる。

【０１９７】

当業者は、上述した本発明に従う各実施形態が、本発明の精神を逸脱することなく、（場合によって技術常識を参照することによって、）変形され得ることを容易に理解できるであろう。

【図面の簡単な説明】

【０１９８】

【図１】本発明に従うノイズフィルタ回路の概略ブロック図。

【図２】図１に示されるノイズフィルタ回路１０の動作を理解するためのタイミング図。

【図３】図１に示されるノイズフィルタ回路１０の動作を理解するためのタイミング図。

【図４】図１に示されるノイズフィルタ回路１０の動作を理解するためのもう１つのタイミング図。

【図５】図１に示されるノイズフィルタ回路１０の動作を理解するためのさらなるタイミング図。

【図６】図１に示されるノイズフィルタ回路１０の具体例。

【図７】図６に示されるノイズフィルタ回路６０の動作を理解するためのタイミング図。

【図８】図１に示されるノイズフィルタ回路１０のもう１つの具体例。

【図９】図８に示されるノイズフィルタ回路８０の動作を理解するためのタイミング図。

【図１０】図１に示されるノイズフィルタ回路１０のさらなる具体例。

【図１１】図１０に示されるノイズフィルタ回路１００の動作を理解するためのタイミング図。

【図１２】本発明に従うノイズフィルタ回路１２０の具体例。

【図１３】図１２に示されるノイズフィルタ回路１２０の動作および従来のノイズフィルタ回路を理解するためのタイミング図。

【図１４】本発明に従うデッドタイム回路の概略ブロック図。

【図１５】図１４に示されるデッドタイム回路１４０の具体例。

【図１６】図１５に示されるデッドタイム回路１５０の動作を理解するためのタイミング図。

【図１７】図１４に示されるデッドタイム回路１４０のもう１つの具体例。

【図１８】図１７に示されるデッドタイム回路１７０の動作を理解するためのタイミング図。

【図１９】図１４に示されるデッドタイム回路１４０のさらなる具体例。

【図２０】図１９に示されるデッドタイム回路１９０の動作を理解するためのタイミング図。

【図２１】本発明に従う遅延回路の概略ブロック図。

【図２２】図２１に示される遅延回路２１０の具体例。

【図２３】図２２に示される遅延回路２２０の動作を理解するためのタイミング図。

【図２４】図２２に示される遅延回路２２０の変形例。

【図２５】図２４に示される遅延回路２２０’の動作を理解するためのタイミング図。

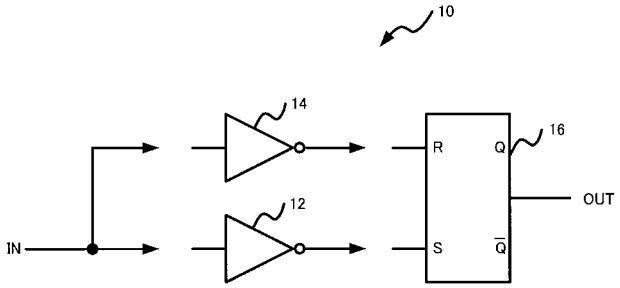
【図２６】図２２に示される遅延回路２２０のもう１つの変形例。

【図２７】図２６に示される遅延回路２２０’’の動作を理解するためのタイミング図。

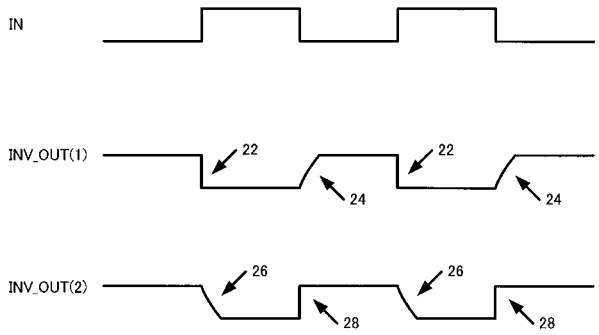
【図２８】図２２に示される遅延回路２２０のさらなる変形例。

【図２９】図２１に示される遅延回路２１０のもう１つの具体例。
【図３０】図２９に示される遅延回路２９０の動作を理解するためのタイミング図。
【図３１】図２９に示される遅延回路２９０の変形例。
【図３２】本発明に従うサーマルヘッドの概略ブロック図。
【図３３】図３２に示される各サーマルヘッドドライバ３３０の具体例。
【図３４】図３２に示されるサーマルヘッド３２０を備えるサーマルプリンタの具体例の主要部分のみの縦断面図。
【図３５】図３２に示されるサーマルヘッド３２０を含む印刷システムの具体例。
【図３６】図３５に示されるホストコンピュータ３５２の概略ブロック図。
【図３７】本発明に従うデッドタイム回路の適用例。
【図３８】本発明に従う遅延回路の適用例。
【符号の説明】
【０１９９】
１０、３０、６０、８０、１００、１２０　ノイズフィルタ回路、
１２、６２、８２、１０２　第１のインバータ回路、
１４、６４、８４、１０４　第２のインバータ回路、
１６、６６、８６、１０６、１２６　ラッチ回路、　１２１　第１の遅延回路、
１２２　ＮＡＮＤ回路、　１２３　ＯＲ回路、　１２４　第２の遅延回路、
１２５　第３の遅延回路、
３１、３２、１３１－１、１３１－２、１３２－１、１３２－２　ノイズ、
３７、１３９、１６７　入力閾値、　１４０　デッドタイム回路、
６１、６７、８１、１０５　インバータ回路、
１４２、１５２、１７２、１９２　第１のインバータ回路、
１４４、１５４、１７４、１９４　第２のインバータ回路、
１４６、１４８、１５６、１５８、１７６、１７８、１９６、１９８　波形整形回路、
１５１、１７１　インバータ回路、　２１０、２２０、２９０、２９０　遅延回路、
２１２、２２２－１、２２２－２、２２２－３、２２２－Ｎ　インバータ回路、
２９２－１、２９２－Ｎ、２９２－１、２９２－１’、２９２－Ｎ　インバータ回路、
２９２－Ｎ’、２９３　インバータ回路、
２１４、２２４、２９２－２　波形整形回路、
２９４、２９２－２、２９２－２’、２９４　波形整形回路、
３２０　サーマルヘッド、　３２２　セラミック板、
３３０、３３０－１～３３０－Ｍ　サーマルヘッドドライバ、　３４０　プリンタ装置、
３４２　ロール紙、　３４３　紙送り方向、　３４４　ハウジング、
３４５　印刷ヘッド、　３４６　プラテン、　３４７　カッター、　３４８　レシート、
３５０　印刷システム、　３５２　ホストコンピュータ、　３５５　本体、
３５６　表示装置、　３５７　キーボード、　３５８　マウス、　３７０　駆動回路、
３７２　デッドタイム回路、　３７４　出力回路、　３８０　サーマルヘッドドライバ、
３８２－１、３８２－（Ｎ－１）　遅延回路、　ＣＬＫ　クロック信号、
$DB_1$～$DB_N$　ドライバブロック、　$DFF_1$～$DFF_N$　フリップフロップ、
Ｄｉ　連続ノイズの間隔、
ｄｔ１、ｄｔ２、ｄｔ３、ｄｔ４、ｄｔ５、ｄｔ６　デッドタイム、
ＤＯ１～ＤＯＮ　ドライバ出力、　Ｄｐ　パルス幅、
ｄ１、ｄ２、ｄ３、ｄ４、ｄ５、ｄ６、Ｄ１、Ｄ２、Ｄ３、Ｄ４、Ｄ５　遅延量、
ｄ’、Ｄ１’、Ｄ２’、Ｄ３’、Ｄ４’　遅延量、　ＩＮ　入力信号、
$LT_1$～$LT_N$　ラッチ、　ＬＡＴ　ラッチ信号、　$OC_1$～$OC_N$　出力制御回路、
$OD_1$～$OD_N$　出力ドライバ、　ＯＵＴ、ＯＵＴ１、ＯＵＴ２　出力信号、
Ｑ、Ｑ＿　出力レベル、　Ｒ　リセット信号、　Ｓ　セット信号、
ＳＩ　シリアルデータ、　ＳＴＢ　ストローブ信号、　ＶＤＤ、ＶＨ　電源電圧

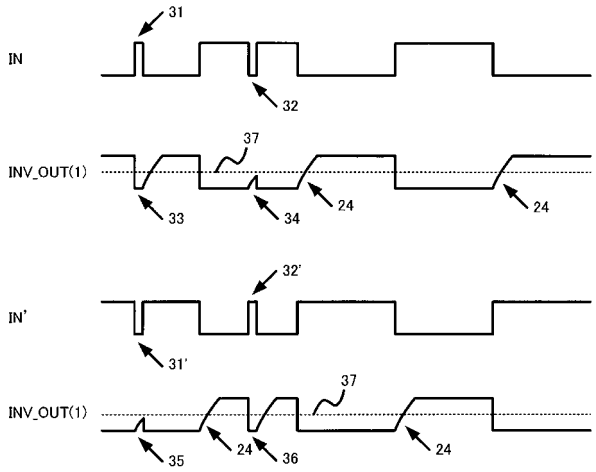
【図１】


10
14
12
16
R
Q
S
$\overline{Q}$
IN
OUT

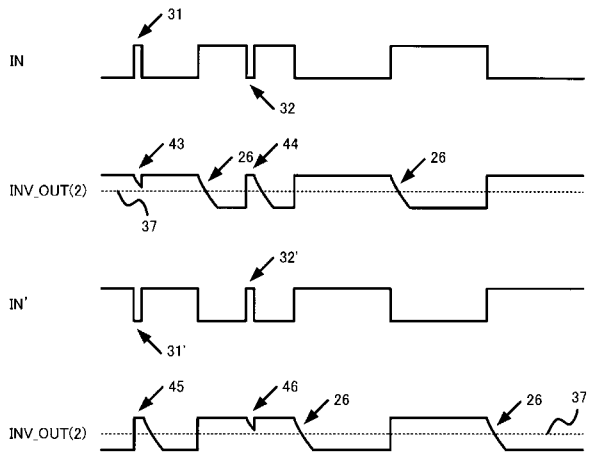
【図２】


IN
INV_OUT(1)
22
24
22
24
INV_OUT(2)
26
28
26
28

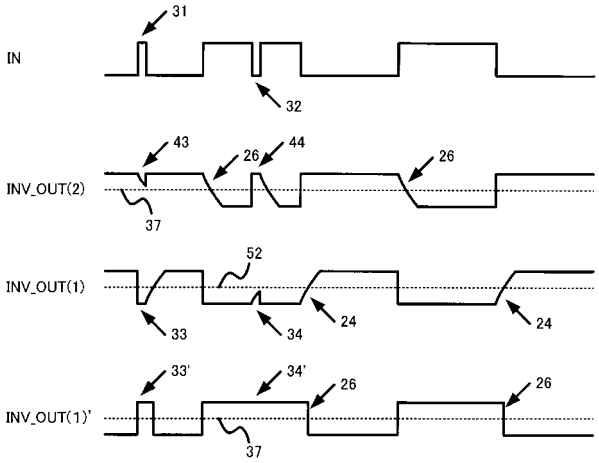
【図３】


31
IN
32
INV_OUT(1)
37
33
34
24
24
32'
IN'
31'
INV_OUT(1)
37
35
24
36
24

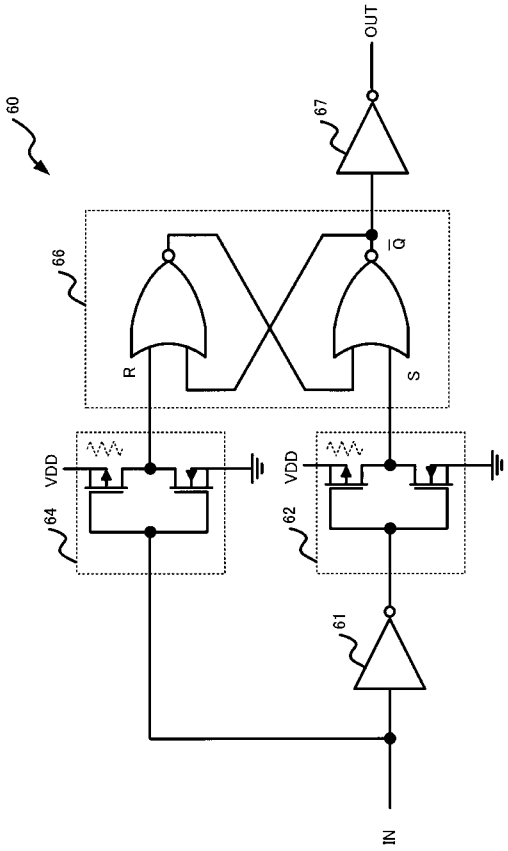
【図４】


31
IN
32
43
26
44
26
INV_OUT(2)
37
32'
IN'
31'
45
46
26
26
37
INV_OUT(2)

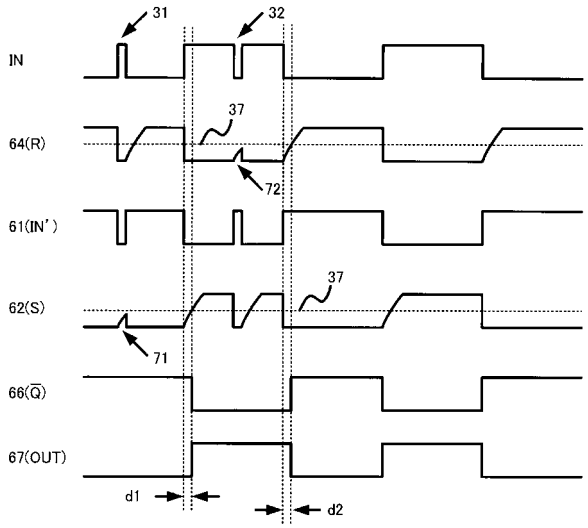
【図５】


31
IN
32
43
26
44
26
INV_OUT(2)
37
52
INV_OUT(1)
33
34
24
24
33'
34'
26
26
INV_OUT(1)'
37

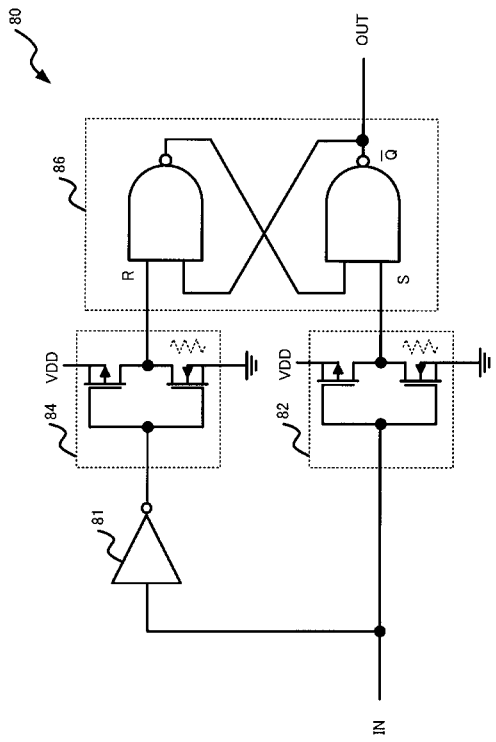
【図６】


60
OUT
67
66
Q̄
R
S
VDD
VDD
64
62
61
IN

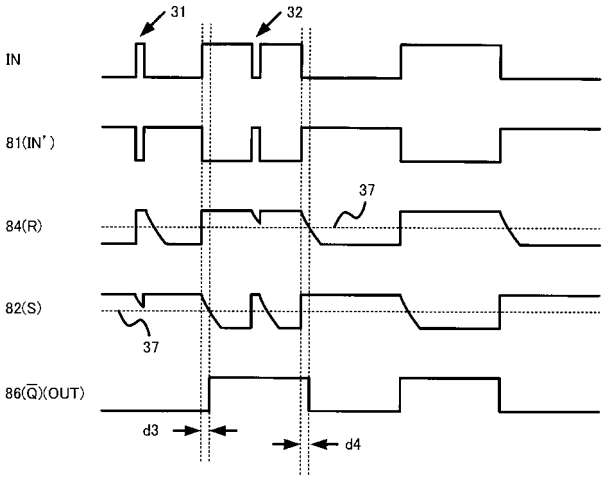
【図７】


31
32
IN
37
64(R)
72
61(IN')
37
62(S)
71
66(Q̄)
67(OUT)
d1
d2

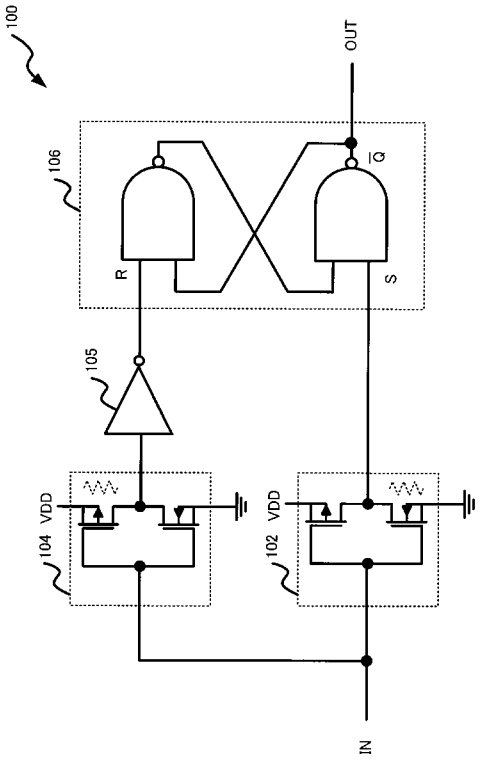
【図８】


80
OUT
86
Q̄
R
S
VDD
VDD
84
82
81
IN

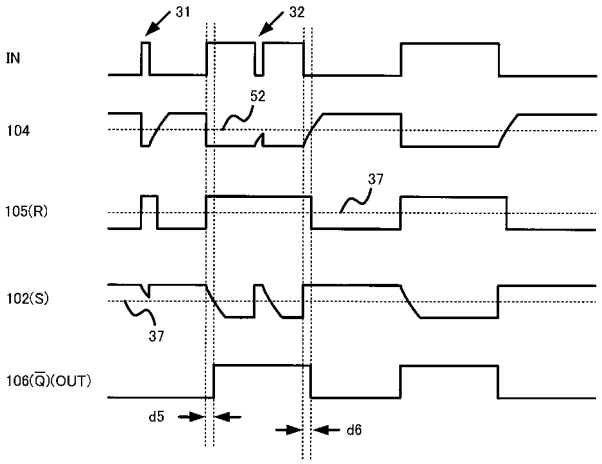
【図９】


31
32
IN
81(IN')
37
84(R)
82(S)
37
86(Q̄)(OUT)
d3
d4

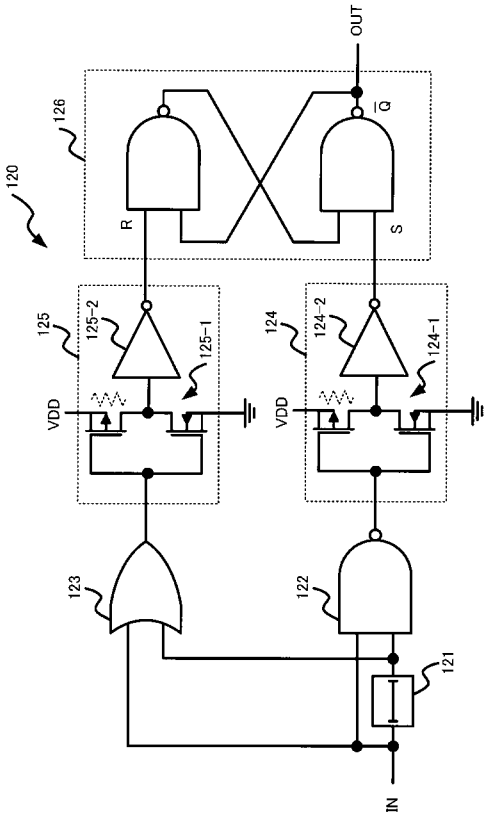
【図１０】



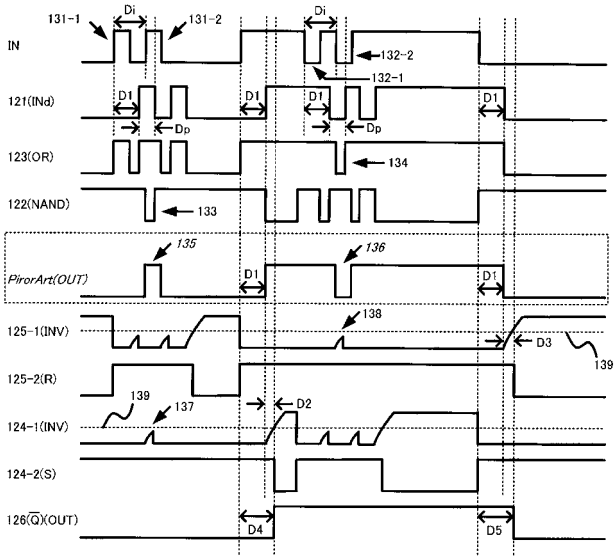

【図１１】



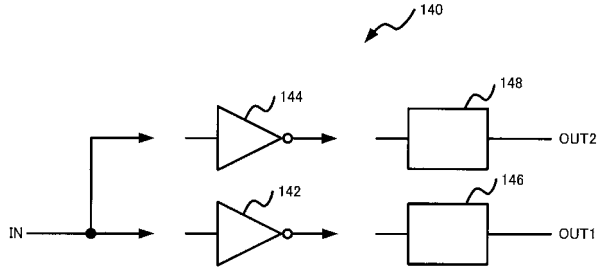

【図１２】



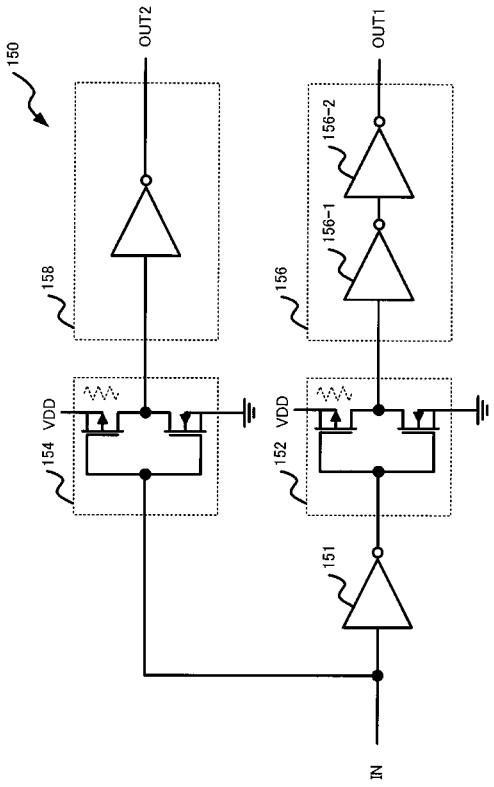

【図１３】



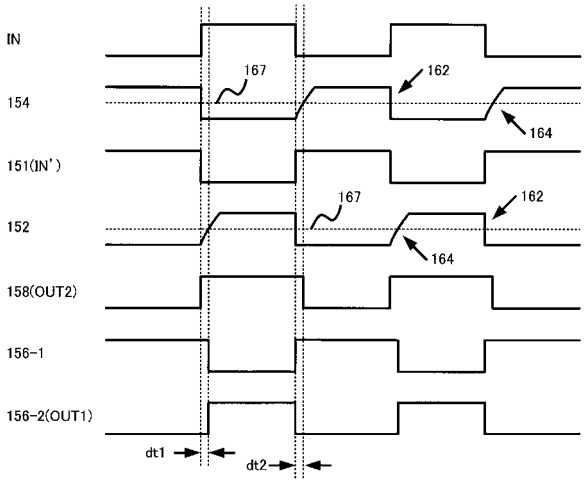

【図１４】



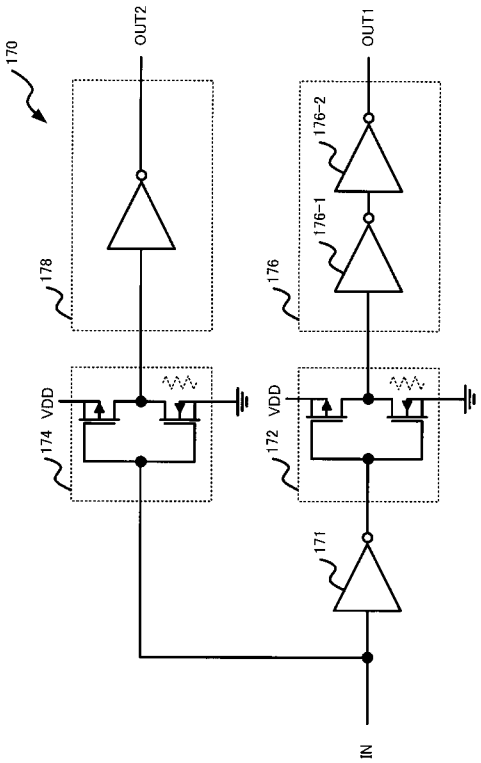
【図１５】



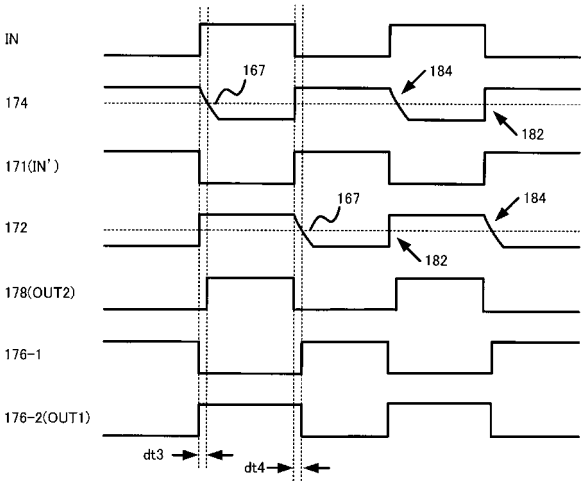

【図１６】



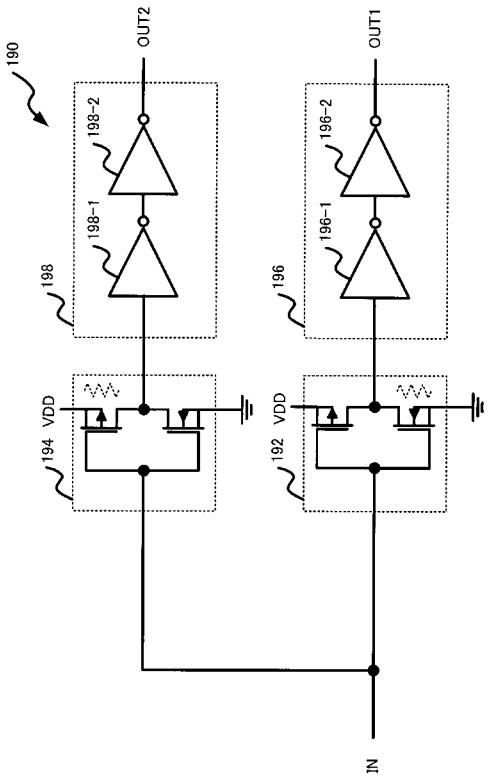

【図１７】



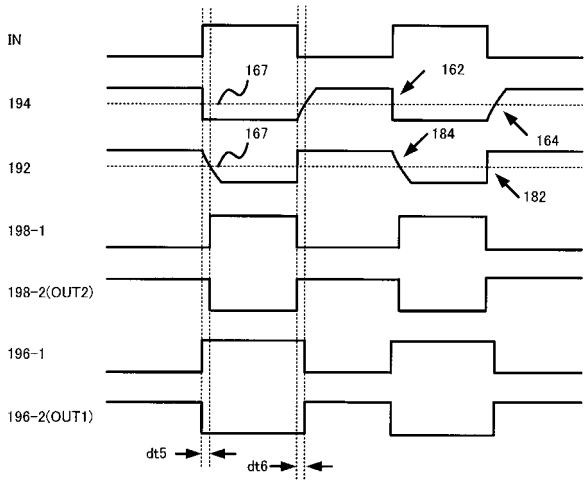

【図１８】



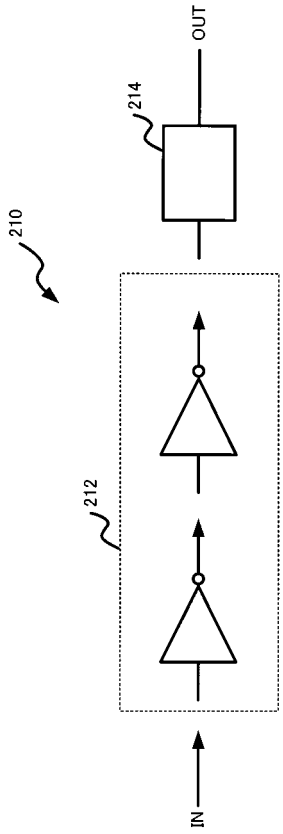
【図１９】



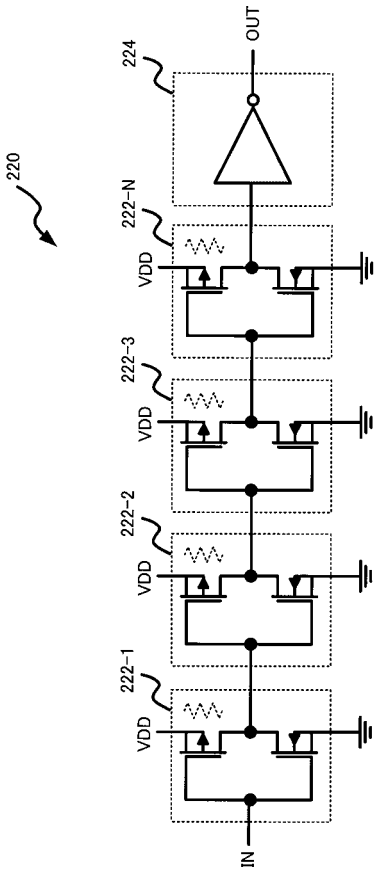

【図２０】



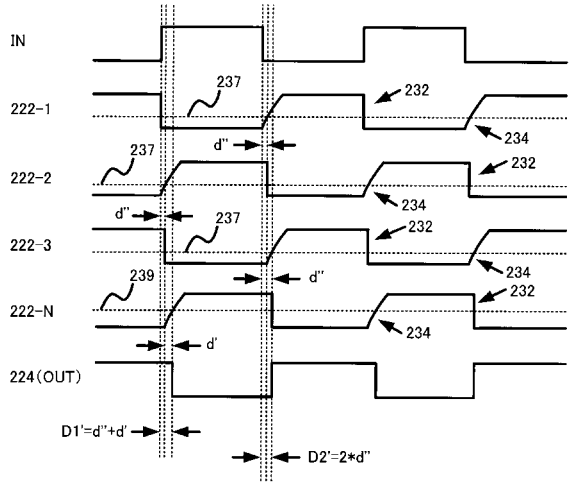

【図２１】



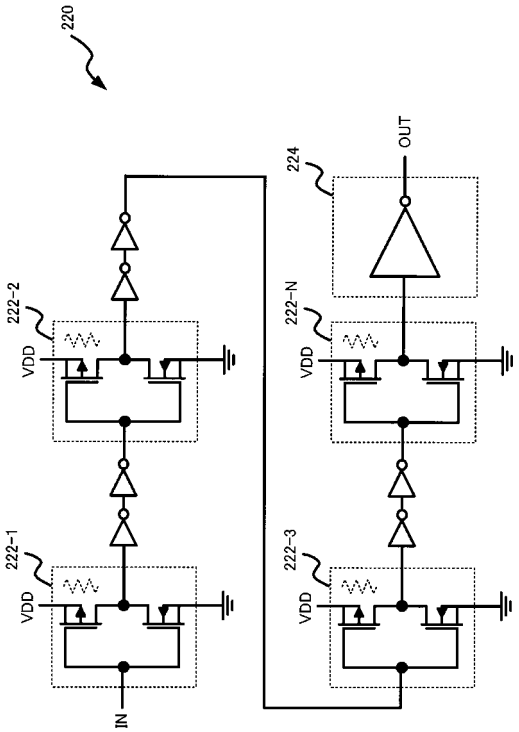

【図２２】



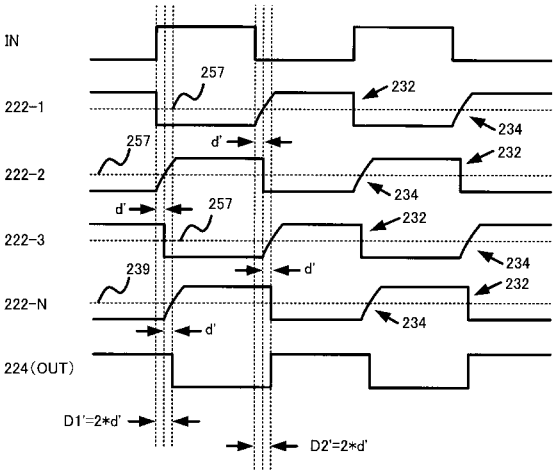
【図２３】



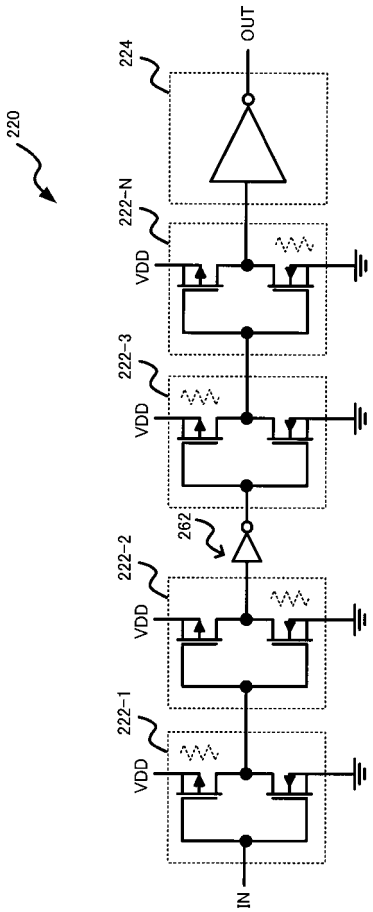

【図２４】



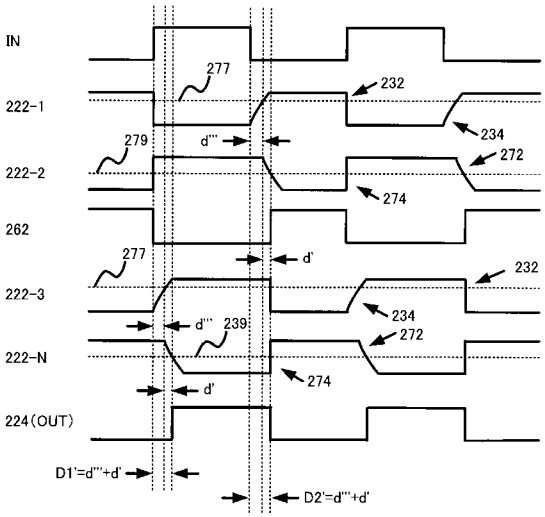

【図２５】



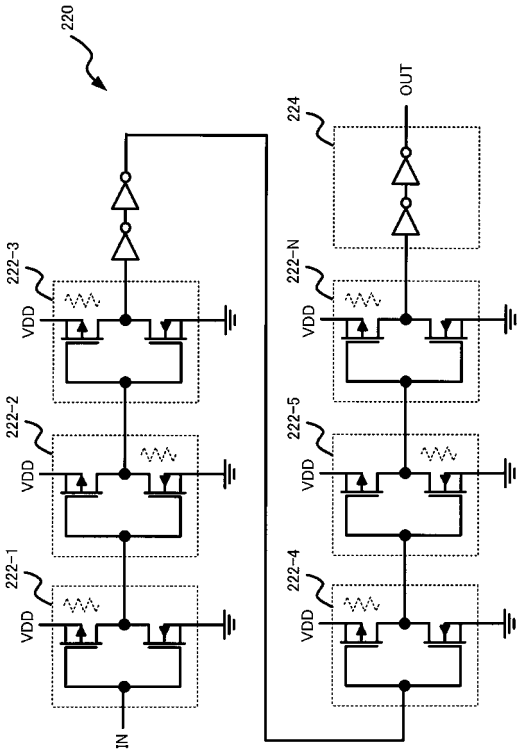

【図２６】



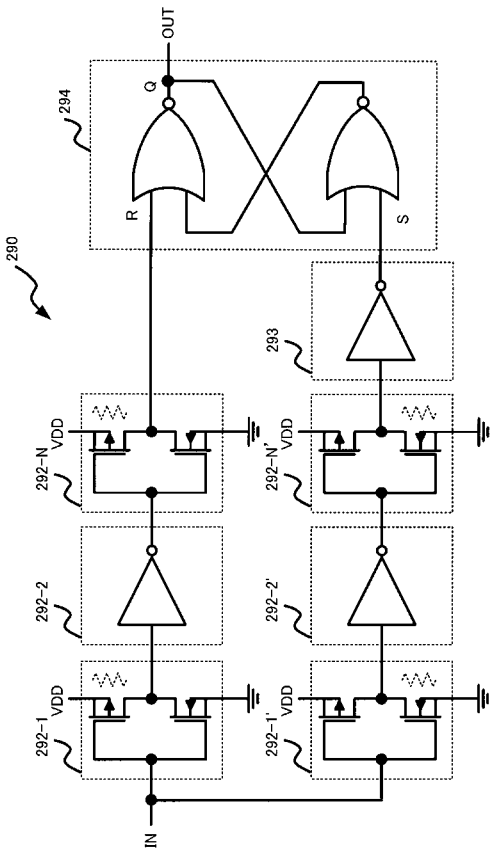
【図２７】



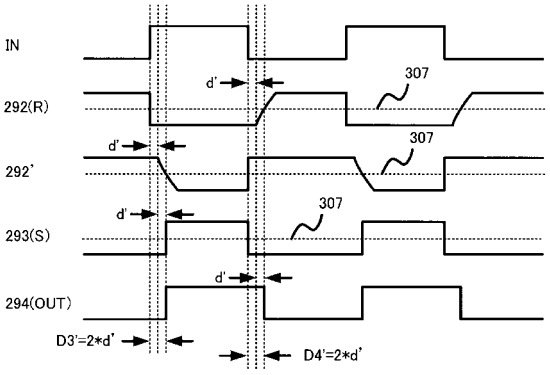

【図２８】



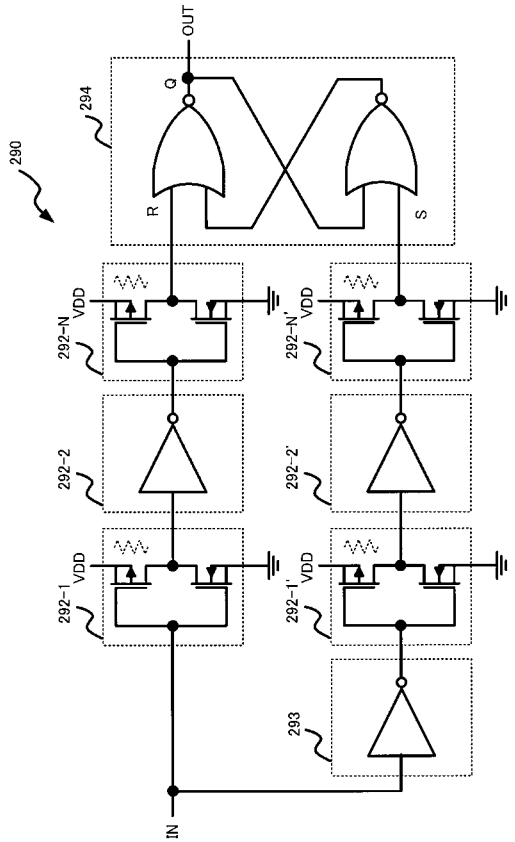

【図２９】



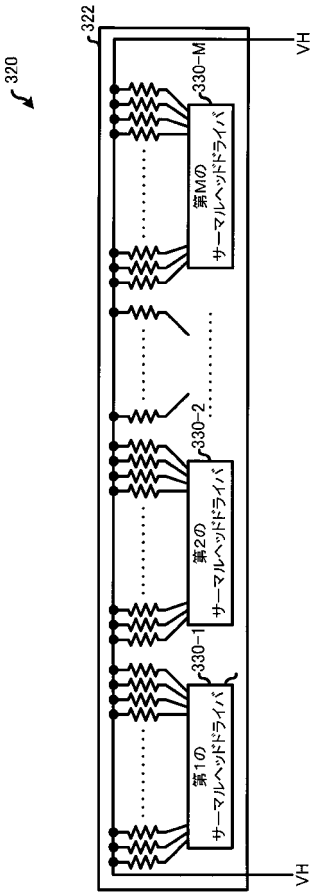

【図３０】



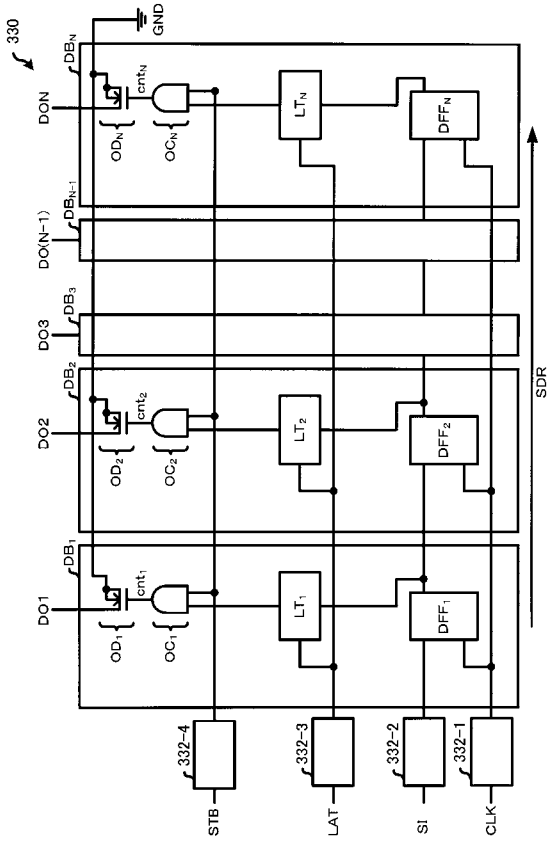
【図３１】



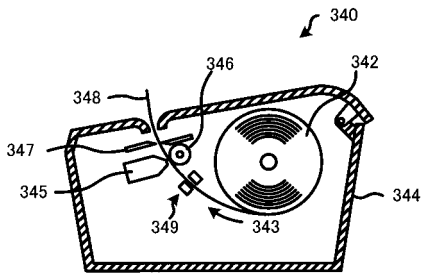

【図３２】



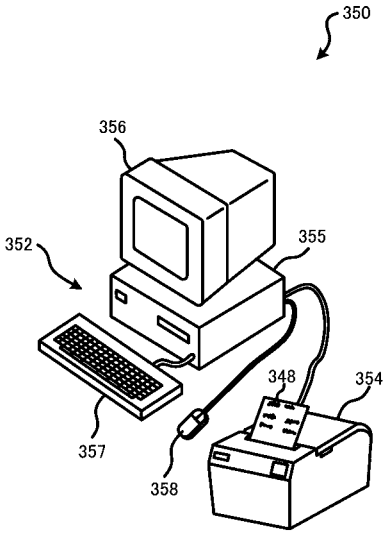

【図３３】



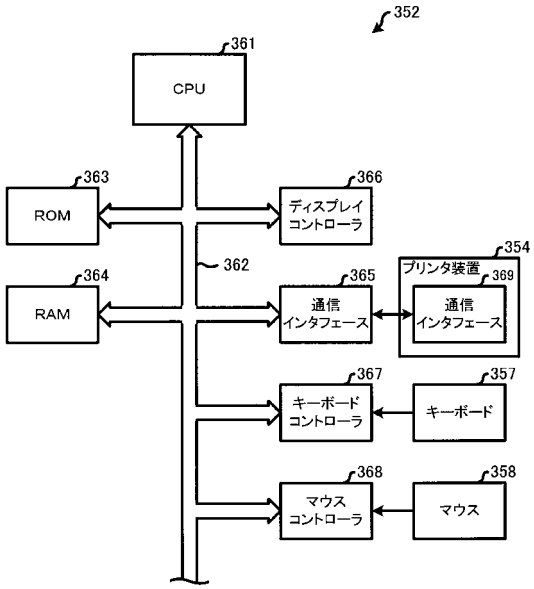

【図３４】



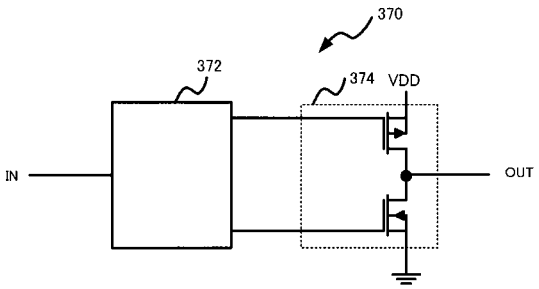
【図３５】




【図３６】




【図３７】




【図３８】

