



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0098363
(43) 공개일자 2018년09월03일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 27/32 (2006.01)
H01L 29/06 (2006.01)
- (52) CPC특허분류
H01L 29/78606 (2013.01)
H01L 27/3262 (2013.01)
- (21) 출원번호 10-2018-7021458
- (22) 출원일자(국제) 2017년02월27일
심사청구일자 2018년07월25일
- (85) 번역문제출일자 2018년07월25일
- (86) 국제출원번호 PCT/CN2017/075001
- (87) 국제공개번호 WO 2017/148348
국제공개일자 2017년09월08일
- (30) 우선권주장
201610111984.X 2016년02월29일 중국(CN)

- (71) 출원인
쿤산 뉴 플랫 패널 디스플레이 테크놀로지 센터
씨오., 엘티디.
중국 지양수 215300 쿤산, 디벨롭먼트 존, 포토일렉트릭 인더스트리얼 파크, 푸 춘 리버 로드, 넘버 320
- (72) 발명자
산, 치
중국 지양수 215300 쿤산 뉴 앤 하이-테크 인더스트리얼 디벨롭먼트 존, 첸펑 로드 넘버 188
후, 쿤
중국 지양수 215300 쿤산 뉴 앤 하이-테크 인더스트리얼 디벨롭먼트 존, 첸펑 로드 넘버 188
(뒷면에 계속)
- (74) 대리인
유성원, 배경용, 전소정

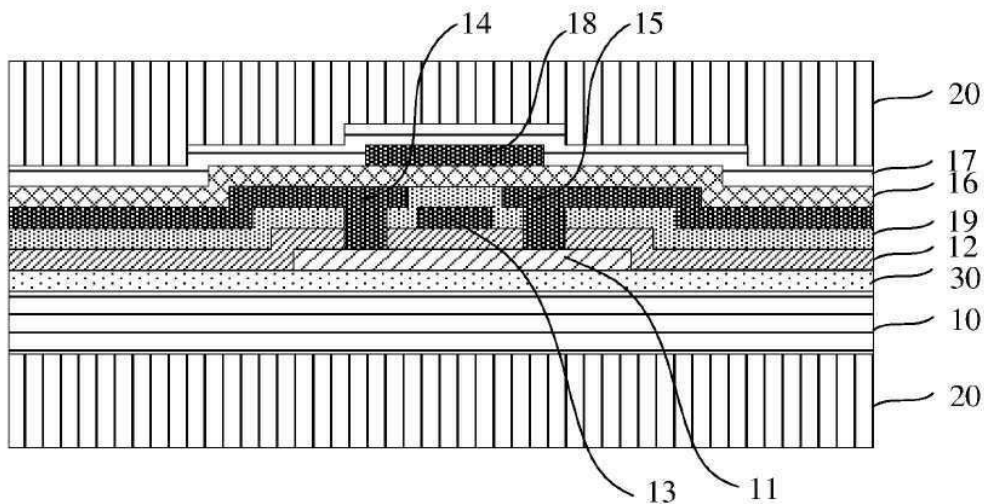
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 박막 트랜지스터와 이를 위한 제조 방법, 디스플레이 패널 및 디스플레이 장치

(57) 요약

박막 트랜지스터와 이를 제조하는 방법, 디스플레이 패널 및 디스플레이를 장치를 제공한다. 상기 박막 트랜지스터는, 플렉서블 기판(10) 상에 순차적으로 형성된 활성 영역(11), 게이트 절연층(12), 게이트(13), 소스(14)와 드레인(15), 패시베이션층(16) 및 평탄화층(17)을 구비하되, 보호층(18)이 상기 패시베이션층(16) 및 평탄화층(17) 사이에 형성되고 상기 활성 영역(11)과 상기 게이트(13) 바로 상측에 위치한다. 보호층(18)은, 보호층(18)의 수직 영역에서 박막 트랜지스터의 반도체 물질을 보호한다. 따라서, 휨 동작시, 박막 트랜지스터의 물질들 중 일부에 대한 응력이 감소되고, 박막 트랜지스터의 휨동작시, 반도체 물질의 손상을 피하게 됨으로써, 장치의 품질을 개선한다.

대표도 - 도1



(52) CPC특허분류
H01L 29/06 (2013.01)

(72) 발명자
린, 리

중국 지양수 215300 쿤산 뉴 앤 하이-테크 인더스
트리얼 디벨롭먼트 존, 첸펑 로드 넘버 188

리우, 송

중국 지양수 215300 쿤산 뉴 앤 하이-테크 인더스
트리얼 디벨롭먼트 존, 첸펑 로드 넘버 188

명세서

청구범위

청구항 1

박막 트랜지스터에 있어서,

플렉서블 기판 상에 순차적으로 형성된, 활성 영역, 게이트 절연층, 게이트, 소스 및 드레인, 패시베이션층 및 평탄화층을 구비하되, 보호층은 상기 패시베이션층과 상기 평탄화층 사이에 제공되고, 상기 보호층은 상기 활성 영역과 상기 게이트 바로 상측에 위치함을 특징으로 하는, 박막 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 보호층은 상기 게이트에 수직인 방향으로 상기 게이트를 완전히 덮음을 특징으로 하는, 박막 트랜지스터.

청구항 3

제 1 항에 있어서,

상기 보호층은 유기 물질로 형성됨을 특징으로 하는, 박막 트랜지스터.

청구항 4

제 1 항에 있어서, 상기 보호층은 금속으로 형성됨을 특징으로 하는, 박막 트랜지스터.

청구항 5

제 4 항에 있어서,

상기 보호층은, 상기 게이트에 수직인 방향으로 상기 게이트와 상기 드레인 사이의 갭 뿐만 아니라 상기 게이트와 상기 소스 사이의 갭을 덮음을 특징으로 하는, 박막 트랜지스터.

청구항 6

제 1 항에 있어서,

상기 보호층의 영 계수(Young's modulus)는 300N/m^2 보다 큼을 특징으로 하는, 박막 트랜지스터.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상부 보호막, 하부 보호막 및 배리어층(barrier layer)을 더 구비하되,

상기 상부 보호막은 상기 평탄화층 상측에 제공되고, 상기 하부 보호막은 상기 플렉서블 기판 하측에 제공되며, 상기 배리어층은 상기 플렉서블 기판과 상기 게이트 절연층 사이에 제공됨을 특징으로 하는, 박막 트랜지스터.

청구항 8

제 1 항 내지 제 7항 중 어느 한 항에서 설명한 박막 트랜지스터를 제조하는 방법에 있어서,
 플렉서블 기판 상에 활성 영역, 게이트 절연층, 게이트, 소스 및 드레인, 그리고 패시베이션층을 순차적으로 형성하는 단계;
 상기 패시베이션층 위에 보호층을 형성하는 단계; 및
 상기 보호층 위에 평탄화층을 형성하는 단계를 구비하되,
 상기 보호층은 상기 활성 영역과 상기 게이트 바로 상측에 위치함을 특징으로 하는, 방법.

청구항 9

제 1 항 내지 제 7 항 중 어느 한 항에서 설명한 박막 트랜지스터를 구비하는 디스플레이 패널.

청구항 10

제 9 항에서 설명한 디스플레이 패널을 구비하는 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 플렉서블 디스플레이 분야에 관한 것으로, 특히, 박막 트랜지스터와 이를 제조하는 방법, 디스플레이 패널 및 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 유기 전계 발광 디스플레이(organic electroluminescence display)로 불리기도 하는 유기 발광 장치, 즉 유기 발광 다이오드(organic light-emitting diode (OLED))는 전고체 상태(all-solid-state) 특성, 양호한 기구적 특성 및 강한 충격 저항성을 가지며, 플라스틱이나 폴리에스테르 막 또는 시트를 기판으로 사용한다. OLED 화면은 얇게 제조 가능하고 심지어 접거나 감을 수 있어, 유연하고 부드러운 화면 디스플레이를 얻을 수 있다.

[0003] 디스플레이 기술의 발전으로, 연구 개발 엔지니어들은 접거나 감을 수 있는 플렉서블 디스플레이 장치를 끊임없이 개선하고 있다. 종래의 리지드(rigid) 디스플레이(즉, 유리나 같은 비유연 기판상에 제조된 디스플레이 장치)에 비해, 플렉서블 디스플레이 장치는 더 가벼운 무게, 더 작은 크기, 보다 더 편리한 휴대성, 더 높은 충돌 저항성 및 더 강한 충격 저항성 등의 장점을 많이 가지고 있다.

[0004] 그러나, 플렉서블 디스플레이 장치를 구부리면, 층간 영의 계수(Young's modulus) 차이로 인해 다층 구조의 인터페이스에 많은 결함이 생기게 됨으로써, 장치 성능에 영향을 줄 수 있다. 플렉서블 디스플레이 장치에서 박막 트랜지스터는 주요 기능 소자이고, 따라서 이의 성능은 플렉서블 제품의 전체 성능에 중요한 영향을 미친다. 종래 기술에서는, 인접한 구조막 층들을 가능한 한 서로 가깝게 하여 기능층의 손상을 줄이기 위해, 장치 구조의 최적화를 통해 고경도 막층의 두께를 감소시키는 것이 일반적이었다. 그러나, 박막 트랜지스터의 서로 다른 층들의 소재 두께를 감소시키면, 박막 트랜지스터의 성능에 영향을 미치게 되어 최종 제품은 원하는 효과를 거두기 어렵다.

[0005] 따라서, 휨 동작시 박막 트랜지스터의 손상을 막는 방법을 제공하는 것이 시급하게 필요하다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은, 박막 트랜지스터 장치를 구부리는 동안, 보호층에 의해 덮여있는 박막 트랜지스터내의 반도체 물질을 보호하고, 상기 박막 트랜지스터의 물질의 일부에 대한 응력을 감소시키며, 상기 반도체 물질에 대한 손상을 피하도록 하는, 상기 박막 트랜지스터와 이를 제조하는 방법, 디스플레이 패널 및 디스플레이 장치를 제

공하는 것이다.

과제의 해결 수단

- [0008] 상기 목적을 달성하기 위해, 본 발명은 박막 트랜지스터를 제공한다. 상기 박막 트랜지스터는 플렉서블 기판 상에 순차적으로 형성된, 활성 영역, 게이트 절연층, 게이트, 소스 및 드레인, 패시베이션층 및 평탄화층을 구비하되, 보호층은 상기 패시베이션층과 상기 평탄화층 사이에 제공되고, 상기 보호층은 상기 활성 영역과 상기 게이트 바로 상측에 위치한다.
- [0009] 또는, 상기 박막 트랜지스터에서, 상기 보호층은 상기 활성 영역과 상기 게이트 바로 상측에 위치하고, 상기 게이트에 수직인 방향으로 상기 게이트를 완전히 덮는다.
- [0010] 또는, 상기 박막 트랜지스터에서, 상기 보호층은 유기 물질로 형성된다.
- [0011] 또는, 상기 박막 트랜지스터에서, 상기 보호층은 금속으로 형성된다.
- [0012] 또는, 상기 박막 트랜지스터에서, 상기 보호층은 상기 게이트에 수직인 방향으로 상기 게이트와 상기 드레인 사이의 갭 뿐만 아니라 상기 게이트와 상기 소스 사이의 갭을 덮는다.
- [0013] 또는, 상기 박막 트랜지스터에서, 상기 보호층의 영 계수(Young's modulus)는 300N/m^2 보다 크다.
- [0014] 또는, 상기 박막 트랜지스터는 상부 보호막, 하부 보호막 및 배리어층(barrier layer)을 더 구비하되, 상기 상부 보호막은 상기 평탄화층 상측에 제공되고, 상기 하부 보호막은 상기 플렉서블 기판 하측에 제공되며, 상기 배리어층은 상기 플렉서블 기판과 상기 게이트 절연층 사이에 제공된다.
- [0015] 따라서, 본 발명은 또한 상기에서 설명한 박막 트랜지스터를 제조하기 위해, 박막 트랜지스터 제조 방법을 제공한다. 상기 방법은 플렉서블 기판 상에 활성 영역, 게이트 절연층, 게이트, 소스 및 드레인, 그리고 패시베이션층을 순차적으로 형성하는 단계, 상기 패시베이션층 위에 보호층을 형성하는 단계, 및 상기 보호층 위에 평탄화층을 형성하는 단계를 구비하되, 상기 보호층은 상기 활성 영역과 상기 게이트 바로 상측에 위치한다.
- [0016] 따라서, 본 발명은 또한 상기에서 설명한 박막 트랜지스터를 구비하는 디스플레이 패널을 제공한다.
- [0017] 따라서, 본 발명은 또한 상기에서 설명한 디스플레이 패널을 구비하는 디스플레이 장치를 제공한다.

발명의 효과

- [0018] 종래 기술에 비해, 본 발명에 따른 박막 트랜지스터와 이를 제조하는 방법, 디스플레이 패널 및 디스플레이 장치는 다음과 같은 장점을 가진다.
- [0019] 1. 보호층이 상기 패시베이션층 및 평탄화층 사이에 형성되고 상기 활성 영역과 상기 게이트 바로 상측에 위치하여, 보호층의 수직 영역에서 박막 트랜지스터의 반도체 물질을 보호한다. 따라서, 휨 동작시, 박막 트랜지스터의 물질들 중 일부에 대한 응력이 감소되고, 박막 트랜지스터의 휨동작시, 반도체 물질의 손상을 피하게 됨으로써, 장치의 품질을 개선한다.
- [0020] 2. 보호층이 금속으로 형성될 경우, 보호층은 활성 영역의 일부분을 덮고, 게이트에 대해 수직인 방향으로 게이트와 드레인 사이의 갭과 게이트와 소스 사이의 갭을 완전히 덮는다. 게이트의 물질 역시 양호한 지지 특성을 가지고 있기 때문에, 보호층과 게이트가 중첩되는 상기 구조는 하측의 반도체 물질을 보호할 수 있다. 더욱이, 보호층과 게이트는 상대적으로 매우 작은 영역에서 중첩되므로, 기생 커패시턴스에 의해 발생하는 박막 트랜지스터에 대한 보호층의 의 영향을 감소시킬 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 개략 구조도이다.
- 도 2는 본 발명의 일 실시예에 따른 다른 박막 트랜지스터의 개략 구조도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 내용을 보다 명확히 쉽게 이해할 수 있도록, 본 발명의 내용을 명세서의 첨부 도면을 참조하여 하기

에서 상세하게 설명한다. 본 발명은 특정 실시예에 한정되지 않으며 당업자에게 공지된 일반적인 대체물은 본 발명의 보호 범위에 속함은 자명하다.

[0023] 둘째, 본 발명은 구조도를 이용하여 상세히 설명한다. 본 발명의 예시를 상세히 설명함에 있어, 설명을 용이하게 하기 위해, 도면은 일반 척도에 따라 부분 확대되지 않았으며, 이는 본 발명의 한정으로 구성되어서는 안 된다.

[0024] 본 발명의 핵심 개념은, 박막 트랜지스터의 패시베이션층(passivation layer)과 평탄화층(planarization layer) 사이에 보호층이 형성되고, 상기 보호층은 활성 영역과 게이트 바로 상측에 위치하여, 상기 보호층에 의해 가려지는 수직 영역내의 반도체 물질을 보호하는데 있다. 따라서, 휨 동작시, 박막 트랜지스터의 물질들 중 일부에 대한 응력이 감소되고, 상기 박막 트랜지스터에 대한 휨 동작시, 상기 반도체 물질에 대한 손상을 피하게 됨으로써, 상기 장치의 품질을 개선한다.

[0025] 실시예 1

[0026] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터를 도시하는 개략적 구조도이다. 도 1에 도시된 바와 같이, 본 실시예에 따른 박막 트랜지스터는, 플렉서블 기판(10) 상에 순차적으로 형성된, 활성 영역(11), 게이트 절연층(12), 게이트(13), 소스(14)와 드레인(15), 패시베이션층(16) 및 평탄화층(17)을 구비하되, 보호층(18)이 상기 패시베이션층(16) 및 평탄화층(17) 사이에 형성되고, 상기 보호층(18)은 상기 활성 영역(11)과 상기 게이트(13) 바로 상측에 위치한다.

[0027] 도 1에서 알 수 있듯이, 보호층(18)은 활성 영역(11)과 게이트(13) 바로 상측에 위치하여, 게이트(13)에 수직인 방향으로 게이트(13)를 완전히 덮는다. 수직 방향으로 게이트(13)를 완전히 덮을 뿐만 아니라, 보호층(18)은 적어도 (바람직하게는, 완전히) 게이트(13)와 드레인(15) 사이의 갭(gap)과 게이트(13)와 소스(14) 사이의 갭에 해당하는 영역도 덮는 것이 바람직하다. 보호층(18)의 물질은 유기 물질이거나 금속이고, 또는 당업자에게 알려진 다른 물질이 될 수도 있다. 보호층(18)은, 보호층(18)의 수직 영역에서 박막 트랜지스터의 반도체 물질을 보호한다. 따라서, 휨 동작시, 박막 트랜지스터의 물질들 중 일부에 대한 응력이 감소되고, 박막 트랜지스터 장치를 구부리는 동안, 반도체 물질의 손상을 피하게 됨으로써, 장치의 품질을 개선한다.

[0028] 보호층(18)의 영 계수(Young's modulus)는 300 N/m^2 보다 큰 값, 이를테면, 350 N/m^2 , 400 N/m^2 , 450 N/m^2 , 또는 500 N/m^2 임이 바람직하다. 따라서, 휨 동작시 보호층(18) 하측에 있는 박막 트랜지스터의 일부에 대한 응력을 효과적으로 감소시킬 수 있다.

[0029] 보호층(18)이 금속으로 형성될 경우, 금속 보호층과 게이트(13) 사이에 기생 커패시턴스(parasite capacitance)가 발생되어, 박막 트랜지스터의 성능에 영향을 줄 수 있다. 따라서, 박막 트랜지스터에 대한 다른 구조적 해결 방법에서는, 금속 보호층과 게이트(13) 사이의 중첩 영역을 모든 방법에 의해 감소시킬 수 있다. 도 2에 도시된 바와 같이, 보호층(18)은 금속으로 형성된다. 보호층(18)은 게이트(13)에 수직 방향에 있는 활성 영역(11)의 일부분을 덮고, 게이트(13)와 드레인(15) 사이의 갭과 게이트(13)와 소스(14) 사이의 갭을 완전히 덮는다. 게이트(13) 역시 금속으로 형성되기 때문에, 게이트(13) 자체는 양호한 지지 특성을 가질 수 있다. 따라서, 보호층(18)은 게이트(13)와 드레인(15) 사이의 갭과 게이트(13)와 소스(14) 사이의 갭을 보호하는데 주로 이용될 수 있다. 도 2에 도시된 구조에서, 보호층(18)과 게이트(13)는 수직 방향으로 매우 작은 중첩 영역을 가질 수 있다. 보호층(18)과 게이트(13)(둘 다 금속으로 형성된다)가 중첩되는 상기 구조는 하측의 반도체 물질을 보호할 수 있다. 더욱이, 보호층(18)과 게이트(13)는 상대적으로 매우 작은 영역에서 중첩되므로, 기생 커패시턴스가 수용가능한 범위내에서 조절될 수 있다. 예를 들면, 기생 커패시턴스는 미리 설정된 임계값 보다 작게 조절됨으로써, 박막 트랜지스터에 대한 기생 커패시턴스의 영향을 저하시킨다.

[0030] 상기 박막 트랜지스터는, 상부 보호막(20), 하부 보호막(20) 및 배리어층(barrier film)(30)을 더 구비한다. 상부 보호막(20)은 평탄화층(17) 상측에 제공되고, 하부 보호막(20)은 플렉서블 기판(10) 하측에 제공된다. 물과 산소 분자에 대한 절연을 위해, 배리어층(30)은 플렉서블 기판(10)과 게이트 절연층(12) 사이에 제공된다. 또한, 도 1과 도 2에 도시된 구조에서 층간 절연층(19)이 더 형성되고, 층간 절연층(19)은 게이트(13)를 덮는다.

[0031] 종래의 박막 트랜지스터를 바탕으로, 본 발명에 따른 박막 트랜지스터는 패시베이션층과 평탄화층 사이에 보호층이 형성되어 하측의 반도체 물질을 보호하는 것으로 이해할 수 있다. 따라서, 상기 박막 트랜지스터의 구성요소는 간단히 설명한다.

- [0032] 실시예 2
- [0033] 본 발명은 실시예 1에서 설명한 박막 트랜지스터를 제조하는 방법을 제공한다. 상기 방법은, 플렉서블 기판(10) 상에 활성 영역(11), 게이트 절연층(12), 게이트(13), 소스(14)와 드레인(15) 및 패시베이션층(16)을 순차적으로 형성하는 단계를 구비하되, 보호층(18)은 상기 패시베이션층(16) 상에 형성되고, 평탄화층(17)은 상기 보호층(18) 상에 형성되며, 상기 보호층(18)은 상기 활성 영역(11)과 상기 게이트(13) 바로 상측에 위치한다. 최종적으로, 도 1 및 도 2에 도시된 구조가 형성된다.
- [0034] 보호층(18)은, 보호층(18)의 수직 영역에서 박막 트랜지스터의 반도체 물질을 보호한다. 따라서, 휨 동작시, 박막 트랜지스터의 물질들 중 일부에 대한 응력이 감소되고, 박막 트랜지스터의 휨동작시, 반도체 물질의 손상을 피하게 됨으로써, 장치의 품질을 개선한다.
- [0035] 보호층(18)은 도 1과 도 2에 각각 도시된 서로 다른 보호층 물질에 따라, 실시예 1에서 설명한 서로 다른 구조들로 형성된다.
- [0036] 실시예 3
- [0037] 본 실시예는, 실시예 1에서 설명한 박막 트랜지스터를 구비하는 디스플레이 패널을 제공한다.
- [0038] 본 실시예의 디스플레이 패널은 실시예 1에서 설명한 박막 트랜지스터를 가진다. 따라서, 보호층은 상기 박막 트랜지스터의 패시베이션층과 평탄화층 사이에 형성되고, 활성 영역과 게이트 바로 상측에 위치하여, 보호층에 의해 덮여지는 수직 영역내의 반도체 물질을 보호한다. 따라서, 휨 동작시, 박막 트랜지스터의 물질들 중 일부에 대한 응력이 감소되고, 박막 트랜지스터의 휨동작시, 반도체 물질의 손상을 피하게 됨으로써, 장치의 품질을 개선한다. 보호층이 금속으로 형성될 경우, 보호층은 활성 영역의 일부분을 덮고, 게이트에 대해 수직인 방향으로 게이트와 드레인 사이의 갭과 게이트와 소스 사이의 갭을 완전히 덮는다. 게이트의 물질 역시 양호한 지지 특성을 가지고 있기 때문에, 보호층과 게이트가 중첩되는 상기 구조는 하측의 반도체 물질을 보호할 수 있다. 더욱이, 보호층과 게이트는 상대적으로 매우 작은 영역에서 중첩되므로, 박막 트랜지스터에 대한 기생 커패시턴스의 영향을 감소시킬 수 있다.
- [0039] 실시예 4
- [0040] 본 실시예는, 실시예 3에서 설명한 디스플레이 패널을 구비하는 디스플레이장치를 제공한다.
- [0041] 본 실시예의 상기 디스플레이 장치는 실시예 3에서 설명한 디스플레이 패널을 가진다. 따라서, 보호층은 상기 박막 트랜지스터의 패시베이션층과 평탄화층 사이에 형성되고, 활성 영역과 게이트 바로 상측에 위치하여, 보호층에 의해 덮여지는 수직 영역내의 반도체 물질을 보호한다. 따라서, 휨 동작시, 박막 트랜지스터의 물질들 중 일부에 대한 응력이 감소되고, 박막 트랜지스터의 휨동작시, 반도체 물질의 손상을 피하게 됨으로써, 장치의 품질을 개선한다. 보호층이 금속으로 형성될 경우, 보호층은 활성 영역의 일부분을 덮고, 게이트에 대해 수직인 방향으로 게이트와 드레인 사이의 갭과 게이트와 소스 사이의 갭을 완전히 덮는다. 게이트의 물질 역시 양호한 지지 특성을 가지고 있기 때문에, 보호층과 게이트가 중첩되는 상기 구조는 하측의 반도체 물질을 보호할 수 있다. 더욱이, 보호층과 게이트는 상대적으로 매우 작은 영역에서 중첩되므로, 기생 커패시턴스에 의해 발생하는 박막 트랜지스터에 대한 보호층의 영향을 감소시킬 수 있다.
- [0042] 정리하면, 본 발명에 따른 박막 트랜지스터와 이의 제조방법, 디스플레이 패널 및 디스플레이 장치에 있어서, 보호층은 상기 박막 트랜지스터의 패시베이션층과 평탄화층 사이에 형성되고, 활성 영역과 게이트 바로 상측에 위치하여, 보호층에 의해 덮여지는 수직 영역내의 반도체 물질을 보호한다. 따라서, 휨 동작시, 박막 트랜지스터의 물질들 중 일부에 대한 응력이 감소되고, 박막 트랜지스터의 휨동작시, 반도체 물질의 손상을 피하게 됨으로써, 장치의 품질을 개선한다. 보호층이 금속으로 형성될 경우, 보호층은 활성 영역의 일부분을 덮고, 게이트에 대해 수직인 방향으로 게이트와 드레인 사이의 갭과 게이트와 소스 사이의 갭을 완전히 덮는다. 게이트의 물질 역시 양호한 지지 특성을 가지고 있기 때문에, 보호층과 게이트가 중첩되는 상기 구조는 하측의 반도체 물질을 보호할 수 있다. 더욱이, 보호층과 게이트는 상대적으로 매우 작은 영역에서 중첩되므로, 박막 트랜지스터에 대한 기생 커패시턴스의 영향을 감소시킬 수 있다.
- [0043] 상기에서는 본 발명의 바람직한 실시예들을 설명했을 뿐, 본 발명의 범위를 한정하지는 않는다. 상기 개시에 따른 당업자의 어떠한 변경이나 수정도 청구범위의 보호 범위에 모두 포함된다.

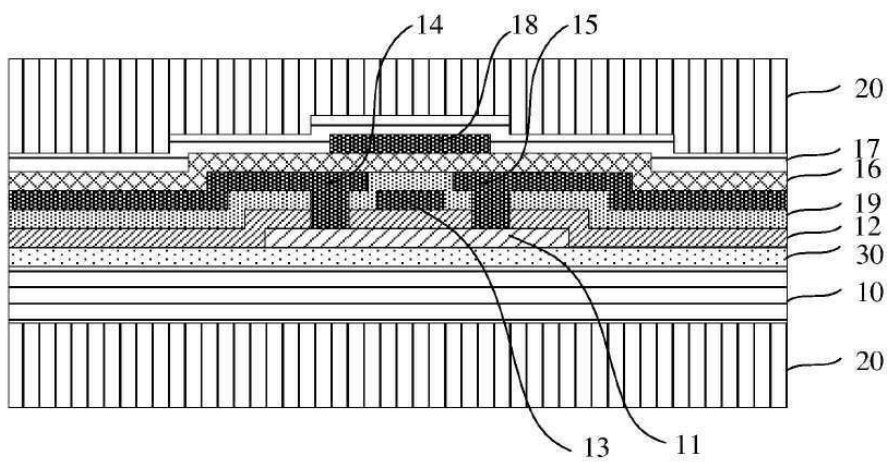
부호의 설명

[0044]

- | | |
|-------------|------------|
| 10: 플렉서블 기판 | 11: 활성 영역 |
| 12: 게이트 절연층 | 13: 게이트 |
| 14: 소스 | 15: 드레인 |
| 16: 패시베이션층 | 17: 평탄화층 |
| 18: 보호층 | 19: 층간 절연층 |
| 20: 상부 보호막 | 20: 하부 보호막 |
| 30: 배리어층 | |

도면

도면1



도면2

