

(43) 国際公開日
2006 年 6 月 8 日 (08.06.2006)

PCT

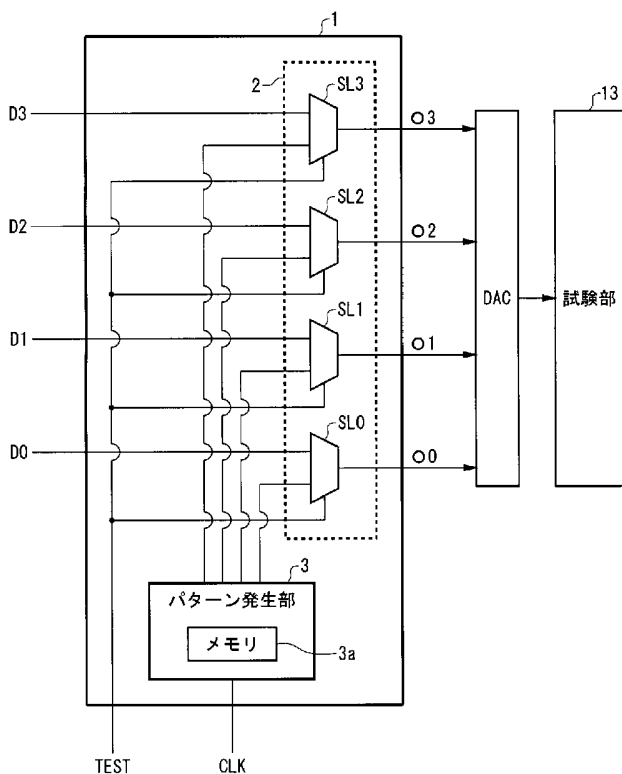
(10) 国際公開番号
WO 2006/059614 A1

- (51) 国際特許分類:
H03M 1/10 (2006.01) G01R 31/316 (2006.01)
- (21) 国際出願番号: PCT/JP2005/021910
- (22) 国際出願日: 2005 年 11 月 29 日 (29.11.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-348959 2004 年 12 月 1 日 (01.12.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION)
[JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 折坂 茂樹 (ORISAKA, Shigeki) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 Tokyo (JP).
- (74) 代理人: 龍華 明裕 (RYUKA, Akihiro); 〒1600022 東京都新宿区新宿 1 丁目 2 4 番 1 2 号 東信ビル 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

/ 続葉有 /

(54) Title: DA CONVERTER TEST METHOD, DA CONVERTER TEST DEVICE, AND DA CONVERTER

(54) 発明の名称: D A 変換器の試験方法、D A 変換器の試験装置および D A 変換器



3 PATTERN GENERATION UNIT
3a MEMORY
13 TEST UNIT

(57) Abstract: A DA converter converts predetermined digital data into analog data. Cyclic pattern data whose output data from the DA converter has a symmetric waveform is inputted to the DA converter. By observing higher harmonic component of even number degree $2f_0$, $4f_0$ for the basic frequency f_0 of the cyclic pattern data, it is judged that the DA converter is preferably operating when no higher harmonic component of even number degree $2f_0$, $4f_0$ exist.

(57) 要約: 所定のデジタルデータをアナログデータに変換する D A 変換器に、該 D A 変換器からの出力波形が対称となる周期パターンデータを入力し、該周期パターンデータの基本周波数 f_0 に対する偶数次高調波成分 $2f_0$, $4f_0$ を観測し、偶数次高調波成分 $2f_0$, $4f_0$ がいない場合に該 D A 変換器は良好に動作しているものと判定する。



IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

DA変換器の試験方法、DA変換器の試験装置およびDA変換器
技術分野

- [0001] この発明は、DA変換器に対する精度の高い動作テストを簡易かつ容易に行うことができるDA変換器の試験方法、DA変換器の試験装置およびDA変換器に関し、特に高速動作が可能なDA変換器に対するDA変換器の試験方法、DA変換器の試験装置およびDA変換器に関するものである。文献の参照による組み込みが認められる指定国については、下記の日本出願に記載された内容を参照により本出願に組み込み、本出願の記載の一部とする。

特願2004-348959 出願日 2004年12月1日

背景技術

- [0002] DA変換器は、多階調のデジタルデータをアナログデータに変換する回路である。従来、このDA変換器の変換動作の動作テストを行う場合、図12に示すように、パターン発生器101によって発生したテストパターンとクロックとをケーブル102およびプローブ103を介してDA変換器104に入力し、DA変換器104から出力されたアナログデータをオシロスコープなどの観測装置105によって観測し、DA変換器104の動作確認を行っていた。

- [0003] 特許文献1:特開2003-133955号公報

発明の開示

発明が解決しようとする課題

- [0004] しかしながら、DA変換器の動作速度が高速になると、この動作速度に対応したパターン発生器が必要になるとともに、このパターン発生器から出力される高速のテストパターンや高速のクロックの波形を劣化させず、かつ十分な入力レベルをもってDA変換器に入力することができるケーブルやプローブが必要となり、これらのパターン発生器、ケーブルやプローブを用いないと、高速動作を行うDA変換器の十分な動作テストを行うことができないという問題点があった。
- [0005] また、動作速度に対応したパターン発生器や、高速デジタルデータの波形品質を

劣化させることなく伝送するケーブルやプローブを用いてDA変換器の動作テストを行うと、装置規模が大きくなり、動作テスト時の配線接続にも時間がかかり、しかも高コストになるという問題点があった。

[0006] 一方、高速動作のDA変換器に限らず、DA変換器の動作テストは、一般にオシロスコープなどを用いて出力されたアナログ波形を観察することによって行われていたため、アナログ出力波形がデジタル入力に対応した忠実な出力を行っているかを精度高く試験することができないという問題点が依然としてあった。特に、DA変換器が高速動作の場合、オシロスコープなどの観測装置自体の精度上の限界によって精度の高い試験を行うことが困難であった。

[0007] この発明は、上記に鑑みてなされたものであって、簡易かつ容易に精度の高い動作テストを行うことができるDA変換器の試験方法、DA変換器の試験装置およびDA変換器を提供することを目的とする。

課題を解決するための手段

[0008] 上述した課題を解決し、目的を達成するために、請求項1にかかるDA変換器の試験方法は、所定のデジタルデータをアナログデータに変換するDA変換器に、該DA変換器からの出力波形が対称となる周期パターンデータを入力し、該周期パターンデータの基本周波数に対する偶数次高調波成分を観測して該DA変換器を試験することを特徴とする。

[0009] また、請求項2にかかるDA変換器の試験方法は、上記の発明において、所定のデジタルデータをアナログデータに変換するDA変換器に、前記所定のデジタルデータの入力を、該DA変換器からの出力波形が対称となる周期パターンデータの入力に切り替えて入力し、該周期パターンデータの基本周波数に対する偶数次高調波成分を観測して該DA変換器を試験することを特徴とする。

[0010] また、請求項3にかかるDA変換器の試験装置は、所定のデジタルデータをアナログデータに変換するDA変換器からの出力波形が対称となる周期パターンデータを生成し、該DA変換器に出力することを特徴とする。

[0011] また、請求項4にかかるDA変換器の試験装置は、テスト信号の入力によってテストパターンを発生するパターン発生手段と、前記テスト信号の入力によって、入力され

る所定のデジタルデータをアナログデータに変換するDA変換手段側への出力を前記テストパターン用の前記DA変換手段側への出力に切り替えるセレクトと、を備えたことを特徴とする。

[0012] また、請求項5にかかるDA変換器の試験装置は、上記の発明において、前記パターン発生手段は、前記セレクトと前記DA変換手段との間に設けられ、前記テスト信号の入力時に前記所定のデジタルデータの各ビットをラッチする複数のフリップフロップ回路を有し、このラッチしたビットデータを巡回させ前記DA変換手段に平行出力するシフトレジスタであることを特徴とする。

[0013] また、請求項6にかかるDA変換器の試験装置は、上記の発明において、前記シフトレジスタは、前記複数のフリップフロップ回路に連結される1以上のフリップフロップ回路を備え、該1以上のフリップフロップ回路に設定されたビット値を含めて各ビットを巡回させることを特徴とする。

[0014] また、請求項7にかかるDA変換器の試験装置は、上記の発明において、クロックを発生するクロック発生手段と、前記テスト信号の入力によって、外部クロックの出力を前記クロック発生手段が発生するクロックに切り替える切替手段と、を備え、前記テスト信号が入力されるテストモード時に、前記DA変換手段および前記パターン発生手段は前記クロックによって動作することを特徴とする。

[0015] また、請求項8にかかるDA変換器の試験装置は、上記の発明において、前記クロック発生手段は、自励発振器であり、前記自励発振器の周波数をモニタして前記自励発振器の周波数を制御する周波数制御手段をさらに備えたことを特徴とする。

[0016] また、請求項9にかかるDA変換器の試験装置は、上記の発明において、前記パターン発生手段が発生するパターンデータは、前記DA変換手段が出力する波形が対称波形となる周期パターンデータであることを特徴とする。

[0017] また、請求項10にかかるDA変換器は、所定のデジタルデータをアナログデータに変換するDA変換手段と、請求項4～9のいずれか一つに記載のDA変換器の試験装置と、を備えたことを特徴とする。

[0018] また、請求項11にかかるDA変換器は、上記の発明において、前記所定のデジタルデータのデータ入力端子と、前記アナログデータのデータ出力端子と、前記テスト

信号のテスト信号入力端子と、前記DA変換手段および前記パターン発生手段に供給するクロックを入力する外部クロック入力端子と、を備えたことを特徴とする。

- [0019] また、請求項12にかかる試験方法は、所定のデジタルデータをアナログデータに変換するDA変換器を試験する試験方法であって、各周期の前半の波形と、各周期の後半の波形を反転した波形とが略同一となる周期パターンデータを、DA変換器に入力する段階と、DA変換器からの出力波形の基本周波数に対する偶数次高調波成分を観測して、DA変換器を試験する段階とを備えることを特徴とする。
- [0020] また、請求項13にかかる試験方法は、試験する段階が、偶数次高調波成分が略零である場合に、DA変換器を良品と判定することを特徴とする。
- [0021] また、請求項14にかかる試験装置は、所定のデジタルデータをアナログデータに変換するDA変換器を試験する試験装置であって、各周期の前半の波形と、各周期の後半の波形を反転した波形とが略同一となる周期パターンデータを、DA変換器に入力するパターン発生部と、DA変換器からの出力波形の基本周波数に対する偶数次高調波成分を観測して、DA変換器を試験する試験部とを備えることを特徴とする。
- [0022] また、請求項15にかかる試験装置は、試験部が、偶数次高調波成分が略零である場合に、DA変換器を良品と判定することを特徴とする。
- [0023] また、請求項16にかかる試験装置は、パターン発生部が、与えられるパターンデータに基づいて、周期パターンデータを生成するシフトレジスタを有し、シフトレジスタが、パターンデータのビット数に対応する数の、ループ状に接続された複数のレジスタを有し、それぞれのレジスタが、パターンデータの対応するビットデータをラッチし、ラッチしたビットデータを、与えられるクロックに応じて次段のレジスタに順次受け渡し、シフトレジスタが、それぞれのレジスタがクロックに応じて順次出力するデータを、周期パターンデータの各ビットデータとして出力することを特徴とする。
- [0024] また、請求項17にかかる試験装置は、H論理値を示すビット及びL論理値を示すビットの少なくとも一方が、総ビット数の半分のビットずつ連続しているパターンデータがシフトレジスタに入力されたことを少なくとも条件として、周期パターンデータの出力を開始させるテスト信号をシフトレジスタに供給する制御部を更に備えることを特徴とする。

る。

- [0025] また、請求項18にかかる試験装置は、シフトレジスタが、複数のフリップフロップのうち、いずれか二つのフリップフロップの間に挿入された、1以上の設定フリップフロップを更に備え、設定フリップフロップが、予め定められた設定値を格納することを特徴とする。
- [0026] また、請求項19にかかる試験装置は、制御部が、パターンデータ及び設定値において、H論理値を示すビット及びL論理値を示すビットの少なくとも一方が、総ビット数の半分のビットずつ連続していることを少なくとも条件として、周期パターンデータの出力を開始させるテスト信号をシフトレジスタに供給することを特徴とする。
- [0027] また、請求項20にかかる試験装置は、内部クロックを発生するクロック発生手段と、テスト信号に基づいて、フリップフロップに与えるクロックを、外部クロックから内部クロックに切り替える切替手段とを更に備えることを特徴とする。
- [0028] また、請求項21にかかる試験装置は、クロック発生手段が、外部クロックより周波数の高い内部クロックを生成することを特徴とする。
- [0029] なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

発明の効果

- [0030] この発明にかかるDA変換器の試験方法、DA変換器の試験装置およびDA変換器では、所定のデジタルデータをアナログデータに変換するDA変換器に、該DA変換器からの出力波形が対称となる周期パターンデータを入力し、該周期パターンデータの基本周波数に対する偶数次高調波成分を観測し、偶数次高調波成分が観測されない場合に該DA変換器が正常動作しているものとして判定する試験を行うようにしているので、精度の高いDA変換器の試験を簡易かつ容易に行うことができるという効果を奏する。

図面の簡単な説明

- [0031] [図1]この発明の実施の形態1にかかるDA変換器の試験方法の概要を示す図である。
- [図2]図1に示したDA変換器の試験方法を実現するデータ選択回路の詳細構成を

示すブロック図である。

[図3]図2に示したデータ選択回路を内蔵したDA変換器の構成を示すブロック図である。

[図4]この発明の実施の形態2にかかるデータ選択回路の構成を示すブロック図である。

[図5]図4に示したデータ選択回路を内蔵したDA変換器の構成を示すブロック図である。

[図6]図5に示したDA変換器によるテストパターン発生を説明するタイミングチャートである。

[図7]この発明の実施の形態2の変形例であるデータ選択回路の構成を示すブロック図である。

[図8]図7に示したDA変換器によるテストモード時におけるアナログデータの出力波形を示す図である。

[図9]この発明の実施の形態3にかかるDA変換器の構成を示すブロック図である。

[図10]図9に示したDA変換器によるノーマルモード時とテストモード時とにおけるクロック周波数を変えた場合の波形図である。

[図11]この発明の実施の形態4にかかるDA変換器の構成を示すブロック図である。

[図12]従来のDA変換器に対して動作テストを行う場合のシステム構成を示す図である。

符号の説明

[0032]	1, 21	データ選択回路
	2	セレクタ
	3	パターン発生部
	3a	メモリ
	4	DA変換部
	5	クロック選択回路
	6	クロック発生回路
	6a	VCO

6b, 20b	分周器
10, 11, 12	DA変換器
13	試験部
14	制御部
20	周波数制御器
20a	位相比較器
20c	原発振器
31, 32	シフトレジスタ
FF0～FF5	フリップフロップ回路
SL0～SL3	セレクト回路
T1	データ入力端子
T2	テストモード設定入力端子
T3	クロック入力端子
T4	アナログ出力端子
T5	テストクロック入力端子
T6	テストクロック出力端子

発明を実施するための最良の形態

[0033] 以下、この発明を実施するための最良の形態であるDA変換器の試験方法、DA変換器の試験装置およびDA変換器について説明する。

[0034] (実施の形態1)

図1は、この発明の実施の形態1にかかるDA変換器の試験方法の概念を示す図である。図1において、このDA変換器の試験方法は、まず図示しないDA変換器が4ビットのデジタルデータをアナログデータに変換する場合、図1の上段に示すように1ビットずつ巡回する周期データを図示しないDA変換器に入力する。ここで、巡回とは、各ビットのビット値が、ひとつ上位のビットに遷移し、且つ最上位のビット値が、最下位のビットに遷移することをいう。図1の上段では、「0011」→「0110」→「1100」→「1001」→「0011」→…の巡回する周期データとなっている。また、他の例では、巡回とは、各ビットのビット値が、ひとつ下位のビットに遷移し、且つ最下位のビット値

が、最上位のビットに遷移してもよい。

- [0035] この周期データが図示しないDA変換器に入力されると図1の中段に示したアナログデータに変換されて出力される。ここで、このアナログデータの波形は、アナログ値「7.5」を基準に対称波形となっている。すなわち図1に示すようにアナログ値「7.5」を基準に上下の面積SA, SBが等しくなっている。
- [0036] 図示しないDA変換器に入力されるデジタルデータを、上述した対称波形が生成される周期データとすると、図1の下段に示すように、アナログデータの波形の基本波SP1(周波数 f_0)の他に高調波SP2～SP5($2f_0 \sim 5f_0$)が出力される。なお、6次以降の高調波は図示していない。
- [0037] ここで、図示しないDA変換器が正常動作している場合、偶数次の高調波SP2, SP4は出現しない。すなわち、図1の中段に示したアナログデータのように、周期の前半における波形と、周期の後半における波形を反転した波形とが同一である場合、当該波形は偶数次の高調波成分を含まない。このため、当該アナログデータに応じたデジタルデータをDA変換器に入力した場合、DA変換器が正常に動作していれば、DA変換器が出力する波形には、偶数次の高調波成分は含まれない。
- [0038] このDA変換器の正常動作とは、DA変換時における各階調の電圧値が適正に動作していることを意味する。したがって、上述した対称波形が生成される周期データを図示しないDA変換器に入力し、その出力波形をスペクトルアナライザなどの観測装置を用いて観測し、偶数次の高調波SP2, SP4の出現の有無あるいはそのレベルをもとに図示しないDA変換器の動作試験を行うことができる。
- [0039] この場合、時間波形を観測するのではなく、偶数次の高調波スペクトル値を観測し、そのレベルを測定すればよいので、容易かつ簡易に試験を行うことができるとともに精度の高い試験を行うことができる。さらに、図示しないDA変換器が高速動作を行う場合であっても、上述したように偶数次の高調波スペクトル値のみに着目して数量的に測定できるので精度の高い試験を確実に行うことができる。
- [0040] また、DA変換器に入力するデジタルデータのそれぞれのデータ値は、H論理値を示すビット及びL論理値を示すビットが同数であることが好ましい。例えば、図1の上段に示すように、デジタルデータのそれぞれのデータ値が4ビットである場合、H論理

値を示すビット及びL論理値を示すビットは2ビットずつであることが好ましい。

[0041] また、DA変換器に入力するデジタルデータのそれぞれのデータ値は、H論理値を示すビット及びL論理値を示すビットの少なくとも一方が、総ビット数の半分のビットずつ連続していることが好ましい。例えば、図1の上段に示すデジタルデータは、デジタルデータのそれぞれのデータ値が4ビットである。この場合、t1からt4のそれぞれのデータ値においては、H論理値を示すビット及びL論理値を示すビットの少なくとも一方が、2ビット連続して存在する。かかるデータ値のビットを巡回させることにより、各周期の前半の波形と、各周期の後半の波形を反転した波形とが略同一となる周期パターンデータを、DA変換器に入力することができる。

[0042] 図2は、上述したDA変換器の試験方法を実現するDA変換器の試験装置の構成を示す図である。試験装置は、データ選択回路1及び試験部13を備える。図2に示したデータ選択回路1は、4ビットのデジタルデータをアナログデータに変換するDA変換器(DAC)に対する信号入力手段として機能し、このDA変換器の前段に配置される。

[0043] データ選択回路1は、セレクト2とパターン発生部3とを有する。セレクト2には、4ビットのデジタルデータD0～D3が入力され、各デジタルデータD0～D3は、それぞれセレクト回路SL0～SL3に入力される。パターン発生部3は、メモリ3aを有し、このメモリ3a内に、上述した対称波形が生成される周期データであるテストパターンが格納され、このテストパターンを、対応するセレクト回路SL0～SL3に入力する。セレクト回路SL0～SL3のそれぞれには、テスト信号TESTが入力され、テスト信号TESTがローレベルの時、入力されたデジタルデータD0～D3をそのまま出力データO0～O3としてDA変換器(DAC)に出力する通常動作モード(ノーマルモード)に切り替え、テスト信号TESTがハイレベルの時、パターン発生部3から出力されるテストパターンを出力データO0～O3としてDA変換器(DAC)に出力するテストモードに切り替える。なお、パターン発生部3は、供給されるクロック信号CLKによって動作する。

[0044] このDA変換器の試験装置として機能するデータ選択回路1は、デジタルデータD0～D3とテストパターンとの切り替えを行うようにしているので、ノーマルモードとテストモードとを容易かつ柔軟に切り替えることができる。

- [0045] また、試験部13は、DA変換器(DAC)からの出力波形の基本周波数に対する偶数次高調波成分を観測して、DA変換器(DAC)の良否を判定する。例えば、試験部13は、DA変換器(DAC)の出力波形の偶数次高調波成分が略零である場合に、DA変換器を良品と判定してよい。試験部13は、DA変換器(DAC)の出力波形を周波数領域の信号に変換する手段を有してよい。
- [0046] 図3は、上述したデータ選択回路1と、DA変換器として機能するDA変換部4とを備えたDA変換器10の構成を示す図である。すなわち、このDA変換器10は、DA変換器4とデータ選択回路1とを1つの装置として実現している。
- [0047] 図3に示すように、このDA変換器10は、DA変換すべき4ビットのデジタルデータD0～D3を入力するデータ入力端子T1、テスト信号TESTを入力するテストモード設定入力端子T2、およびクロック信号CLKを入力するクロック入力端子T3を有するとともに、内部に、データ選択回路1およびDA変換部4を有する。さらに、DA変換器10は、DA変換部4によって変換されたアナログデータOUTを外部出力するアナログ出力端子T4を有する。
- [0048] 上述したように、データ選択回路1には、データ入力端子T1から入力されたデジタルデータD0～D3、テストモード設定入力端子T2から入力されたテスト信号TEST、およびクロック入力端子T3から入力されたクロック信号CLKがそれぞれ入力される。クロック信号CLKは、さらにDA変換部4にも供給され、データ選択回路1から出力されたデジタルデータO0～O3が入力される。DA変換部4は、クロック信号CLKを動作クロックとして用いてデジタルデータO0～O3をアナログデータOUTに変換し、アナログ出力端子T4を介して出力する。
- [0049] なお、上述したDA変換器10は、1つのチップで形成する必要はないが、データ入力端子T1、テストモード設定入力端子T2、クロック入力端子T3、およびアナログ出力端子T4をもつ1つのチップとして形成することが好ましい。1つのチップとすることによって、配線による波形劣化やロスなどをなくことができ、高速動作テストを行う配線を容易に形成できるからである。
- [0050] このDA変換器10は、たとえば出荷するときやメンテナンス時にテストモードに切り替えて試験し、それ以外のときには通常のDA変換器として機能するチップとして実

現され、しかも試験時における配線による波形劣化やロスをなくことができ、精度の高い試験を行うことができる。

[0051] なお、上述した実施の形態1では、デジタルデータD0～D3が4ビットの多階調データであったが、これに限らず、パラレルビット数は任意であり、たとえば8ビットパラレルデータあるいは16ビットパラレルデータであってもよい。

[0052] (実施の形態2)

つぎに、この発明の実施の形態2について説明する。上述した実施の形態1では、パターン発生部3がテストパターンを発生するようにしていたが、この実施の形態2では、入力されるデジタルデータD0～D3を用いてテストパターンを生成するようにしている。

[0053] 図4は、この発明の実施の形態2であるデータ選択回路1の詳細構成を示す図である。また、図5は、このデータ選択回路2を搭載したDA変換器11の概要構成を示す図である。図4および図5において、このデータ選択回路1は、パターン発生部3に代えてビット数に対応した段数を有したシフトレジスタ31を設けている。

[0054] このシフトレジスタ31は、たとえばセクタ2とDA変換部4との間に設けられる。シフトレジスタ31は、与えられるパターンデータに基づいて、周期パターンデータを生成する。シフトレジスタ31は、与えられるパターンデータのビット数に対応する数の、ループ状に接続された複数のレジスタ(フリップフロップ回路FF0～FF3)を有する。各セクタ回路SL0～SL3には、それぞれデジタルデータD0, D1, D2, D3、およびフリップフロップ回路FF3, FF0, FF1, FF2の各出力である出力データO3, O0, O1, O2が入力され、それぞれ入力されるテスト信号TESTによって選択されたデジタルデータD0～D3あるいは出力データO3～O2が、それぞれフリップフロップ回路FF0～FF3に入力される。各フリップフロップ回路FF0～FF3は、各セクタ回路SL0～SL3から入力されたデータをラッチし、出力データO0～O3としてDA変換部4に出力する。

[0055] ここで、フリップフロップ回路FF0～FF3は、テスト信号TESTがローレベルのとき、入力されたデジタルデータD0～D3をラッチした後、クロック信号CLKに応じてそのまま出力データO0～O3として出力する。一方、フリップフロップ回路FF0～FF3は、

テスト信号TESTがハイレベルになったときのデジタルデータD0～D3をラッチし、その後このラッチした各ビット値をクロック信号CLKに応じて巡回させつつシフトするシフトレジスタを形成し、各フリップフロップ回路FF0～FF3からパラレルデータである出力データO0～O3をクロック信号CLKに応じて出力する。

- [0056] すなわち、図6に示すように、テスト信号TESTがローレベルからハイレベルに変わる時点t1においてフリップフロップ回路FF0, FF1, FF2, FF3がそれぞれラッチしたデジタルデータD0, D1, D2, D3であるパラレルデータDT0, DT1, DT2, DT3は、それぞれ出力データO0, O1, O2, O3として出力されるとともに、セクタ2を介してつぎのフリップフロップ回路FF1, FF2, FF3, FF0にシフトされる。
- [0057] そして、つぎのクロックの時点t2においてこのシフトしたパラレルデータDT3, DT0, DT1, DT2は、つぎの出力データO0, O1, O2, O3として出力されるとともにシフトされる。各出力データO0～O3に注目してみると、たとえば出力データO0は、テスト信号TESTがハイレベルになった時点t1から、DT0→DT3→DT2→DT1→DT0→DT3→…の巡回データとなり、出力データO1は、テスト信号TESTがハイレベルになった時点t1から、DT1→DT0→DT3→DT2→DT1→DT0→…の巡回データとなる。つまり、テスト信号TESTがハイレベルである場合、それぞれのフリップフロップ回路FF0～FF3は、ラッチしたデジタルデータを、与えられるクロックに応じて次段のフリップフロップFF0～FF3に順次受け渡す。
- [0058] 具体的には、出力データO0～O3は、時点t1においてラッチされたパラレルデータDT0～DT3である「1, 1, 0, 0」が巡回したパラレルデータとして順次出力され、これがテストパターンとなる。このテストパターンである出力データO0～O3は、その後DA変換部4によって、それぞれ各階調に応じてアナログ値に変換され、アナログデータOUTとして出力される。
- [0059] この実施の形態2では、テストモード移行時においてシフトレジスタ3がラッチしたデジタルデータDT0～DT3をその後巡回シフトさせてパラレルの出力データO0～O3をテストパターンとして生成しているので、高速の所望テストパターンを容易に形成することができる。
- [0060] なお、上述した実施の形態2では、シフトレジスタ31を形成するフリップフロップ回

路FF0～FF3の段数が、デジタルデータD0～D3のビット数と同じであったが、これに限らず、フリップフロップ回路の段数を、デジタルデータD0～D3のビット数を越えた数としてもよい。

[0061] また、試験装置は、テスト信号TESTをデータ選択回路1に入力する制御部14を更に備えてよい。制御部14は、H論理値を示すビット及びL論理値を示すビットの少なくとも一方が、総ビット数の半分のビットずつ連続しているパターンデータがシフトレジスタに入力されたことを少なくとも条件として、周期パターンデータの出力を開始させるテスト信号をセクタ2に供給する。例えば、制御部14は、DA変換器(DAC)の試験を開始する旨の通知を受け取った後に、上記条件を満たした場合に、周期パターンデータの出力を開始させてよい。また、制御部14は、試験装置を制御するテストプログラムに応じて、テスト信号TESTを出力してもよい。

[0062] 図7は、この発明の実施の形態2であるデータ選択回路21の詳細構成を示す図である。図7に示すように、データ選択回路21は、図4に示したデータ選択回路1の構成に加え、1以上の設定フリップフロップ(フリップフロップ回路FF4、FF5)を更に備える。フリップフロップ回路FF4、FF5は、シフトレジスタ32に含まれる複数のフリップフロップ回路FF0～FF3のうち、いずれか二つのフリップフロップ回路FF0～FF3の間に挿入される。本例においては、データ選択回路21のシフトレジスタ32は、フリップフロップ回路FF0～FF3を一連のシフトレジスタとしてみた場合、その前段に2段のフリップフロップ回路FF4、FF5を接続した構成としている。

[0063] このため、フリップフロップ回路FF3の出力データO3は、フリップフロップ回路FF4に入力され、フリップフロップ回路FF5の出力データは、セクタ回路SL0に入力され、さらにこのセクタ回路SL0を介してフリップフロップ回路FF0に入力される。その他の構成は図4に示したデータ選択回路1および図5に示したDA変換器10と同じであり、同一構成部分には同一符号を付している。

[0064] この場合、テスト信号TESTがハイレベルになったときにデジタルデータD0～D3をラッチするのは、フリップフロップFF0～FF3である。また、フリップフロップ回路FF4、FF5には、予め定められた設定値が格納される。これにより、フリップフロップ回路FF0～FF3によってラッチされたデータに加えてフリップフロップ回路FF4、FF5に初

期設定されたビットが巡回シフトすることになる。

[0065] 図8は、図7に示したデータ選択回路21によるテストモード時の出力データO0～O3の一例を示す図である。図8に示すように、フリップフロップ回路FF4, FF5の付加によって、巡回するテストパターンの周期が長くなり、これに伴ってさらに多彩なテストパターンを発生させることができる。特に、フリップフロップ回路FF4, FF5によってビットが付加されるので、図8の下部に示すように、面積Sa, Sbが等しい対称波形の生成が容易になり、DA変換部4に対する動作テストを容易かつ多様に行うことができる。

[0066] なお、この実施の形態2の変形例では、2段のフリップフロップ回路FF4, FF5を付加した6段のシフトレジスタ32を実現しているが、これに限らず、1段あるいは3段以上のフリップフロップ回路を付け加えてもよい。さらに、このフリップフロップ回路FF4, FF5を、たとえばフリップフロップ回路FF1, FF2間に配置し、多彩なテストパターンを生成するようにしてもよい。

[0067] また、上述した実施の形態2およびその変形例では、いずれもデジタルデータD0～D3の上位ビット側に一様にシフトし巡回するようにしていたが、これに限らず、各フリップフロップ回路FF0～FF5のシフト先を後段の隣接するフリップフロップ回路ではなく、一部クロスさせるなどして、そのシフト先を変えたシフトレジスタを形成し、多彩なテストパターンを生成するようにしてもよい。

[0068] また、データ選択回路21は、図4に示したデータ選択回路21と同様に、テスト信号TESTを供給する制御部を更に備えてよい。当該制御部は、フリップフロップ回路FF0～FF5が格納するパターンデータ及び設定値において、H論理値を示すビット及びL論理値を示すビットの少なくとも一方が、総ビット数の半分のビット、連続していることを少なくとも条件として、周期パターンデータの出力を開始させるテスト信号TESTをデータ選択回路21に供給してよい。

[0069] (実施の形態3)

つぎに、この発明の実施の形態3について説明する。この実施の形態3では、DA変換器の内部にさらにクロック発生回路を設けるようにしている。図9は、この発明の実施の形態3であるDA変換器の概要構成を示す図である。図9において、このDA

変換器12は、図5に示したDA変換器11の内部にクロック選択回路5およびクロック発生回路6を有する。

- [0070] テスト信号TESTは、データ選択回路1に入力されるとともに、クロック選択回路5にも入力される。クロック選択回路5は、クロック入力端子T3から入力される外部クロック信号CLKAと、自励発振器であるクロック発生回路6から出力される内部クロック信号CLKBとが入力され、テスト信号TESTがローレベルの時、外部クロック信号CLKAを選択し、テスト信号TESTがハイレベルの時、内部クロック信号CLKBを選択し、それぞれ選択された信号をクロック信号CLKとしてデータ選択回路1およびDA変換部4に出力する。このクロック信号CLKは、データ選択回路1およびDA変換部4の動作クロックとして用いられる。
- [0071] DA変換部4は、出力データO0～O3を4ビットの多階調データとしてアナログ変換し、アナログデータOUTとしてアナログ出力端子T4から出力する。DA変換部4は、クロック信号CLKによって動作速度が決定され、ノーマルモード時では、外部クロックCLKAのクロック速度で動作し、テストモード時では、内部クロックCLKBのクロック速度で動作する。
- [0072] ここで、テストモードへの切替によってクロック信号CLKは、クロック選択回路5によって、テスト信号TESTがハイレベルになった時点で、外部クロック信号CLKAから内部クロック信号CLKBに切り替えられる。
- [0073] テストモードにおける内部クロック信号CLKBのクロック周波数は、DA変換部4の高速動作をテストするために高く設定されるが、DA変換器12に内蔵されているため、この内部クロック信号CLKBは、波形劣化が少なく高速動作テストに十分なクロックとしてデータ選択回路1およびDA変換部4に供給される。
- [0074] 逆に、ノーマルモード時には、外部クロック信号CLKAがデータ選択回路1およびDA変換部4に供給されるため、DA変換部4の動作テストを行う場合、このノーマルモード時におけるクロック周波数を低くすることができる。すなわち、クロック入力端子T3から低速のクロック周波数である外部クロック信号CLKAを入力することができる。この場合、上述したように、テスト信号TESTがハイレベルになったときにデジタルデータD0～D3がラッチされ、このラッチされたパラレルデータDT0～DT3がテストパタ

ーンを決定するため、図10に示すように、外部クロック信号CLKAのクロック周波数を低速にして、テスト信号TESTによる所望のテストパターンの選択を確実に安定して行えるようにすることができる。

[0075] この実施の形態3では、DA変換器12が、テストパターン発生器として機能するシフトレジスタ31やクロック発生器6を内蔵しているので、高速性を維持した信号発生を容易に行うことができ、高価なパターン発生器や、ケーブルおよびプローブを不要とし、DA変換部4の高速動作テストを簡易かつ容易に行うことができる。

[0076] (実施の形態4)

つぎに、この発明の実施の形態4について説明する。上述した実施の形態3では、クロック発生回路6が自励発振器であるとしたが、この実施の形態4では、この自励発振器の安定性を増すようにしている。

[0077] 図11は、この発明の実施の形態4であるDA変換器の構成を示すブロック図である。図11において、このDA変換器12のクロック発生回路6は、VCO6aを有し、VCO6aから内部クロック信号CLKBを出力している。また、クロック発生回路6は、分周器6bを介してこのVCO6aの出力を帰還させている。DA変換器12は、さらにクロック発生回路6の分周器6bからのモニタ信号を出力するテストクロック出力端子T6と、VCO6aの周波数を電圧制御する制御信号を入力するためのテストクロック入力端子T5とを有している。DA変換器12には、周波数制御器20が、テストクロック入力端子T5とテストクロック出力端子T6とを介して接続される。その他の構成は、図9に示した構成と同じであり、同一構成部分には同一符号を付している。

[0078] 周波数制御器20は、水晶発振器などによって実現される原発振器20cを有し、位相比較器20aが、この原発振器20cからの信号を分周器20bを介して入力した信号と分周器6bによってモニタされた信号とを位相比較してVCO6aの周波数を電圧制御する。これによって、VCO6aのクロック周波数が安定化する、いわゆるPLL回路が実現される。なお、周波数制御器20は、クロック発生回路6の内部クロック周波数を安定化することができればよく、必ずしも原発振器20cおよび分周器20bを設ける必要はない。

[0079] この実施の形態4では、外部に周波数制御器20を設け、テストクロック入力端子T5

およびテストクロック出力端子T6を介して、クロック発生回路6が生成する内部クロック周波数をフィードバック制御しているので、内部クロック周波数の安定化を図ることができる。

産業上の利用可能性

- [0080] この発明にかかるDA変換器の試験方法、DA変換器の試験装置およびDA変換器では、所定のデジタルデータをアナログデータに変換するDA変換器に、該DA変換器からの出力波形が対称となる周期パターンデータを入力し、該周期パターンデータの基本周波数に対する偶数次高調波成分を観測し、偶数次高調波成分が観測されない場合に該DA変換器が正常動作しているものとして判定する試験を行うようにしているので、精度の高いDA変換器の試験を簡易かつ容易に行うことができるという効果を奏する。

請求の範囲

- [1] 所定のデジタルデータをアナログデータに変換するDA変換器に、該DA変換器からの出力波形が対称となる周期パターンデータを入力し、該周期パターンデータの基本周波数に対する偶数次高調波成分を観測して該DA変換器を試験することを特徴とするDA変換器の試験方法。
- [2] 所定のデジタルデータをアナログデータに変換するDA変換器に、前記所定のデジタルデータの入力を、該DA変換器からの出力波形が対称となる周期パターンデータの入力に切り替えて入力し、該周期パターンデータの基本周波数に対する偶数次高調波成分を観測して該DA変換器を試験することを特徴とするDA変換器の試験方法。
- [3] 所定のデジタルデータをアナログデータに変換するDA変換器からの出力波形が対称となる周期パターンデータを生成し、該DA変換器に出力することを特徴とするDA変換器の試験装置。
- [4] テスト信号の入力によってテストパターンを発生するパターン発生手段と、
前記テスト信号の入力によって、入力される所定のデジタルデータをアナログデータに変換するDA変換手段側への出力を前記テストパターンの前記DA変換手段側への出力に切り替えるセレクタと、
を備えたことを特徴とするDA変換器の試験装置。
- [5] 前記パターン発生手段は、
前記セレクタと前記DA変換手段との間に設けられ、前記テスト信号の入力時に前記所定のデジタルデータの各ビットをラッチする複数のフリップフロップ回路を有し、このラッチしたビットデータを巡回させ前記DA変換手段にパラレル出力するシフトレジスタであることを特徴とする請求項4に記載のDA変換器の試験装置。
- [6] 前記シフトレジスタは、前記複数のフリップフロップ回路に連結される1以上のフリップフロップ回路を備え、該1以上のフリップフロップ回路に設定されたビット値を含めて各ビットを巡回させることを特徴とする請求項5に記載のDA変換器の試験装置。
- [7] クロックを発生するクロック発生手段と、
前記テスト信号の入力によって、外部クロックの出力を前記クロック発生手段が発生

するクロックに切り替える切替手段と、

を備え、前記テスト信号が入力されるテストモード時に、前記DA変換手段および前記パターン発生手段は前記クロックによって動作することを特徴とする請求項4～6のいずれか一つに記載のDA変換器の試験装置。

[8] 前記クロック発生手段は、自励発振器であり、

前記自励発振器の周波数をモニタして前記自励発振器の周波数を制御する周波数制御手段をさらに備えたことを特徴とする請求項7に記載のDA変換器の試験装置。

[9] 前記パターン発生手段が発生するパターンデータは、前記DA変換手段が出力する波形が対称波形となる周期パターンデータであることを特徴とする請求項4～8のいずれか一つに記載のDA変換器の試験装置。

[10] 所定のデジタルデータをアナログデータに変換するDA変換手段と、
請求項4～9のいずれか一つに記載のDA変換器の試験装置と、
を備えたことを特徴とするDA変換器。

[11] 前記所定のデジタルデータのデータ入力端子と、
前記アナログデータのデータ出力端子と、
前記テスト信号のテスト信号入力端子と、
前記DA変換手段および前記パターン発生手段に供給するクロックを入力する外部クロック入力端子と、
を備えたことを特徴とする請求項10に記載のDA変換器。

[12] 所定のデジタルデータをアナログデータに変換するDA変換器を試験する試験方法であって、
各周期の前半の波形と、各周期の後半の波形を反転した波形とが略同一となる周期パターンデータを、前記DA変換器に入力する段階と、
前記DA変換器からの前記周期パターンデータの基本周波数に対する偶数次高調波成分を観測して、前記DA変換器を試験する段階と
を備える試験方法。

[13] 前記試験する段階は、前記偶数次高調波成分が略零である場合に、前記DA変換

器を良品と判定する

請求項12に記載の試験方法。

- [14] 所定のデジタルデータをアナログデータに変換するDA変換器を試験する試験装置であって、
- 各周期の前半の波形と、各周期の後半の波形を反転した波形とが略同一となる周期パターンデータを、前記DA変換器に入力するパターン発生部と、
- 前記DA変換器からの前記出力波形の基本周波数に対する偶数次高調波成分を観測して、前記DA変換器を試験する試験部と
- を備える試験装置。
- [15] 前記試験部は、前記偶数次高調波成分が略零である場合に、前記DA変換器を良品と判定する
- 請求項14に記載の試験装置。
- [16] 前記パターン発生部は、与えられるパターンデータに基づいて、前記周期パターンデータを生成するシフトレジスタを有し、
- 前記シフトレジスタは、前記パターンデータのビット数に対応する数の、ループ状に接続された複数のレジスタを有し、
- それぞれの前記レジスタは、前記パターンデータの対応するビットデータをラッチし、ラッチした前記ビットデータを、与えられるクロックに応じて次段の前記レジスタに順次受け渡し、
- 前記シフトレジスタは、それぞれの前記レジスタが前記クロックに応じて順次出力するデータを、前記周期パターンデータの各ビットデータとして出力する
- 請求項14に記載の試験装置。
- [17] H論理値を示すビット及びL論理値を示すビットの少なくとも一方が、総ビット数の半分のビットずつ連続している前記パターンデータが前記シフトレジスタに入力されたことを少なくとも条件として、前記周期パターンデータの出力を開始させるテスト信号を前記シフトレジスタに供給する制御部を更に備える
- 請求項16に記載の試験装置。
- [18] 前記シフトレジスタは、前記複数のフリップフロップのうち、いずれか二つの前記フリ

ップフロップの間に挿入された、1以上の設定フリップフロップを更に備え、

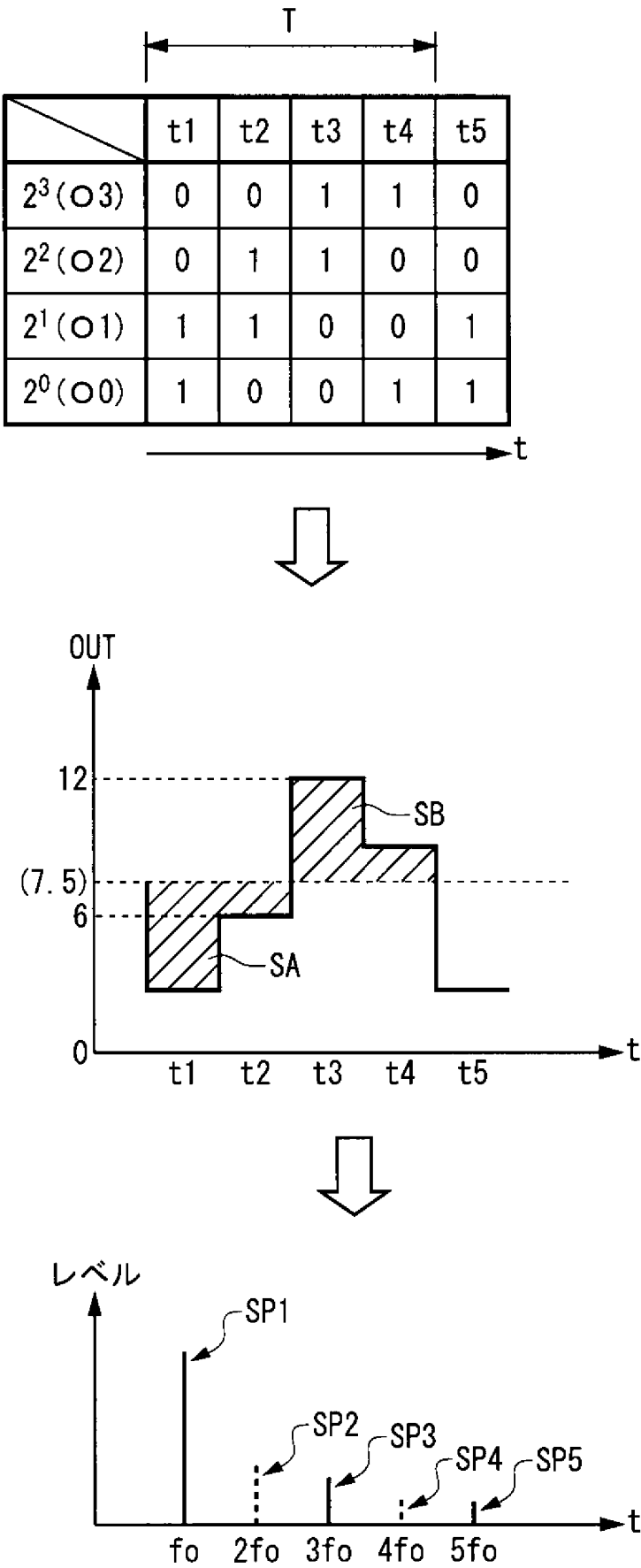
前記設定フリップフロップは、予め定められた設定値を格納する
請求項17に記載の試験装置。

- [19] 前記制御部は、前記パターンデータ及び前記設定値において、H論理値を示すビット及びL論理値を示すビットの少なくとも一方が、総ビット数の半分のビットずつ連続していることを少なくとも条件として、前記周期パターンデータの出力を開始させる前記テスト信号を前記シフトレジスタに供給する
請求項18に記載の試験装置。

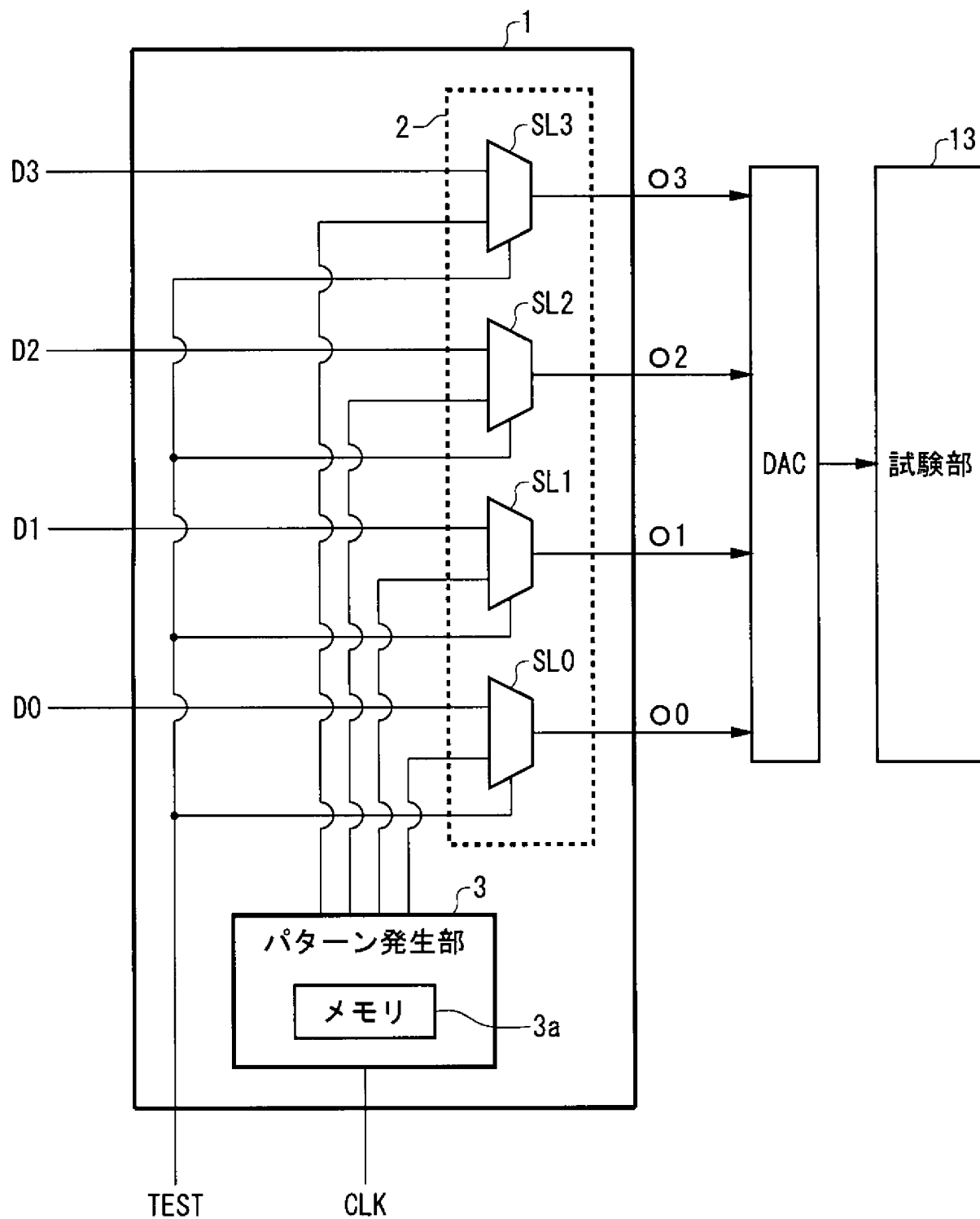
- [20] 内部クロックを発生するクロック発生回路と、
前記テスト信号に基づいて、前記フリップフロップに与えるクロックを、外部クロックから前記内部クロックに切り替えるクロック選択回路と
を更に備える請求項16に記載の試験装置。

- [21] 前記クロック発生回路は、前記外部クロックより周波数の高い前記内部クロックを生成する
請求項20に記載の試験装置。

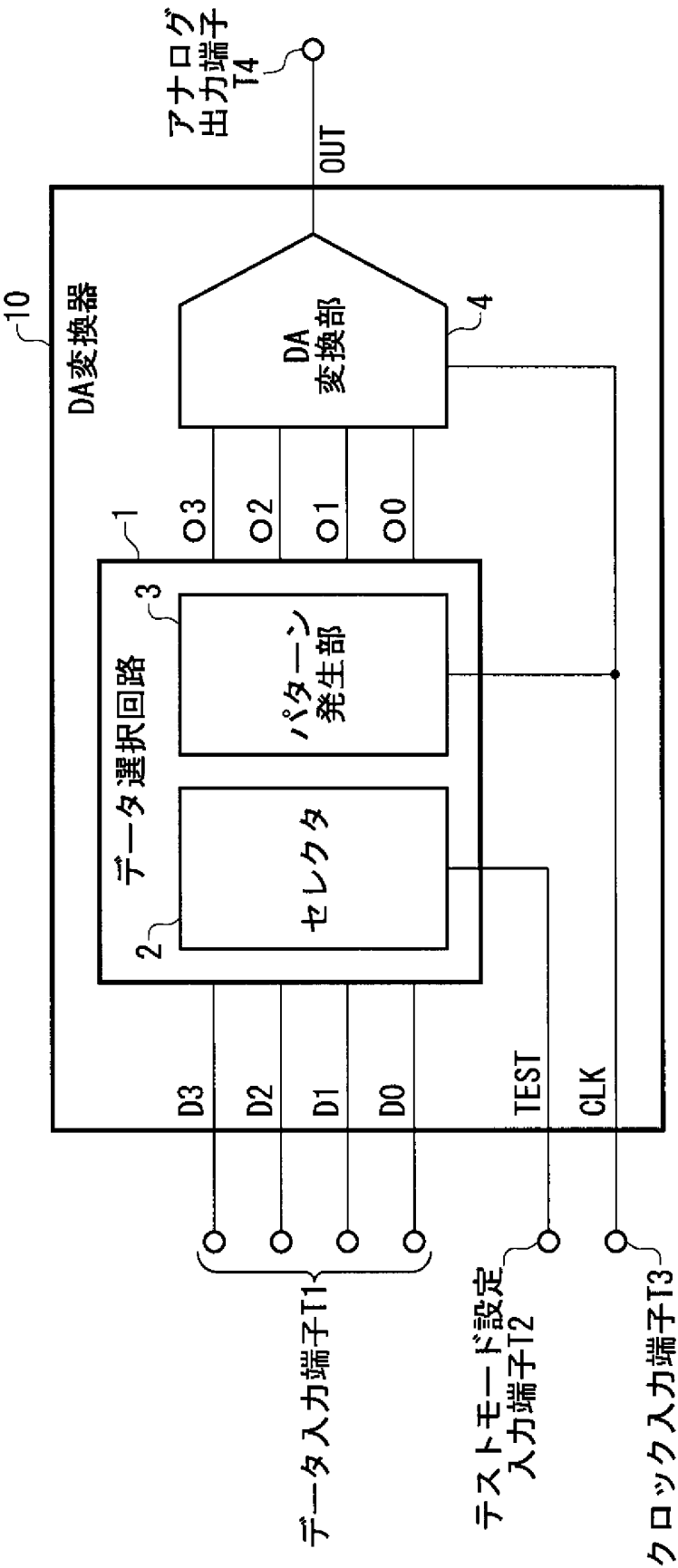
[図1]



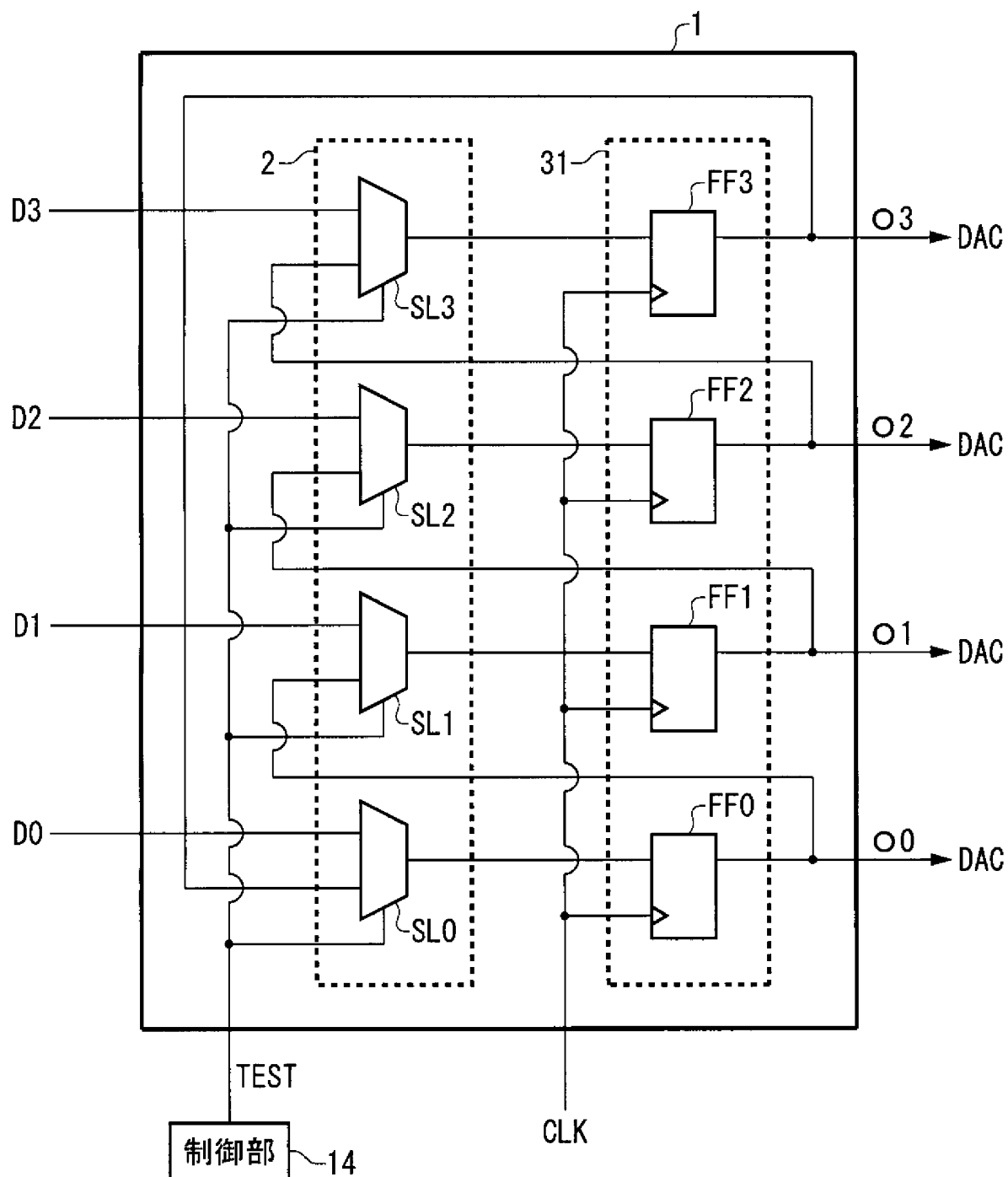
[図2]



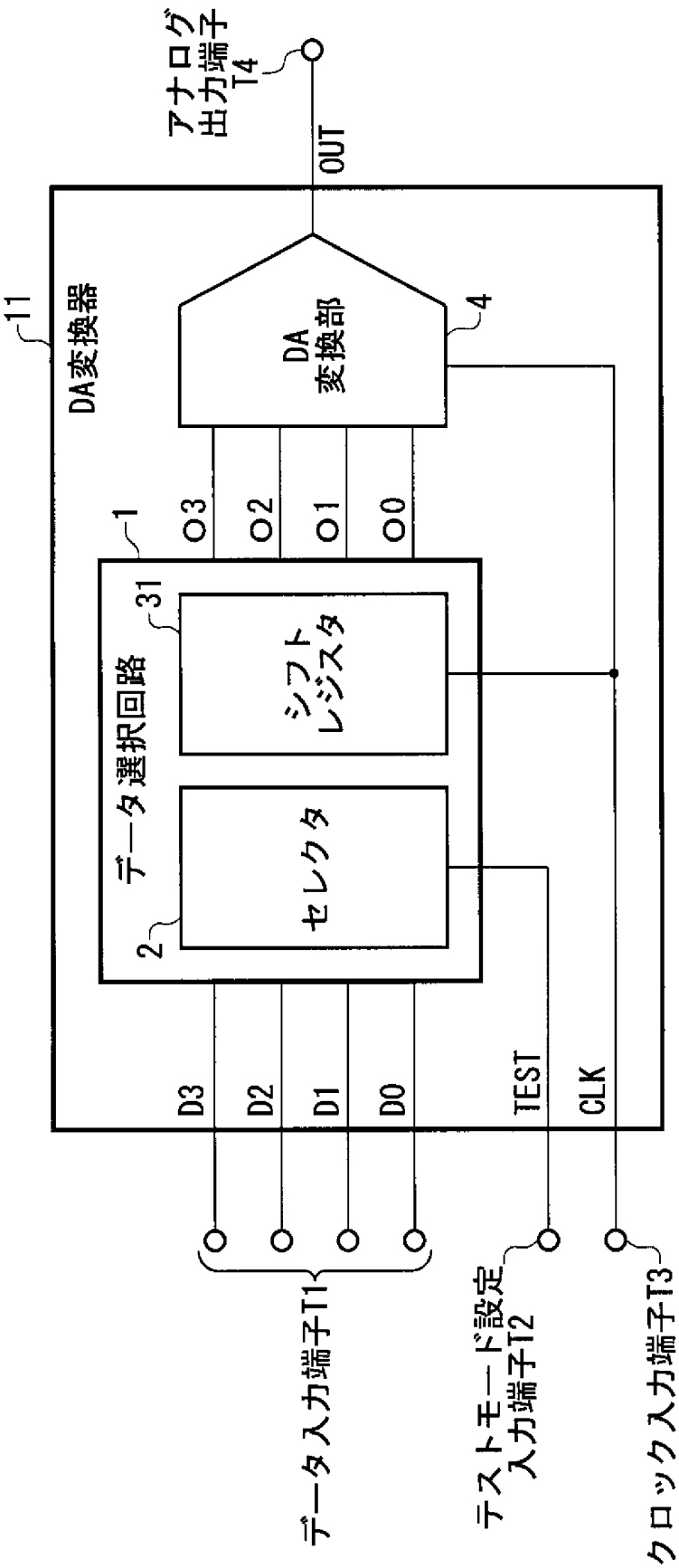
[図3]



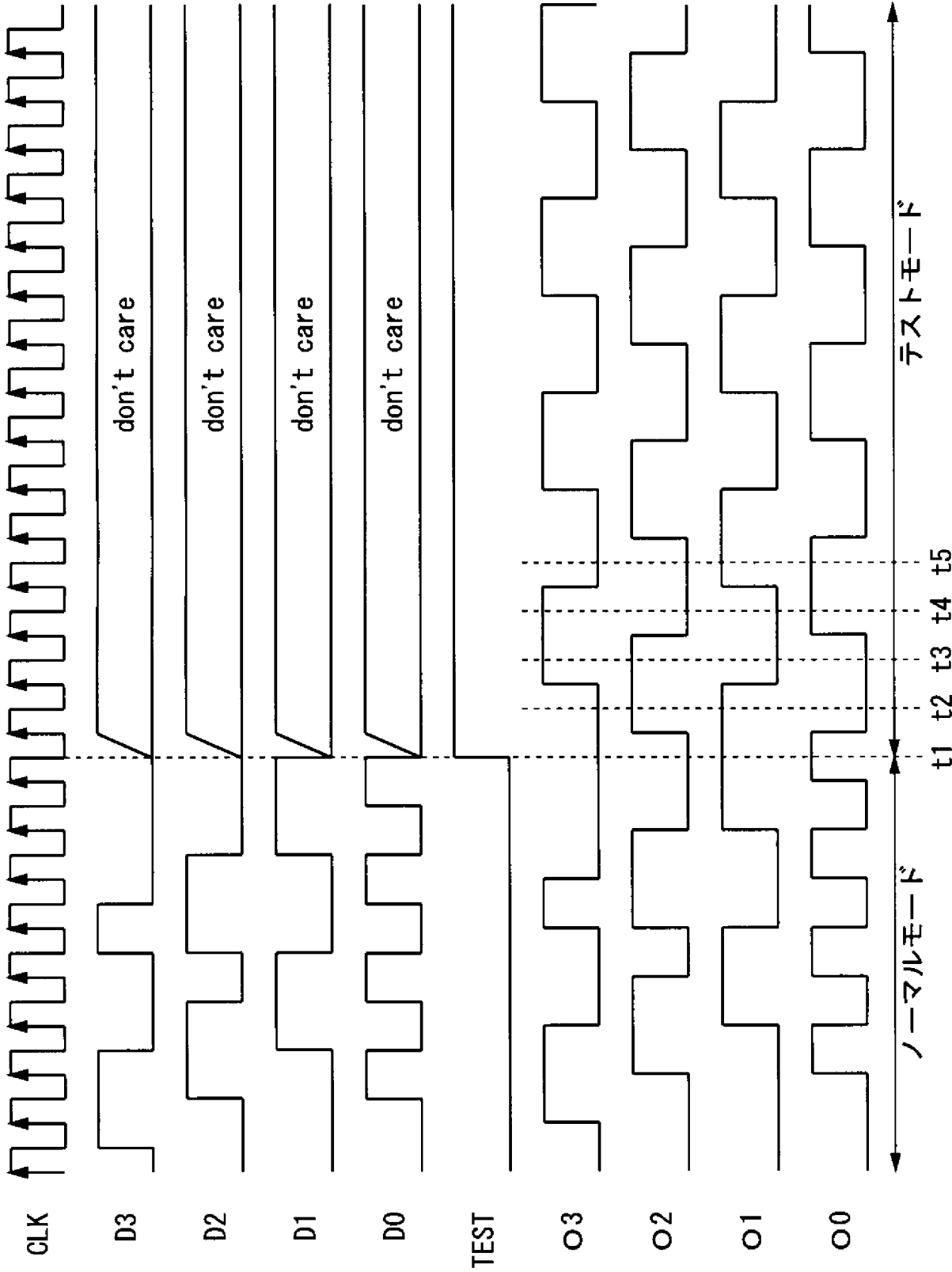
[図4]



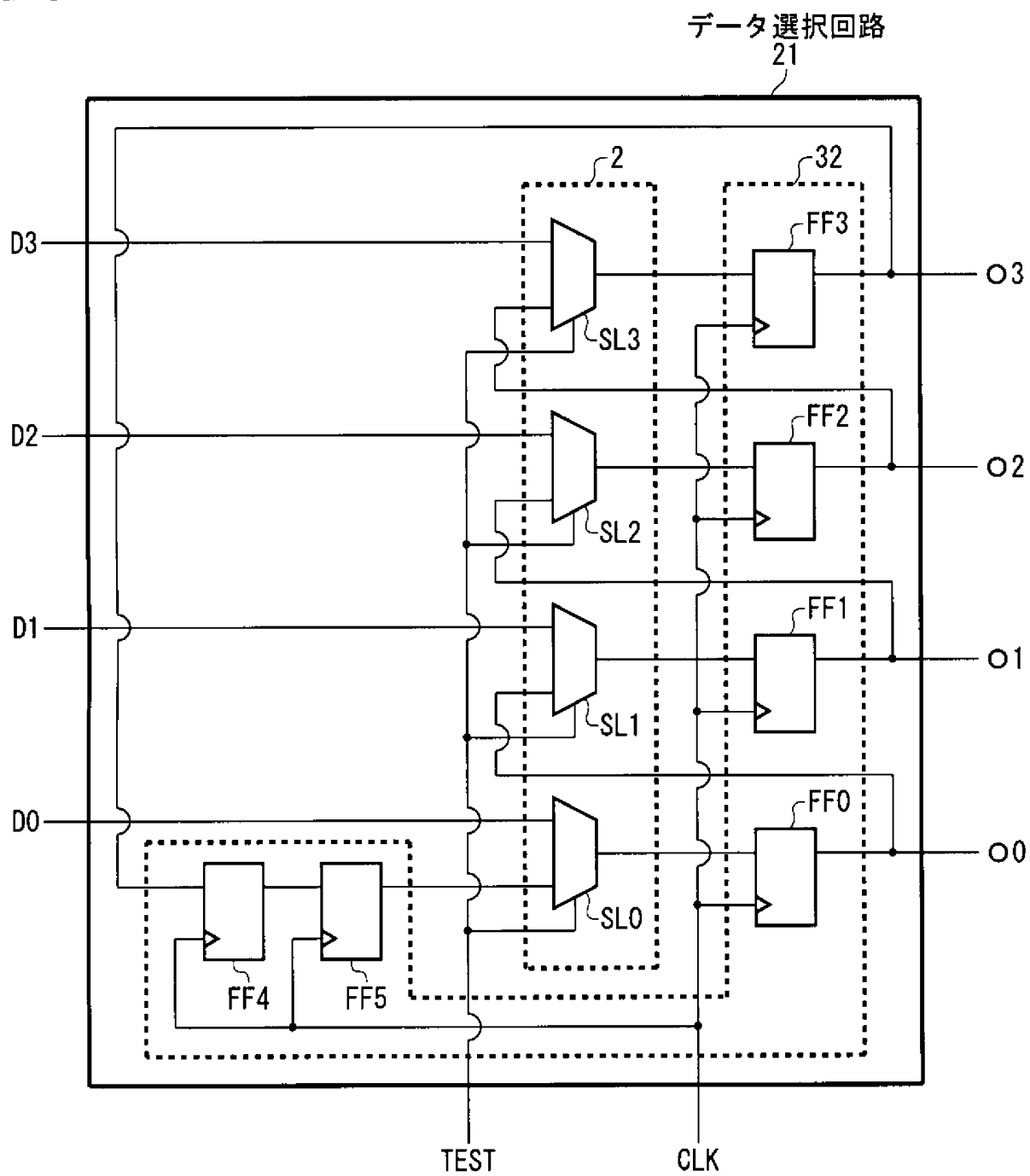
[図5]



[図6]

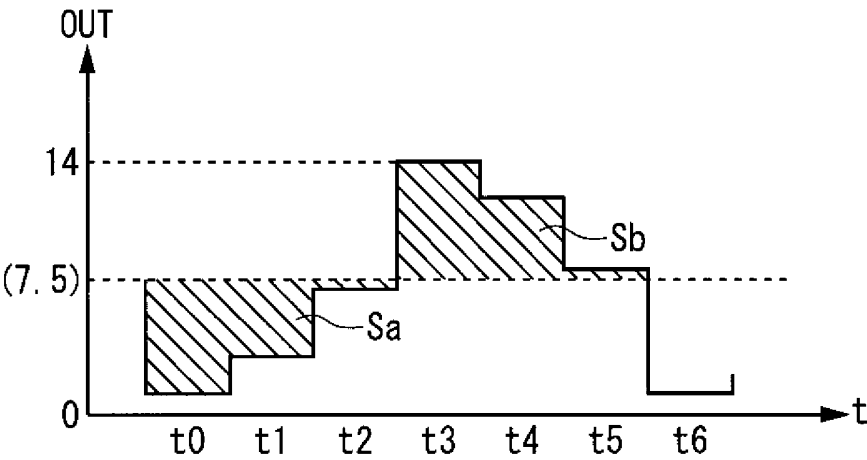


[図7]

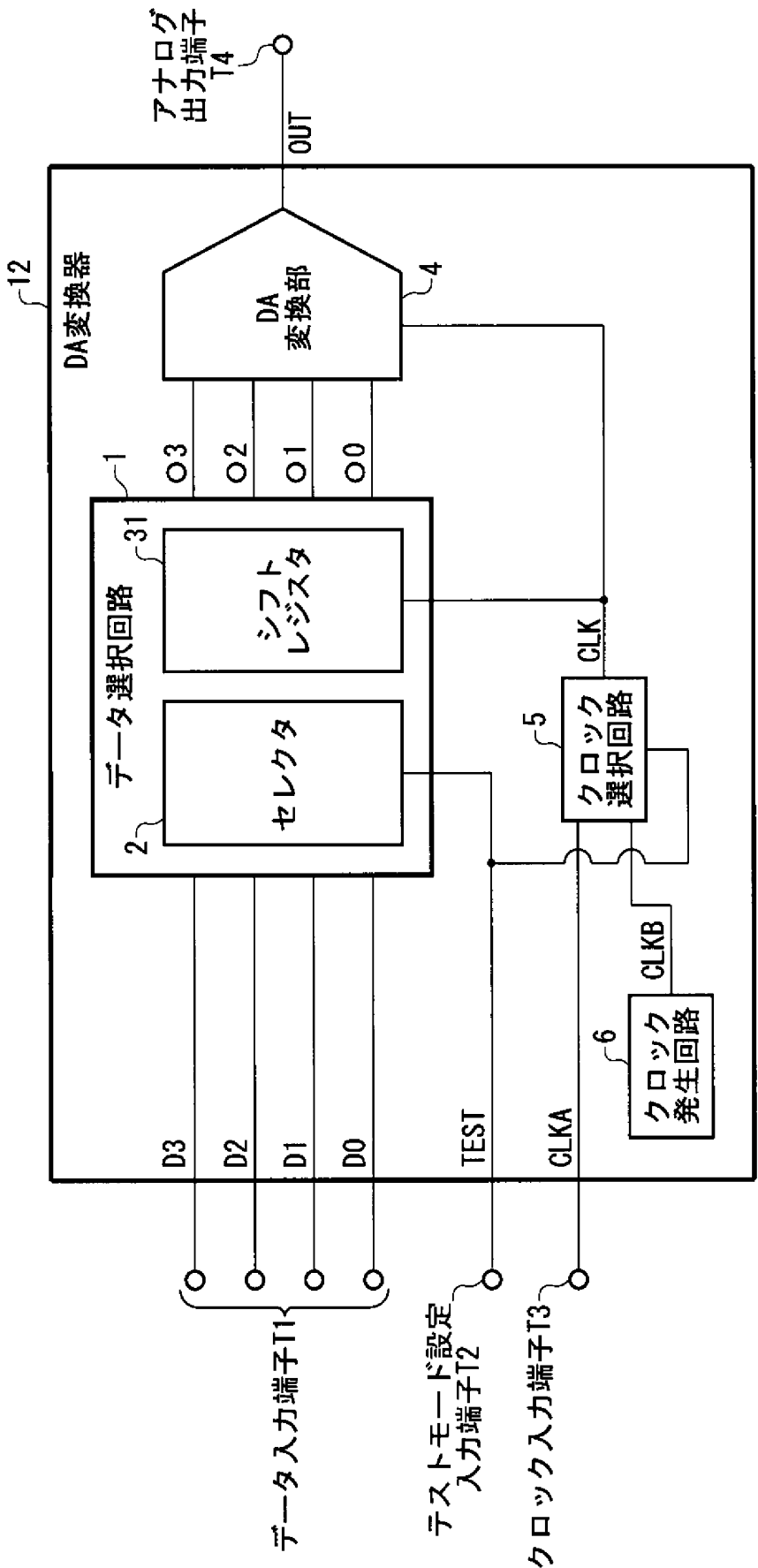


[図8]

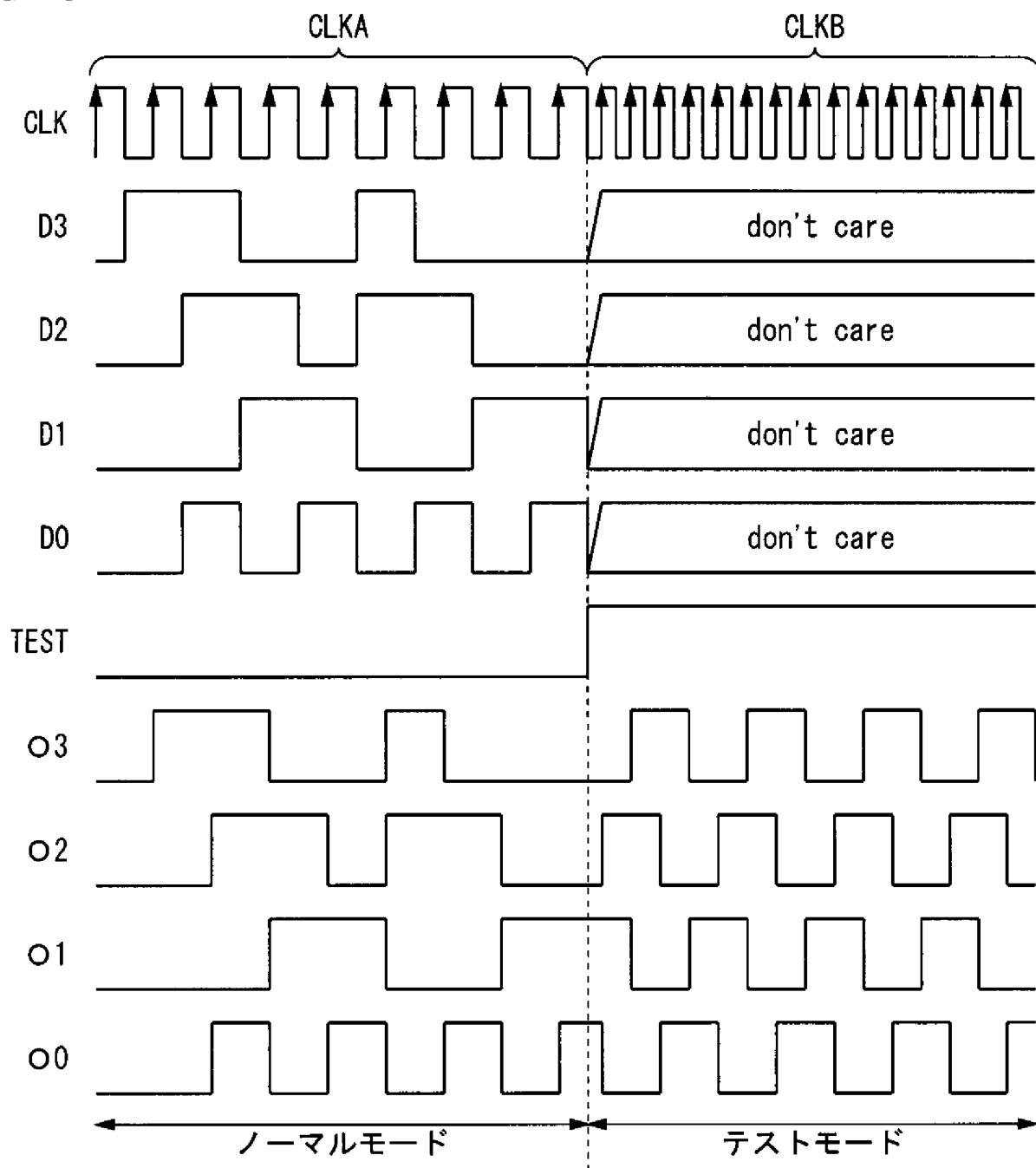
	t0	t1	t2	t3	t4	t5	t6
○3 (FF3)	0	0	0	1	1	1	0
○2 (FF2)	0	0	1	1	1	0	0
○1 (FF1)	0	1	1	1	0	0	0
○0 (FF0)	1	1	1	0	0	0	1
(FF5)	1	1	0	0	0	1	1
(FF4)	1	0	0	0	1	1	1



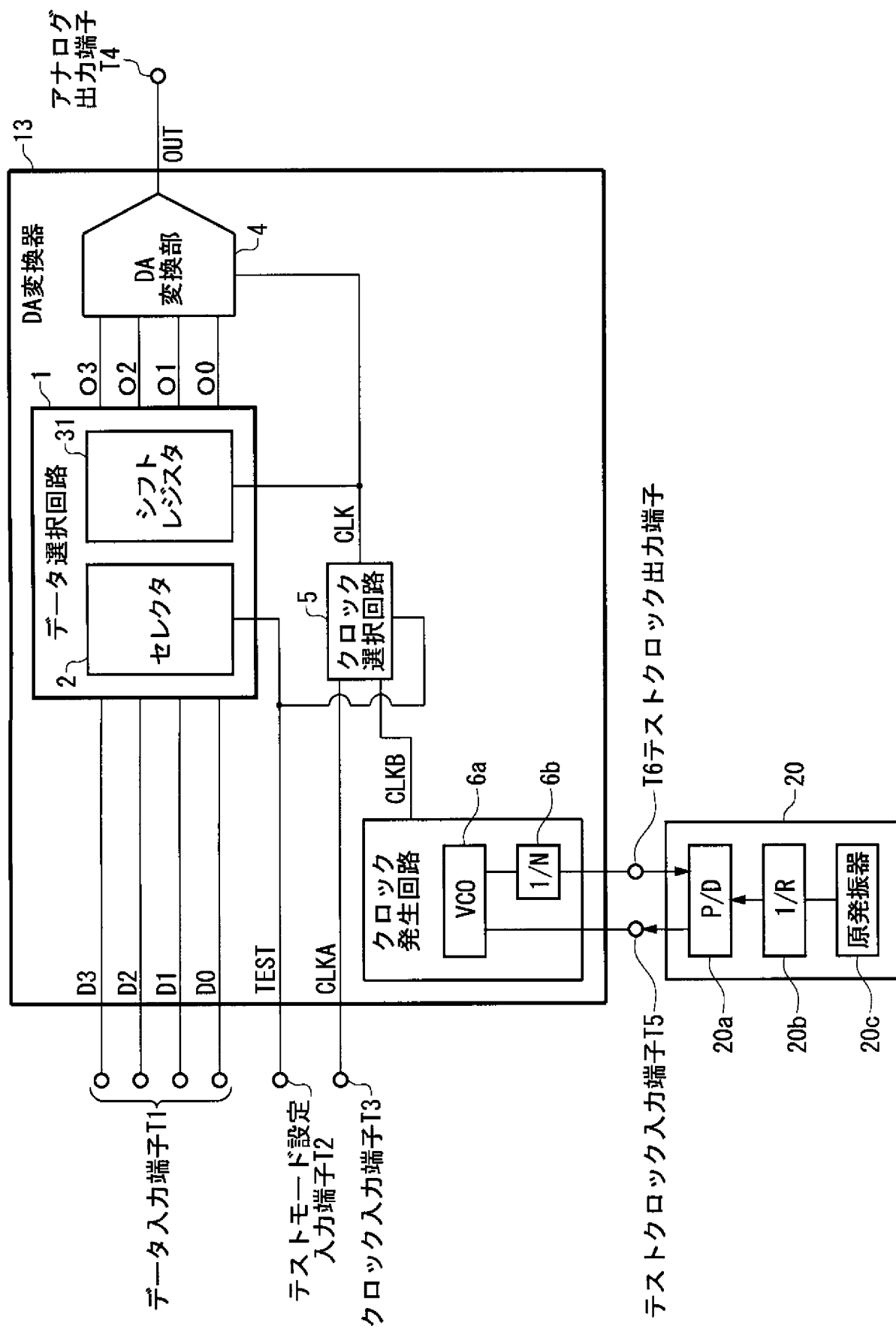
[図9]



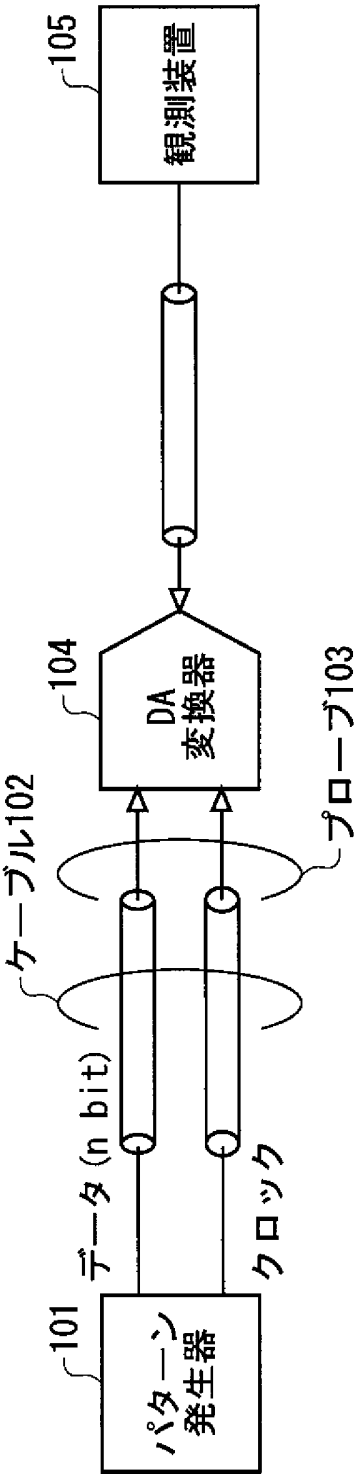
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/021910

A. CLASSIFICATION OF SUBJECT MATTER H03M1/10 (2006.01) , G01R31/316 (2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03M1/10 (2006.01) - H03M1/88 (2006.01) , G01R31/316 (2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 06-181433 A (Yokogawa-Hewlett-Packard, Ltd.) , 28 June, 1994 (28.06.94) , Par. Nos. [0010], [0029]; Fig. 2 (Family: none)	1-3, 12-15 16-21
☐ Further documents are listed in the continuation of Box C.		
☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 31 January, 2006 (31.01.06)	Date of mailing of the international search report 28 February, 2006 (28.02.06)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/021910

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 3 , 12 - 21

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/021910

Continuation of Box No.III of continuation of first sheet (2)

The technical feature common to claims 1-21 is "a test for outputting digital data to a DA converter". IT is obvious for those skilled in the art that this technical feature is not novel and cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

Accordingly, there exists no technical feature common to all the claims.

Since there exists no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 between the different inventions can be seen.

Consequently, the inventions of claims 1-21 do not satisfy the requirement of unity of invention.

Considering that it is obvious for those skilled in the art that the inventions of claims 3 and 4 are not novel, the inventions of the claims are divided into the following three groups (1) to (3).

(1)
claims 1, 2, 12-21, and tentatively 3

-> The invention relates to test of a DA converter by observing the symmetric cyclic pattern data and higher harmonic of even number degree.

(2)
claims 5, 6;
a part of claim 7 referring to claims 5, 6 (referred to as claim 7')
a part of claim 8 referring to claim 7'
tentatively claims 4, 9-11

-> The inventions relates to a test data generation device for testing a DA converter by using cyclic shift

(3)
a part of claim 7 referring to claim 4 (referred to as claim 7'')
a part of claim 8 referring to claim 7''

-> The invention relates to testing the DA converter by switching to internal clock during test mode and operating the test data generation device and the DA converter.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03M1/10(2006.01), G01R31/316(2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03M1/10(2006.01)-H03M1/88(2006.01), G01R31/316(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 06-181433 A (横河・ヒューレット・パッカード株式会社) 1994.06.28, 段落 10, 段落 29, 第2図 (ファミリーなし)	1-3, 12-15 16-21

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

31.01.2006

国際調査報告の発送日

28.02.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

電話番号 03-3581-1101 内線 3596

5X

9561

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲_____は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲_____は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲_____は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

1-3, 12-21

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。

請求の範囲 1 - 2 1 に共通の事項は、“デジタルデータを D A 変換器に出力する試験”である。この事項は新規でないことが当業者にとって自明であると認められるから、P C T 規則 1 3. 2 第 2 文の意味において特別な技術的特徴ではない。

それ故、請求の範囲全てに共通の事項はない。

P C T 規則 1 3. 2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に P C T 規則 1 3 の意味における技術的な関連をみいだすことができない。

よって、請求の範囲 1 - 2 1 は発明の単一性をみたしていない。

請求の範囲 3 及び 4 に係る発明が新規でないことは当業者にとって自明であることに鑑みると、請求の範囲には以下 (1) ~ (3) に示す 3 発明が記載されていると認める。

(1)

請求の範囲 1, 2, 1 2 - 2 1, 及び便宜上 3

→ 対称周期パターンデータ及び偶数次高調波観測による D A 変換器の試験の発明。

(2)

請求の範囲 5, 6

請求の範囲 7 のうち請求の範囲 5, 6 に従属する部分 (請求の範囲 7' と呼ぶ)

請求の範囲 8 のうち請求の範囲 7' に従属する部分

便宜上請求の範囲 4, 9 - 1 1

→ 巡回シフトを用いた D A 変換器試験用試験データ発生装置の発明。

(3)

請求の範囲 7 のうち請求の範囲 4 に従属する部分 (請求の範囲 7'' と呼ぶ)

請求の範囲 8 のうち請求の範囲 7'' に従属する部分

→ テストモード時に内部クロックに切り替えて試験データ発生装置と D A 変換器とを動作させて D A 変換器の試験をする発明。