

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-264480

(P2004-264480A)

(43) 公開日 平成16年9月24日(2004.9.24)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G09G 3/20 612L	5C080
	G09G 3/20 622Q	
	G09G 3/20 623U	
審査請求 未請求 請求項の数 6 O L (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2003-53730 (P2003-53730)
 (22) 出願日 平成15年2月28日 (2003.2.28)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (71) 出願人 000233088
 日立デバイスエンジニアリング株式会社
 千葉県茂原市早野3681番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (72) 発明者 中村 雅志
 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内
 (72) 発明者 武田 伸宏
 千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

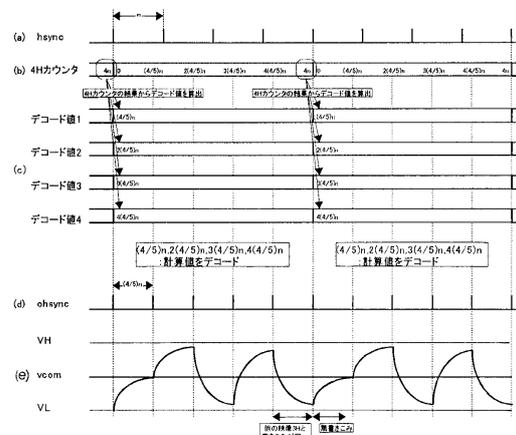
(57) 【要約】 (修正有)

【課題】 入力される映像データの変更があっても表示品質を劣化させることのないようにする。

【解決手段】 マトリクス型表示装置のデータ駆動回路は、表示信号を画素アレイにN回(Nは2以上の自然数)出力する第1の工程と、ブランキング信号をM回(MはNより小さい自然数)出力する第2の工程とが交互に繰り返され、走査駆動回路は、前記第1の工程においてY行(YはN/Mより小さい自然数)毎に順次選択する第1選択工程と、前記第2の工程において前記第1選択工程で選択された(Y×N)行以外をZ行(ZはN/M以上の自然数)毎に順次選択する第2選択工程とが交互に繰り返され、第1の工程におけるN個の表示信号出力と第2の工程におけるM個の表示信号出力は、順次出力されるN個分の水平走査周期を(N+M)個に均等に等分された周期に呼应してなされる。

【選択図】 図 1 1

図 11



【特許請求の範囲】

【請求項 1】

第 1 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第 1 方向に交差する第 2 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備えたものであって、

映像データがその水平走査周期ごとにその 1 ラインずつ入力され、

前記データ駆動回路は、前記映像データの 1 ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を画素アレイに N 回 (N は 2 以上の自然数) 出力する第 1 の工程と、

前記画素の輝度を前記第 1 工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を画素アレイに M 回 (M は N より小さい自然数) 出力する第 2 の工程とが交互に繰り返され、

前記走査駆動回路は、前記第 1 の工程において前記複数の画素行を Y 行 (Y は N / M より小さい自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 1 選択工程と、

前記第 2 の工程において前記複数の画素行の前記第 1 選択工程で選択された ($Y \times N$) 行以外を Z 行 (Z は N / M 以上の自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 2 選択工程とが交互に繰り返され、

第 1 の工程における N 個の表示信号の出力と第 2 の工程における M 個の表示信号の出力は、順次出力される N 個分の前記水平走査周期を ($N + M$) 個に均等に等分された周期に呼応してなされることを特徴とする表示装置。

【請求項 2】

前記第 1 の工程における前記表示信号の 1 回の出力に呼応して前記第 1 選択工程で選択される前記画素行の行数: Y は 1 であり、該第 1 の工程での表示信号の出力回数: N は 4 以上であり、前記第 2 の工程における前記表示信号の 1 回の出力に呼応して前記第 2 選択工程で選択される前記画素行の行数: Z は 4 以上であり、且つ該第 2 の工程での表示信号の出力回数: M は 1 である請求項 1 に記載の表示装置。

【請求項 3】

第 1 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第 1 方向に交差する第 2 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備えたものであって、

映像データがその水平走査周期ごとにその 1 ラインずつ入力され、

前記データ駆動回路は、前記映像データの 1 ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を画素アレイに N 回 (N は 2 以上の自然数) 出力する第 1 の工程と、

前記画素の輝度を前記第 1 工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を画素アレイに M 回 (M は N より小さい自然数) 出力する第 2 の工程とが交互に繰り返され、

前記走査駆動回路は、前記第 1 の工程において前記複数の画素行を Y 行 (Y は N / M より小さい自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 1 選択工程と、

前記第 2 の工程において前記複数の画素行の前記第 1 選択工程で選択された ($Y \times N$) 行以外を Z 行 (Z は N / M 以上の自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 2 選択工程とが交互に繰り返され、

第 1 の工程における N 個の表示信号の出力と第 2 の工程における M 個の表示信号の出力は、順次出力される N 個分の前記水平走査周期を ($N + M$) 個に均等に等分された周期に呼

10

20

30

40

50

応してなされ回路を備えることを特徴とする表示装置。

【請求項 4】

前記第 1 の工程における前記表示信号の 1 回の出力に呼応して前記第 1 選択工程で選択される前記画素行の行数：Y は 1 であり、該第 1 の工程での表示信号の出力回数：N は 4 以上であり、前記第 2 の工程における前記表示信号の 1 回の出力に呼応して前記第 2 選択工程で選択される前記画素行の行数：Z は 4 以上であり、且つ該第 2 の工程での表示信号の出力回数：M は 1 である請求項 3 に記載の表示装置。

【請求項 5】

前記回路は、外部の映像信号源に含まれる水平同期信号とクロック信号を入力させる水平カウンタと、前記水平同期信号と前記水平カウンタからのカウント値を入力させるデコード値算出回路と、このデコード値算出回路からの各デコード値と前記水平カウンタからのカウント値が入力されるデコード回路とで補正された水平同期信号を生成することを特徴とする請求項 3 に記載の表示装置。

10

【請求項 6】

前記回路は前記表示制御回路に組み込まれていることを特徴とする請求項 3、5 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、たとえばアクティブ・マトリクス型の液晶表示装置あるいはエレクトロルミネセンス・アレイ等の表示装置に関する。

20

【0002】

【従来の技術】

アクティブ・マトリクス型の表示装置は、たとえば x 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が y 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路を備えて構成される。

【0003】

そして、このような構成において、それに動画を映像させる際にその画像を鮮明化させるため、データ駆動回路から、表示信号を所定数行（たとえば 4 行）に順次供給した後に、これら表示信号が供給される行とは異なる他の行であって複数（たとえば 4 つ）のたとえば隣接する行にたとえば 1 回のブランキング・データを供給し、これを順次繰り返すことにより、画面の全域を複数のフレームに亘って黒表示させることが試みられている。

30

【0004】

【発明が解決しようとする課題】

しかし、上述した表示装置において、前記 1 回のブランキング・データの供給を含めて表示信号を 4 行に順次供給するタイミングは、該表示装置に入力される映像データに含まれる水平同期信号の 4 つの水平走査期間を 5 つに等分割した値に基づいて得られるパルスによってなされている。

【0005】

4 つの水平期間を 5 つに等分割するのは、映像データの各水平走査期間に含まれる帰線期間を縮めてブランキング・データの供給のための期間を捻出しているからである。

40

【0006】

ここで、4 つの水平走査期間を 5 つに等分割した値は固定された値であったため次に示す不都合が生じることが判明した。

【0007】

すなわち、映像データとして、たとえば、いままでたとえばパーソナル・コンピュータ用のそれを用いていた場合に、テレビジョン受像機用等のそれに切り替えると、該テレビジョン受像機用の映像データの水平同期信号の周期は短くなり、この短くなった周期を有する水平同期信号の 4 つの水平走査期間を前記値（固定された値）によって分割することに

50

なる。

【0008】

このため、ランキング・データの供給を始めとしてその後4つの表示信号の順次供給が続くとすれば、4つ目の表示信号の供給の時間が長くなってしまい、当該画素における書込みが他の画素よりも良くなってしまう現象が生じる。

【0009】

したがって、当該画素を含む行における画素行の各画素の輝度が大きくなり、これが横スジとして認識されることになる。

【0010】

本発明はこのような事情に基づいてなされたものであり、その目的は、入力される映像データの変更があっても表示品質を劣化させることのない表示装置を提供することにある。 10

【0011】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0012】

手段1.

本発明による表示装置は、たとえば、第1方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第1方向に交差する第2方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも1行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備えたものであって、 20
映像データがその水平走査周期ごとにその1ラインずつ入力され、
前記データ駆動回路は、前記映像データの1ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を画素アレイにN回(Nは2以上の自然数)出力する第1の工程と、
前記画素の輝度を前記第1工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を画素アレイにM回(MはNより小さい自然数)出力する第2の工程とが交互に繰り返され、
前記走査駆動回路は、前記第1の工程において前記複数の画素行をY行(YはN/Mより 30
小さい自然数)毎に前記画素アレイの一端から他端に向けて前記第2方向沿いに順次選択する第1選択工程と、
前記第2の工程において前記複数の画素行の前記第1選択工程で選択された(Y×N)行以外をZ行(ZはN/M以上の自然数)毎に前記画素アレイの一端から他端に向けて前記第2方向沿いに順次選択する第2選択工程とが交互に繰り返され、
第1の工程におけるN個の表示信号の出力と第2の工程におけるM個の表示信号の出力は、順次出力されるN個分の前記水平走査周期を(N+M)個に均等に等分された周期に呼応してなされることを特徴とするものである。

【0013】

手段2.

本発明による表示装置は、手段1の構成を前提とし、前記第1の工程における前記表示信号の1回の出力に呼応して前記第1選択工程で選択される前記画素行の行数：Yは1であり、該第1の工程での表示信号の出力回数：Nは4以上であり、前記第2の工程における前記表示信号の1回の出力に呼応して前記第2選択工程で選択される前記画素行の行数：Zは4以上であり、且つ該第2の工程での表示信号の出力回数：Mは1であることを特徴とするものである。 40

【0014】

手段3.

本発明による液晶表示装置は、たとえば、第1方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第1方向に交差する第2方向沿いに並設される画素アレイ、該複数の画素行 50

の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも1行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備えたものであって、映像データがその水平走査周期ごとにその1ラインずつ入力され、前記データ駆動回路は、前記映像データの1ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を画素アレイにN回(Nは2以上の自然数)出力する第1の工程と、前記画素の輝度を前記第1工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を画素アレイにM回(MはNより小さい自然数)出力する第2の工程とが交互に繰り返され、前記走査駆動回路は、前記第1の工程において前記複数の画素行をY行(YはN/Mより小さい自然数)毎に前記画素アレイの一端から他端に向けて前記第2方向沿いに順次選択する第1選択工程と、前記第2の工程において前記複数の画素行の前記第1選択工程で選択された(Y×N)行以外をZ行(ZはN/M以上の自然数)毎に前記画素アレイの一端から他端に向けて前記第2方向沿いに順次選択する第2選択工程とが交互に繰り返され、第1の工程におけるN個の表示信号の出力と第2の工程におけるM個の表示信号の出力は、順次出力されるN個分の前記水平走査周期を(N+M)個に均等に等分された周期に呼応してなされ回路を備えることを特徴とするものである。

10

【0015】

20

手段4.

本発明による表示装置は、たとえば、手段3の構成を前提とし、前記第1の工程における前記表示信号の1回の出力に呼応して前記第1選択工程で選択される前記画素行の行数：Yは1であり、該第1の工程での表示信号の出力回数：Nは4以上であり、前記第2の工程における前記表示信号の1回の出力に呼応して前記第2選択工程で選択される前記画素行の行数：Zは4以上であり、且つ該第2の工程での表示信号の出力回数：Mは1であることを特徴とするものである。

【0016】

手段5.

本発明による表示装置は、たとえば、手段3の構成を前提とし、前記回路は、外部の映像信号源に含まれる水平同期信号とクロック信号を入力させる水平カウンタと、前記水平同期信号と前記水平カウンタからのカウント値を入力させるデコード値算出回路と、このデコード値算出回路からの各デコード値と前記水平カウンタからのカウント値が入力されるデコード回路とで補正された水平同期信号を生成することを特徴とするものである。

30

【0017】

手段6.

本発明による表示装置は、たとえば、手段3、5のいずれかの構成を前提とし、前記回路は前記表示制御回路に組み込まれていることを特徴とするものである。

【0018】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

40

【0019】

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

【0020】

第1の実施例

本発明による表示装置及びその駆動方法の第1の実施例を図1乃至図7を参照して説明する。本実施例では、アクティブ・マトリクス型の液晶表示パネル(Active Matrix-type Liquid Crystal Display Panel)を画素アレイ(Pixels-Array)に用いた表示装置(液晶表示装置)を引き合いに

50

出すが、その基本的な構造や駆動方法はエレクトロルミネセンス・アレイ (Electroluminescence Array) や発光ダイオード・アレイ (Light Emitting Diode Array) を画素アレイとして用いた表示装置にも適用され得る。

【0021】

図1は、本発明による表示装置の画素アレイへの表示信号出力(データ・ドライバ出力電圧)とその各々に呼応した画素アレイ内の走査信号線G1の選択タイミングを示すタイミング・チャートである。図2は、表示装置に備えられた表示制御回路(タイミング・コントローラ)への映像データの入力(入力データ)とこれからの映像データの出力(ドライバ・データ)のタイミングを示すタイミング・チャートである。図3は、本発明による表示装置の本実施例における概要を示す構成図(ブロック図)であり、これに示された画素アレイ101とその周辺の詳細の一例は図9に示される。先述の図1及び図2のタイミング・チャートは、図3に示された表示装置(液晶表示装置)の構成に基づいて描かれている。図4は、本実施例における表示装置の画素アレイへの表示信号出力(データ・ドライバ出力電圧)とその各々に呼応した走査信号線選択タイミングの別の例を示すタイミング・チャートであり、表示信号の出力期間にシフトレジスタ型走査ドライバ(Shift-register type Scanning Driver)から出力される走査信号線で走査信号線の4本を選択し、これらの走査信号線の夫々に対応する画素行に表示信号を供給する。図5は、表示制御回路104(図3参照)に備えられたライン・メモリ回路(Line-Memory Circuit)105に含まれる4つのライン・メモリ毎に4ライン分の映像データを1ラインずつ書込み(Write)し、且つ夫々のライン・メモリから読み出して(Read-Out)、データ・ドライバ(映像信号駆動回路)に転送するタイミングを示すタイミング・チャートである。図6は、本発明による表示装置の駆動方法に係り、その画素アレイでの本実施例による映像データ及びブランキング・データの表示タイミングを示し、これに則り本実施例における表示装置(液晶表示装置)を駆動したときの画素の輝度応答(画素に対応する液晶層の光透過率の変動)を図7に示す。

10

20

【0022】

はじめに、図3を参照して本実施例における表示装置100の概要を説明する。この表示装置100は、画素アレイ101としてWXGAクラスの解像度を有する液晶表示パネル(以下、液晶パネルと記す)を備える。WXGAクラスの解像度を有する画素アレイ101は、液晶パネルに限らず、その画面内に水平方向に1280ドットの画素を並べてなる画素行が垂直方向に768ライン並設されていることに特徴づけられる。本実施例における表示装置の画素アレイ101は、既に図9を参照して説明されたそれと概ね同じであるが、その解像度ゆえ、画素アレイ101の面内には768ラインのゲート線10と1280ラインのデータ線12とが夫々並設される。また、画素アレイ101には、その各々が前者のいずれか一つで伝送される走査信号で選択されて後者のいずれか一つから表示信号を受ける983040個の画素PIXが二次元的に配置され、これらにより画像が生成される。画素アレイがカラー画像を表示する場合は、各画素はカラー表示に用いられる原色の数に応じて水平方向に分割される。例えば、光の三原色(赤、緑、青)に応じたカラー・フィルタを備える液晶パネルでは、上述のデータ線12の数は3840ラインに増やされ、その表示画面に含まれる画素PIXの総数も上述の値の3倍となる。

30

40

【0023】

本実施例で画素アレイ101として用いられる前記液晶パネルを更に詳細に説明すれば、これに含まれる画素PIXの各々はスイッチング素子SWとして薄膜トランジスタ(Thin Film Transistor, TFTと略される)を備える。また、各画素はこれに供給される表示信号が増大するほど高い輝度を示す所謂ノーマリ黒表示モード(Normally Black-displaying Mode)で動作する。本実施例の液晶パネルのみならず、上述のエレクトロルミネセンス・アレイや発光ダイオード・アレイの画素もノーマリ黒表示モードで動作する。ノーマリ黒表示モードで動作する液晶パ

50

ネルにおいては、図9の画素PIXに設けられた画素電極PXにデータ線12からスイッチング素子SWを通して印加される階調電圧と、液晶層LCを挟んで画素電極PXと対向する対向電極CTに印加される対向電圧(基準電圧、コモン電圧ともよばれる)との電位差が大きくなるほど、この液晶層LCの光透過率が上昇し、画素PIXの輝度を高める。換言すれば、この液晶パネルの表示信号である階調電圧は、その値が対向電圧の値から離れるほど、表示信号を増大させる。

【0024】

図3に示された画素アレイ(TFT型の液晶パネル)101には、図9に示される画素アレイ101と同様に、これに設けられたデータ線(信号線)12に表示データに応じた表示信号(階調電圧, Gray Scale Voltage, or Tone Voltage)を与えるデータ・ドライバ(表示信号駆動回路)102と、これに設けられたゲート線(走査線)10に走査信号(電圧信号)を与える走査ドライバ(走査信号駆動回路)103-1, 103-2, 103-3とが夫々設けられる。本実施例では、走査ドライバを画素アレイ101の所謂垂直方向沿いに3つに分割したが、その個数はこれに限定されず、またこれらの機能を集約させた一つの走査ドライバに置き換えてもよい。

10

【0025】

表示制御回路(タイミング・コントローラ, Timing Controller)104は、データ・ドライバ102に上述の表示データ(ドライバ・データ, Driver Data)106及びこれに応じた表示信号出力を制御するタイミング信号(データ・ドライバ制御信号, Data Driver Control Signal)107を、走査ドライバ103-1, 103-2, 103-3の夫々に走査クロック信号(Scanning Clock Signal)112及び走査開始信号(Scanning Start Signal)113を夫々転送する。表示制御回路104は、走査ドライバ103-1, 103-2, 103-3に、その夫々に応じた走査状態選択信号(Scan-Condition Selecting Signal)114-1, 114-2, 114-3をも転送するが、その機能については後述する。走査状態選択信号は、その機能からして表示動作選択信号(Display-Operation Selecting Signal)とも記される。

20

【0026】

表示制御回路104は、テレビジョン受像機、パーソナル・コンピュータ、DVDプレーヤ等、表示装置100の外部の映像信号源からこれに入力される映像データ(映像信号)120及び映像制御信号121を受ける。表示制御回路104の内部又はその周辺には映像データ120を一時的に格納するメモリ回路が設けられるが、本実施例ではライン・メモリ回路105が表示制御回路104に内蔵される。映像制御信号121は、映像データの伝送状態を制御する垂直同期信号(Vertical Synchronizing Signal)VSYNC, 水平同期信号(Horizontal Synchronizing Signal)HSYNC, ドット・クロック信号(Dot Clock Signal)DOTCLK, 及びディスプレイ・タイミング信号(Display Timing Signal)DTMGを含む。表示装置100に1画面の映像を生成させる映像データは、垂直同期信号VSYNCに呼応して(同期して)表示制御回路104に入力される。換言すれば、映像データは垂直同期信号VSYNCにより規定される周期(垂直走査期間、フレーム期間とも呼ばれる)毎に上記映像信号源から表示装置100(表示制御回路104)に逐次入力され、このフレーム期間毎に1画面の映像が入れ代わり立ち代わり画素アレイ101に表示される。1フレーム期間における映像データは、これに含まれる複数のライン・データ(Line Data)を上述の水平同期信号HSYNCで規定される周期(水平走査期間とも呼ばれる)で分けて表示装置に順次入力される。換言すれば、フレーム期間毎に表示装置に入力される映像データの各々は複数のライン・データを含み、これにより生成される1画面の映像はライン・データ毎に抛る水平方向の映像を水平走査期間毎に垂直方向に順次並べて生成される。1画面の水平方向に並ぶ画素の各々に対応したデータは、上記ライン・データの各々を上記ドット・クロック信号で規定される

30

40

50

周期で識別される。

【0027】

映像データ120及び映像制御信号121は陰極線管(Cathode Ray Tube)を用いた表示装置にも入力されるため、その電子線を水平走査期間毎及びフレーム期間毎に走査終了位置から走査開始位置に掃引する時間を要する。この時間は映像情報の伝送においてデッド・タイム(Dead Time)となるため、これに対応する映像情報の伝送に寄与しない帰線期間(Retracing Period)と呼ばれる領域が映像データ120にも設けられる。映像データ120において、この帰線期間に対応する領域は、上述のディスプレイ・タイミング信号DTMGにより映像情報の伝送に寄与する他の領域と識別される。

10

【0028】

一方、本実施例にて記されるアクティブ・マトリクス型の表示装置100は、そのデータ・ドライバ102で1ラインの映像データ(上述のライン・データ)分の表示信号を生成し、これらを走査ドライバ103によるゲート線10の選択に呼応させて画素アレイ101に並設された複数のデータ線(信号線)12へ一斉に出力する。このため、理論的には帰線期間を挟むことなく水平走査期間から次の水平走査期間へライン・データの画素行への入力が続けられ、フレーム期間から次のフレーム期間へ映像データの画素アレイへの入力も続けられる。このため、本実施例の表示装置100では、表示制御回路104によるメモリ回路(ライン・メモリ)105からの1ライン分の映像データ(ライン・データ)毎の読み出しを、上述の水平走査期間(1ライン分の映像データのメモリ回路105への格納に宛がわれる)に含まれる帰線期間を縮めて生成された周期に則り行う。この周期は、後述する画素アレイ101への表示信号の出力間隔にも反映されるため、以降、画素アレイ動作の水平期間又は単に水平期間と記す。表示制御回路104は、この水平期間を規定する水平クロックCL1を生成し、上述のデータ・ドライバ制御信号107の一つとしてデータ・ドライバ102に転送する。本実施例では、1ライン分の映像データをメモリ回路105に格納する時間(上述の水平走査期間)に対して、これをメモリ回路105から読み出す時間(上述の水平期間)を縮めることで、1フレーム期間毎に画素アレイ101にブランキング信号を入力する時間を捻出する。

20

【0029】

図2は、表示制御回路104によるメモリ回路105への映像データ入力(格納)とこれからの出力(読み出し)の一例を示すタイミング・チャートである。垂直同期信号VSYNCのパルス間隔で規定されるフレーム期間毎に表示装置に入力される映像データは、入力データの波形に示される如く、これに含まれる複数のライン・データ(1ラインの映像データ)L1, L2, L3, ...毎に帰線期間を夫々含めて、水平同期信号HSYNCに呼応して(同期して)表示制御回路104によりメモリ回路105に順次入力される。表示制御回路104は、上述の水平クロックCL1又はこれに類似するタイミング信号に則りメモリ回路105に格納されたライン・データL1, L2, L3, ...を出力データの波形に示される如く、順次読み出す。このとき、メモリ回路105から出力されるライン・データL1, L2, L3, ...の夫々を時間軸沿いに隔てる帰線期間は、メモリ回路105に入力されるライン・データL1, L2, L3, ...の夫々を隔てるそれより、時間軸沿いに縮められる。このため、N回(Nは2以上の自然数)のライン・データのメモリ回路105への入力に要する期間とこれらのライン・データのメモリ回路105からの出力に要する期間(N回のライン・データ出力期間)との間には、メモリ回路105からライン・データをM回(MはNより小さい自然数)出力し得る時間が生じる。本実施例では、このMライン分の映像データをメモリ回路105から出力せしめる言わば余剰時間で画素アレイ101に別の表示動作を行わせる。

30

40

【0030】

なお、映像データ(図2では、これに含まれるライン・データ)は、データ・ドライバ102に転送される前に一旦メモリ回路105に格納されるため、その格納される期間に応じた遅延時間において表示制御回路104により読み出される。メモリ回路105として

50

フレーム・メモリを用いた場合、この遅延時間は1フレーム期間に相当する。映像データが30Hzの周波数で表示装置に入力されるとき、その1フレーム期間は約33ms(ミリ秒)であるため、表示装置のユーザは映像データの表示装置への入力時刻に対するその画像の表示時刻の遅れを知覚し得ない。しかしながら、上述のメモリ回路105として、フレーム・メモリに代えて複数のライン・メモリを表示装置100に設けることにより、この遅延時間を縮め且つ表示制御回路104又はその周辺の回路構造を簡素にし又はその寸法の増大を抑えることができる。

【0031】

メモリ回路105として、複数のライン・データを格納するライン・メモリを用いた表示装置100の駆動方法の一例を図5を参照して説明する。この一例による表示装置100の駆動では、表示制御回路104へのNライン分の映像データ入力期間とこれからのNライン分の映像データ出力期間(Nラインの映像データに夫々応じた表示信号をデータ・ドライバ102から逐次出力する期間)との間に生じる上記余剰時間にて、既に画素アレイに保持された表示信号(一つ前のフレーム期間に画素アレイに入力された映像データ)をマスクする表示信号(以下、これをブランキング信号と記す)をM回書込む。この表示装置100の駆動方法では、データ・ドライバ102によりNラインの映像データの各々から表示信号を逐次生成し且つこれを水平クロックCL1に呼応させて順次(合計N回)画素アレイ101に出力する第1の工程と、上述のブランキング信号を水平クロックCL1に呼応させて画素アレイ101にM回出力する第2の工程とが繰り返される。この表示装置の駆動方法の更なる説明は図1を参照して後述されるが、図5においては上記Nの値を4とし、Mの値を1とする。

【0032】

図5に示すように、メモリ回路105はデータの書込みと読み出しとを互いに独立して行える4つのライン・メモリ1~4を備え、水平同期信号HSYNCに同期して表示装置100に順次入力される1ライン毎の映像データ120はこれらのライン・メモリ1~4の一つに順繰りに格納される。換言すれば、メモリ回路105は4ライン分のメモリ容量を有する。例えば、メモリ回路105による4ライン分の映像データ120の取得期間(Acquisition Period)Tinでは、4ライン分の映像データW1, W2, W3, W4がライン・メモリ1からライン・メモリ4に順次入力される。この映像データの取得期間Tinは、映像制御信号121に含まれる水平同期信号HSYNCのパルス間隔で規定される水平走査期間の4倍に相当する時間に亘る。しかしながら、この映像データの取得期間Tinがライン・メモリ4への映像データの格納により終了する前に、この期間にライン・メモリ1、ライン・メモリ2、及びライン・メモリ3に格納された映像データは表示制御回路104により映像データR1, R2, R3として順次読み出される。これにより、4ライン分の映像データW1, W2, W3, W4の取得期間Tinが終了するや否や、次の4ライン分の映像データW5, W6, W7, W8のライン・メモリ1~4への格納が開始できる。

【0033】

上述の説明では、映像データの1ライン毎に付された参照符号をライン・メモリへの入力時とこれからの出力時にて、例えば前者のW1に対して後者のR1というように変えている。これは、1ライン毎の映像データが上述の帰線期間を含み、これがライン・メモリ1~4のいずれかから上記水平同期信号HSYNCより周波数の高い水平クロックCL1に呼応して(同期して)読み出されるとき、これに含まれる帰線期間が縮められることを反映する。従って、例えばライン・メモリ1に入力される1ライン分の映像データ(以下、ライン・データ)W1の時間軸に沿う長さ比べて、これがライン・メモリ1から出力されるときライン・データR1の時間軸に沿う長さは図5に示される如く短い。ライン・データのライン・メモリへの入力からこれよりの出力に到る期間にて、このライン・データに含まれる映像情報(例えば、画面の水平方向沿いに1ラインの映像を生成する)を加工しなくとも、その時間軸沿いの長さは上述の如く圧縮される。従って、ライン・メモリ1~4からの4ラインの映像データR1, R2, R3, R4の出力の終了時刻とライン・

メモリ 1 ~ 4 からの 4 ラインの映像データ R 5 , R 6 , R 7 , R 8 の出力の開始時刻との間には上述の余剰時間 T e x が生じる。

【 0 0 3 4 】

ライン・メモリ 1 ~ 4 から読み出された 4 ラインの映像データ R 1 , R 2 , R 3 , R 4 は、ドライバ・データ 1 0 6 としてデータ・ドライバ 1 0 2 に転送され、夫々に応じた表示信号 L 1 , L 2 , L 3 , L 4 が生成される（次に読み出される 4 ラインの映像データ R 5 , R 6 , R 7 , R 8 についても同様に表示信号 L 5 , L 6 , L 7 , L 8 が生成される）。これらの表示信号は、図 5 の表示信号出力のアイ・ダイアグラム（ E y e D i a g r a m ）に示される順序で、上述の水平クロック C L 1 に呼応して画素アレイ 1 0 1 に夫々出力される。従って、メモリ回路 1 0 5 に少なくとも上記 N ラインの容量を有するライン・メモリ（又はその集合体）を含ませることにより、或るフレーム期間に表示装置に入力される映像データの 1 ラインを、このフレーム期間内で画素アレイに入力することが可能となり、表示装置の映像データ入力に対する応答速度も高まる。

10

【 0 0 3 5 】

一方、図 5 から明らかなように、上述の余剰時間 T e x はライン・メモリから 1 ラインの映像データを上述の水平クロック C L 1 に呼応して出力させる時間に相当する。本実施例では、この余剰時間 T e x を利用して画素アレイに別の表示信号を 1 回出力する。本実施例による別の表示信号は、これが供給される画素の輝度をその供給前の輝度以下に落とす所謂ブランキング信号 B である。例えば、1 フレーム期間前に比較的高い階調（モノクロ画像表示の場合、白又はこれに近い明るい灰色）で表示された画素の輝度は、ブランキング信号 B によりこれより低くなる。一方、1 フレーム期間前に比較的低い階調（モノクロ画像表示の場合、黒又はこれに近い C h a r c o a l G r a y のような暗い灰色）で表示された画素の輝度は、ブランキング信号 B の入力後も殆ど変わらない。このブランキング信号 B は、フレーム期間毎に画素アレイに生成された画像を一旦暗い画像（ブランキング画像）に置き換える。このような画素アレイの表示動作により、ホールド型の表示装置においても、フレーム期間毎にこれに入力される映像データに応じた画像表示をインパルス型表示装置におけるそれのように行える。

20

【 0 0 3 6 】

先述の N ラインの映像データを画素アレイに順次出力する第 1 の工程とブランキング信号 B を画素アレイに M 回出力する第 2 の工程とを繰り返す表示装置の駆動方法をホールド型の表示装置に適用することにより、このホールド型表示装置による画像表示をインパルス型の表示装置のように行うことができる。この表示装置の駆動方法は、図 5 を参照して説明した少なくとも N ライン分の容量を備えたライン・メモリをメモリ回路 1 0 5 として備えた表示装置のみならず、例えば、このメモリ回路 1 0 5 をフレーム・メモリに置き換えた表示装置にも適用できる。

30

【 0 0 3 7 】

このような表示装置の駆動方法について、更に図 1 を参照して説明する。上述した第 1 及び第 2 の工程による表示装置の動作は、図 3 の表示装置 1 0 0 におけるデータ・ドライバ 1 0 2 による表示信号の出力を規定するが、これに呼応する走査ドライバ 1 0 3 による走査信号の出力（画素行の選択）は次のように記される。以下の説明にて、ゲート線（走査信号線）1 0 に印加され且つこのゲート線に対応する画素行（ゲート線沿いに並ぶ複数の画素 P I X ）を選択する「走査信号」は、図 1 に示すゲート線 G 1 , G 2 , G 3 , ... の夫々に印加される走査信号が H i g h 状態となる走査信号のパルス（ゲート・パルス）を指す。図 9 に示されるような画素アレイにおいては、画素 P I X に設けられたスイッチング素子 S W は、これに接続されたゲート線 1 0 を通してゲート・パルスを受けることにより、データ線 1 2 から供給される表示信号をこの画素 P I X に入力させる。

40

【 0 0 3 8 】

上述の第 1 の工程に対応する期間では、N ラインの映像データに対応する表示信号の出力毎に、ゲート線の Y ラインにこれに対応する画素行を選択する走査信号が印加される。従って、走査ドライバ 1 0 3 から走査信号が N 回出力される。このような走査信号の印加は

50

、上記表示信号の出力毎にゲート線のYライン置きに画素アレイ101の一端(例えば、図3における上端)からその他端(例えば、図3における下端)に向けて順次行われる。このため、第1の工程では(Y×N)ラインのゲート線に相当する画素行が選択され、その各々に映像データから生成された表示信号が供給される。図1は、Nの値を4とし、Yの値を1としたときの表示信号の出力タイミング(データ・ドライバ出力電圧のアイ・ダイヤグラム参照)とこれに呼応するゲート線(走査線)の夫々に印加される走査信号の波形を示し、この第1工程の期間は、データ・ドライバ出力電圧1~4, 5~8, 9~12, ..., 513~516, ...の各々に対応する。データ・ドライバ出力電圧1~4に対してG1からG4のゲート線に走査信号が順次印加され、次のデータ・ドライバ出力電圧5~8に対してG5からG8のゲート線に走査信号が順次印加され、更なる時間経過の後のデータ・ドライバ出力電圧513~516に対してG513からG516のゲート線に走査信号が順次印加される。即ち、走査ドライバ103から走査信号出力は、画素アレイ101におけるゲート線10のアドレス番号(G1, G2, G3, ..., G257, G258, G259, ..., G513, G514, G515, ...)が増える方向に向けて順次行われる。

【0039】

一方、上述の第2の工程に対応する期間では、ブランキング信号として上述した表示信号のM回の出力毎に、ゲート線のZラインにこれに対応する画素行を選択する走査信号が印加される。従って、走査ドライバ103から走査信号がM回出力される。走査ドライバ103からの走査信号の1回の出力に対し、この走査信号が印加されるゲート線(走査線)の組み合わせは特に限定されないが、第1の工程で画素行に供給された表示信号をこれに長く保持させることや、データ・ドライバ102に掛かる負荷を軽減することを鑑みれば、表示信号の出力毎に走査信号をゲート線のZライン置きに順次印加するとよい。第2工程におけるゲート線への走査信号の印加は、第1工程のそれと同様に画素アレイ101の一端からその他端に向けて順次行われる。このため、第2の工程では(Z×M)ラインのゲート線に相当する画素行が選択され、その各々にブランキング信号が供給される。図1は、Mの値を1とし、Zの値を4としたときの上記第1の工程の夫々に続く第2の工程の各々におけるブランキング信号Bの出力タイミングとこれに呼応するゲート線(走査線)の夫々に印加される走査信号の波形を示す。G1からG4のゲート線に走査信号が順次印加される第1の工程に続く第2の工程では1回のブランキング信号B出力に対してG257からG260に到る4本のゲート線に走査信号が、G5からG8のゲート線に走査信号が順次印加される第1の工程に続く第2の工程では、1回のブランキング信号B出力に対してG261からG264に到る4本のゲート線に走査信号が、G513からG516のゲート線に走査信号が順次印加される第1の工程に続く第2の工程では、1回のブランキング信号B出力に対してG1からG4に到る4本のゲート線に走査信号が、夫々印加される。

【0040】

上述のように第1の工程では4本のゲート線の各々に走査信号を順次印加し、第2の工程では4本のゲート線に一齐に走査信号を印加するため、例えばデータ・ドライバ102からの表示信号出力に呼応して、走査ドライバ103の動作を夫々の工程に合わせる必要がある。先述したように本実施例で用いられる画素アレイはWXGAクラスの解像度を有し、768ラインのゲート線がこれに並設される。一方、第1の工程で順次選択される4本のゲート線群(例えば、G1からG4)とこれに続く第2の工程で選択される4本のゲート線群(例えばG257からG260)とは、画素アレイ101におけるゲート線10のアドレス番号が増える方向に沿い252本のゲート線にて離間される。従って、画素アレイに並設された768ラインのゲート線をその垂直方向(又は、データ線の延伸方向)に沿い、256ライン毎に3つの群に分割し、夫々の群毎に走査ドライバ103からの走査信号の出力動作を独立して制御する。このため、図3に示す表示装置では、画素アレイ101沿いに3つの走査ドライバ103-1, 103-2, 103-3を配置し、夫々からの走査信号の出力動作を走査状態選択信号114-1, 114-2, 114-3で制御す

る。例えば、第1の工程でゲート線G1～G4を、これに続く第2の工程でゲート線G257～G260を夫々選択する場合、走査状態選択信号114-1は走査ドライバ103-1に、走査クロックCL3の連続する4パルスに対するゲート線を1ラインずつ順次選択する走査信号出力と、これに続く走査クロックCL3の1パルスに対する走査信号の出力休止とを繰り返す走査状態を指示する。一方、走査状態選択信号114-2は走査ドライバ103-2に、走査クロックCL3の連続する4パルスに対する走査信号の出力休止と、これに続く走査クロックCL3の1パルスに対する4ラインのゲート線への走査信号出力とを繰り返す走査状態を指示する。また、走査状態選択信号114-3は走査ドライバ103-3に輸入される走査クロックCL3を無効にし、これによる走査信号出力を休止させる。夫々の走査ドライバ103-1, 103-2, 103-3には、走査状態選択信号114-1, 114-2, 114-3による上述の2つの指示に対応する2つの制御信号伝達網が備えられる。

【0041】

一方、図1に示される走査開始信号FLMの波形は、時刻t1とt2とで夫々立ち上がる2つのパルスを含む。上記第1の工程による一連のゲート線選択動作は時刻t1に生じる走査開始信号FLMのパルス(Pulse 1と記す、以下、第1パルス)に呼応して、上記第2の工程による一連のゲート線選択動作は時刻t2に生じる走査開始信号FLMのパルス(Pulse 2と記す、以下、第2パルス)に呼応して、夫々開始される。走査開始信号FLMの第1パルスは、1フレーム期間の映像データの表示装置への入力開始(上記垂直同期信号VSYNCのパルスで規定される)にも呼応する。従って、走査開始信号FLMの第1パルス及び第2パルスは、フレーム期間毎に繰り返して生じる。さらに、走査開始信号FLMの第1パルスとこれに続く第2パルスの間隔と、この第2パルスとこれに続く(例えば、次のフレーム期間の)第1パルスとの間隔とを調整することにより、1フレーム期間にて画素アレイに映像データに基づく表示信号を保持する時間を調整できる。換言すれば、走査開始信号FLMに生じる第1パルスと第2パルスとを含めたパルス間隔は、2つの異なる値(時間幅)を交互に取りえる。一方、この走査開始信号FLMは、表示制御回路(タイミング・コントローラ)104で発生される。以上のことから、上記走査状態選択信号114-1, 114-2, 114-3は表示制御回路104において走査開始信号FLMを参照して生成できる。

【0042】

図1に示される映像データを1ライン毎に画素アレイへ4回書込む毎にブランキング信号を画素アレイへ1回書込む動作は、図5を参照して説明したように4ライン分の映像データを表示装置に入力する時間内に完結する。また、これに呼応して、走査信号を画素アレイへ5回出力する。このため、画素アレイの動作に要する水平期間は映像制御信号121の水平走査期間の4/5となる。このようにして、1フレーム期間に表示装置に入力される映像データ(これに基づく表示信号)とブランキング信号との画素アレイ内の全画素への入力は、この1フレーム期間にて完結する。

【0043】

図1に示したブランキング信号は、表示制御回路104又はその周辺回路で擬似的な映像データ(以下、ブランキング・データ)を生成し、これをデータ・ドライバ102に転送して、データ・ドライバ102内で生成させても、予めデータ・ドライバ102にブランキング信号を生成させる回路を設け、表示制御回路104から転送される水平クロックCL1の特定のパルスに応じてブランキング信号を画素アレイ101に出力させてもよい。前者の場合、表示制御回路104又はその周辺にフレーム・メモリを設け、これに格納されるフレーム期間毎の映像データからブランキング信号を強めるべき画素(この映像データにより高い輝度で表示される画素)を表示制御回路104により特定させ、画素に応じて暗さの異なるブランキング信号をデータ・ドライバ102に生成させるブランキング・データを生成させてもよい。後者の場合は、データ・ドライバ102にて水平クロックCL1のパルス数をカウントさせ、そのカウント数に応じて画素を黒又はこれに近い暗い色(例えば、Charcoal Grayのような色)に表示させる表示信号を出力させる

。液晶表示装置の一部は、画素の輝度を定める複数の階調電圧を表示制御回路（タイミング・コンバータ）104にて生成する。このような液晶表示装置においては、複数の階調電圧をデータ・ドライバ102にて転送し、データ・ドライバ102により映像データに応じた階調電圧を選択させ且つ画素アレイに出力させるが、同様にして、データ・ドライバ102による水平クロックCL1のパルスに応じた階調電圧の選択でブランキング信号を発生させてもよい。

【0044】

図1に示された本発明による画素アレイへの表示信号の出力方法（Outputting Manner）及びこれに呼応する夫々のゲート線（走査線）への走査信号の出力方法は、入力される走査状態選択信号114に応じて複数のゲート線に同時に走査信号を出力する機能を有する走査ドライバ103を備えた表示装置を駆動するに好適である。一方、走査ドライバ103-1, 103-2, 103-3の夫々に上述の如く複数の走査線へ同時に走査信号を出力させることなく、走査クロックCL3のパルス毎にゲート線（走査線）の1ライン毎に走査信号を順次出力させても本実施例による画像表示動作を行うことができる。このような走査ドライバ103の動作により、4ラインの映像データを1ラインずつ画素行の1つに順次入力する（映像データが4回出力される上記第1工程）毎にブランキング・データを別の画素行の4つに入力する（ブランキング・データが1回出力される上記第1工程）ことを繰り返す本実施例の画像表示動作は、図4に示される表示信号と走査信号との夫々の出力波形で説明される。

【0045】

図4を参照して説明される表示装置の駆動方法は、図1と同様に図3に示された表示装置が参照される。走査ドライバ103-1, 103-2, 103-3の各々は、走査信号を出力する端子を256個備える。換言すれば、各走査ドライバ103は最大256ラインのゲート線に走査信号を出力できる。一方、画素アレイ101（例えば、液晶表示パネル）には768ラインのゲート線10とその夫々に対応する画素行が設けられる。このため、3つの走査ドライバ103-1, 103-2, 103-3は画素アレイ101の垂直方向（これに設けられたデータ線12の延伸方向）に沿う一辺に順次並ぶ。走査ドライバ103-1はゲート線群G1~G256に、走査ドライバ103-2はゲート線群G257~G512に、走査ドライバ103-3はゲート線群G513~G768に走査信号を夫々出力し、表示装置100の全画面（画素アレイ101の全域）における画像表示を制御する。図1を参照して説明された駆動方法が適用される表示装置と図4を参照して以下に説明される駆動方法が適用される表示装置とは、以上の走査ドライバ配置を有することで共通する。また、走査開始信号FLMの波形が映像データを画素アレイに入力する一連の走査信号出力を開始させる第1パルスとブランキング・データを画素アレイに入力する一連の走査信号出力を開始させる第2パルスとフレーム期間毎に含むことで、図1を参照して説明された表示装置の駆動方法と図4を参照して説明されるそれとは共通する。さらに、走査ドライバ103が上記走査開始信号FLMの第1パルス及び第2パルスの夫々を走査クロックCL3で取り込み、その後、走査クロックCL3に呼応して走査信号を出力すべき端子（又は端子群）を映像データ又はブランキング・データの画素アレイへの取り込み（Acquisition）に応じて順次シフトすることでも、図1の信号波形に拠る表示装置の駆動方法と図4の信号波形に拠るそれとは共通する。

【0046】

しかし、図4を参照して説明される本実施例の表示装置の駆動方法では、走査状態選択信号114-1, 114-2, 114-3の役割が図1を参照して説明されたそれらと相違する。図4には、走査状態選択信号114-1, 114-2, 114-3の夫々の波形がDISP1, DISP2, DISP3として示される。走査状態選択信号114は、まず、その各々が制御する領域（例えば、DISP2の場合、ゲート線群G257~G512に対応する画素群）に適用される動作条件に応じて、この領域における走査信号の出力動作を決める。図4において、データ・ドライバ出力電圧が4ラインの映像データに応じた表示信号L513~L516の出力を示す期間（表示信号L513~L516が出力され

10

20

30

40

50

る上記第1工程)では、これらの表示信号が入力される画素行に対応したゲート線G513~G516に走査ドライバ103-3から走査信号が印加される。このため、走査ドライバ103-3に転送される走査状態選択信号114-3は、走査クロックCL3に呼応して(1回のゲート・パルス出力毎に)ゲート線G513~G516の1ライン毎に順次走査信号を出力する所謂1ライン毎のゲート線選択を行う。これによりゲート線G513に対応する画素行に表示信号L513が、次いでゲート線G514に対応する画素行に表示信号L514が、さらにゲート線G515に対応する画素行に表示信号L515が、最後にゲート線G516に対応する画素行に表示信号L516が夫々1水平期間(水平クロックCL1のパルス間隔で規定される)に亘り供給される。

【0047】

一方、この表示信号L513~L516が水平期間毎に(水平クロックCL1のパルスに呼応して)順次出力される第1工程に続く上記第2工程では、この第1工程に対応する4水平期間に続く1水平期間にブランキング信号Bが出力される。本実施例では、表示信号L516出力と表示信号L517出力との間に出力されるブランキング信号Bをゲート線群G5~G8に対応する画素行の夫々に供給する。このため、走査ドライバ103-1は、このブランキング信号Bの出力期間にゲート線G5~G8の4ライン全てに走査信号を印加する所謂4ライン同時のゲート線選択を行わねばならない。しかしながら、図4に拠る画素アレイの表示動作では、上述の如く、走査ドライバ103は走査クロックCL3に呼応して(その1回のパルスに対して)1本のゲート線のみへの走査信号印加を開始するが、複数のゲート線には走査信号印加開始しない。換言すれば、走査ドライバ103は複数のゲート線の走査信号パルスを同時に立ち上げない。

【0048】

このため、走査ドライバ103-1に転送される走査状態選択信号114-1は、走査信号を印加すべきゲート線のZラインの少なくとも(Z-1)ラインにブランキング信号Bの出力前に走査信号を印加し、且つ走査信号の印加時間(走査信号のパルス幅)を水平期間の少なくともN倍の期間に延ばすように走査ドライバ103-1を制御する。この変数Z、Nは、上述の映像データを画素アレイに書き込む第1工程及びブランキング・データを画素アレイに書き込む第2工程の説明で記した第2工程におけるゲート線の選択数:Z、及び第1工程における表示信号の出力回数:Nである。例えば、ゲート線G5には表示信号L514の出力開始時刻から、ゲート線G6には表示信号L515の出力開始時刻から、ゲート線G7には表示信号L516の出力開始時刻から、ゲート線G8には表示信号L516の出力終了時刻(これに続くブランキング信号B出力開始時刻)から水平期間の5倍の期間に亘って走査信号が夫々印加される。換言すれば、走査ドライバ103によるゲート線群G5~G8のゲート・パルスの夫々の立ち上がり時刻は、走査クロックCL3に呼応させて1水平期間毎に順次ずらされるも、夫々のゲート・パルスの夫々の立ち下がり時刻を立ち上がり時刻のN水平期間以降に遅らせることで、上記ブランキング信号出力期間にゲート線群G5~G8のゲート・パルスの全てを立ち上がった(図4ではHighの)状態にする。このようにゲート・パルスの出力を制御する上で、走査ドライバ103にシフトレジスタ動作機能を含ませることが望ましい。なお、対応する画素行にブランキング信号が供給されるゲート線G1~G12のゲート・パルスに示されたハッチング領域

【0049】

これに対し、この期間(表示信号L513~L516が出力される上記第1工程)及びこれに続く第2工程の間に、走査ドライバ103-2から走査信号を受けるゲート線群G257~G512の夫々に対応する画素行には表示信号が供給されない。このため、走査ドライバ103-2に転送される走査状態選択信号114-2は、この第1工程及び第2工程に亘る期間にて走査クロックCL3を走査ドライバ103-2に対して無効(Ineffective for the Scanning Driver 103-2)にする。このような走査状態選択信号114による走査クロックCL3の無効化は、これが転送される走査ドライバ103から走査信号が出力される領域内の画素群に表示信号やブラ

10

20

30

40

50

ンキング信号を供給する場合においても所定のタイミングで適用してもよい。図4には、走査ドライバ103-1での走査信号出力に応じた走査クロックCL3の波形が示される。この走査クロックCL3のパルスは、表示信号やブランキング信号の出力間隔を規定する水平クロックCL1のパルスに呼応して生じるものの、表示信号L513, L517, ...の出力開始時刻にはパルスが生じない。このように表示制御回路104から走査ドライバ103に転送される走査クロックCL3を特定の時刻にて無効にする動作を、走査状態選択信号114で行うことができる。走査ドライバ103に対する走査クロックCL3の部分的な無効化は、これに応じた信号処理経路を走査ドライバ103に組み込み、この信号処理経路の動作を走査ドライバ103に転送される走査状態選択信号114で開始させてもよい。なお、図4には示されないが、映像データの画素アレイへの書込みを制御する走査ドライバ103-3もブランキング信号Bの出力開始時刻にて走査クロックCL3に対して不感となる。これにより、ブランキング信号Bの出力による第2工程に続く第1工程で映像データに拠る表示信号が供給される画素行に走査ドライバ103-3がブランキング信号を誤って供給することが防げる。

10

【0050】

次に、走査状態選択信号114は、夫々が制御する領域にて順次生成される走査信号のパルス(ゲート・パルス)を、これがゲート線に出力される段階で無効にする。この機能は、図4による表示装置の駆動方法にて、ブランキング信号を画素アレイに供給する走査ドライバ103内での信号処理に、これに転送された走査状態選択信号114を関与させる。図4に示される3つの波形DISP1, DISP2, DISP3は、走査ドライバ103-1, 103-2, 103-3の夫々の内部における信号処理に関与する走査状態選択信号114-1, 114-2, 114-3を示し、これがLow-levelにあるときゲート・パルスの出力を有効にする。また、走査状態選択信号114-1の波形DISP1は、上述の第1工程による画素アレイへの表示信号出力期間中にてHigh-levelとなり、この期間内に走査ドライバ103-1で生じるゲート・パルスの出力を無効にする。

20

【0051】

例えば、表示信号L513~L516が画素アレイに供給される4水平期間にてゲート線G1~G7に夫々応じた走査信号に生じるゲート・パルスは、この期間にHigh-levelとなる走査状態選択信号DISP1により、夫々の出力をハッチングされたように無効にされる。これにより、或る期間にてブランキング信号を供給すべき画素行に映像データに拠る表示信号が誤って供給されることを防ぎ、これらの画素行によるブランキング表示(これらの画素行に表示されていた映像の消去)を確実にを行い、また、映像データに拠る表示信号自体の強度の損失を防ぐ。また、表示信号L513~L516を出力する4水平期間と表示信号L517~L520を出力する次の4水平期間との間のブランキング信号Bを出力する1水平期間にて、走査状態選択信号DISP1はLow-levelとなる。これにより、この期間にゲート線G5~G8に夫々応じた走査信号に生じるゲート・パルスは、一斉に画素アレイに出力され、この4ラインのゲート線に応じた画素行を同時に選択して、その各々にブランキング信号Bを供給する。

30

【0052】

以上のように、図4による表示装置の表示動作では、走査状態選択信号114により、これが転送される走査ドライバ103の動作状態(上記第1工程及び上記第2工程のいずれかによる動作状態、又は、これらのいずれにも拠らない非動作状態)のみならず、その動作状態に応じて走査ドライバ103で生成されたゲート・パルスの出力の有効性も決められる。なお、これらの走査状態選択信号114による走査ドライバ103(これからの走査信号出力)の一連の制御は、画素アレイへの映像データに拠る表示信号書込み及びブランキング信号書込みのいずれに対しても走査開始信号FLMに呼応してゲート線G1に対する走査信号出力から開始される。図4には、走査開始信号FLMの上記第2パルスに呼応して、走査状態選択信号DISP1により順次シフトする走査ドライバ103によるゲート線のライン選択動作(4ライン同時選択動作)を主に示す。図4には示されないもの

40

50

の、これによる表示装置の動作にて、走査ドライバ103によるゲート線の1ライン毎選択動作も走査開始信号FLMの第1パルスに呼応させて順次シフトする。このため、図4における表示装置の動作でもフレーム期間毎に走査開始信号FLMで2種類の画素アレイの走査を1度ずつ開始させる必要があり、走査開始信号FLMの波形には第1パルスとこれに続く第2パルスとが現われる。

【0053】

以上に述べた図1及び図4による表示装置の駆動方法のいずれにおいても、画素アレイ101の一辺沿いに並ぶ走査ドライバ103及びこれに送られる走査状態選択信号114の数は図3や図9を参照して説明した画素アレイ101の構造を変えることなく変更可能であり、3つの走査ドライバ103に分担させた夫々の機能を一つの走査ドライバ103にまとめてもよい(例えば、走査ドライバ103内部を上記3つの走査ドライバ103-1, 103-2, 103-3の夫々に応じた回路セクションに分ける)。

10

【0054】

図6は、本実施例の表示装置による画像表示タイミングを連続する3つのフレーム期間に亘り示すタイミング・チャートである。各フレーム期間の冒頭にて、1番目の走査線(上記ゲート線G1に相当)からの画素アレイへの映像データ書込みが走査開始信号FLMの第1パルスにより開始され、この時刻から時間: t_1 が経過した後、この1番目の走査線からの画素アレイへのブランキング・データ書込みが走査開始信号FLMの第2パルスにより開始される。さらに、走査開始信号FLMの第2パルスの発生時刻から時間: t_2 が経過した後、次のフレーム期間に表示装置に入力される映像データの画素アレイへの書込みが走査開始信号FLMの第1パルスにより開始される。なお、本実施例においては、図6に示された時間: t_1' は時間: t_1 と同じであり、時間: t_2' は時間: t_2 と同じである。画素アレイへの映像データ書込みの進行とブランキング・データ書込みのそれとは、双方が1水平期間にて選択するゲート線のライン数(前者1ライン、後者4ライン)が相違するも、時間経過に対して略同様に進行する。このため、画素アレイにおける走査線の位置に依らず、その夫々に対応する画素行が映像データに拠る表示信号を保持する期間(これを受ける時間を含めて概ね上記時間: t_1 に亘る)とこの画素行がブランキング信号を保持する期間(これを受ける時間を含めて概ね上記時間: t_2 に亘る)とは画素アレイの垂直方向に亘り概ね一様となる。換言すれば、画素アレイにおける画素行間(垂直方向沿い)の表示輝度のばらつきが抑えられる。本実施例では、図6に示すように画素アレイにおける映像データの表示期間とブランキング・データの表示期間とに、1フレーム期間の67%と33%とを夫々割り当て、これに応じた走査開始信号FLMのタイミング調整した(上記時間 t_1 と t_2 とを調整した)が、この走査開始信号FLMのタイミングの変更により、映像データの表示期間とブランキング・データの表示期間とは適宜変更され得る。

20

30

【0055】

このような、図6に拠る画像表示タイミングで表示装置を動作させたときの、画素行の輝度応答の一例を図7に示す。この輝度応答は、図3の画素アレイ101としてWXGAクラスの解像度を有し且つノーマリ黒表示モードで動作する液晶表示パネルを用い、映像データとして画素行を白く表示する表示オンデータを、ブランキング・データとして画素行を黒く表示する表示オフデータを夫々書き込む。従って、図7の輝度応答は、この液晶表示パネルの画素行に対応する液晶層の光透過率の変動を示す。図7に示すように画素行(これに含まれる各画素)は1フレーム期間にて、まず映像データに応じた輝度に応答し、その後、黒輝度に応答する。液晶層の光透過率はこれに印加される電界の変動に対して比較的緩く応答するも、その値は図7から明らかなようにフレーム期間毎に映像データに対応する電界及びブランキング・データに対応する電界のいずれにも十分に応答する。従って、フレーム期間に画面(画素行)に生成された映像データによる画像は、この画像がフレーム期間内に画面(画素行)から十分に消去されて、インパルス型の表示装置と同様な状態で表示される。このような映像データによる画像のインパルス型の応答により、これに生じる動画ぼやけを低減することが可能となる。このような効果は、画素アレイの解像

40

50

度を変更しても、図2に示すドライバ・データの水平期間における帰線期間の割合を変更しても同様に得られる。

【0056】

以上に述べた本実施例では、上述の第1工程で映像データの1ライン毎に生成される表示信号を画素アレイに4回順次出力し且つその夫々をゲート線の1ラインに相当する画素行に順次供給し、これに続く第2工程でブランキング信号を画素アレイに1回順次出力し且つこれをゲート線の4ラインに相当する画素行に供給した。しかし、第1工程における表示信号の出力回数： N （この値は、画素アレイに書き込まれるライン・データの数にも相当する）は4に限られず、第2工程におけるブランキング信号の出力回数： M は1に限られない。また、第1工程にて1回の表示信号出力に対して走査信号（選択パルス）が印加されるゲート線のライン数： Y は1に限られず、第2工程にて1回のブランキング信号出力に対して走査信号が印加されるゲート線のライン数： Z は4に限られない。これらの因子 N 、 M は、 $M < N$ なる条件を満たす自然数であり且つ N は2以上である条件を満たすことが要請される。また、因子 Y は N/M より小さい自然数であること、因子 Z は N/M 以上の自然数であることが夫々要請される。また、 N 回の表示信号出力と M 回のブランキング信号出力とを行う1周期を N ラインの映像データが表示装置に入力される期間内に完結させる。換言すれば、画素アレイの動作における水平期間の $(N+M)$ 倍の値を、映像データの表示装置への入力における水平走査期間の N 倍の値以下にする。前者の水平期間は水平クロック $CL1$ のパルス間隔で、後者の水平走査期間は映像制御信号の一つである水平同期信号 $HSYNC$ のパルス間隔で夫々規定される。

10

20

【0057】

このような画素アレイの動作条件によれば、 N ラインの映像データが表示装置に入力される期間 T_{in} にデータ・ドライバ102から $(N+M)$ 回の信号出力、即ち上述の第1工程及びこれに続く第2工程からなる1周期の画素アレイ動作を行う。このため、この1周期にて表示信号出力及びブランキング信号出力の各々に割り当てられる時間（以下、 $T_{invention}$ ）は、期間 T_{in} に N ラインの映像データに応じた表示信号を順次出力するときの1回の信号出力に要する時間（以下、 T_{prior} ）の $(N/(N+M))$ 倍に減少する。しかしながら、上述のように因子 M は N より小さい自然数であるため、本発明による上記1周期での各信号を出力期間 $T_{invention}$ は上記 T_{prior} の $1/2$ 以上の長さを確保できる。即ち、画素アレイへの映像データへの書込みの観点では、

30

【0058】

さらに、本発明では、上記期間 $T_{invention}$ にて画素にブランキング信号を供給することにより、この画素の輝度を素早く低下させる。このため、 $SID01Digest$, pages 994-997に記載された技法に比べて、本発明に依れば1フレーム期間における各画素行の映像表示期間とブランキング表示期間とが明瞭に分かれ、動画ぼやけも効率的に低減される。また、本発明ではブランキング信号の画素への供給を $(N+M)$ 回毎に間欠的に行うものの、1回のブランキング信号出力に対して Z ラインのゲート線に対応する画素行にこれを供給することにより、画素行間に生じる映像表示期間と

40

【0059】

従って、本発明による表示装置の駆動は、図1乃至7を参照して説明した上述の N を4、 M を1、 Y を1、及び Z を4にした例に限られず、上述の条件を満たす限りにおいて、ホールド型の表示装置の駆動全般に汎く適用し得る。例えば、インタレース方式で映像データをフレーム期間毎に奇数ライン又は偶数ラインのいずれか一方を表示装置に入力する場合、奇数ライン又は偶数ラインの映像データを1ライン毎に走査信号をゲート線の2ライ

50

ン毎に順次印加し、これらに対応する画素行に表示信号を供給してもよい（この場合、少なくとも上記因子Yは2となる）。また、本発明による表示装置の駆動では、その水平クロックCL1の周波数を水平同期信号HSYNCのそれの $(N+M)/N$ 倍（上述の図1や図4の例では1.25倍）にしたが、水平クロックCL1の周波数をこれ以上に高め、そのパルス間隔を詰めて画素アレイの動作マージンを確保してもよい。この場合、表示制御回路104やその周辺にパルス発振回路を設け、これにより発生される映像制御信号に含まれるドット・クロックDOTCLKより周波数の高い基準信号を参照して水平クロックCL1の周波数を高めてもよい。

【0060】

以上のべた夫々の因子は、Nを4以上の自然数にするとよく、また、因子Mを1にするとよい。また、因子YをMと同じ値にするとよく、因子ZをNと同じ値にするとよい。 10

【0061】

第2の実施例

本実施例においても、上述の第1の実施例と同様に図3の表示装置に図2のタイミングで入力された映像データを、図1又は図4に示す波形で表示信号及び走査信号をデータ・ドライバ102から出力し且つ図6に示す表示タイミングに則り表示するが、図1や図4に示す映像データに拠る表示信号の出力に対するブランキング信号の出力タイミングを図8に示す如く、フレーム期間毎に変える。

【0062】

画素アレイとして液晶表示パネルを用いる表示装置において、図8に示す本実施例のブランキング信号の出力タイミングは、このブランキング信号が供給された液晶表示パネルのデータ線に生じる信号の波形鈍りの影響を分散する効果を奏し、これにより画像の表示品質を高める。図8には、水平クロックCL1のパルスの夫々に対応する期間Th1, Th2, Th3, ...が横方向に順次並び、これらの期間のいずれかでデータ・ドライバ102から出力される映像データの1ライン毎の表示信号m, m+1, m+2, m+3, ...及びブランキング信号Bを含むアイ・ダイアグラムが連続するフレーム期間n, n+1, n+2, n+3, ...毎に縦方向に順次並び、ここで示す表示信号m, m+1, m+2, m+3は特定のラインの映像データに限定させず、例えば図1の表示信号L1, L2, L3, L4にも、表示信号L511, L512, L513, L514にも対応し得る。 20

【0063】

第1の実施例にて述べた要領で画素アレイに映像データを4回書込むごとにブランキング・データを1回書込む場合、図8に示す画素アレイへのブランキング・データの印加を上記期間Th1, Th2, Th3, Th4, Th5, Th6, ...における4期間置きに並び期間のいずれかの群（例えば、期間Th1, Th6, Th12, ...の群）から別の群（例えば、期間Th2, Th7, Th13, ...の群）へフレーム毎に順次変化させる。例えば、フレーム期間nではm番目のライン・データを画素アレイに入力する（これに拠る表示信号をm番目の画素行に印加する）前にブランキング・データを画素アレイに入力し（ゲート線の所定の4ラインに相当する画素行に印加し）、フレーム期間n+1ではm番目のライン・データの画素アレイへの入力後且つ(m+1)番目のライン・データの画素アレイへの入力前に上述のブランキング・データの画素アレイへの入力を行う。（m+1）番目のライン・データの画素アレイへの入力は、m番目のライン・データのそれに倣い、（m+1）番目のライン・データに拠る表示信号を（m+1）番目の画素行に印加する。以降の各ライン・データの画素アレイへの入力も、このライン・データに拠る表示信号をこれと同じアドレス（順番）を持つ画素行に印加する。 40

【0064】

フレーム期間n+2では、（m+1）番目のライン・データの画素アレイへの入力後且つ（m+2）番目のライン・データの画素アレイへの入力前に上述のブランキング・データの画素アレイへの入力を行う。続くフレーム期間n+3では、（m+2）番目のライン・データの画素アレイへの入力後且つ（m+3）番目のライン・データの画素アレイへの入力前に上述のブランキング・データの画素アレイへの入力を行う。以下、このようなライ 50

ン・データとブランキング・データとの画素アレイへの入力を、ブランキング・データのそのタイミングを1水平期間毎にずらしながら繰り返し、フレーム期間 $n+4$ にてフレーム期間 n によるライン・データとブランキング・データとの画素アレイへの入力パターンに戻る。これら一連の動作の繰り返しで、ブランキング信号のみならずライン・データに拠る表示信号が画素アレイのデータ線の夫々に出力されたときの、データ線の延伸方向沿いに生じるこれらの信号波形の鈍りの影響を一様に分散して、画素アレイに表示される画像の品質を高める。

【0065】

一方、本実施例でも、第1の実施例と同様に図6に拠る画像表示タイミングで表示装置を動作させることができるが、上述のように画素アレイへのブランキング信号の印加タイミングがフレーム期間毎にシフトされるため、ブランキング信号による画素アレイの走査を開始させる走査開始信号FLMの第2パルスの発生時刻もフレーム期間に応じて変位する。このような走査開始信号FLMの第2パルス発生タイミングの変動に応じて、図6のフレーム期間1に示される時間： t_1 がこれに続くフレーム期間2にて時間： t_1 より短い（又は長い）時間： t_1' となり、フレーム期間1に示される時間： t_2 がこれに続くフレーム期間2にて時間： t_2 より長い（又は短い）時間： t_2' となる。図8に示される一对のフレーム期間 n と $n+1$ や別の一对のフレーム期間 $n+3$ と $n+4$ に見られるライン・データ m に拠る表示信号での画素アレイの走査開始時刻の「ずれ」を考慮すれば、本実施例において、走査開始信号FLMのパルス間隔に応じた2つの時間間隔： t_1 、 t_2 の少なくとも一方がフレーム期間に応じて変動する。

【0066】

以上のように、フレーム期間毎にブランキング信号の出力期間を時間軸方向沿いにシフトさせる本実施例による表示装置の駆動方法に則り、図6に示す画像表示タイミングに倣う表示動作を行う場合、その走査開始信号の設定に若干の変更を要するが、これに依り得られる効果は図7に示した第1の実施例におけるそれと何ら遜色がない。従って、本実施例においても映像データに応じた画像をインパルス型の表示装置におけるそれと略同様にしてホールド型の表示装置に表示できる。また、ホールド型の画素アレイより、動画像をその輝度は損なうことなく且つこれに生じる動画ぼやけを低減して表示することも可能となる。本実施例においても、1フレーム期間における映像データの表示期間とブランキング・データの表示期間との比率を、走査開始信号FLMのタイミングの調整（例えば、上述のパルス間隔： t_1 、 t_2 の配分）により適宜変更できる。また、本実施例による駆動方法の表示装置への適用範囲も、第1の実施例のそれと同様に、画素アレイ（例えば、液晶表示パネル）の解像度により制限されない。さらに、本実施例による表示装置は第1の実施例によるそれと同様に、水平クロックCL1に規定される水平期間に含まれる帰線期間の比率を適宜変更することで、上記第1工程における表示信号の出力回数： N や第2工程にて選択されるゲート線のライン数： Z を増やせ又は減らせる。

【0067】

《第3の実施例》

上述の第1の実施例で説明したように、画像の1フレーム期間における映像データは、これに含まれる複数のライン・データ（Line Data）を水平同期信号HSYNCで規定される周期（水平走査期間）で分けて表示装置に順次入力される。

【0068】

すなわち、1ライン分の映像データ（ライン・データ）は、前記水平同期信号HSYNCによってメモリ回路（ライン・メモリ）105に格納され、その読み出しは、前記水平同期信号HSYNCに含まれる帰線期間を縮めて生成された周期（水平期間）からなる水平クロックCL1によってなされる。

【0069】

そして、第1の実施例では、前記水平クロックCL1の生成は水平同期信号HSYNCを基準とし、この水平同期信号HSYNCに対し、 N 水平期間分のクロック数を数えるカウンタから、任意の値をデコードしてブランキング・データを含む（ $N+1$ ）水平期間を生

成したものである。

【0070】

しかし、デコードされた前記任意の値は、たとえば当該表示装置100がパーソナル・コンピュータに組み込まれている場合に、それに適合した値、すなわち固定された値であったため、前記水平同期信号HSYNCを含む映像データが、たとえばテレビジョン受像機、あるいはDVDプレーヤ等の外部からの映像信号源からのものであった場合に、次に説明するような不都合が見出された。

【0071】

図10は、このような外部からの映像信号源からの映像データに含まれる水平同期信号HSYNCに基いて得られる画素の電圧波形のタイミング・チャートを示している。ここで、上述した実施例と同様に、第1の工程における表示信号の1回の出力に呼応して第1選択工程で選択される画素行の行数Yは1、第1の工程での表示信号の出力回数Nは4、第2の工程における表示信号の1回の出力に呼応して第2選択工程で選択される画素行の行数Zは4、且つ第2の工程での表示信号の出力回数Mを1とした例を挙げている。

10

【0072】

図10(a)は、前記水平同期信号HSYNCを示しn時間毎にパルスが発生していることを示している。図10(b)は、該水平同期信号HSYNCに対し、ブランキング・データの供給時点から、カウンタによってN水平期間分のクロック数を数え、そのカウント値を0、m、2m、3m、4mで示している。なお、mの値は $4/5(t_{LCM})$ で定まる固定値で、 t_{LCM} は表示装置100内に組み込まれる内部クロックによって定まる値である。図10(c)は、前記カウント値に基づいて生成された出力水平同期信号HSYNCであり、前述した水平クロックCL1に相当する。図10(d)は、画素に供給される電圧波形で、その対向電極CTに供給される電圧を基準にして画素電極PXに印加される電圧波形を示している。

20

【0073】

この図から明らかになるように、水平同期信号HSYNCの各パルスの幅の時間nが変動しているにも拘わらず、固定値 $4/5(t_{LCM})$ に基づいて出力水平同期信号OSYNCを得る場合、ブランキング・データの供給時の前段階の表示データの供給のための水平期間mの値がたとえば他の水平期間よりも大きくなり、ここの部分の画素の書き込みの時間が多くなってしまふ不都合が生じる。

30

【0074】

このため、表示装置100の表示面を観察した場合に、その部分の画素に相当するラインが比較的明るくなって、横スジとして認識されることになる。

【0075】

図11は、上述した不都合を解消した表示装置の他の実施例を示す図で、図10と対応した図となっている。

【0076】

図11(a)は、前記水平同期信号HSYNCを示しn時間毎にパルスが発生していることを示している。ここで、該nの値は外部からの映像信号源に応じて異なってもよい。図11(b)は、該水平同期信号HSYNCに対し、ブランキング・データの供給時点から、カウンタによって(N+1)水平期間分のクロック数を数えることを示している。図11(b)では後述するデコード値1、2、3、4に対応した値0、 $(4/5)n$ 、 $2(4/5)n$ 、 $3(4/5)n$ 、 $4(4/5)n$ を表示している。図11(c)は、前記水平同期信号HSYNCの4水平走査期間(一つの水平走査期間はnに相当する)を均等に5等分することによって得られる各デコード値1、2、3、4を算出していることを示している。ここで、デコード値1は $(4/5)n$ 、デコード値2は $2(4/5)n$ 、デコード値3は $3(4/5)n$ 、デコード値4は $4(4/5)n$ である。この場合、前記ブランキング・データの供給時点から次のブランキング・データの供給時においてもその時点から前記水平同期信号HSYNCの4水平走査期間を均等に5等分することによって各デコード値1、2、3、4を算出している。映像データに含まれる水平同期信号HSYNC

40

50

が変更された場合に、即、対応させんがためである。図 1 1 (d) は、前記各でコード値 1、2、3、4 に基づいて生成された出力水平同期信号 O S Y N C であり、前述した水平クロック C L 1 に相当する。図 1 1 (e) は、画素に供給される電圧波形で、その対向電極 C T に供給される電圧を基準にして画素電極 P X に印加される電圧波形を示している。

【 0 0 7 7 】

また、図 1 2 は、上述した動作を行なわしめるための回路構成の一実施例を示すもので、該回路はたとえば前記表示制御回路 1 0 4 に組み込まれて形成されるようになっている。

【 0 0 7 8 】

図 1 2 において、外部からの映像信号源からの映像データのうち、水平同期信号 H S Y N C およびこれに同期したクロック信号 C L O C K が 4 水平カウンタ C N T に入力されるようになっている。この 4 水平カウンタ C N T により前記クロック信号 C L O C K がカウントされ、そのカウント値はデコード値算出回路 D E C L およびデコード回路 D C D のそれぞれに入力されるようになっている。

10

【 0 0 7 9 】

デコード値算出回路 D E C L には前記カウント値の他に水平同期信号 H S Y N C も入力され、前記水平同期信号 H S Y N C の 4 水平走査期間を均等に 5 等分することによって得られる各デコード値 1、2、3、4 をそれぞれ $(4/5)n$ 、 $2(4/5)n$ 、 $3(4/5)n$ 、 $4(4/5)n$ として算出するようになっている。また、これら各デコード値 1、2、3、4 は前記デコード回路 D C D に入力されるようになっている。

【 0 0 8 0 】

デコード回路 D C D は、4 水平カウンタ C N T からのカウント値と各デコード値 1、2、3、4 とから出力水平同期信号 O S Y N C を生成する。

20

【 0 0 8 1 】

このように構成された表示装置は、水平同期信号 H S Y N C の各パルスの幅の時間 n が異なった場合であっても、その 4 水平期間を均等に 5 等分することができ、画素の書き込みの時間を均一にすることができる。このため、表示装置 1 0 0 の表示面を観察した場合に、横スジ等が発生することなく良好な画像を得ることができるようになる。

【 0 0 8 2 】

なお、上述した実施例では、第 1 の工程における表示信号の 1 回の出力に呼応して第 1 選択工程で選択される画素行の行数 Y は 1、第 1 の工程での表示信号の出力回数 N は 4、第 2 の工程における表示信号の 1 回の出力に呼応して第 2 選択工程で選択される画素行の行数 Z は 4、且つ第 2 の工程での表示信号の出力回数 M を 1 とした例を挙げたものである。しかし、第 1 の工程における表示信号の 1 回の出力に呼応して第 1 選択工程で選択される画素行の行数 Y は N/M より小さい自然数、第 1 の工程での表示信号の出力回数 N は 2 以上の自然数、第 2 の工程における表示信号の 1 回の出力に呼応して第 2 選択工程で選択される画素行の行数 Z は N/M 以上の自然数、且つ第 2 の工程での表示信号の出力回数 M は N より小さい自然数の関係を有するような場合であってもよいことはいうまでもない。

30

【 0 0 8 3 】

この場合、第 1 の工程における N 個の表示信号の出力と第 2 の工程における M 個の表示信号の出力は、順次出力される N 個分の前記水平走査周期を $(N+M)$ 個に均等に等分された周期に呼応してなされるようにすればよい。

40

【 0 0 8 4 】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【 0 0 8 5 】

【 発明の効果 】

以上説明したことから明らかなように、本発明による表示装置によれば、入力される映像データの変更があっても表示品質を劣化させることのないようにできる。

【 図面の簡単な説明 】

【 図 1 】 本発明による液晶表示装置の駆動方法の第 1 実施例として説明される表示信号の

50

出力タイミングとこれに呼応する走査線の駆動波形を示す図。

【図 2】本発明による液晶表示装置の駆動方法の第 1 実施例として説明される表示制御回路（タイミング・コントローラ）への映像データの入力波形（入力データ）とこれからの出力波形（ドライバ・データ）とのタイミングを示す図。

【図 3】本発明による液晶表示装置の概要を示す構成図。

【図 4】本発明による液晶表示装置の駆動方法の第 1 実施例として説明される表示信号の出力期間に走査線の 4 ラインを同時に選択する駆動波形を示す図。

【図 5】本発明による液晶表示装置に備えられた複数個（例えば、4 個）のライン・メモリの夫々への映像データの書込み（Write）とこれからの読出し（Read Out）との夫々のタイミングを示す図。

10

【図 6】本発明による液晶表示装置の駆動方法の第 1 実施例におけるフレーム期間毎（連続する 3 つのフレーム期間の各々）の画素表示タイミングを示す図。

【図 7】本発明による液晶表示装置を図 6 に示す画素表示タイミングに則り駆動したときの、表示信号への輝度応答（画素に対応する液晶層の光透過率変動）を示す図。

【図 8】本発明による液晶表示装置の駆動方法の第 2 実施例として説明されるゲート線 G1、G2、G3、... に対応する画素行の夫々へ供給される表示信号（映像データによる m、m+1、m+2、... とブランキング・データによる B）の連続する複数のフレーム期間 m、m+1、m+2、... に亘る変化を示す図。

【図 9】アクティブ・マトリクス型の表示装置に備えられる画素アレイの一例の概略図。

【図 10】上述した各実施例における不都合を示した図で、外部からの映像信号源からの映像データに含まれる水平同期信号 HSYNC に基いて得られる画素の電圧波形を示すタイミング・チャート。

20

【図 11】本発明による表示装置の他の実施例であって、外部からの映像信号源からの映像データに含まれる水平同期信号 HSYNC に基いて得られる画素の電圧波形を示すタイミング・チャート。

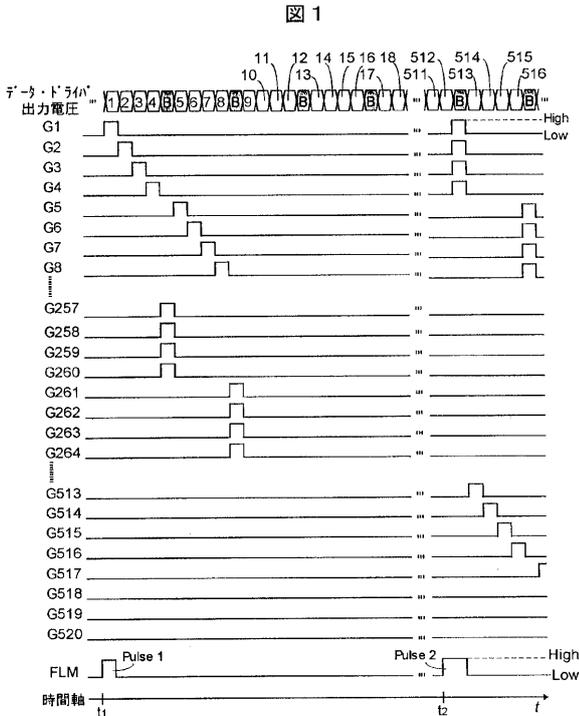
【図 12】図 11 に示したタイミング・チャートを実施するための構成を示したブロック図。

【符号の説明】

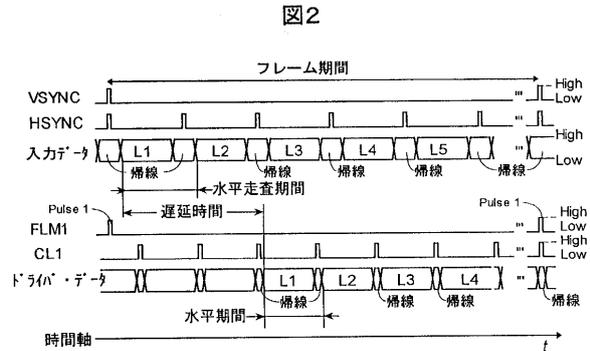
100 ... 表示装置（液晶表示装置）、101 ... 画素アレイ（TFT 型液晶表示パネル）、
102 ... データ・ドライバ、103 ... 走査ドライバ、104 ... 表示制御回路（タイミング・コントローラ）、105 ... ライン・メモリ回路、120 ... 映像データ、121 ... 映像制御信号群（垂直同期信号、水平同期信号、ドット・クロック等）、106 ... ドライバ・データ、107 ... データ・ドライバ制御信号群、CL3 ... 走査クロック。

30

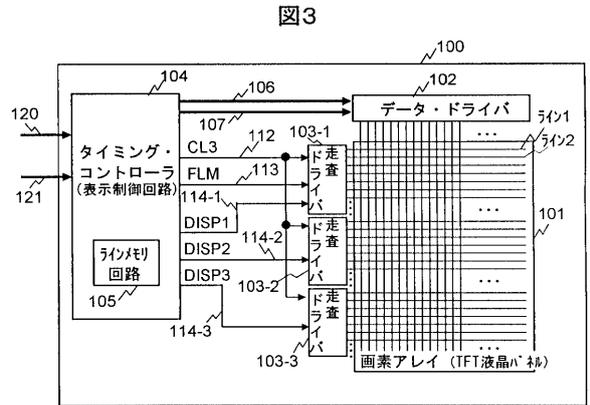
【 図 1 】



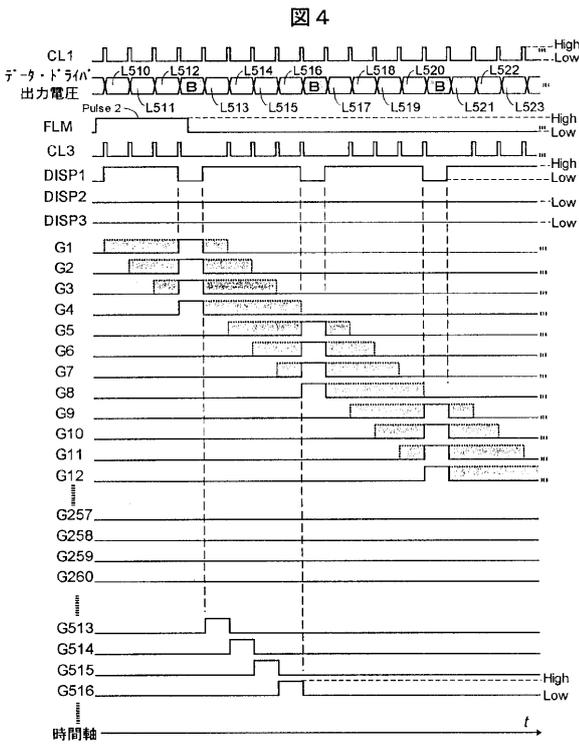
【 図 2 】



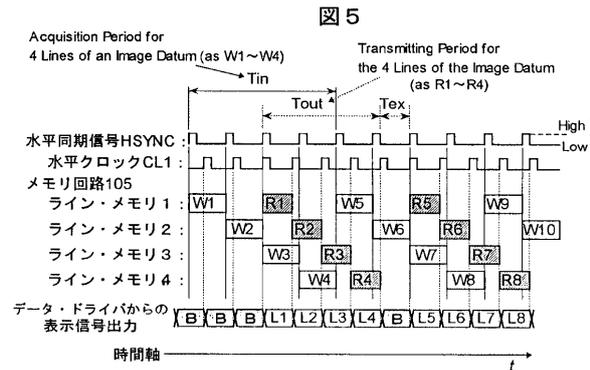
【 図 3 】



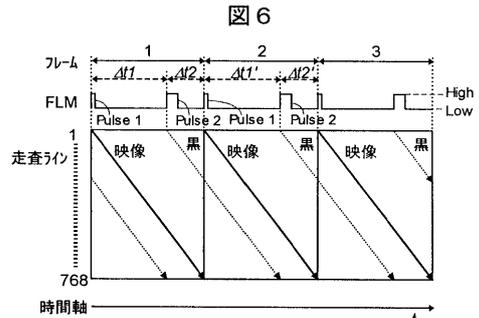
【 図 4 】



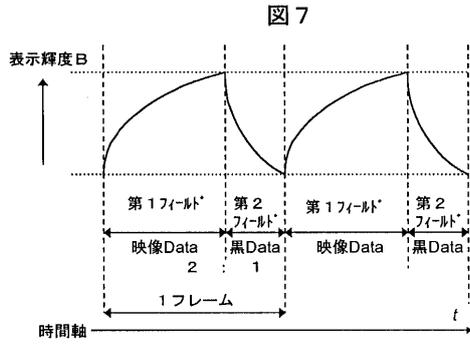
【 図 5 】



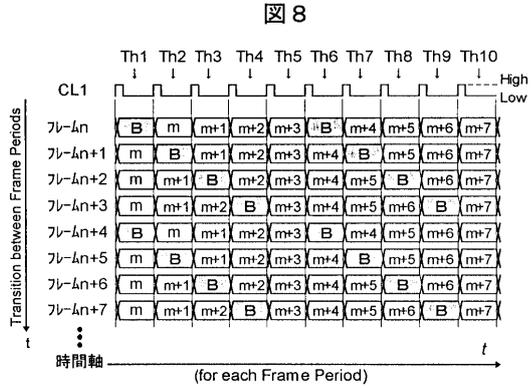
【 図 6 】



【 図 7 】

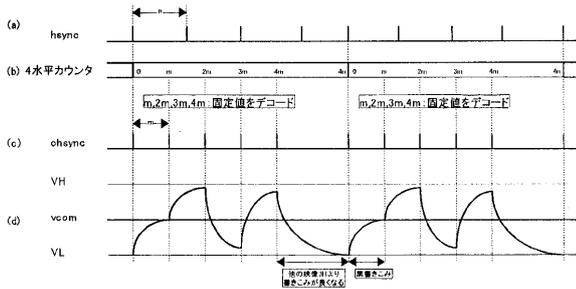


【 図 8 】



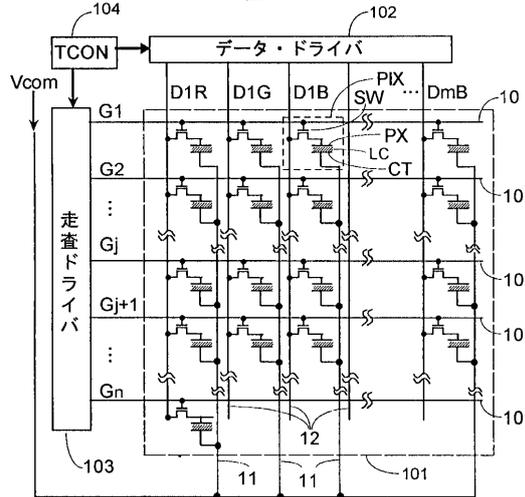
【 図 10 】

図10



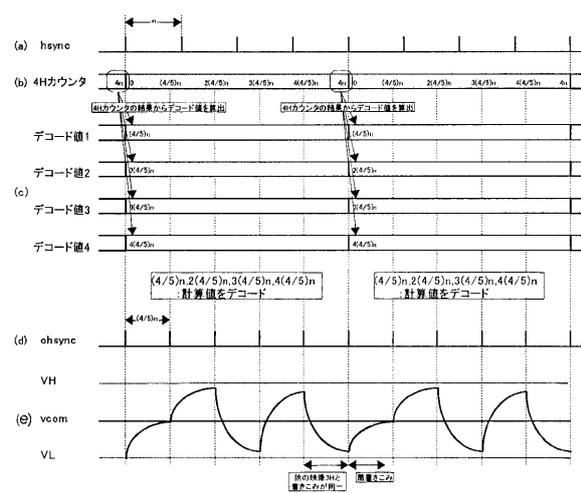
【 図 9 】

図 9



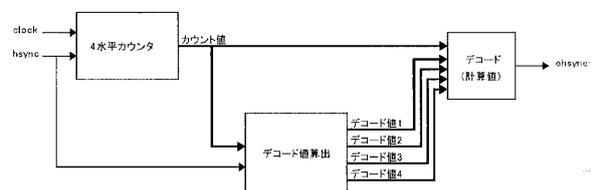
【 図 11 】

図11



【 図 12 】

図12



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 6 0 V

Fターム(参考) 2H093 NA16 NC10 NC13 NC16 NC34 NC35 ND01 NE03 NF05
5C006 AC23 AF42 AF44 AF59 BB16 BC16 BF05 FA08 FA16
5C080 AA06 AA10 BB05 CC03 DD01 DD21 EE19 FF07 FF11 GG12
JJ02 JJ04 KK01 KK43