

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6485257号
(P6485257)

(45) 発行日 平成31年3月20日(2019.3.20)

(24) 登録日 平成31年3月1日(2019.3.1)

(51) Int.Cl. F I
 HO 1 L 25/07 (2006.01) HO 1 L 25/04 C
 HO 1 L 25/18 (2006.01)

請求項の数 15 (全 19 頁)

(21) 出願番号 特願2015-132789 (P2015-132789)
 (22) 出願日 平成27年7月1日(2015.7.1)
 (65) 公開番号 特開2017-17195 (P2017-17195A)
 (43) 公開日 平成29年1月19日(2017.1.19)
 審査請求日 平成30年4月16日(2018.4.16)

(73) 特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 征矢野 伸
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 審査官 平林 雅行

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

絶縁基板と、前記絶縁基板のおもて面に配置された回路板とを有する積層基板と、
 前記回路板に配置された半導体チップと、
 前記積層基板及び前記半導体チップを収納する収納領域を備えるケースと、
 第1面及び前記第1面に対向する第2面を備え、前記第1面及び第2面から突出する外部
 接続端子を保持している端子ブロックと、
 第1主面及び前記第1主面に対向する第2主面を備え、前記収納領域の周縁に配置され
 、前記端子ブロックの前記第2面側に保持され、前記半導体チップの制御電極と接続部材
 により電氣的に接続され、かつ、前記外部接続端子と接続されたプリント基板と、
 を有する半導体装置。

【請求項2】

前記外部接続端子が前記プリント基板に圧入されることにより、前記プリント基板が前
 記端子ブロックの前記第2面側に保持されている請求項1記載の半導体装置。

【請求項3】

前記端子ブロックは、前記第1面と第2面の間に、前記第1面と接続する第3面を備え
 、前記第2面及び前記第3面の少なくとも一方が前記ケースと接合している請求項2記載
 の半導体装置。

【請求項4】

前記プリント基板が複数の貫通孔を備え、前記貫通孔において前記ケースと接合してい

る請求項 2 記載の半導体装置。

【請求項 5】

前記プリント基板の端部が前記ケースから前記収納領域の内側へ張り出している請求項 4 記載の半導体装置。

【請求項 6】

前記端子ブロックが前記第 3 面に設けられた段差を備え、前記ケースの一部が前記段差の前記第 1 面側に配置されている請求項 3 記載の半導体装置。

【請求項 7】

前記端子ブロックは前記プリント基板の前記第 1 主面側に配置され、
前記外部接続端子の端部は前記プリント基板の前記第 2 主面側に露出もしくは突出して、前記ケースと接しており、
前記プリント基板は前記端子ブロックの前記第 2 面側と前記ケースの間に保持されている請求項 2 記載の半導体装置。

10

【請求項 8】

前記端子ブロックは、前記第 2 面側に、前記プリント基板との間の隙間を規定する突起を備え、前記ケースの一部が前記隙間内に配置され前記端子ブロックと接合し、かつ前記外部接続端子と接している請求項 2 記載の半導体装置。

【請求項 9】

前記半導体装置は前記半導体チップを複数備え、前記半導体チップは、前記積層基板の前記回路板上に、前記プリント基板に沿って配置され、さらに、前記半導体チップの各制御電極が、前記プリント基板に沿って配置され、前記制御電極がそれぞれ前記プリント基板と電気的に接続されている請求項 1 記載の半導体装置。

20

【請求項 10】

前記半導体チップがそれぞれ主電極を備え、前記主電極と接続され、前記プリント基板に沿って配置された配線端子を備える請求項 9 記載の半導体装置。

【請求項 11】

前記周縁に嵌まり、前記収納領域を塞ぎ、前記配線端子が設けられたバスバーブロックを有する請求項 10 に記載の半導体装置。

【請求項 12】

第 1 面及び前記第 1 面に対向する第 2 面を備え、前記第 1 面及び第 2 面から突出する外部接続端子を保持している端子ブロックと、

30

第 1 主面及び前記第 1 主面に対向する第 2 主面を備えるプリント基板と、を準備し、

前記外部接続端子を前記プリント基板に圧入し、前記端子ブロックの前記第 2 面側に前記プリント基板を保持しながら、前記端子ブロックの周囲に加熱された樹脂を配置し、前記端子ブロック及び前記プリント基板を一体成形してケースを形成する半導体装置の製造方法。

【請求項 13】

前記外部接続端子が前記プリント基板に圧入されることにより、前記プリント基板が前記端子ブロックの前記第 2 面側に保持されている請求項 12 記載の半導体装置の製造方法。

40

【請求項 14】

前記端子ブロックが前記プリント基板の前記第 1 主面側に配置され、前記外部接続端子の端部が前記プリント基板の前記第 2 主面側に露出もしくは突出し、前記樹脂と接しながら、

前記端子ブロック及び前記プリント基板を一体成形される請求項 13 記載の半導体装置の製造方法。

【請求項 15】

さらに、絶縁基板と、前記絶縁基板のおもて面に形成された回路板とを有する積層基板と、

半導体チップと、を準備し、

50

前記ケースの収納領域に前記積層基板を収納し、
前記回路板に前記半導体チップを配置し、
前記半導体チップの制御電極と前記プリント基板とを導電性の接続部材により接続する
請求項 1 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

パワー半導体モジュール（半導体装置）では、IGBT（Insulated Gate Bipolar Transistor）、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）、FWD（Free Wheeling Diode）等の半導体チップを含み、電力変換装置として広く用いられている。

【0003】

このような半導体装置では、絶縁基板と、当該絶縁基板上に形成された銅箔により構成される回路パターンとを有する積層基板において、銅箔上に上記半導体チップが配置されて、当該積層基板がケース内に収納される。さらに、ケース内の積層基板及び半導体チップに対して配線されて、半導体チップの電極間と、半導体チップの電極及び外部電極端子と、がワイヤにより電氣的にそれぞれ接続されて、ケース内のこれらの構成が樹脂により封止される（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2000 - 323646 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、半導体装置は、半導体チップの高機能化に伴い、一素子当たりの制御信号系の配線数が増加する傾向にある。そこで、半導体装置のケース内では配線の複雑化を抑制するために、例えば、積層基板上に回路パターン等を形成し、当該回路パターンを利用した配線の引き回しを行って、配線接続を簡素化することが試みられている。

【0006】

しかしながら、配線数が多いと、回路パターンを利用しても配線の引き回しが複雑となり、組み立て性が低下し、配線工数が増加する。また、制御信号系の配線であるために、引き回しの仕方によっては、スイッチング時に発生する磁場等が製品特性に影響し、誤動作が発生するおそれがある。

【0007】

本発明は、このような点を鑑みてなされたものであり、配線接続が簡素化された半導体装置及び半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一観点によれば、絶縁基板と、前記絶縁基板のおもて面に配置された回路板とを有する積層基板と、前記回路板に配置された半導体チップと、前記積層基板及び前記半導体チップを収納する収納領域を備えるケースと、第 1 面及び前記第 1 面に対向する第 2 面を備え、前記第 1 面及び第 2 面から突出する外部接続端子を保持している端子ブロックと、第 1 主面及び前記第 1 主面に対向する第 2 主面を備え、前記収納領域の周縁に配置され、前記端子ブロックの前記第 2 面側に保持され、前記半導体チップの制御電極と接続部材により電氣的に接続され、かつ、前記外部接続端子と接続されたプリント基板と、を有する半導体装置が提供される。

10

20

30

40

50

【 0 0 0 9 】

また、本発明の一観点によれば、第 1 面及び前記第 1 面に対向する第 2 面を備え、前記第 1 面及び第 2 面から突出する外部接続端子を保持している端子ブロックと、第 1 主面及び前記第 1 主面に対向する第 2 主面を備えるプリント基板と、を準備し、前記外部接続端子を前記プリント基板に圧入し、前記端子ブロックの前記第 2 面側に前記プリント基板を保持しながら、前記端子ブロックの周囲に加熱された樹脂を配置し、前記端子ブロック及び前記プリント基板を一体成形してケースを形成する半導体装置の製造方法が提供される。

【 発明の効果 】

【 0 0 1 0 】

開示の技術によれば、配線接続が簡素される。

【 図面の簡単な説明 】

【 0 0 1 1 】

【 図 1 】 第 1 の実施の形態の半導体装置の斜視図である。

【 図 2 】 第 1 の実施の形態の半導体装置の製造方法を示すフローチャートである。

【 図 3 】 第 1 の実施の形態の半導体装置の絶縁基板に部品搭載した斜視図である。

【 図 4 】 第 1 の実施の形態の半導体装置の端子ブロックの斜視図である。

【 図 5 】 第 1 の実施の形態の半導体装置の端子ブロックの他の例の斜視図である。

【 図 6 】 第 1 の実施の形態の半導体装置のプリント基板及び端子ブロックの斜視図（その 1 ）である。

【 図 7 】 第 1 の実施の形態の半導体装置のプリント基板及び端子ブロックの斜視図（その 2 ）である。

【 図 8 】 第 1 の実施の形態の半導体装置のプリント基板及び積層基板の要部断面図である。

【 図 9 】 第 1 の実施の形態の半導体装置のケースの平面図である。

【 図 1 0 】 第 1 の実施の形態の半導体装置のケースの裏面図である。

【 図 1 1 】 第 1 の実施の形態の半導体装置内に構成された回路構成を示す回路図である。

【 図 1 2 】 参考例の半導体装置の平面図である。

【 図 1 3 】 第 2 の実施の形態の半導体装置の斜視図である。

【 図 1 4 】 第 2 の実施の形態の半導体装置の製造方法を示すフローチャートである。

【 図 1 5 】 第 2 の実施の形態の半導体装置のバスバーブロックの平面図である。

【 図 1 6 】 第 2 の実施の形態の半導体装置の絶縁基板が収納されたケースの平面図である。

【 発明を実施するための形態 】

【 0 0 1 2 】

以下、図面を参照して実施の形態について説明する。

【 第 1 の実施の形態 】

まず、第 1 の実施の形態の半導体装置について、図 1 を用いて説明する。

【 0 0 1 3 】

図 1 は、第 1 の実施の形態の半導体装置の斜視図である。

半導体装置 1 0 0 は、ケース 1 1 0 と、ケース 1 1 0 の収納部 1 1 2 a , 1 1 2 b , 1 1 2 c にそれぞれ収納された積層基板 1 4 0 とを含む。

【 0 0 1 4 】

半導体装置 1 0 0 は、P 端子 1 1 3 a , 1 1 3 b , 1 1 3 c に正極が、N 端子 1 1 4 a , 1 1 4 b , 1 1 4 c に負極がそれぞれ接続されて、各制御端子 1 2 1 , 1 3 1 に制御信号が印加されて、U 端子 1 1 5 a 、 V 端子 1 1 5 b 、 W 端子 1 1 5 c から制御信号に応じた出力が得られるものである。

【 0 0 1 5 】

なお、このような半導体装置 1 0 0 を構成するケース 1 1 0 と、ケース 1 1 0 に収納される積層基板 1 4 0 との詳細については後述する。

10

20

30

40

50

ここで、半導体装置 100 の製造方法について、図 2 を用いて説明する。

【0016】

図 2 は、第 1 の実施の形態の半導体装置の製造方法を示すフローチャートである。

【ステップ S11】 プリント基板 119a, 119b 及び端子ブロック 120, 130 を用意する (ステップ S11a)。また、積層基板 140 を用意する (ステップ S11b)。ステップ S11a において、端子ブロック 120, 130 の制御端子 121, 131 は、それぞれプリント基板 119a, 119b に圧入され、プリント基板 119a, 119b を端子ブロック 120, 130 の下面側に保持する。

【0017】

ここで、積層基板 140 について、図 3 を用いて説明する。

10

図 3 は、第 1 の実施の形態の半導体装置の絶縁基板に部品搭載した斜視図である。

積層基板 140 は、絶縁基板 141 の下面に銅等により構成された放熱板 (図示を省略) と、絶縁基板 141 の上面に銅箔等により構成された回路板 142a, 142b とがそれぞれ配置されている。

【0018】

回路板 142a 上には、例えば、銅により構成された導電端子 143a が図中下側に配置され、半導体チップ 144a, 144b, 144c (のコレクタ電極側) がはんだを介して一列に配置されている。さらに、一列に配置された半導体チップ 144a, 144b, 144c の各エミッタ電極に直線状のリードフレーム 145a がはんだを介して配置されて、半導体チップ 144a, 144b, 144c の各エミッタ電極が電氣的に接続されている。

20

【0019】

回路板 142b 上には、例えば、銅により構成された導電端子 143b が図中上側に配置され、半導体チップ 146a, 146b, 146c (のコレクタ電極側) がはんだを介して一列に配置されている。さらに、一列に配置された半導体チップ 146a, 146b, 146c の各エミッタ電極に直線状のリードフレーム 145b がはんだを介して配置されて、半導体チップ 146a, 146b, 146c の各エミッタ電極が電氣的に接続されている。

【0020】

半導体チップ 144a, 144b, 144c, 146a, 146b, 146c として IGBT、MOSFET や FWD 等が用いられる。図 3 は半導体チップ 144a 等として RC-IGBT (Reverse Conducting IGBT: 逆導通 IGBT) を用いた例を示している。半導体チップ 144a 等はそれぞれ主電極 (エミッタ電極及びコレクタ電極) に加えて、ゲート端子、センス端子やチップ温度測定用端子に接続される複数の制御電極 144ac, 144bc, 144cc, 146ac, 146bc, 146cc を備えている。

30

【0021】

なお、図 3 は、半導体チップ 144a, 144b, 144c のエミッタ電極をリードフレーム 145a で接続した場合を例示している。しかしながら、半導体チップ 144a, 144b, 144c のエミッタ電極の接続は、リードフレーム 145a に限らず、アルミニウム等で構成されるワイヤで行うことも可能である。半導体チップ 146a, 146b, 146c についても同様にワイヤで接続することが可能である。

40

【0022】

次いで、端子ブロック 120, 130 について図 4 ~ 図 7 を用いて説明する。

図 4 は、第 1 の実施の形態の半導体装置の端子ブロックの斜視図であり、図 5 は、第 1 の実施の形態の半導体装置の端子ブロックの他の例の斜視図である。

【0023】

また、図 6 及び図 7 は、第 1 の実施の形態の半導体装置のプリント基板及び端子ブロックの斜視図である。なお、図 6 及び図 7 では、端子ブロック 120, 130 をプリント基板 119a に配置している場合を示している。

【0024】

50

図4のように、端子ブロック120, 130は、制御端子(外部接続端子)121, 131を一体成形して樹脂により構成されており、略直方体状を成している。端子ブロック120, 130の下面(第2面)側には、2つの突起により規定された隙間122, 132がそれぞれ形成されている。端子ブロック120, 130の下面はそれぞれプリント基板119aに対して設置される面である。なお、隙間122, 132は、端子ブロック120, 130の図中正面側から裏面側に貫通している。また、端子ブロック120, 130の互いに対向する面側には、段差部123, 133がそれぞれ形成されている。端子ブロック120, 130は図5に示す上面、下面から制御端子151が突出して一体成形された端子ブロック150のように単純な直方体状の樹脂本体を備えてもよい。

【0025】

このような端子ブロック120, 130は、複数の制御端子121, 131を保持している。制御端子121, 131は、両端部が、胴体部よりも厚く構成されている。端子ブロック120, 130は、このような制御端子121, 131の胴体部を保持し、胴体部よりも厚く構成された両端部は端子ブロック120, 130の図中上面(第1面)及び下面(第2面)にそれぞれ突出している。後述するように、端子ブロック120, 130の図中下面側に突出している制御端子121, 131の下端部は、プリント基板119aに設けられたスルーホールに圧入(プレスフィット)されている。なお、制御端子121, 131は、図6では、端子ブロック120, 130に対して2列形成されている。これにより、制御端子121, 131を1列形成する場合と比較して、端子ブロック120, 130に保持させる制御端子121, 131の本数を増加させることができる。また、端子

【0026】

なお、ケース110の形成で用いられるプリント基板(回路配線基板)119aは、導電性材料からなる配線層と、耐熱性の高い材料からなる基板とを含み、配線層に電氣的に接続される電極119a1がおもて面に複数配列されている。配線層の構成は単層、両面に積層された構成あるいは多層構成のいずれでもよい。また、プリント基板119aは、上面(第1主面)から下面(第2主面)へ貫通する複数の貫通孔119a2が形成されている。後述するようにプリント基板119aをケース110に一体成形する際に、当該貫通孔119a2にケース110の樹脂が入り込むことで、プリント基板119aがケース110に固着しやすくなる。好ましくは、複数の貫通孔119a2は整列した複数の電極119a1を間に挟むように配置される。電極119a1の周囲を貫通孔119a2内の樹脂で固定することにより、後のステップにおけるワイヤ148の接続の信頼性を向上できる。

【0027】

また、プリント基板119aの裏面に銅によるパターンを形成しておき、当該パターンの表面に黒化処理により意図的に凹凸を設けておいてもよい。これにより、プリント基板119aをケース110に一体成形する際に、裏面の凹凸がケース110と馴染んで、プリント基板119aがケース110に固着しやすくなる。下面側の配線層のベタパターンはシールドとして用いることもできる。プリント基板119aの下面にレジスト等の残渣がないほうが好ましい。

【0028】

このようなプリント基板119aに、端子ブロック120, 130の下面から突出した制御端子121, 131の下端部が圧入(プレスフィット)により接続されて、端子ブロック120, 130が配置されている。これにより、プリント基板119aと制御端子121, 131とが電氣的に接続される。図7に示すように、制御端子121, 131の端部がプリント基板119a, 119bの下面側に露出もしくは突出してもよい。

【0029】

なお、制御端子121, 131の下端部が胴体部と同じ厚さである場合には、プリント

10

20

30

40

50

基板 119a に対して圧入せずにはんだにより接続することも可能である。この場合には、プリント基板 119a に（プリント基板 119a のおもて面側から）貫通させた制御端子 121, 131 の下端部をプリント基板 119a の裏面側ではんだ付けする。しかし、はんだは、温度によっては溶融し、溶融したはんだは樹脂に入り込んでしまう場合がある。このように溶融したはんだの樹脂への流入を防止するためにも、プリント基板 119a の裏面側の制御端子 121, 131 のはんだ付け部をエポキシ樹脂で覆い、当該エポキシ樹脂を硬化させる処理を行うとよい。したがって、プリント基板 119a に制御端子 121, 131 を取り付け際には、半田を用いるよりも、圧入を行う方が好ましい。

【0030】

また、プリント基板 119a には、制御回路を設け、制御端子 121, 131 と電氣的に接続された電子部品等を搭載することもできる。なお、後述するプリント基板 119b も、プリント基板 119a と同様の構成を成し、同様に取り扱うことができる。

【0031】

このような積層基板 140、プリント基板 119a, 119b 及び端子ブロック 120, 130 が用意される。

[ステップ S12] 端子ブロック 120, 130 が配置されたプリント基板 119a, 119b、配線端子 116, 117, 118、P 端子 113a, 113b, 113c、N 端子 114a, 114b, 114c、U 端子 115a、V 端子 115b、W 端子 115c 等を一体成形により樹脂を用いてケース 110 を形成する。

【0032】

このようにして形成されたケース 110 について、図 9 及び図 10 を用いて説明する。図 9 は、第 1 の実施の形態の半導体装置のケースの平面図であり、図 10 は、第 1 の実施の形態の半導体装置のケースの裏面図である。

【0033】

ケース 110 は、例えば、射出成形により樹脂を用いて形成され、中央部に凹部が形成された枠形状を成している。中央部の凹部内には、上記積層基板 140 がそれぞれ収納される収納部 112a, 112b, 112c が形成されている。収納部 112a の周縁部には、（ケース 110 の短手方向に沿って）プリント基板 119a, 119b が配置されている。収納部 112b の周縁部には、（ケース 110 の短手方向に沿って）一対のプリント基板 119a が配置されている。収納部 112c の周縁部には、（ケース 110 の短手方向に沿って）プリント基板 119a, 119b が配置されている。また、各プリント基板 119a, 119b は、ケース 110 に一体成形により配置されている。なお、このようにして配置された各プリント基板 119a 上には、樹脂で構成された樹脂梁 111a, 111b がそれぞれ設置されている。樹脂梁 111a, 111b によりケース 110 の短手方向に係る圧力が支持される。

【0034】

このようなケース 110 の収納部 112a に対して、ケース 110 の長手方向の一方の辺側（図中下側）には P 端子 113a と、N 端子 114a とが、他方の辺側（図中上側）には U 端子 115a がそれぞれ設けられている。同様にして、収納部 112b に対して、ケース 110 の長手方向の一方の辺側（図中下側）には P 端子 113b と、N 端子 114b とが、他方の辺側（図中上側）には V 端子 115b がそれぞれ設けられている。また、収納部 112c に対して、長手方向の一方の辺側（図中下側）には P 端子 113c と、N 端子 114c とが、他方の辺側（図中上側）には W 端子 115c がそれぞれ設けられている。

【0035】

各収納部 112a, 112b, 112c には、U 端子 115a、V 端子 115b、W 端子 115c に電氣的に接続され、プリント基板 119a, 119b に平行に、後述する配線端子 118 の手前まで延伸する配線端子 116 が配置されている。また、各収納部 112a, 112b, 112c には、N 端子 114a, 114b, 114c に電氣的に接続され、N 端子 114a, 114b, 114c からプリント基板 119a, 119b に平行に

10

20

30

40

50

配線端子 116 の手前まで延伸する配線端子 117 が配置されている。さらに、各収納部 112a, 112b, 112c には、P 端子 113a, 113b, 113c に電氣的に接続され、P 端子 113a, 113b, 113c から突出する配線端子 118 が配置されている。

【0036】

また、収納部 112a の U 端子 115a 側のプリント基板 119a, 119b には、端子ブロック 120, 130 がそれぞれ配置されており、制御端子 121, 131 がプリント基板 119a, 119b と電氣的に接続されている。なお、端子ブロック 120, 130 は、ケース 110 の長手方向の辺の U 端子 115a、V 端子 115b、W 端子 115c 近傍にそれぞれ配置されている。

10

【0037】

端子ブロック 120, 130 は、一体成形することによりケース 110 の樹脂に一体化される。二次成形時に、端子ブロック 120, 130 の上面、下面あるいは上面及び下面の間の側面（第 3 面）が加熱された樹脂と溶着することにより、端子ブロック 120, 130 はケース 110 に接合される。図示した例では側面は上面及び下面に接続している。樹脂として例えばポリフェニレンサルファイド（PPS）等の熱可塑性樹脂を用いることができる。制御端子 121, 131 を保持する端子ブロック 120, 130 を成形（一次成形）する際、ブロック本体の樹脂をケース 110 の樹脂と同種若しくは同一とするとよい。端子ブロック 120, 130 とケース 110 の樹脂を同種の材料から選択することにより、二次成形が容易となる。

20

【0038】

二次成形の際、段差部 123, 133 の上面側にケース 110 の一部が配置されるよう、樹脂で覆い一体成形することにより端子ブロック 120, 130 とケース 110 の接合が強固になり得る。プリント基板 119a, 119b の下面（第 2 主面）側に露出もしくは突出した制御端子 121, 131 の端部がケース 110 と接するよう一体成形することにより、プリント基板 119a, 119b が端子ブロック 120, 130 の下面（第 2 面）側とケース 110 の間に保持（サンドイッチ）されるので、プリント基板 119a, 119b はケース 110 に強固に固定され得る。さらに、端子ブロック 120, 130 の隙間 122, 132 内に樹脂を流入させ、ケース 110 の一部が隙間 122, 132 内に配置され端子ブロック 120, 130 と接合し、かつ制御端子 121, 131 と接するよう

30

【0039】

ここで、ケース 110 に一次成形されたプリント基板 119a について、図 8 を用いて説明する。

図 8 は、第 1 の実施の形態の半導体装置のプリント基板及び積層基板の要部断面図である。

【0040】

図 8 は図 1 の一点鎖線 X - X における要部断面図である。図示するように、プリント基板 119a は、その端部がケース 110 から収納部（収納領域）112a の内側へ、すなわち積層基板 140 側へ張り出している。張り出した端部は二次成形の際、プリント基板 119a を金型で挟んだ結果、形成される。また、図 6 及び図 7 に示したように、プリント基板 119a の整列した電極 119a1 及び貫通孔 119a2 は、張り出した端部に沿って配置されている。

40

【0041】

なお、ステップ S12 では、ケース 110 の形成に、配線端子 116, 117 を一体成形する場合を例に挙げて説明した。この場合に限らず、ケース 110 は、配線端子 116, 117 を除いて、他の構成を一体成形して、形成した後で、配線端子 116, 117 を所定位置に溶接して接合することも可能である。

【0042】

50

【ステップS13】 ステップS12で形成したケース110に、ステップS11bで用意した積層基板140を収納する。そして、プリント基板119a上に樹脂梁111a, 111bを取り付ける。

【0043】

具体的には、図3で説明した積層基板140を銅板あるいは冷却器に設置する。銅板あるいは冷却器に設置された積層基板140が、図9及び図10で説明したケース110の収納部112a, 112b, 112cにそれぞれ収納されるように、ケース110を接着する。収納の際、積層基板140の導電端子143bとリードフレーム145aとが、ケース110の配線端子116(の裏面側)に接合される。また、積層基板140のリードフレーム145bが、ケース110の配線端子117(の裏面側)に接合される。さらに、積層基板140の導電端子143aが、ケース110の配線端子118(の裏面側)に接合される。この後、プリント基板119a上に樹脂梁111a, 111bを取り付ける。

10

【0044】

【ステップS14】 半導体チップ144a, 144b, 144cのゲート電極等の制御電極とプリント基板119aとをワイヤ148で接続して、半導体チップ146a, 146b, 146cのゲート電極等の制御電極とプリント基板119bとをワイヤ148で接続する。

【0045】

これにより、図1に示されるような、半導体装置100の構造が得られる。

20

なお、各制御電極がプリント基板119aに沿って整列する様、半導体チップ144a, 144b, 144cを配置するとよい。半導体チップ146a, 146b, 146cについても同様である。このような配置によりワイヤ148による接続が容易になる。半導体チップ144a等としてRC-IGBTを用いると図3に示すように制御電極の整列が容易になる。

【0046】

【ステップS15】 ケース110の凹部内の積層基板140、プリント基板119a, 119b、樹脂梁111a, 111b、配線端子116, 117, 118、ワイヤ148等を封止樹脂で封止し、封止樹脂を硬化する。これにより半導体装置100が完成する。

30

【0047】

なお、この際、樹脂を、端子ブロック120, 130の隙間122, 132内にも流入させて、隙間122, 132内で制御端子121, 131を樹脂封止してもよい。このように封止することにより制御端子121, 131のプリント基板119a, 119bに対する固着をより確実なものにできる。さらに、端子ブロック120, 130を封止する際に、端子ブロック120, 130の段差部123, 133を樹脂で覆ってもよい。これにより、端子ブロック120, 130がプリント基板119a, 119bに押圧されることで、制御端子121, 131のプリント基板119a, 119bに対する固着をより確実なものにできる。このため、段差部123, 133は、図4の位置に限らず、端子ブロック120, 130のプリント基板119aに配置される面に対して垂直な面であればどこでも構わず、また、一か所の面に限らず、複数の面に形成しても構わない。封止樹脂として例えばエポキシ樹脂を用いることができる。

40

【0048】

次に、このような半導体装置100で構成される回路構成について図1、図3並びに図11を用いて説明する。

図11は、第1の実施の形態の半導体装置内に構成された回路構成を示す回路図である。

【0049】

半導体装置100の収納部112aの積層基板140(図1及び図3)においては、P端子113aに配線端子118を介して電氣的に接続されている導電端子143aは、回

50

回路板 142 a を経由して、半導体チップ 144 a, 144 b, 144 c のコレクタ電極に電氣的に接続されている。半導体チップ 144 a, 144 b, 144 c のエミッタ電極に電氣的に接続されているリードフレーム 145 a に、配線端子 116 が電氣的に配線され、配線端子 116 は、U 端子 115 a に電氣的に接続されている。

【0050】

導電端子 143 b は、U 端子 115 a に電氣的に接続されている配線端子 116 に電氣的に接続されており、回路板 142 b を経由して、半導体チップ 146 a, 146 b, 146 c のコレクタ電極に電氣的に接続されている。半導体チップ 146 a, 146 b, 146 c のエミッタ電極に電氣的に接続されているリードフレーム 145 b に、配線端子 117 が電氣的に配線され、配線端子 117 は、N 端子 114 a に電氣的に接続されている。

10

【0051】

また、半導体装置 100 の収納部 112 b の積層基板 140 (図 1 及び図 3) においては、P 端子 113 b に配線端子 118 を介して電氣的に接続されている導電端子 143 a は、回路板 142 a を経由して、半導体チップ 144 a, 144 b, 144 c のコレクタ電極に電氣的に接続されている。半導体チップ 144 a, 144 b, 144 c のエミッタ電極に電氣的に接続されているリードフレーム 145 a に、配線端子 116 が電氣的に配線され、配線端子 116 は、V 端子 115 b に電氣的に接続されている。

【0052】

導電端子 143 b は、V 端子 115 b に電氣的に接続されている配線端子 116 に電氣的に接続されており、回路板 142 b を経由して、半導体チップ 146 a, 146 b, 146 c のコレクタ電極に電氣的に接続されている。半導体チップ 146 a, 146 b, 146 c のエミッタ電極に電氣的に接続されているリードフレーム 145 b に、配線端子 117 が電氣的に配線され、配線端子 117 は、N 端子 114 b に電氣的に接続されている。

20

【0053】

また、半導体装置 100 の収納部 112 c の積層基板 140 (図 1 及び図 3) においては、P 端子 113 c に配線端子 118 を介して電氣的に接続されている導電端子 143 a は、回路板 142 a を経由して、半導体チップ 144 a, 144 b, 144 c のコレクタ電極に電氣的に接続されている。半導体チップ 144 a, 144 b, 144 c のエミッタ電極に電氣的に接続されているリードフレーム 145 a に、配線端子 116 が電氣的に配線され、配線端子 116 は、W 端子 115 c に電氣的に接続されている。

30

【0054】

導電端子 143 b は、W 端子 115 c に電氣的に接続されている配線端子 116 に電氣的に接続されており、回路板 142 b を経由して、半導体チップ 146 a, 146 b, 146 c のコレクタ電極に電氣的に接続されている。半導体チップ 146 a, 146 b, 146 c のエミッタ電極に電氣的に接続されているリードフレーム 145 b に、配線端子 117 が電氣的に配線され、配線端子 117 は、N 端子 114 c に電氣的に接続されている。

【0055】

このような構成により、半導体装置 100 の内部には、図 11 に示す回路が構成される。

40

したがって、P 端子 113 a に正極が、N 端子 114 a に負極が接続された状態で、制御端子 121, 131 及びプリント基板 119 a, 119 b を経由して外部回路との間で制御信号が入出力される。この制御信号に応じて、プリント基板 119 a, 119 b 及びワイヤ 148 を経由して、半導体チップ 144 a, 144 b, 144 c 並びに半導体チップ 146 a, 146 b, 146 c のゲート電極に制御信号が入力されて、制御信号に応じて U 端子 115 a から出力される。

【0056】

また、P 端子 113 b に正極が、N 端子 114 b に負極が接続された状態で、制御端子

50

1 2 1, 1 3 1 及びプリント基板 1 1 9 a, 1 1 9 b を経由して制御信号が入出力される。この制御信号に応じて、プリント基板 1 1 9 a, 1 1 9 b 及びワイヤ 1 4 8 を経由して、半導体チップ 1 4 4 a, 1 4 4 b, 1 4 4 c 並びに半導体チップ 1 4 6 a, 1 4 6 b, 1 4 6 c のゲート電極に制御信号が入力されて、制御信号に応じて V 端子 1 1 5 b から出力される。

【 0 0 5 7 】

また、P 端子 1 1 3 c に正極が、N 端子 1 1 4 c に負極が接続された状態で、制御端子 1 2 1, 1 3 1 及びプリント基板 1 1 9 a, 1 1 9 b を経由して制御信号が入出力される。この制御信号に応じて、プリント基板 1 1 9 a, 1 1 9 b 及びワイヤ 1 4 8 を経由して、半導体チップ 1 4 4 a, 1 4 4 b, 1 4 4 c 並びに半導体チップ 1 4 6 a, 1 4 6 b, 1 4 6 c のゲート電極に制御信号が入力されて、制御信号に応じて W 端子 1 1 5 c から出力される。

10

【 0 0 5 8 】

次に、半導体装置 1 0 0 に対する参考例として、別の半導体装置について、図 1 2 を用いて説明する。

図 1 2 は、参考例の半導体装置の平面図である。

【 0 0 5 9 】

半導体装置 3 0 0 は、ケース 3 1 0 と、ケース 3 1 0 の中央部に設けられた収納部 3 3 0 に収納された 3 つの積層基板 3 2 0 とを有する。

ケース 3 1 0 は、射出形成により、樹脂を用いて、制御端子 3 1 1 と、制御端子 3 1 1 に電氣的に接続されている制御電極 3 1 2 と、P 端子 3 1 3 a, 3 1 3 b, 3 1 3 c と、N 端子 3 1 4 a, 3 1 4 b, 3 1 4 c と、U 端子 3 1 5 a、V 端子 3 1 5 b、W 端子 3 1 5 c とが一体成形されている。

20

【 0 0 6 0 】

積層基板 3 2 0 は、絶縁基板 3 2 1 の下面に放熱板（図示を省略）と、絶縁基板 3 2 1 の上面に回路板 3 2 2 a, 3 2 2 b, 3 2 2 c, 3 2 2 d, 3 2 2 e, 3 2 2 f とが形成されている。さらに、回路板 3 2 2 b, 3 2 2 f 上に半導体チップ 3 2 3 a, 3 2 3 b, 3 2 3 c, 3 2 3 d がそれぞれはんだを介して配置されている。

【 0 0 6 1 】

このような積層基板 3 2 0 がケース 3 1 0 の収納部 3 3 0 に収納されて、制御電極 3 1 2 と、回路板 3 2 2 a, 3 2 2 c, 3 2 2 d と、半導体チップ 3 2 3 a, 3 2 3 b, 3 2 3 c, 3 2 3 d の主端子との間がワイヤ 3 2 4 により接続されている。

30

【 0 0 6 2 】

このような半導体装置 3 0 0 では、図 1 2 に示されるように、制御信号を半導体チップ 3 2 3 a, 3 2 3 b, 3 2 3 c, 3 2 3 d に入力するために、配線が、制御端子 3 1 1 と電氣的に接続されている制御電極 3 1 2 から、回路板 3 2 2 c, 3 2 2 d に引き回されている。さらに、半導体チップ 3 2 3 a, 3 2 3 b, 3 2 3 c, 3 2 3 d からワイヤ 3 2 4 が 1 0 本配線されており、ワイヤ 3 2 4 の配線が複雑化している。このような配線のために、組み立て性が低下し、配線工数が増加する。また、制御信号系の配線であるために、引き回しの仕方によっては、スイッチング時に発生する磁場等が製品特性に影響し、誤動作が発生するおそれがある。

40

【 0 0 6 3 】

一方、半導体装置 1 0 0 では、ケース 1 1 0 の積層基板 1 4 0 を収納する収納部 1 1 2 a, 1 1 2 b, 1 1 2 c の周縁部にプリント基板 1 1 9 a, 1 1 9 b を設けた。プリント基板 1 1 9 a, 1 1 9 b に制御信号を出力する制御端子 1 2 1, 1 3 1 を保持する端子ブロック 1 2 0, 1 3 0 をプリント基板 1 1 9 a, 1 1 9 b に設け、半導体チップ 1 4 4 a, 1 4 4 b, 1 4 4 c 及び半導体チップ 1 4 6 a, 1 4 6 b, 1 4 6 c のゲート電極と、プリント基板 1 1 9 a, 1 1 9 b とをワイヤ 1 4 8 により電氣的に接続するようにした。

【 0 0 6 4 】

これにより、半導体装置 1 0 0 の制御信号系の配線が簡素化される。このため、配線の

50

引き回し、取りまとめの調整が容易となり、組み立て性が改善され、配線工数の増加が抑制される。また、複雑な引き回しがなくなり、誤配線の発生が抑制され、回路パターン、電極パッド等の部品を削減することができることから、半導体装置 100 の小型化にも寄与する。さらには、半導体装置 100 の制御信号系の配線が簡素化並びに整合化されることから、スイッチング時に発生する磁場等が製品特性に与える影響が改善されて、誤作動の発生が抑制されるようになる。

【0065】

[第2の実施の形態]

第2の実施の形態では、別の半導体装置について、図13を用いて説明する。

図13は、第2の実施の形態の半導体装置の斜視図である。

10

【0066】

半導体装置 200 は、第1の実施の形態の半導体装置 100 (図1)において、配線端子 116, 117 が一体成形されたバスブロック 210 を、半導体装置 200 の中央部の凹部に搭載している。

【0067】

なお、半導体装置 200 のケース 110 の配線端子 116, 117 を除く他の構成については、半導体装置 100 のケース 110 と同じ構成であって、半導体装置 200 の積層基板 140 は、半導体装置 100 の積層基板 140 と同じ構成である。

【0068】

また、半導体装置 200 は、第1の実施の形態の半導体装置 100 と同様の回路構成 (図11)を備える。

20

このような半導体装置 200 の製造方法について、図14を用いて説明する。

【0069】

図14は、第2の実施の形態の半導体装置の製造方法を示すフローチャートである。

[ステップ S21] プリント基板 119a, 119b 及び端子ブロック 120, 130 を用意する (ステップ S21a)。また、積層基板 140 を用意する (ステップ S21b)。さらに、バスブロック 210 を用意する (ステップ S21c)。ステップ S21a において、端子ブロック 120, 130 の制御端子 121, 131 は、それぞれプリント基板 119a, 119b に圧入され、プリント基板 119a, 119b を端子ブロック 120, 130 の下面側に保持する。

30

【0070】

積層基板 140 (図3) 及び端子ブロック 120, 130 (図4~図7) は、第1の実施の形態で説明した構成を成している。

バスブロック 210 について、図15を用いて説明する。

【0071】

図15は、第2の実施の形態の半導体装置のバスブロックの平面図である。

バスブロック 210 は、樹脂で形成されており、半導体装置 200 の中央部の凹部に嵌まるように、例えば、複数のフレームにより枠型に組まれた構成をしている。また、このように組まれたフレームの裏面側には、収納部 112a, 112b, 112c に対応して配線端子 116, 117 が、例えば、一体成形されている。

40

【0072】

[ステップ S22] プリント基板 119a, 119b、端子ブロック 120, 130、配線端子 118、P 端子 113a, 113b, 113c、N 端子 114a, 114b, 114c、U 端子 115a, V 端子 115b、W 端子 115c を一体成形により樹脂を用いてケース 110 を形成する。

【0073】

すなわち、ステップ S22 で形成されるケース 110 は、図9及び図10に示した第1の実施の形態のケース 110 から、配線端子 116, 117 及び樹脂梁 111a, 111b が取り除かれた構成を有する。

【0074】

50

【ステップS23】 ステップS22で形成したケース110に、ステップS21bで用意した積層基板140を収納する。

具体的には、図3で説明した積層基板140を銅板あるいは冷却器に設置する。銅板あるいは冷却器に設置された積層基板140が、ステップ22で形成したケース110の収納部112a, 112b, 112cにそれぞれ収納されるように、ケース110を接着する。この際、収納部112aでは、積層基板140の導電端子143aが、P端子113aに電氣的に接続された配線端子118に接合する。収納部112bでは、積層基板140の導電端子143aが、P端子113bに電氣的に接続された配線端子118に接合する。収納部112cでは、積層基板140の導電端子143aが、P端子113cに電氣的に接続された配線端子118に接合する。

10

【0075】

【ステップS24】 半導体チップ144a, 144b, 144c及び半導体チップ146a, 146b, 146cと、プリント基板119a, 119bとをワイヤ148により接続する。

【0076】

以下に、このワイヤ148による接続について図16を用いて説明する。

図16は、第2の実施の形態の半導体装置の絶縁基板が収納されたケースの平面図である。

【0077】

図16に示されるように、半導体チップ144a, 144b, 144cのゲート電極とプリント基板119aとがワイヤ148で接続され、半導体チップ146a, 146b, 146cのゲート電極とプリント基板119bとがワイヤ148で接続される。

20

【0078】

【ステップS25】 このようにして得られた、積層基板140が収納され、半導体チップ144a, 144b, 144c及び半導体チップ146a, 146b, 146cとプリント基板119a, 119bとがワイヤ148により接続されたケース110の中央部の凹部に、ステップS21cで用意したバスパーブロック(図15)を搭載する。次に、配線端子116が導電端子143b及びリードフレーム145aに、配線端子117がリードフレーム145bに、それぞれ溶接により接合される。

【0079】

この際、収納部112aでは、バスパーブロック210の配線端子116が、積層基板140の導電端子143bとリードフレーム145aとに電氣的に接続されると共に、U端子115aに電氣的に接続される。さらに、バスパーブロック210の配線端子117が、積層基板140のリードフレーム145bに電氣的に接続される。

30

【0080】

また、収納部112bでは、バスパーブロック210の配線端子116が、積層基板140の導電端子143bとリードフレーム145aとに電氣的に接続されると共に、V端子115bに電氣的に接続される。さらに、バスパーブロック210の配線端子117が、積層基板140のリードフレーム145bに電氣的に接続される。

【0081】

また、収納部112cでは、バスパーブロック210の配線端子116が、積層基板140の導電端子143bとリードフレーム145aとに電氣的に接続されると共に、W端子115cに電氣的に接続される。さらに、バスパーブロック210の配線端子117が、積層基板140のリードフレーム145bに電氣的に接続される。

40

【0082】

このようにして、図13に示した半導体装置200の構造が得られる。

【ステップS26】 ケース110の凹部内の積層基板140、プリント基板119a, 119b、ワイヤ148、バスパーブロック210等を封止樹脂で封止して、硬化する。これにより半導体装置200が完成する。

【0083】

50

このように、半導体装置 200 では、ケース 110 の積層基板 140 を収納する収納部 112a, 112b, 112c の周縁部にプリント基板 119a, 119b を設けた。プリント基板 119a, 119b に制御信号を出力する制御端子 121, 131 を保持する端子ブロック 120, 130 をプリント基板 119a, 119b に設け、半導体チップ 144a, 144b, 144c 及び半導体チップ 146a, 146b, 146c のゲート電極と、プリント基板 119a, 119b とをワイヤ 148 により電氣的に接続するようにした。

【0084】

これにより、半導体装置 200 の制御信号系の配線が簡素化される。このため、配線の引き回し、取りまとめの調整が容易となり、組み立て性が改善され、配線工数の増加が抑制される。また、複雑な引き回しがなくなり、誤配線の発生が抑制され、回路パターン、電極パッド等の部品を削減することができることから、半導体装置 200 の小型化にも寄与する。さらには、半導体装置 200 の制御信号系の配線が簡素化並びに整合化されることから、スイッチング時に発生する磁場等が製品特性に与える影響が改善されて、誤作動の発生が抑制されるようになる。

10

【0085】

また、半導体装置 200 は、半導体装置 200 の中央部の凹部に、配線端子 160, 170 が設けられたバスバブロック 210 を搭載するだけで、収納部 112a, 112b, 112c において、配線端子 160, 170 を取り付けることができる。このため、配線端子 160, 170 の組み立て性が向上し、配線端子 160, 170 の組み立て工数を減少させることができる。また、半導体装置 200 は、このようなバスバブロック 210 を含むために、剛性率が向上し、外部からの衝撃等に起因した曲げ、ねじりに対して生じる変形が小さくなる。このため、半導体装置 200 の内部の半導体チップ 144a, 144b, 144c 及び半導体チップ 146a, 146b, 146c に対する衝撃、損傷等を防止することができるようになる。

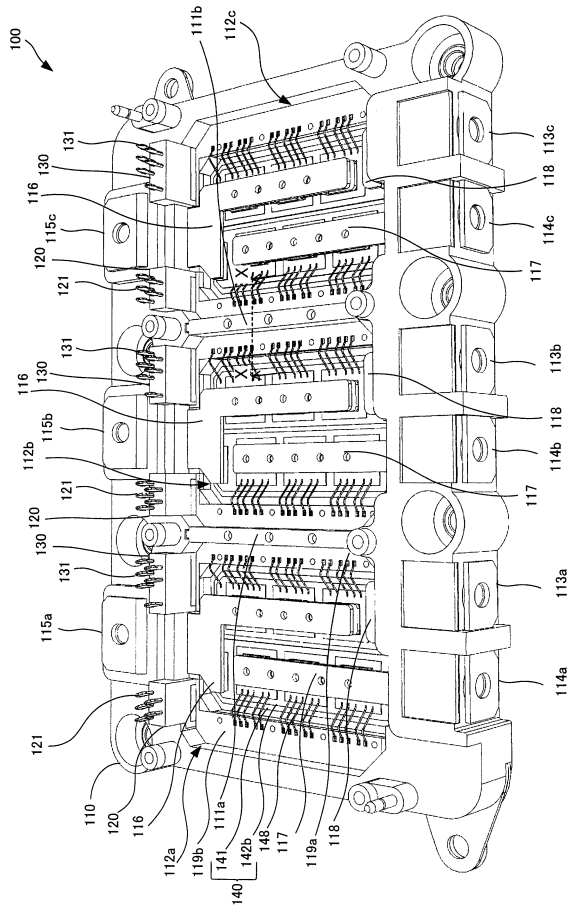
20

【符号の説明】

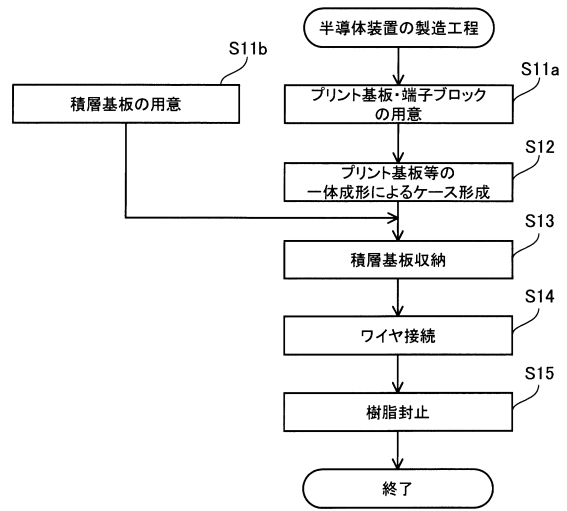
【0086】

100	半導体装置	
110	ケース	
111a, 111b	樹脂梁	30
112a, 112b, 112c	収納部	
113a, 113b, 113c	P端子	
114a, 114b, 114c	N端子	
115a	U端子	
115b	V端子	
115c	W端子	
116, 117, 118	配線端子	
119a, 119b	プリント基板	
120, 130	端子ブロック	
121, 131	制御端子	40
122, 132	隙間	
123, 133	段差部	
140	積層基板	
141	絶縁基板	
142a, 142b	回路板	
143a, 143b	導電端子	
144a, 144b, 144c, 146a, 146b, 146c	半導体チップ(半導体素子)	
145a, 145b	リードフレーム	
148	ワイヤ	50

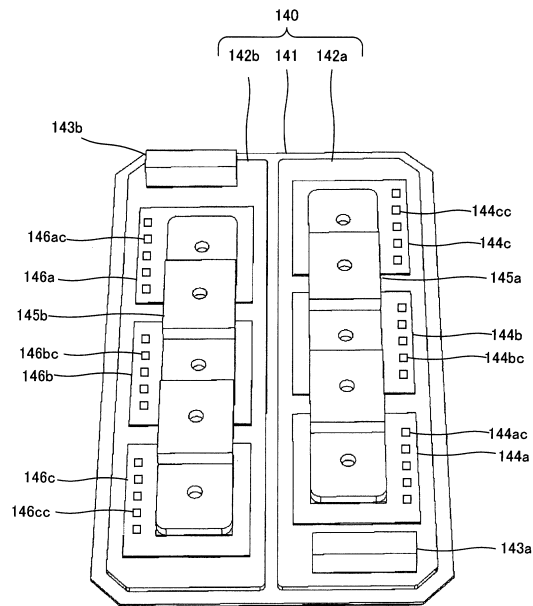
【図1】



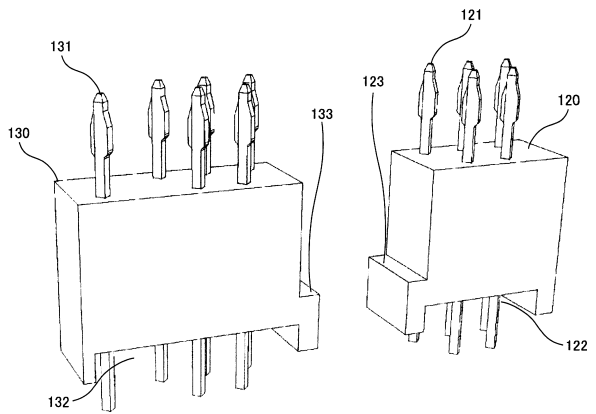
【図2】



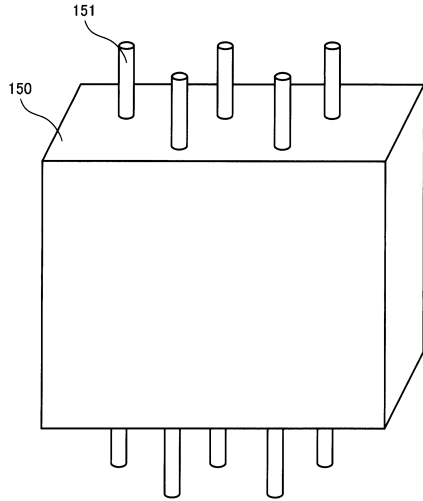
【図3】



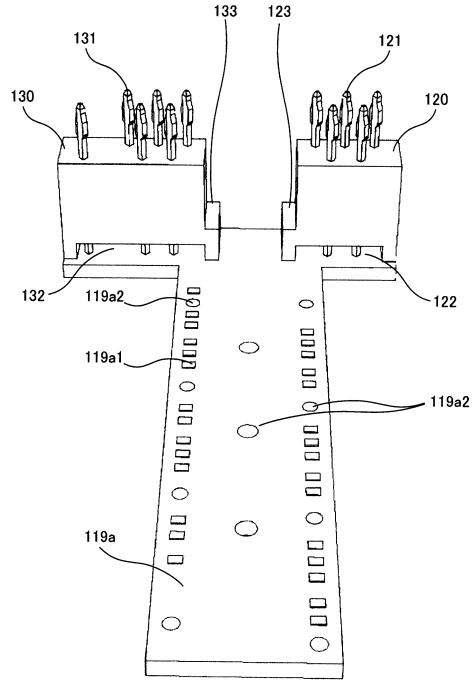
【図4】



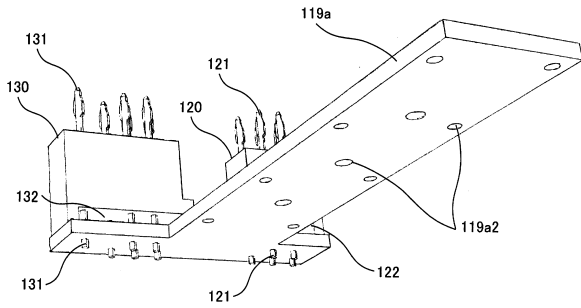
【 図 5 】



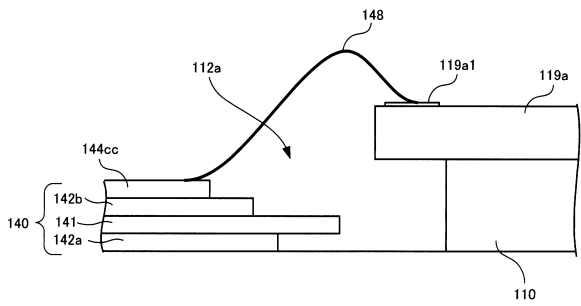
【 図 6 】



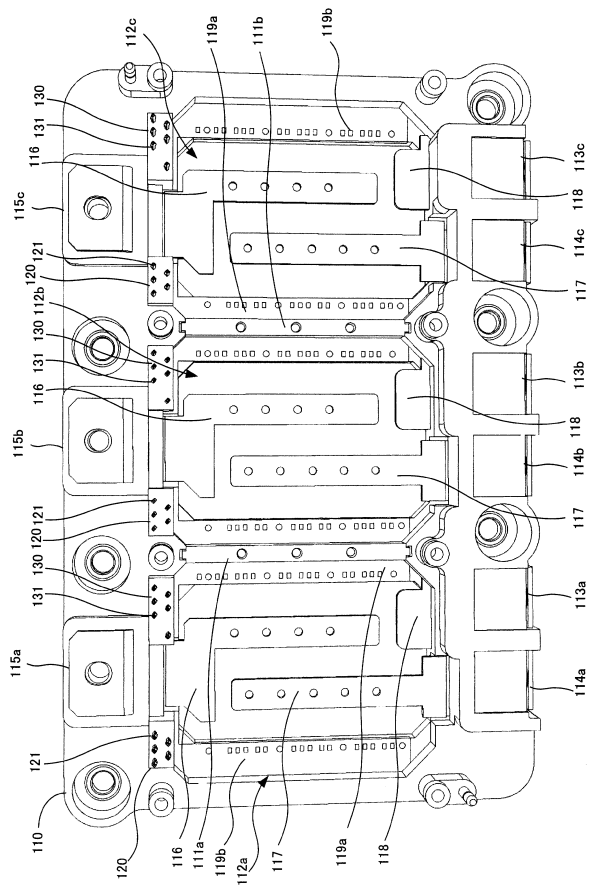
【 図 7 】



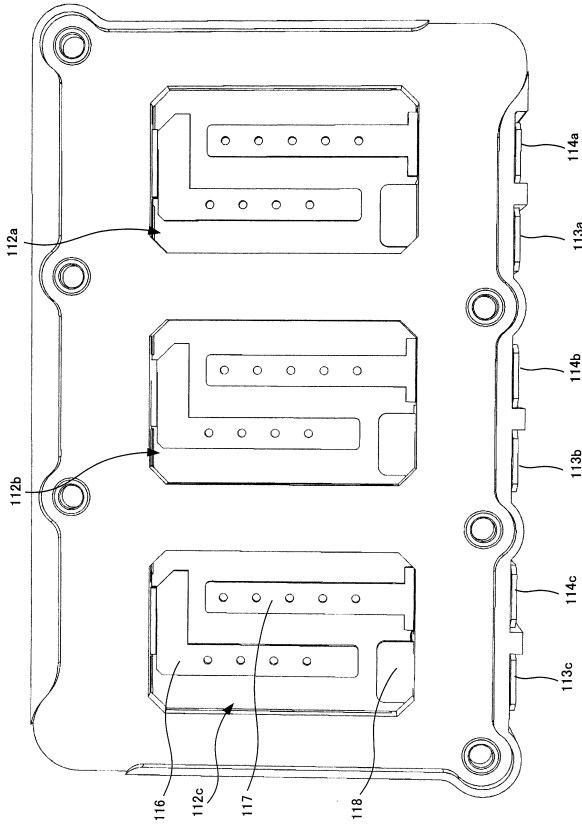
【 図 8 】



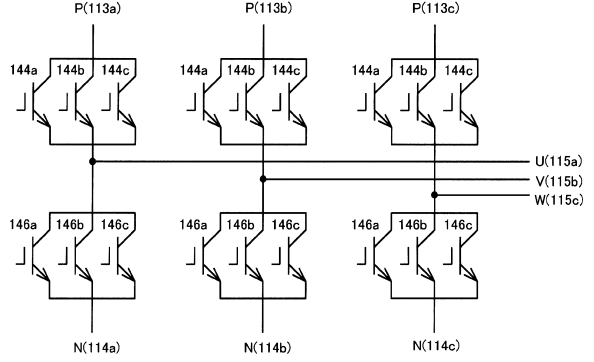
【 図 9 】



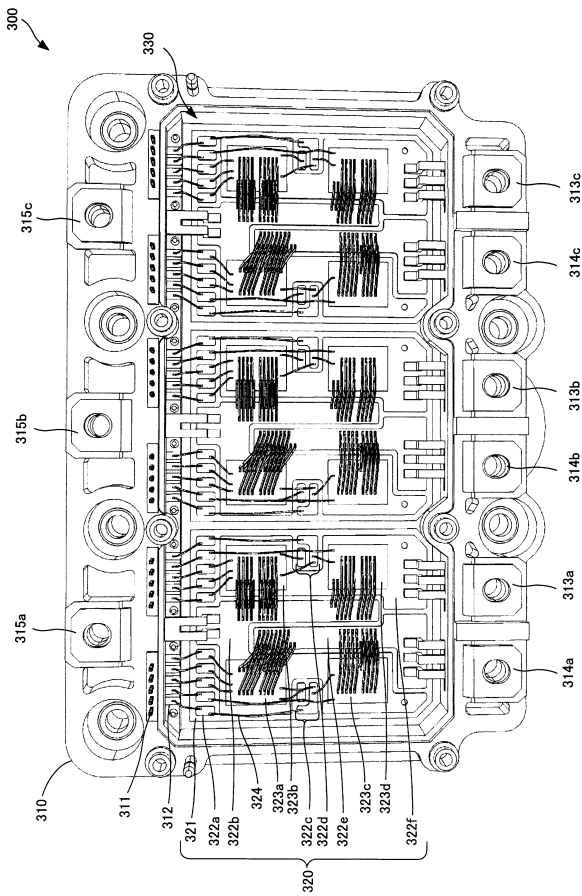
【 10 】



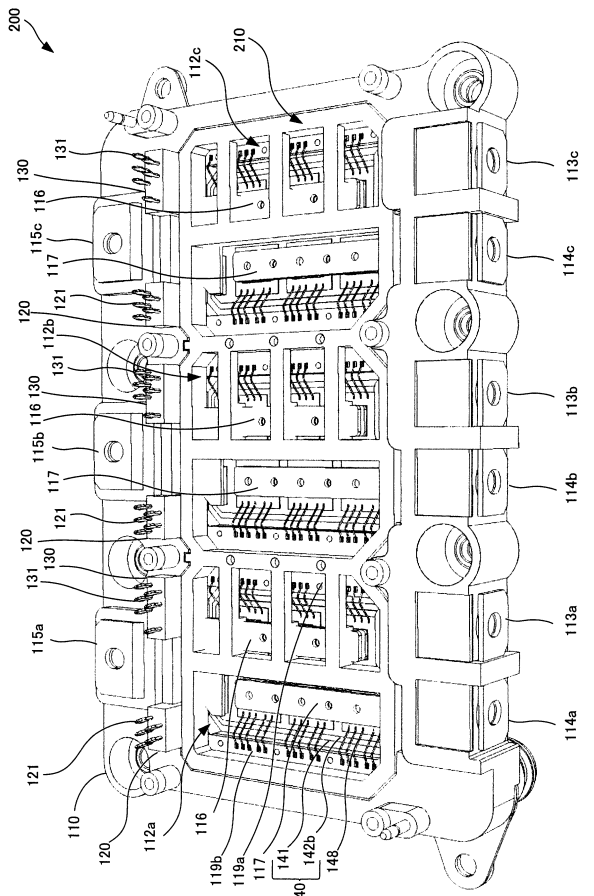
【 11 】



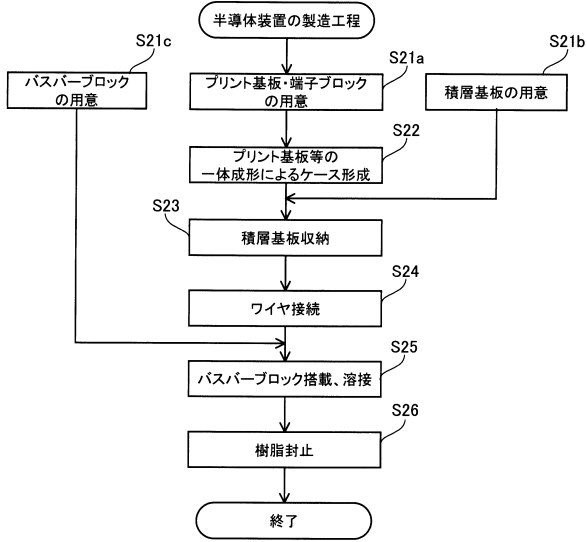
【 12 】



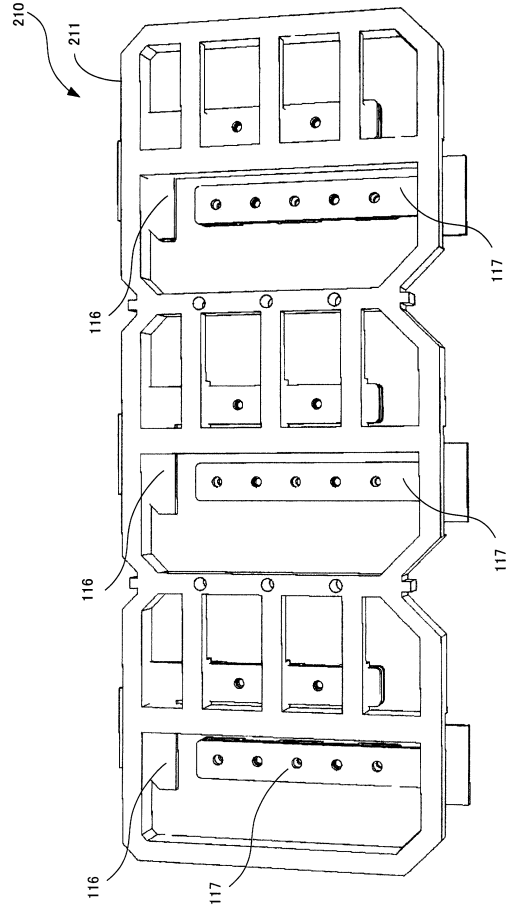
【 13 】



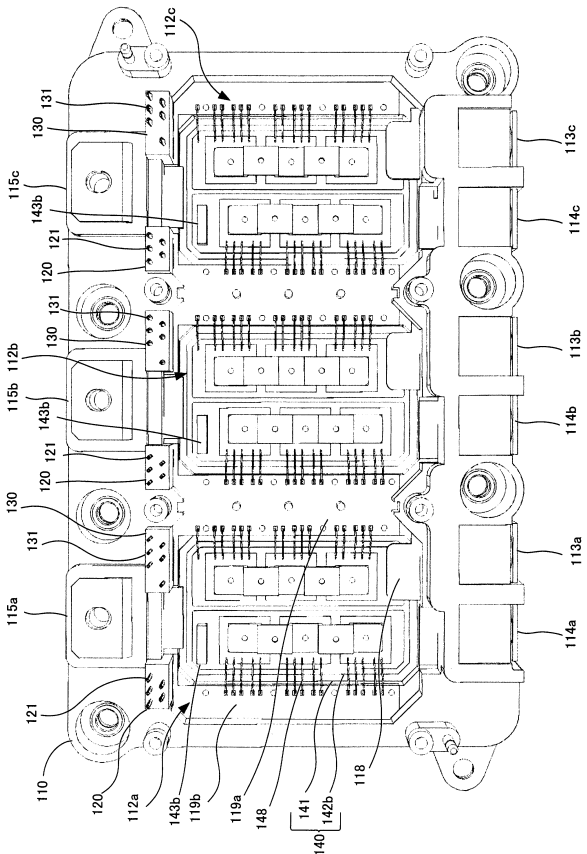
【図14】



【図15】



【図16】



フロントページの続き

- (56)参考文献 特開2000-208686(JP,A)
特開2001-189416(JP,A)
特開2003-249624(JP,A)
特開2002-164500(JP,A)
特開2000-183276(JP,A)
特開2002-373971(JP,A)
特開2009-246170(JP,A)
特開平07-176336(JP,A)
特開2009-141000(JP,A)
特開平11-74433(JP,A)
国際公開第02/082541(WO,A1)

(58)調査した分野(Int.Cl., DB名)

- H01L 23/29
H01L 23/34 - 23/36
H01L 23/373 - 23/427
H01L 23/44
H01L 23/467 - 23/48
H01L 25/00 - 25/07
H01L 25/10 - 25/11
H01L 25/16 - 25/18
H02M 7/42 - 7/98