

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年2月9日(09.02.2012)



PCT



(10) 国際公開番号

WO 2012/018073 A1

- (51) 国際特許分類:
H02M 1/08 (2006.01) H01L 27/04 (2006.01)
H01L 25/07 (2006.01) H01L 29/12 (2006.01)
H01L 25/18 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2011/067846
- (22) 国際出願日: 2011年8月4日(04.08.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-175403 2010年8月4日(04.08.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者; および
- (73) 発明者/出願人 (米国についてのみ): 澤田 高志 (SAWADA, Takashi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP). 斎藤 匡男 (SAITO, Masao) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町2丁目6番12号 サンマリオンNBFタワー21階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: POWER MODULE AND OUTPUT CIRCUIT

(54) 発明の名称: パワーモジュールおよび出力回路

[図1]

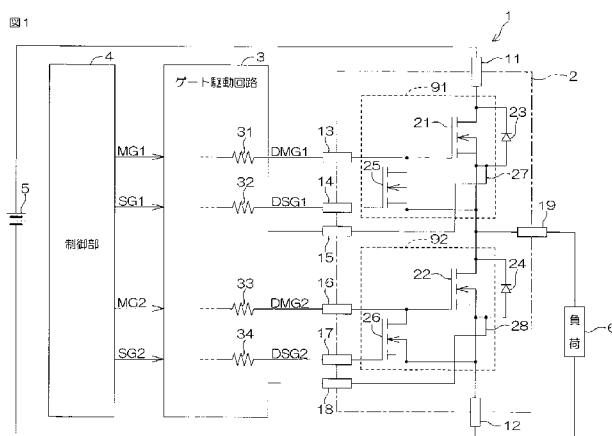


FIG. 1:
3 GATE DRIVE CIRCUIT
4 CONTROL UNIT
6 LOAD

(57) Abstract: A power module (2) includes a first main circuit MOSFET (21) on the high side, and a second main circuit MOSFET (22) on the low side, said second main circuit MOSFET being connected to the first main circuit MOSFET in series. The series circuit of the MOSFETs (21, 22) is connected in parallel to a power supply (4). A first short-circuiting MOSFET (25) is connected to between the gate and the source of the first main circuit MOSFET (21). A second short-circuiting MOSFET (26) is connected to between the gate and the source of the second main circuit MOSFET (22).

(57) 要約: パワーモジュール2は、ハイサイドの第1の主回路用MOSFET21と、それに直列に接続されたローサイドの第2の主回路用MOSFET22を含む。これらのMOSFET21、22の直列回路は、電源4に並列に接続されている。第1の主回路用MOSFET21のゲートとソースとの間に、第1の短絡用MOSFET25が、接続されている。第2の主回路用MOSFET22のゲートとソースとの間に、第2の短絡用MOSFET26が、接続されている。

WO 2012/018073 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： パワーモジュールおよび出力回路

技術分野

[0001] この発明は、ハーフブリッジ出力回路等に用いられるパワーモジュールおよびそれを含む出力回路に関する。

背景技術

[0002] 図8は、従来のハーフブリッジ出力回路の構成を示す電気回路図である。

ハーフブリッジ出力回路101は、ハイスイドの第1のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 102と、第1のMOSFET 102に直列に接続されたローサイドの第2のMOSFET 103と、これらのMOSFET 102, 103を駆動するためのゲート駆動回路104と、ゲート駆動回路104を制御する制御部105とを含んでいる。第1のMOSFET 102と第2のMOSFET 103とは、電源106に直列に接続されている。

[0003] 第1のMOSFET 102および第2のMOSFET 103には、第1のダイオード107および第2のダイオード108がそれぞれ並列に接続されている。第1のダイオード107のアノードは第1のMOSFET 102のソースに接続され、第1のダイオード107のカソードは第1のMOSFET 102のドレインに接続されている。第2のダイオード108のアノードは第2のMOSFET 103のソースに接続され、第2のダイオード108のカソードは第2のMOSFET 103のドレインに接続されている。

[0004] 第1のMOSFET 102と第2のMOSFET 103との接続点と、第2のMOSFET 103のソース端子との間に、負荷109が接続される。ゲート駆動回路104は、制御部105からのゲート制御信号に基づいて、第1のMOSFET 102のゲート端子に第1のゲート抵抗111を介してゲート駆動信号を供給するとともに、第2のMOSFET 103のゲート端子に第2のゲート抵抗112を介してゲート駆動信号を供給する。

先行技術文献

特許文献

[0005] 特許文献1：特開2009-81962号公報

発明の概要

発明が解決しようとする課題

[0006] 前述したハーフブリッジ出力回路101では、両MOSFET102, 103がオフである状態において、ハイサイドの第1のMOSFET102がターンオンすると、ローサイドの第2のMOSFET103に電源電圧が印加されるので、第2のMOSFET103のドレイン・ソース間電圧 V_{DS} が急激に上昇する。このとき、ドレイン・ゲート間電圧を V_{DG} とし、第2のMOSFET103のドレイン・ゲート間の寄生容量を C_{DG} とすると、第2のMOSFET103のドレインからゲートに向かって変位電流 $I_{DG} = C_{DG} \cdot dV_{DG}/dt$ が流れる。 dV_{DG}/dt の値は、第1のMOSFET102のターンオン時上昇時間（立ち上がり時間 t_r ）で決定される。

[0007] この変位電流 I_{DG} がゲート駆動回路104内の第2のゲート抵抗112に流れるため、第2のゲート抵抗112による電圧降下によってゲート電位が高くなり、第2のMOSFET103のゲート・ソース間電圧 V_{GS} が上昇する。第2のゲート抵抗112の抵抗値を R_G とすると、第2のMOSFET103のゲート・ソース間電圧 V_{GS} のピーク値は、 $C_{DG} \cdot R_G \cdot dV_{DG}/dt$ にほぼ比例する。第2のMOSFET103のゲート・ソース間電圧 V_{GS} のピーク値が閾値電圧を越えると、第2のMOSFET103がオンとなり、貫通電流が流れてしまう。

[0008] 同様に、両MOSFET102, 103がオフである状態において、ローサイドの第2のMOSFET103がターンオンすると、ハイサイドの第1のMOSFET102に電源電圧が印加される。したがって、前述と同様な動作により、第1のMOSFET102のゲート・ソース間電圧 V_{GS} が上昇し、貫通電流が流れるおそれがある。

この発明の目的は、直列に接続された2つのスイッチング素子のうちの一方のスイッチング素子がターンオンしたときに、他方のスイッチング素子のゲート・ソース間電圧の上昇を抑制または防止できるパワーモジュールおよび出力回路を提供することである。

[0009] また、この発明の他の目的は、直列に接続された2つのスイッチング素子のうちの一方のスイッチング素子がターンオンしたときに、他方のスイッチング素子のゲート・ソース間電圧の上昇を抑制または防止できるとともに、小型化が図れるパワーモジュールを提供することである。

課題を解決するための手段

[0010] この発明のパワーモジュールは、第1のパワースイッチング素子と、前記第1のパワースイッチング素子に直列に接続された第2のパワースイッチング素子と、前記第1のパワースイッチング素子のゲートとソースとの間に接続された第1のゲート短絡用スイッチング素子と、前記第2のパワースイッチング素子のゲートとソースとの間に接続された第2のゲート短絡用スイッチング素子とを含む。

[0011] 第1のパワースイッチング素子がターンオンすると、第2のパワースイッチング素子に電源電圧が印加されるので、第2のパワースイッチング素子のドレイン・ソース間電圧が急激に上昇する。したがって、第2のパワースイッチング素子のドレインからゲートに向かって変位電流が流れる。このとき、第2のゲート短絡用スイッチング素子によって、第2のパワースイッチング素子のゲート・ソース間を短絡すれば、第2のパワースイッチング素子のゲート・ソース間電圧が大きくなるのを抑制または防止できる。

[0012] 第2のパワースイッチング素子がターンオンすると、第1のパワースイッチング素子に電源電圧が印加されるので、第1のパワースイッチング素子のドレイン・ソース間電圧が急激に上昇する。このとき、第1のゲート短絡用スイッチング素子によって第1のパワースイッチング素子のゲート・ソース間を短絡すれば、第1のパワースイッチング素子のゲート・ソース間電圧が大きくなるのを抑制または防止できる。

[0013] この発明の一実施形態では、前記第1のパワースイッチング素子および前記第2のパワースイッチング素子は、炭化珪素（SiC）を主成分とするスイッチング素子である。

この発明の一実施形態では、前記第1のパワースイッチング素子および前記第2のパワースイッチング素子は、IGBT（Insulated Gate Bipolar Transistor）からなる。

この発明の一実施形態では、前記第1のパワースイッチング素子と前記第1のゲート短絡用スイッチング素子とが同一の実装基板上に実装されており、前記第2のパワースイッチング素子と前記第2のゲート短絡用スイッチング素子とが同一の実装基板上に実装されている。この構成によれば、パワーモジュールの小型化を図ることが可能となる。また、各パワースイッチング素子とそれに対応するゲート短絡用スイッチング素子とを接続するための配線を短くすることができる。このため、各パワースイッチング素子とそれに対応するゲート短絡用スイッチング素子との間のインピーダンスを小さくすることができる。これにより、各パワースイッチング素子のゲート・ソース間電圧の上昇抑制効果を向上させることができる。

[0014] この発明の一実施形態では、前記第1のパワースイッチング素子と前記第1のゲート短絡用スイッチング素子とが実装されている実装基板と、前記第2のパワースイッチング素子と前記第2のゲート短絡用スイッチング素子とが実装されている実装基板とが、同一の実装基板である。この構成によれば、パワーモジュールの小型化を図ることが可能となる。

[0015] この発明の一実施形態では、前記実装基板上に形成され、前記第1のパワースイッチング素子および第2のパワースイッチング素子のうち一方のパワースイッチング素子のソースが電氣的に接続されるとともに他方のパワースイッチング素子のドレインが電氣的に接続される導電性の共通ランドをさらに含む。前記共通ランドは、平面視略U形の板状体であってもよい。前記共通ランドは、銅またはアルミニウム製の板状体であってもよい。この構成では、一方のパワースイッチング素子のソースと他方のパワースイッチング

素子のドレインとが、実装基板上に形成され共通ランドを介して接続される。

[0016] この発明の一実施形態では、前記実装基板上に形成され、前記第1のパワースイッチング素子のゲートが電氣的に接続されるとともに、前記第1のゲート短絡用スイッチング素子が接合される第1のゲート・ランドと、前記実装基板上に形成され、前記第1のゲート短絡用スイッチング素子のゲートが電氣的に接続される第1の短絡用ゲート・ランドと、前記実装基板上に形成され、前記第2のパワースイッチング素子のゲートが電氣的に接続されるとともに、前記第2のゲート短絡用スイッチング素子が接合される第2のゲート・ランドと、前記実装基板上に形成され、前記第2のゲート短絡用スイッチング素子のゲートが電氣的に接続される第2の短絡用ゲート・ランドとをさらに含む。前記共通ランドは、一对の腕部とそれらを連結する連結部とを含み、前記第1のゲート・ランドおよび前記第1の短絡用ゲート・ランドの組と、前記第2のゲート・ランドおよび前記第2の短絡用ゲート・ランドの組とのうち、一方の組は前記共通ランドの一对の腕部の間に配置され、他方の組は前記共通ランドの一方の腕部に対して前記一方の組と反対側に配置されている。

[0017] この発明の一実施形態では、前記第1のゲート・ランドと前記第1の短絡用ゲート・ランドとは、前記共通ランドの連結部の延びる方向に沿って隣接して配置されており、前記第2のゲート・ランドと前記第2の短絡用ゲート・ランドとは、前記共通ランドの連結部の延びる方向に沿って隣接して配置されている。この構成によれば、各パワースイッチング素子とそれに対応するゲート短絡用スイッチング素子とを接近して配置することが可能となる。したがって、各パワースイッチング素子とそれに対応するゲート短絡用スイッチング素子とを接続するための配線を短くすることができる。このため、各パワースイッチング素子とそれに対応するゲート短絡用スイッチング素子との間のインピーダンスを小さくすることができる。これにより、各パワースイッチング素子のゲート・ソース間電圧の上昇抑制効果を向上させること

ができる。

[0018] この発明の一実施形態では、前記実装基板が、セラミックス上に銅箔が直接接合されたDBC基板であり、前記共通ランドと、前記第1のゲート・ランドと、前記第1の短絡用ゲート・ランドと、前記第2のゲート・ランドと、前記第2の短絡用ゲート・ランドとは、前記銅箔によって形成されている。

この発明の一実施形態では、前記第1のパワースイッチング素子と前記第1のゲート短絡用スイッチング素子とが同一のチップに設けられており、前記第2のパワースイッチング素子と前記第2のゲート短絡用スイッチング素子とが同一のチップに設けられている。この構成によれば、パワーモジュールのさらなる小型化を図ることが可能となる。また、各パワースイッチング素子とそれに対応するゲート短絡用スイッチング素子との間のインピーダンスをより小さくすることができる。これにより、各パワースイッチング素子のゲート・ソース間電圧の上昇抑制効果をさらに向上させることができる。

[0019] この発明の一実施形態では、前記第1のパワースイッチング素子と前記第2のパワースイッチング素子とは、デッドタイムを挟んで交互にオンされる。また、第1のゲート短絡用スイッチング素子は、前記第2のパワースイッチング素子がオンするよりも前にオンされ、前記第2のパワースイッチング素子がオンしてから第1の所定期間が経過した後であって、前記第1のパワースイッチング素子がオンされる前にオフされる。また、第2のゲート短絡用スイッチング素子は、前記第1のパワースイッチング素子がオンするよりも前にオンされ、前記第1のパワースイッチング素子がオンしてから第2の所定期間が経過した後であって、前記第2のパワースイッチング素子がオンされる前にオフされる。

[0020] この発明の一実施形態では、前記第1の所定期間は、前記第2のパワースイッチング素子がオンしてから前記第1のパワースイッチング素子のドレイン・ソース間電圧が上昇する時間以上に設定される。また、前記第2の所定期間は、前記第1のパワースイッチング素子がオンしてから前記第2のパワ

ースイッチング素子のドレイン・ソース間電圧が上昇する時間以上に設定される。

[0021] この構成によれば、第1のパワースイッチング素子がターンオンしたときには、第2のゲート短絡用スイッチング素子によって、第2のパワースイッチング素子のゲート・ソース間が短絡されているので、第2のパワースイッチング素子のゲート・ソース間電圧が大きくなるのを抑制または防止できる。また、第2のパワースイッチング素子がターンオンしたときには、第1のゲート短絡用スイッチング素子によって、第1のパワースイッチング素子のゲート・ソース間が短絡されているので、第1のパワースイッチング素子のゲート・ソース間電圧が大きくなるのを抑制または防止できる。

[0022] この発明の一実施形態では、前記第1の所定期間は200nsec以上に設定され、前記第2の所定期間は200nsec以上に設定される。

この発明の一実施形態では、前記第1のパワースイッチング素子と前記第1のゲート短絡用スイッチング素子とを接続するための第1の接続金属部材と、前記第2のパワースイッチング素子と前記第2のゲート短絡用スイッチング素子とを接続するための第2の接続金属部材とを含む。前記第1の接続金属部材および前記第2の接続金属部材は、Au、Cu、またはAlからなるワイヤ状、フレイム状またはリボン状であってもよい。

[0023] この発明の一実施形態では、第1のパワースイッチングは第1の電流検出部を含み、第2のパワースイッチングは第2の電流検出部を含み、前記第1の電流検出部が接続される第1のソースセンス端子と、前記第2の電流検出部が接続される第2のソースセンス端子とをさらに含む。この構成によれば、第1のソースセンス端子および第2のソースセンス端子を、過電流保護回路に接続することが可能となる。これにより、負荷の短絡等に起因する過電流を速やかに遮断することが可能となる。

[0024] この発明の出力回路は、前記請求項1～16のいずれか一項に記載のパワーモジュールと、前記第1のパワースイッチング素子、前記第2のパワースイッチング素子、前記第1のゲート短絡用スイッチング素子および前記第2

のゲート短絡用スイッチング素子を駆動するためのゲート駆動回路と、前記ゲート駆動回路を制御する制御部とを含み、前記制御部がマイクロコンピュータからなる。この発明によれば、第1のパワースwitching素子および第2のパワースwitching素子のうちの一方のスイッチング素子がターンオンしたときに、他方のスイッチング素子のゲート・ソース間電圧の上昇を抑制または防止できる。

[0025] この発明の一実施形態では、前記制御部は、前記前記第1のパワースwitching素子、前記第2のパワースwitching素子、前記第1のゲート短絡用スイッチング素子および前記第2のゲート短絡用スイッチング素子に対するゲート制御信号をそれぞれ生成する手段を含む。前記ゲート駆動回路は、前記制御部によって生成されたゲート制御信号に応じたゲート駆動信号を生成して、対応するスイッチング素子のゲートに供給するものである。

[0026] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0027] [図1]図1は、本発明の第1の実施形態に係るパワーモジュールを適用したハーフブリッジ出力回路を示す電気回路図である。

[図2]図2は、図1のパワーモジュールの内部構造を示す図解的な斜視図である。

[図3]図3は、制御部によって生成されるゲート制御信号の一例を示すタイムチャートである。

[図4]図4は、パワーモジュールの他の例を示す図解的な斜視図である。

[図5]図5は、第1の短絡用MOSFETが形成されたチップおよび第2の短絡用MOSFETが形成されたチップを、パワーモジュールのケース外においてモジュール端子に接続した場合の具体例を示す図解的な斜視図である。

[図6]図6は、第1の主回路用MOSFETと第1の短絡用MOSFETとが同一半導体基板に形成されているチップの外観を示す斜視図である。

[図7A]図7Aは、パワーモジュールの他の例を示す図であって、パワーモジ

ジュールの内部構造を示す図解的な平面図である。

[図7B]図7Bは、図7Aのパワーモジュールの外観を示す図解的な平面図である。

[図8]図8は、ハーフブリッジ出力回路の従来例を示す電気回路図である。

発明を実施するための形態

[0028] 以下では、この発明の実施形態を、添付図面を参照して詳細に説明する。

図1は、本発明の一実施形態に係るパワーモジュールを適用したハーフブリッジ出力回路1を示す電気回路図である。

ハーフブリッジ出力回路1は、パワーモジュール2と、ゲート駆動回路3と、制御部4を含む。パワーモジュール2は、第1の電源端子11と、第2の電源端子（第2の出力端子）12と、第1の主回路用ゲート端子13と、第1の短絡用ゲート端子14と、第1のソースセンス端子15と、第2の主回路用ゲート端子16と、第2の短絡用ゲート端子17と、第2のソースセンス端子18と、第1の出力端子19とを含んでいる。

[0029] また、パワーモジュール2は、ハイサイドの第1の主回路用MOSFET（第1のパワースイッチング素子）21と、それに直列に接続されたローサイドの第2の主回路用MOSFET（第2のパワースイッチング素子）22とを含む。主回路用MOSFET21、22は、SiC（炭化珪素）を主とする半導体材料で作成されたSiC半導体デバイスである。

[0030] 第1の主回路用MOSFET21および第2の主回路用MOSFET22には、第1のダイオード23および第2のダイオード24がそれぞれ並列に接続されている。第1のダイオード23のアノードは第1の主回路用MOSFET21のソースに接続され、第1のダイオード23のカソードは第1の主回路用MOSFET21のドレインに接続されている。第2のダイオード24のアノードは第2の主回路用MOSFET22のソースに接続され、第2のダイオード24のカソードは第2の主回路用MOSFET22のドレインに接続されている。第1および第2ダイオード23、24は、それぞれ、第1主回路用MOSFET21および第2主回路用MOSFET22に内蔵

されたダイオードであってもよい。

[0031] 第1の主回路用MOSFET 21のゲートとソースとの間に、第1の短絡用MOSFET（第1のゲート短絡用スイッチング素子）25が接続されている。第1の短絡用MOSFET 25のドレインが第1の主回路用MOSFET 21のゲートに接続され、第1の短絡用MOSFET 25のソースが第1の主回路用MOSFET 21のソースに接続されている。第2の主回路用MOSFET 22のゲートとソースとの間に、第2の短絡用MOSFET（第2のゲート短絡用スイッチング素子）26が接続されている。第2の短絡用MOSFET 26のドレインが第2の主回路用MOSFET 22のゲートに接続され、第2の短絡用MOSFET 26のソースが第2の主回路用MOSFET 22のソースに接続されている。短絡用MOSFET 25, 26は、SiC（炭化珪素）を主とする半導体材料で作成されたSiC半導体デバイスである。

[0032] ハイサイドの第1の主回路用MOSFET 21と、第1のダイオード23と、第1の短絡用MOSFET 25と、端子11, 13, 14, 15によってハイサイド回路が構成されている。一方、ローサイドの第1の主回路用MOSFET 22と、第2のダイオード24と、第2の短絡用MOSFET 26と、端子12, 16, 17, 18によってローサイド回路が構成されている。

[0033] 第1の主回路用MOSFET 21のドレインは、第1の電源端子11に接続されている。第1の主回路用MOSFET 21のソースと第2の主回路用MOSFET 22のドレインとの接続点は、第1の出力端子19に接続されている。第1の主回路用MOSFET 21のゲートは、第1の主回路用ゲート端子13に接続されている。第1の短絡用MOSFET 25のゲートは、第1の短絡用ゲート端子14に接続されている。第2の主回路用MOSFET 22のゲートは、第2の主回路用ゲート端子16に接続されている。第2の短絡用MOSFET 26のゲートは、第2の短絡用ゲート端子17に接続されている。第2の主回路用MOSFET 22のソースは、第2の電源端子

(第2の出力端子) 12に接続されている。第1および第2の主回路用MOSFET 21, 22は、それぞれ第1および第2の電流検出部27, 28を備えている。第1および第2の電流検出部27, 28は、第1および第2のソースセンス端子15, 18にそれぞれ接続されている。

[0034] パワーモジュール2の第1の電源端子11は、電源5の正極端子に接続されている。パワーモジュール2の第2の電源端子(第2の出力端子) 12は、電源5の負極端子に接続されている。パワーモジュール2の各ゲート端子13, 14, 16, 17と各ソースセンス端子15, 18は、ゲート駆動回路3に接続されている。各ソースセンス端子15, 18は、たとえば、過電流保護回路(図示略)に接続される。パワーモジュール2の第1の出力端子19と第2の出力端子(第2の電源端子) 12との間に、負荷6が接続されている。

[0035] 制御部4は、CPUとそのプログラム等を記憶したメモリ(ROM、RAM等)を含むマイクロコンピュータからなる。制御部4は、第1の主回路用MOSFET 21に対する第1の主回路用ゲート制御信号MG1、第1の短絡用MOSFET 25に対する第1の短絡用ゲート制御信号SG1、第2の主回路用MOSFET 22に対する第2の主回路用ゲート制御信号MG2および第2の短絡用MOSFET 26に対する第2の短絡用ゲート制御信号SG2を生成して、ゲート駆動回路3に与える。

[0036] ゲート駆動回路3は、制御部4からの各ゲート制御信号MG1, SG1, MG2, SG2に基づいて、第1の主回路用MOSFET 21、第1の短絡用MOSFET 25、第2の主回路用MOSFET 22および第2の短絡用MOSFET 26に対するゲート駆動信号DMG1, DSG1, DMG2, DSG2をそれぞれ生成して出力する。この実施形態では、各ゲート駆動信号DMG1, DSG1, DMG2, DSG2は、それに対応するゲート制御信号MG1, SG1, MG2, SG2がLレベルであればLレベルとなり、それに対応するゲート制御信号MG1, SG1, MG2, SG2がHレベルであればHレベルとなる。

[0037] 第1の主回路用MOSFET 21に対するゲート駆動信号DMG 1は、当該MOSFET 21のゲート抵抗31を介して、当該MOSFET 21のゲートに与えられる。第1の短絡用MOSFET 25に対するゲート駆動信号DSG 1は、当該MOSFET 25のゲート抵抗32を介して、当該MOSFET 25のゲートに与えられる。第2の主回路用MOSFET 22に対するゲート駆動信号DMG 2は、当該MOSFET 22のゲート抵抗33を介して、当該MOSFET 22のゲートに与えられる。第2の短絡用MOSFET 26に対するゲート駆動信号DSG 2は、当該MOSFET 26のゲート抵抗34を介して、当該MOSFET 26のゲートに与えられる。各MOSFET 21, 22, 25, 26は、それに与えられるゲート駆動信号がHレベルとなるとオンとなり、それに与えられるゲート駆動信号がLレベルとなるとオフとなる。

[0038] 図2は、図1のパワーモジュール2の内部構造を示す図解的な斜視図である。図2においては、第1のダイオード23および第2のダイオード24がMOSFET 21, 22に内蔵されている例が示されている。

パワーモジュール2は、絶縁性基板51と、絶縁性基板51の一方表面に固定されたケース52とを含む。絶縁性基板51は、平面視において一方向に長い矩形に形成されている。ケース52は、下面が開口した略直方体形状に形成されており、樹脂材料で構成されている。

[0039] 平面視において、絶縁性基板51の一方の短辺を「第1短辺51a」といい、他方の短辺を「第2短辺51b」ということにする。また、平面視において、絶縁性基板51の一方の長辺を「第1長辺51c」といい、他方の長辺を「第2長辺51d」ということにする。また、絶縁性基板51の長辺51c, 51dに沿う方向を「絶縁性基板51の長さ方向」といい、絶縁性基板51の短辺51a, 51bに沿う方向を、「絶縁性基板51の幅方向」ということにする。

[0040] 絶縁性基板51上には、ハイサイド回路を形成するための第1アセンブリ60と、ローサイド回路を形成するための第2アセンブリ80とが、絶

縁性基板 5 1 の長さ方向に沿って並べて配置されている。第 1 アッセンブリ 6 0 は、絶縁性基板 5 1 の長さ方向の中央と第 1 短辺 5 1 a との間の領域に配置されている。一方、第 2 アッセンブリ 8 0 は、絶縁性基板 5 1 の長さ方向の中央と第 2 短辺 5 1 b との間の領域に配置されている。

[0041] 絶縁性基板 5 1 上には、第 1 アッセンブリ 6 0 および第 2 アッセンブリ 8 0 の両方に用いられる共通ランド 7 0 が形成されている。共通ランド 7 0 は、銅またはアルミニウムの板状体からなる。共通ランド 7 0 は、平面視において略 U 形であり、絶縁性基板 5 1 の第 1 短辺 5 1 a 側に設けられた第 1 の主回路用ソース・ランド部（腕部）7 1 と、絶縁性基板 5 1 の長さ中央よりも第 2 短辺 5 1 b 側に設けられた第 2 の主回路用ドレイン・ランド部（腕部）7 2 と、それらを連結する連結部 7 3 とを含む。

[0042] 第 1 の主回路用ソース・ランド部 7 1 は、平面視において絶縁性基板 5 1 の幅方向に長い矩形であり、その長辺が絶縁性基板 5 1 の第 1 短辺 5 1 a に沿って配置されている。第 2 の主回路用ドレイン・ランド部 7 2 は、平面視において絶縁性基板 5 1 の幅方向に長い略矩形であり、第 1 の主回路用ソース・ランド部 7 1 と平行に配置されている。第 2 の主回路用ドレイン・ランド部 7 2 は、平面視において、絶縁性基板 5 1 の第 2 長辺 5 1 d に近くかつ絶縁性基板 5 1 の第 2 短辺 5 1 b に近い位置にあるコーナ部に切除部 7 2 a を有している。連結部 7 3 は、平面視において絶縁性基板 5 1 の長さ方向に長い矩形であり、第 1 の主回路用ソース・ランド部 7 1 および第 2 の主回路用ドレイン・ランド部 7 2 における絶縁性基板 5 1 の第 1 長辺 5 1 c 側の端部どうしを接続している。

[0043] 第 1 アッセンブリ 6 0 は、第 1 の主回路用ソース・ランド部 7 1 と、絶縁性基板 5 1 上に形成された他の複数のランド 6 1 ~ 6 4 と、第 1 の主回路用 MOSFET 2 1（第 1 のダイオード 2 3 を内蔵したもの）と、第 1 の短絡用 MOSFET 2 5 と、複数の端子 1 1, 1 3, 1 4, 1 5 とを含む。複数のランド 6 1 ~ 6 4 は、第 1 の主回路用ドレイン・ランド 6 1、第 1 の主回路用ゲート・ランド 6 2、第 1 のソースセンス・ランド 6 3 および第 1 の短

絡用ゲート・ランド64を含んでいる。これらのランド61～64は、銅またはアルミニウムの板状体からなる。

- [0044] 第1の主回路用ドレイン・ランド61は、平面視において絶縁性基板51の幅方向に長い略矩形であり、第1の主回路用ソース・ランド部71に対して絶縁性基板51の第1短辺51aとは反対側において、第1の主回路用ソース・ランド部71に隣接して配置されている。第1の主回路用ドレイン・ランド61は、平面視において、絶縁性基板51の第1短辺51aからは遠くかつ絶縁性基板51の第2長辺51dには近い位置にあるコーナ部に切除部61aを有している。
- [0045] 第1の主回路用ゲート・ランド62は、平面視において絶縁性基板51の幅方向に長い矩形であり、第1の主回路用ドレイン・ランド61に対して絶縁性基板51の第1短辺51aとは反対側において、第1の主回路用ドレイン・ランド61に隣接して配置されている。第1のソースセンス・ランド63は、平面視において第1の主回路用ドレイン・ランド61に比べて長さおよび幅が小さい矩形であり、第1の主回路用ドレイン・ランド61の切除部61a内に配置されている。第1の短絡用ゲート・ランド64は、平面視において絶縁性基板51の幅方向に長い矩形であり、第1の主回路用ゲート・ランド62に対して絶縁性基板51の第1短辺51aとは反対側において、第1の主回路用ゲート・ランド62に隣接して配置されている。
- [0046] 第1の主回路用ドレイン・ランド61の表面には、第1の主回路用MOSFET21のドレイン電極21_Dが接合されている。第1の主回路用MOSFET21は、第1の主回路用ドレイン・ランド61とは反対側の表面にソース電極21_Sおよびゲート電極21_Gを有している。第1の主回路用ゲート・ランド62の表面には、第1の短絡用MOSFET25のドレイン電極25_Dが接合されている。第1の短絡用MOSFET25は、第1の主回路用ゲート・ランド62とは反対側の表面にソース電極25_Sおよびゲート電極25_Gを有している。
- [0047] 第1の主回路用MOSFET21のソース電極21_Sは、複数のボンディング

グワイヤ（接続金属部材）65によって、第1の主回路用ソース・ランド部71に電氣的に接続されている。また、第1の主回路用MOSFET21のソース電極21_s（電流検出部27）は、ボンディングワイヤ（接続金属部材）66によって、第1のソースセンス・ランド63に電氣的に接続されている。さらに、第1の主回路用MOSFET21のソース電極21_sは、複数のボンディングワイヤ（接続金属部材）67によって、第1の短絡用MOSFET25のソース電極25_sに電氣的に接続されている。第1の主回路用MOSFET21のゲート電極21_gは、ボンディングワイヤ（接続金属部材）68によって、第1の主回路用ゲート・ランド62に電氣的に接続されている。第1の短絡用MOSFET25のゲート電極25_gは、ボンディングワイヤ（接続金属部材）69によって、第1の短絡用ゲート・ランド64に電氣的に接続されている。

[0048] 第1の主回路用ドレイン・ランド61の表面における絶縁性基板51の第2長辺51dよりの端部には、第1の電源端子11の基端部が接合されている。第1の電源端子11は、導電性の板状体（たとえば、銅板にニッケルメッキを施したもの）からなる。第1の電源端子11は、絶縁性基板51の長さ方向から見てクランク形状であり、第1の主回路用ドレイン・ランド61に接合された接合部と、接合部に結合された立上部と、立上部に結合された接続端とを有している。第1の電源端子11の接続端の先端部は、ケース52における絶縁性基板51の第2長辺51d側の側壁を貫通して、ケース52外方に突出している。

[0049] 第1のソースセンス・ランド63の表面における絶縁性基板51の第2長辺51dよりの部分には、第1のソースセンス端子15の基端部が接合されている。第1のソースセンス端子15は、導電性の板状体（たとえば、銅板にニッケルメッキを施したもの）からなる。第1のソースセンス端子15は、絶縁性基板51の長さ方向から見てクランク形状であり、第1のソースセンス・ランド63に接合された接合部と、接合部に結合された立上部と、立上部に結合された接続端とを有している。第1のソースセンス端子15の接

続端の先端部は、ケース 5 2 における絶縁性基板 5 1 の第 2 長辺 5 1 d 側の側壁を貫通して、ケース 5 2 外方に突出している。

[0050] 第 1 の主回路用ゲート・ランド 6 2 の表面における絶縁性基板 5 1 の第 2 長辺 5 1 d よりの端部には、第 1 の主回路用ゲート端子 1 3 の基端部が接合されている。第 1 の主回路用ゲート端子 1 3 は、絶縁性基板 5 1 の長さ方向から見てクランク形状であり、導電性の板状体（たとえば、銅板にニッケルメッキを施したもの）からなる。第 1 の主回路用ゲート端子 1 3 は、第 1 の主回路用ゲート・ランド 6 2 に接合された接合部と、接合部に結合された立上部と、立上部に結合された接続端とを有している。第 1 の主回路用ゲート端子 1 3 の接続端の先端部は、ケース 5 2 における絶縁性基板 5 1 の第 2 長辺 5 1 d 側の側壁を貫通して、ケース 5 2 外方に突出している。

[0051] 第 1 の短絡用ゲート・ランド 6 4 の表面における絶縁性基板 5 1 の第 2 長辺 5 1 d よりの端部には、第 1 の短絡用ゲート端子 1 4 の基端部が接合されている。第 1 の短絡用ゲート端子 1 4 は、導電性の板状体（たとえば、銅板にニッケルメッキを施したもの）からなる。第 1 の短絡用ゲート端子 1 4 は、絶縁性基板 5 1 の長さ方向から見てクランク形状であり、第 1 の短絡用ゲート・ランド 6 4 に接合された接合部と、接合部に結合された立上部と、立上部に結合された接続端とを有している。第 1 の短絡用ゲート端子 1 4 の接続端の先端部は、ケース 5 2 における絶縁性基板 5 1 の第 2 長辺 5 1 d 側の側壁を貫通して、ケース 5 2 外方に突出している。

[0052] 第 2 アッセンブリ 8 0 は、第 2 の主回路用ドレイン・ランド部 7 2 と、絶縁性基板 5 1 上に形成された他の複数のランド 8 1 ～ 8 4 と、第 2 の主回路用 MOS FET 2 2 （第 2 のダイオード 2 4 を内蔵したもの）と、第 2 の短絡用 MOS FET 2 6 と、複数の端子 1 2, 1 6, 1 7, 1 8 とを含む。複数のランド 8 1 ～ 8 4 は、第 2 の主回路用ソース・ランド 8 1、第 2 の主回路用ゲート・ランド 8 2、第 2 のソースセンス・ランド 8 3 および第 2 の短絡用ゲート・ランド 8 4 を含んでいる。これらのランド 8 1 ～ 8 4 は、銅またはアルミニウムの板状体からなる。

[0053] 第2の主回路用ソース・ランド81は、平面視において絶縁性基板51の幅方向に長い矩形であり、第1の短絡用ゲート・ランド64と第2の主回路用ドレイン・ランド部72との間に配置されている。

第2の主回路用ゲート・ランド82は、平面視において絶縁性基板51の幅方向に長い矩形であり、第2の主回路用ドレイン・ランド部72に対して絶縁性基板51の第2短辺51b側において、第2の主回路用ドレイン・ランド部72に隣接して配置されている。第2のソースセンス・ランド83は、平面視において第2の主回路用ドレイン・ランド部72に比べて長さおよび幅が小さい矩形であり、第2の主回路用ドレイン・ランド部72の切除部72a内に配置されている。第2の短絡用ゲート・ランド84は、平面視において絶縁性基板51の幅方向に長い矩形であり、第2の主回路用ゲート・ランド82と絶縁性基板51の第2短辺51bとの間に配置されている。

[0054] 第2の主回路用ドレイン・ランド部72の表面には、第2の主回路用MOSFET22のドレイン電極22_Dが接合されている。第2の主回路用MOSFET22は、第2の主回路用ドレイン・ランド部72とは反対側の表面にソース電極22_Sおよびゲート電極22_Gを有している。第2の主回路用ゲート・ランド82の表面には、第2の短絡用MOSFET26のドレイン電極26_Dが接合されている。第2の短絡用MOSFET26は、第2の主回路用ゲート・ランド82とは反対側の表面にソース電極26_Sおよびゲート電極26_Gを有している。

[0055] 第2の主回路用MOSFET22のソース電極22_Sは、複数のボンディングワイヤ（接続金属部材）85によって、第2の主回路用ソース・ランド81に電氣的に接続されている。また、第2の主回路用MOSFET22のソース電極22_S（電流検出部28）は、ボンディングワイヤ（接続金属部材）86によって、第2のソースセンス・ランド83に電氣的に接続されている。さらに、第2の主回路用MOSFET22のソース電極22_Sは、複数のボンディングワイヤ（接続金属部材）87によって、第2の短絡用MOSFET26のソース電極26_Sに電氣的に接続されている。第2の主回路用MOS

F E T 2 2 のゲート電極 2 2_g は、ボンディングワイヤ（接続金属部材） 8 8 によって、第 2 の主回路用ゲート・ランド 8 2 に電氣的に接続されている。

第 2 の短絡用 M O S F E T 2 6 のゲート電極 2 6_g は、ボンディングワイヤ（接続金属部材） 8 9 によって、第 2 の短絡用ゲート・ランド 8 4 に電氣的に接続されている。

[0056] 第 2 の主回路用ソース・ランド 8 1 の表面における絶縁性基板 5 1 の第 2 長辺 5 1 d よりの端部には、第 2 の電源端子 1 2 の基端部が接合されている。第 2 の電源端子 1 2 は、導電性の板状体（たとえば、銅板にニッケルメッキを施したもの）からなる。第 2 の電源端子 1 2 は、絶縁性基板 5 1 の長さ方向から見てクランク形状であり、第 2 の主回路用ソース・ランド 8 1 に接合された接合部と、接合部に結合された立上部と、立上部に結合された接続端とを有している。第 2 の電源端子 1 2 の接続端の先端部は、ケース 5 2 における絶縁性基板 5 1 の第 2 長辺 5 1 d 側の側壁を貫通して、ケース 5 2 外方に突出している。

[0057] 第 2 のソースセンス・ランド 8 3 の表面における絶縁性基板 5 1 の第 2 長辺 5 1 d よりの部分には、第 2 のソースセンス端子 1 8 の基端部が接合されている。第 2 のソースセンス端子 1 8 は、導電性の板状体（たとえば、銅板にニッケルメッキを施したもの）からなる。第 2 ソースセンス端子 1 8 は、絶縁性基板 5 1 の長さ方向から見てクランク形状であり、第 2 のソースセンス・ランド 8 3 に接合された接合部と、接合部に結合された立上部と、立上部に結合された接続端とを有している。第 2 のソースセンス端子 1 8 の接続端の先端部は、ケース 5 2 における絶縁性基板 5 1 の第 2 長辺 5 1 d 側の側壁を貫通して、ケース 5 2 外方に突出している。

[0058] 第 2 の主回路用ゲート・ランド 8 2 の表面における絶縁性基板 5 1 の第 2 長辺 5 1 d よりの端部には、第 2 の主回路用ゲート端子 1 6 の基端部が接合されている。第 2 の主回路用ゲート端子 1 6 は、絶縁性基板 5 1 の長さ方向から見てクランク形状であり、導電性の板状体（たとえば、銅板にニッケルメッキを施したもの）からなる。第 2 の主回路用ゲート端子 1 6 は、第 2 の

主回路用ゲート・ランド82に接合された接合部と、接合部に結合された立上部と、立上部に結合された接続端とを有している。第2の主回路用ゲート端子16の接続端の先端部は、ケース52における絶縁性基板51の第2長辺51d側の側壁を貫通して、ケース52外方に突出している。

[0059] 第2の短絡用ゲート・ランド84の表面における絶縁性基板51の第2長辺51dよりの端部には、第2の短絡用ゲート端子17の基端部が接合されている。第2の短絡用ゲート端子17は、導電性の板状体（たとえば、銅板にニッケルメッキを施したもの）からなる。第2の短絡用ゲート端子17は、絶縁性基板51の長さ方向から見てクランク形状であり、第2の短絡用ゲート・ランド84に接合された接合部と、接合部に結合された立上部と、立上部に結合された接続端とを有している。第2の短絡用ゲート端子17の接続端の先端部は、ケース52における絶縁性基板51の第2長辺51d側の側壁を貫通して、ケース52外方に突出している。

[0060] 共通ランド70における連結部73の表面の長さ中央部には、第1の出力端子19の基端部が接合されている。第1の出力端子19は、導電性の板状体（たとえば、銅板にニッケルメッキを施したもの）からなる。第1の出力端子19は、絶縁性基板51の長さ方向から見てクランク形状であり、連結部73に接合された接合部と、接合部に結合された立上部と、立上部に結合された接続端とを有している。第1の出力端子19の接続端の先端部は、ケース52における絶縁性基板51の第1長辺51c側の側壁を貫通して、ケース52外方に突出している。

[0061] 絶縁性基板51の代わりに、たとえば、セラミックス上に銅箔を直接接合した基板（DBC：Direct Bonding Copper）を用いてもよい。その場合には、その銅箔によって、各ランド61～64，70，81～84を形成できる。

図3は、制御部4によって生成される各ゲート制御信号を示すタイムチャートである。

図3の例では、各ゲート制御信号の組合せの状態には0～7の状態がある

。そして、0～7の状態が繰り返される。

[0062] 状態0では、第1の主回路用ゲート制御信号MG1、第1の短絡用ゲート制御信号SG1、第2の主回路用ゲート制御信号MG2および第2の短絡用ゲート制御信号SG2の全てがLレベルである。したがって、第1の主回路用MOSFET21、第1の短絡用MOSFET25、第2の主回路用MOSFET22および第2の短絡用MOSFET26の状態は、全てオフである。

[0063] 状態1では、第1の短絡用ゲート制御信号SG1がLレベルからHレベルに反転する。これにより、ハイサイドの第1の短絡用MOSFET25がターンオンする。これにより、ハイサイドの第1の主回路用MOSFET21のゲート・ソース間が、第1の短絡用MOSFET25によって短絡される。

状態2では、第2の主回路用ゲート制御信号MG2がLレベルからHレベルに反転する。これにより、ローサイドの第2の主回路用MOSFET22がターンオンする。ローサイドの第2の主回路用MOSFET22がターンオンすると、ハイサイドの第1の主回路用MOSFET21に電源電圧が印加されるので、第1の主回路用MOSFET21のドレイン・ソース間電圧 V_{DS} が急激に上昇する。したがって、第1の主回路用MOSFET21のドレインからゲートに向かって変位電流 I_{DG} が流れる。第1の主回路用MOSFET21のドレイン・ゲート間電圧を V_{DG} とし、第1の主回路用MOSFET21のドレイン・ゲート間の寄生容量を C_{DG} とすると、変位電流 I_{DG} は $I_{DG} = C_{DG} \cdot dV_{DG}/dt$ となる。 dV_{DG}/dt の値は、第2の主回路用MOSFET22のターンオン時上昇時間（立ち上がり時間 t_r ）で決定される。

[0064] このとき、この実施形態では、第1の主回路用MOSFET21のゲート・ソース間が、第1の短絡用MOSFET25によって短絡されている。したがって、第1の主回路用MOSFET21のドレインからゲートに流れてきた変位電流 I_{DG} は、第1の短絡用MOSFET25、第1の主回路用MO

S F E T 2 1 のソースおよび第 2 の主回路用 M O S F E T 2 2 を通って接地へと流れる。このため、変位電流 I_{DG} が第 1 の主回路用 M O S F E T 2 1 のゲート抵抗 3 1 に流れなくなる。くわえて、第 1 の主回路用 M O S F E T 2 1 のゲート・ソース間が、第 1 の短絡用 M O S F E T 2 5 によって短絡されているから、第 1 の主回路用 M O S F E T 2 1 のゲート・ソース間電圧 V_{GS} が大きくなるのを抑制または防止できる。

[0065] 状態 3 では、第 2 の主回路用ゲート制御信号 M G 2 が H レベルから L レベルに反転する。これにより、ローサイドの第 2 の主回路用 M O S F E T 2 2 がターンオフする。

状態 4 では、第 1 の短絡用ゲート制御信号 S G 1 が H レベルから L レベルに反転する。これにより、第 1 の短絡用 M O S F E T 2 5 がターンオフする。

状態 5 では、第 2 の短絡用ゲート制御信号 S G 2 が L レベルから H レベルに反転する。これにより、ローサイドの第 2 の短絡用 M O S F E T 2 6 がオンする。これにより、ローサイドの第 2 の主回路用 M O S F E T 2 2 のゲート・ソース間が、第 2 の短絡用 M O S F E T 2 6 によって短絡される。

[0066] 状態 6 では、第 1 の主回路用ゲート制御信号 M G 1 が L レベルから H レベルに反転する。これにより、ハイサイドの第 1 の主回路用 M O S F E T 2 1 がターンオンする。ハイサイドの第 1 の主回路用 M O S F E T 2 1 がターンオンすると、ローサイドの第 2 の主回路用 M O S F E T 2 2 に電源電圧が印加されるので、第 2 の主回路用 M O S F E T 2 2 のドレイン・ソース間電圧 V_{DS} が急激に上昇する。したがって、第 2 の主回路用 M O S F E T 2 2 のドレインからゲートに向かって変位電流 I_{DG} が流れる。第 2 の主回路用 M O S F E T 2 2 のドレイン・ゲート間電圧を V_{DG} とし、第 2 の主回路用 M O S F E T 2 2 のドレイン・ゲート間の寄生容量を C_{DG} とすると、変位電流 I_{DG} は $I_{DG} = C_{DG} \cdot dV_{DG}/dt$ となる。 dV_{DG}/dt の値は、第 1 の主回路用 M O S F E T 2 1 のターンオン時上昇時間（立ち上がり時間 t_r ）で決定される。

[0067] このとき、この実施形態では、第2の主回路用MOSFET 22のゲート・ソース間が、第2の短絡用MOSFET 26によって短絡されている。したがって、第2の主回路用MOSFET 22のドレインからゲートに流れてきた変位電流 I_{DG} は、第2の短絡用MOSFET 26および第2の主回路用MOSFET 22のソースを通して接地へと流れる。このため、変位電流 I_{DG} が第2の主回路用MOSFET 22のゲート抵抗 33に流れなくなる。くわえて、第2の主回路用MOSFET 22のゲート・ソース間が、第2の短絡用MOSFET 26によって短絡されているから、第2の主回路用MOSFET 22のゲート・ソース間電圧 V_{GS} が大きくなるのを抑制または防止できる。

[0068] 状態7では、第1の主回路用ゲート制御信号MG1がHレベルからLレベルに反転する。これにより、ハイサイドの第1の主回路用MOSFET 21がターンオフする。

状態7に続く状態0では、第2の短絡用ゲート制御信号SG2がHレベルからLレベルに反転する。これにより、ローサイドの第2の短絡用MOSFET 26がターンオフする。

[0069] 第1の短絡用ゲート信号SG1および第2の短絡用ゲート信号SG1をオンオフさせるタイミングの条件について説明する。第1の短絡用ゲート信号SG1をオンさせるタイミングは、第2の主回路用ゲート信号MG2がLレベルからHレベルに反転するより少し前（第2の主回路用MOSFET 22がオンするより少し前）であることが必要である。第1の短絡用ゲート信号SG1をオフさせるタイミングは、第2の主回路用ゲート信号MG2がLレベルからHレベルに反転してから（第2の主回路用MOSFET 22がオンしてから）、第1の主回路用MOSFET 21のドレイン・ソース間電圧が上昇する時間（たとえば、200ns程度）以上の所定時間が経過した後であることが必要である。さらに、第1の短絡用ゲート信号SG1をオフさせるタイミングは、第1の主回路用ゲート信号MG1がLレベルからHレベルに反転する前（第1の主回路用MOSFET 21がオンする前）である

ことが必要である。

[0070] 第2の短絡用ゲート信号SG2をオンさせるタイミングは、第1の主回路用ゲート信号MG1がLレベルからHレベルに反転するより少し前（第1の主回路用MOSFET21がオンするより少し前）であることが必要である。第2の短絡用ゲート信号SG2をオフさせるタイミングは、第1の主回路用ゲート信号MG1がLレベルからHレベルに反転してから（第1の主回路用MOSFET21がオンしてから）、第2の主回路用MOSFET22のドレイン・ソース間電圧が上昇する時間（たとえば、200ns程度）以上の所定時間が経過した後であることが必要である。さらに、第2の短絡用ゲート信号SG2をオフさせるタイミングは、第2の主回路用ゲート信号MG2がLレベルからHレベルに反転する前（第2の主回路用MOSFET22がオンする前）であることが必要である。

[0071] なお、第1の主回路用MOSFET21と第2の主回路用MOSFET22とが同時にオンとなると貫通電流が流れる。そこで、貫通電流を防止するために、第1の主回路用ゲート信号MG1がHレベルからLレベルに反転してから（第1の主回路用MOSFET21がオフとなってから）、第2の主回路用ゲート信号MG2がLレベルからHレベルに反転するまでに（第2の主回路用MOSFET22がオンとなるまでに）、デッドタイムが設けられる。同様に、第2の主回路用ゲート信号MG2がHレベルからLレベルに反転してから（第2の主回路用MOSFET22がオフとなってから）、第1の主回路用ゲート信号MG1がLレベルからHレベルに反転するまでに（第1の主回路用MOSFET21がオンとなるまでに）、デッドタイムが設けられる。つまり、第1の主回路用MOSFET21と第2の主回路用MOSFET22とは、デッドタイムを挟んで交互にオンされる。

[0072] 以上、本発明の一実施形態について説明したが、本発明は、さらに他の形態で実施することもできる。たとえば、前述の実施形態では、各端子11～19の横断面積は同じに形成されているが、端子13、14、15、16、17、18に比べて大きな電流が流れる第1の電源端子11、第2の電源端

子（第２の出力端子）１２および第１の出力端子１９の横断面積を、他の端子１３，１４，１５，１６，１７，１８の横断面積より大きくなるように形成してもよい。

[0073] 図４は、端子１１，１２，１９の横断面積が、他の端子１３，１４，１５，１６，１７，１８の横断面積より大きく形成されたパワーモジュールの例を示す図解的な斜視図である。このパワーモジュール２Ａでは、第１の電源端子１１、第２の電源端子１２および第１の出力端子１９の幅が、他の端子１３，１４，１５，１６，１７，１８の幅より大きく形成されている。

[0074] なお、端子１１，１２，１９の厚さを、他の端子１３，１４，１５，１６，１７，１８の厚さより大きく形成してもよい。また、端子１１，１２，１９の幅と厚さの両方を、他の端子１３，１４，１５，１６，１７，１８の幅および厚さより大きく形成してもよい。

また、前述の実施形態では、短絡用ＭＯＳＦＥＴ２５，２６は、主回路用ＭＯＳＦＥＴ２１，２２が実装された絶縁性基板５１上に実装されているが、短絡用ＭＯＳＦＥＴ２５，２６を絶縁性基板５１上に実装しなくてもよい。たとえば、第１の短絡用ＭＯＳＦＥＴ２５が形成されたチップを、ケース５１内またはケース５１外において、第１の主回路用ＭＯＳＦＥＴ２１のゲート電極が接続された端子（主回路用ゲート端子１３）と、第１の主回路用ＭＯＳＦＥＴ２１のソース電極が接続された端子（第１のソースセンス端子１５または第１の出力端子１９）との間に接続するようにしてもよい。より具体的には、第１の短絡用ＭＯＳＦＥＴ２５が形成されたチップのドレイン端子をリード線等の導電線によって主回路用ゲート端子１３に電氣的に接続し、当該チップのソース端子をリード線等の導電線によって第１のソースセンス端子１５または第１の出力端子１９に接続してもよい。当該チップがケース５１内に配置されている場合には、当該チップのゲート端子にリードを接続してケース５１の外側に引き出してもよい。

[0075] 同様に、第２の短絡用ＭＯＳＦＥＴ２６が形成されたチップを、ケース５１内またはケース５１外において、第２の主回路用ＭＯＳＦＥＴ２２のゲー

ト電極が接続された端子（主回路用ゲート端子１６）と、第２の主回路用ＭＯＳＦＥＴ２２のソース電極が接続された端子（第２のソースセンス端子１８または第２の出力端子１２）との間に接続するようにしてもよい。より具体的には、第２の短絡用ＭＯＳＦＥＴ２６が形成されたチップのドレイン端子をリード線等の導電線によって主回路用ゲート端子１６に電氣的に接続し、当該チップのソース端子をリード線等の導電線によって第２のソースセンス端子１８または第２の出力端子１２に接続してもよい。当該チップがケース５１内に配置されている場合には、当該チップのゲート端子にリードを接続してケース５１の外側に引き出してもよい。

[0076] 図５は、第１の短絡用ＭＯＳＦＥＴ２５が形成されたチップおよび第２の短絡用ＭＯＳＦＥＴ２６が形成されたチップを、パワーモジュールのケース外においてモジュール端子に接続した場合の具体例を示す図解的な斜視図である。図５においては、第１のダイオード２３および第２のダイオード２４がＭＯＳＦＥＴ２１，２２に内蔵されている例が示されている。

[0077] パワーモジュール２Ｂは、絶縁性基板１５１と、絶縁性基板１５１の一方表面に固定されたケース１５２とを含む。絶縁性基板１５１は、平面視において一方向に長い矩形に形成されている。ケース１５２は、下面が開口した略直方体形状に形成されており、樹脂材料で構成されている。ケース１５２の上方には、ゲート駆動回路３が実装されたゲート駆動回路実装基板３００が配置されている。

[0078] この実施形態では、パワーモジュール２Ｂには、第１の短絡用ＭＯＳＦＥＴ２５および第２の短絡用ＭＯＳＦＥＴ２６は形成されていない。第１の短絡用ＭＯＳＦＥＴ２５が形成されたチップ２５Ａおよび第２の短絡用ＭＯＳＦＥＴ２６が形成されたチップ２６Ａが、ゲート駆動回路実装基板３００上に取り付けられている。

平面視において、絶縁性基板１５１の一方の短辺を「第１短辺１５１ａ」といい、他方の短辺を「第２短辺１５１ｂ」ということにする。また、平面視において、絶縁性基板１５１の一方の長辺を「第１長辺１５１ｃ」といい

、他方の長辺を「第2長辺151d」ということにする。また、絶縁性基板151の長辺151c, 151dに沿う方向を「絶縁性基板151の長さ方向」といい、絶縁性基板151の短辺151a, 151bに沿う方向を、「絶縁性基板151の幅方向」ということにする。

[0079] 絶縁性基板151上には、第1の短絡用MOSFET25を除いたハイサイド回路を形成するための第1アッセンブリ160と、第2の短絡用MOSFET26を除いたローサイド回路を形成するための第2アッセンブリ180とが、絶縁性基板151の長さ方向に沿って並べて配置されている。第1アッセンブリ160は、絶縁性基板151の長さ方向の中央と第1短辺151aとの間の領域に配置されている。一方、第2アッセンブリ180は、絶縁性基板151の長さ方向の中央と第2短辺151bとの間の領域に配置されている。

[0080] 絶縁性基板151上には、第1アッセンブリ160および第2アッセンブリ180の両方に用いられる共通ランド170が形成されている。共通ランド170は、銅またはアルミニウムの板状体からなる。共通ランド170は、平面視において略U形であり、絶縁性基板151の第1短辺151a側に設けられた第1の主回路用ソース・ランド部（腕部）171と、絶縁性基板151の長さ中央よりも第2短辺151b側に設けられた第2の主回路用ドレイン・ランド部（腕部）172と、それらを連結する連結173とを含む。

[0081] 第1の主回路用ソース・ランド部171は、平面視において絶縁性基板151の幅方向に長い矩形であり、その長辺が絶縁性基板151の第1短辺151aに沿って配置されている。第2の主回路用ドレイン・ランド部172は、平面視において絶縁性基板151の幅方向に長い略矩形であり、第1の主回路用ソース・ランド部171と平行に配置されている。第2の主回路用ドレイン・ランド部172の長さは、第1の主回路用ソース・ランド部171の長さより短く形成されている。

[0082] 連結部173は、平面視において絶縁性基板151の長さ方向に長い矩形

であり、第1の主回路用ソース・ランド部171および第2の主回路用ドレイン・ランド部172における絶縁性基板151の第1長辺151c側の端部どうしを接続している。

第1アッセンブリ160は、第1の主回路用ソース・ランド部171と、絶縁性基板151上に形成された他の複数のランド161～163と、第1の主回路用MOSFET21（第1のダイオード23を内蔵したもの）と、複数の端子11, 13, 15とを含む。複数のランド161～163は、第1の主回路用ドレイン・ランド161、第1の主回路用ゲート・ランド162および第1のソースセンス・ランド163を含んでいる。これらのランド161～163は、銅またはアルミニウムの板状体からなる。

[0083] 第1の主回路用ドレイン・ランド161は、平面視において絶縁性基板151の幅方向に長い略矩形であり、第1の主回路用ソース・ランド部171に対して絶縁性基板151の第1短辺151aとは反対側において、第1の主回路用ソース・ランド部171に隣接して配置されている。第1の主回路用ドレイン・ランド161は、平面視において、絶縁性基板151の第1短辺151aからは遠くかつ絶縁性基板151の第2長辺151dには近い位置にあるコーナ部に切除部161aを有している。

[0084] 第1の主回路用ゲート・ランド162は、平面視において絶縁性基板151の長さ方向に長い略矩形であり、その長さは第1の主回路用ドレイン・ランド161の幅より短い。第1の主回路用ゲート・ランド162は、第1の主回路用ドレイン・ランド161の切除部161a内に配置されている。

第1のソースセンス・ランド163は、平面視において絶縁性基板151の長さ方向に長い略矩形であり、かつその長さは第1の主回路用ドレイン・ランド161の幅より短い。第1のソースセンス・ランド163は、第1の主回路用ドレイン・ランド161の切除部161a内に、第1の主回路用ゲート・ランド162に対して絶縁性基板151の第1長辺151cとは反対側において、第1の主回路用ゲート・ランド162に隣接して配置されている。

[0085] 第1のソースセンス・ランド163および第1の主回路用ドレイン・ランド161と、絶縁性基板151の第2長辺151dとの間には、第1の主回路用ゲート端子13と第1のソースセンス端子15とが、絶縁性基板151の長さ方向に間隔をおいて配置されている。第1の主回路用ゲート端子13は、導電性の板状体からなる。第1の主回路用ゲート端子13は、絶縁性基板151の長さ方向から見て、略L形であり、絶縁性基板151に固定された固定部と、固定部に結合された立上部とを有している。第1の主回路用ゲート端子13の立上部の先端部は、ケース152の上壁を貫通してケース152の外方に延び、ゲート駆動回路実装基板300の一側部に形成された切欠部を通して基板300の上方に突出している。

[0086] 第1のソースセンス端子15は、導電性の板状体からなる。第1のソースセンス端子15は、絶縁性基板151の長さ方向から見て、略L形であり、絶縁性基板151に固定された固定部と、固定部に結合された立上部とを有している。第1のソースセンス端子15の立上部の先端部は、ケース152の上壁を貫通してケース152の外方に延び、ゲート駆動回路実装基板300の一側部に形成された切欠部を通して基板300の上方に突出している。

[0087] 第1の主回路用ドレイン・ランド161の表面には、第1の主回路用MOSFET21のドレイン電極21_Dが接合されている。第1の主回路用MOSFET21は、第1の主回路用ドレイン・ランド161とは反対側の表面にソース電極21_Sおよびゲート電極21_Gを有している。

第1の主回路用MOSFET21のソース電極21_Sは、複数のボンディングワイヤ（接続金属部材）165によって、第1の主回路用ソース・ランド部171に電氣的に接続されている。また、第1の主回路用MOSFET21のソース電極21_S（電流検出部27）は、ボンディングワイヤ（接続金属部材）166によって、第1のソースセンス・ランド163に電氣的に接続されている。第1の主回路用MOSFET21のゲート電極21_Gは、ボンディングワイヤ（接続金属部材）168によって、第1の主回路用ゲート・ランド162に電氣的に接続されている。

[0088] 第1の主回路用ドレイン・ランド161の表面における絶縁性基板151の第2長辺151dよりの端部には、第1の電源端子11の基端部が接合されている。第1の電源端子11は、導電性の板状体からなる。第1の電源端子11は、図2に示される第1の電源端子11と同様に、絶縁性基板151の長さ方向から見てクランク形状である。第1の電源端子11の先端部は、ケース152における絶縁性基板151の第2長辺151d側の側壁を貫通して、ケース152外方に突出している。

[0089] 第1の主回路用ゲート・ランド162は、ボンディングワイヤ191によって、第1の主回路用ゲート端子13に電氣的に接続されている。第1のソースセンス・ランド163は、ボンディングワイヤ192によって、第1のソースセンス端子15に接続されている。

第2アッセンブリ180は、第2の主回路用ドレイン・ランド部172と、絶縁性基板151上に形成された他の複数のランド181～183と、第2の主回路用MOSFET22（第2のダイオード24を内蔵したもの）と、複数の端子12，16，18とを含む。複数のランド181～183は、第2の主回路用ソース・ランド181、第2の主回路用ゲート・ランド182および第2のソースセンス・ランド183を含んでいる。これらのランド181～183は、銅またはアルミニウムの板状体からなる。

[0090] 第2の主回路用ソース・ランド181は、平面視において絶縁性基板151の幅方向に長い矩形であり、第1の主回路用ドレイン・ランド161と第2の主回路用ドレイン・ランド部172との間に配置されている。

第2の主回路用ゲート・ランド182は、平面視において絶縁性基板151の長さ方向に長い略矩形であり、その長さは第2の主回路用ドレイン・ランド部172の幅とほぼ等しい。第2の主回路用ゲート・ランド182は、第2の主回路用ドレイン・ランド部172に対して絶縁性基板151の第1長辺151cとは反対側において、第2の主回路用ドレイン・ランド部172に隣接して配置されている。

[0091] 第2のソースセンス・ランド183は、平面視において絶縁性基板151

の長さ方向に長い略矩形であり、その長さは第2の主回路用ドレイン・ランド部172の幅とほぼ等しい。第2のソースセンス・ランド183は、第2の主回路用ゲート・ランド182に対して絶縁性基板151の第1長辺151cとは反対側において、第2の主回路用ゲート・ランド182に隣接して配置されている。

[0092] 第2のソースセンス・ランド183と絶縁性基板151の第2長辺151dとの間には、第2の主回路用ゲート端子16と第2のソースセンス端子18とが、絶縁性基板151の長さ方向に間隔をおいて配置されている。第2の主回路用ゲート端子16は、導電性の板状体からなる。第2の主回路用ゲート端子16は、絶縁性基板151の長さ方向から見て、略L形であり、絶縁性基板151に固定された固定部と、固定部に結合された立上部とを有している。第2の主回路用ゲート端子16の立上部の先端部は、ケース152の上壁を貫通してケース152の外方に延び、ゲート駆動回路実装基板300の一側部に形成された切欠部を通して基板300の上方に突出している。

[0093] 第2のソースセンス端子18は、導電性の板状体からなる。第2のソースセンス端子18は、絶縁性基板151の長さ方向から見て、略L形であり、絶縁性基板151に固定された固定部と、固定部に結合された立上部とを有している。第2のソースセンス端子18の立上部の先端部は、ケース152の上壁を貫通してケース152の外方に延び、ゲート駆動回路実装基板300の一側部に形成された切欠部を通して基板300の上方に突出している。

[0094] 第2の主回路用ドレイン・ランド部172の表面には、第2の主回路用MOSFET22のドレイン電極22_Dが接合されている。第2の主回路用MOSFET22は、第2の主回路用ドレイン・ランド部172とは反対側の表面にソース電極22_Sおよびゲート電極22_Gを有している。

第2の主回路用MOSFET22のソース電極22_Sは、複数のボンディングワイヤ（接続金属部材）185によって、第2の主回路用ソース・ランド181に電氣的に接続されている。また、第2の主回路用MOSFET22のソース電極22_S（電流検出部28）は、ボンディングワイヤ（接続金属部

材) 186によって、第2のソースセンス・ランド183に電氣的に接続されている。第2の主回路用MOSFET22のゲート電極22_Gは、ボンディングワイヤ(接続金属部材)188によって、第2の主回路用ゲート・ランド182に電氣的に接続されている。

[0095] 第2の主回路用ソース・ランド181の表面における絶縁性基板151の第2長辺151dよりの端部には、第2の電源端子12の基端部が接合されている。第2の電源端子12は、導電性の板状体からなる。第2の電源端子12は、図2に示される第2の電源端子12と同様に、絶縁性基板151の長さ方向から見てクランク形状である。第2の電源端子12の先端部は、ケース152における絶縁性基板151の第2長辺151d側の側壁を貫通して、ケース152外方に突出している。

[0096] 第2の主回路用ゲート・ランド182は、ボンディングワイヤ193によって、第2の主回路用ゲート端子16に電氣的に接続されている。第2のソースセンス・ランド183は、ボンディングワイヤ194によって、第2のソースセンス端子18に接続されている。

共通ランド170における連結部173の表面の長さ中央部には、第1の出力端子19の基端部が接合されている。第1の出力端子19は、導電性の板状体からなる。第1の出力端子19は、図2に示される第1の出力端子19と同様に、絶縁性基板151の長さ方向から見てクランク形状である。第1の出力端子19の先端部は、ケース152における絶縁性基板151の第1長辺151c側の側壁を貫通して、ケース152外方に突出している。

[0097] 絶縁性基板151の代わりに、たとえば、セラミックス上に銅箔を直接接合した基板(DBC: Direct Bonding Copper)を用いてもよい。その場合には、その銅箔によって、各ランド161~163, 170, 181~183を形成できる。

ゲート駆動回路実装基板300上における端子13, 15の近傍には、第1の短絡用MOSFET25が形成されたチップ25Aが取り付けられている。また、ゲート駆動回路実装基板300における端子16, 18の近傍に

は、第2の短絡用MOSFET 26が形成されたチップ26Aが取り付けられている。

[0098] チップ25Aのドレイン端子は、リード線301によって、第1の主回路用ゲート端子13に電氣的に接続されている。チップ25Aのソース端子は、リード線302によって、第1のソースセンス端子15に電氣的に接続されている。チップ25Aのゲート端子は、リード線303によって、ゲート駆動回路実装基板300に実装されたゲート駆動回路3に接続されている。

[0099] 一方、チップ26Aのドレイン端子は、リード線304によって、第2の主回路用ゲート端子16に電氣的に接続されている。チップ26Aのソース端子は、リード線305によって、第2のソースセンス端子18に電氣的に接続されている。チップ26Aのゲート端子は、リード線306によって、ゲート駆動回路実装基板300に実装されたゲート駆動回路3に接続されている。

[0100] なお、ゲート駆動回路実装基板300の下面に、チップ25Aのドレイン端子、チップ25Aのソース端子、チップ26Aのドレイン端子およびチップ26Aのソース端子がそれぞれ接続された複数の電極を形成しておき、第1の主回路用ゲート端子13、第1のソースセンス端子15、第2の主回路用ゲート端子16および第2のソースセンス端子18の先端が、ゲート駆動回路実装基板300の下面に形成された対応する電極に押し付けられた状態で接触するような構成にしてもよい。具体的には、これらの各端子13、15、16、18の下端と絶縁性基板151との間に、各端子13、15、16、18をゲート駆動回路実装基板300側に押圧するバネ等の弾性部材を設けることにより、各端子13、15、16、18の先端がゲート駆動回路実装基板300の下面に形成された対応する電極に押圧された状態となるようにする。

[0101] 第1の短絡用MOSFET 25が形成されたチップおよび第2の短絡用MOSFET 26が形成されたチップを、ゲート駆動回路3内に設けることが考えられる。しかしながら、このようにすると、パワーモジュール2内の主

回路用MOSFET 21, 22と短絡用MOSFET 25, 26とを接続する配線が長くなる。したがって、短絡用MOSFET 25, 26がオン状態であっても、主回路用MOSFET 21, 22のゲート・ソース間のインピーダンスが大きくなり、ゲート・ソース間に変位電流が流れた場合に、このインピーダンスによって電圧降下が発生する。したがって、主回路用MOSFET 21, 22のゲート・ソース間電圧の上昇抑制効果が阻害されるおそれがある。

[0102] 前述したように、第1の短絡用MOSFET 25が形成されたチップおよび第2の短絡用MOSFET 26が形成されたチップを、パワーモジュール2のケース51内またはケース外においてモジュール端子間に接続した場合には、モジュール端子と短絡用MOSFET 25, 26とを接続する配線を短くできる。これにより、短絡用MOSFET 25, 26がオン状態のときの主回路用MOSFET 21, 22のゲート・ソース間のインピーダンスを小さくすることができる。このため、主回路用MOSFET 21, 22のゲート・ソース間に変位電流が流れたとしても、ゲート・ソース間のインピーダンスによる電圧降下はほとんど生じなくなる。したがって、短絡用MOSFETが形成されたチップをゲート駆動回路3内に設ける場合に比べて、主回路用MOSFET 21, 22のゲート・ソース間電圧の上昇抑制効果が向上させることができる。なお、図1を用いて説明したパワーモジュール2では、主回路用MOSFET 21, 22とそれに対応する短絡用MOSFET 25, 26との間のインピーダンスはさらに小さいので、主回路用MOSFET 21, 22のゲート・ソース間電圧の上昇抑制効果をさらに向上させることができる。

[0103] また、前述の実施形態では、主回路用MOSFETと主回路用MOSFETのゲートとソースとの間に接続された短絡用MOSFETとは、それぞれ異なるチップに設けられているが、これらを同一チップに設けてもよい。具体的には、図1に破線91で示すように、第1の主回路用MOSFET 21と、第1の短絡用MOSFET 25とを同一チップに設けてもよい。つまり

、これらのMOSFET 21, 25を同一半導体基板に形成してもよい。同様に、図1に破線92で示すように、第2の主回路用MOSFET 22と、第2の短絡用MOSFET 26とを同一チップに設けてもよい。つまり、これらのMOSFET 22, 26を同一半導体基板に形成してもよい。このようにすると、パワーモジュールの小型化を図ることができる。また、主回路用MOSFET 21, 22とそれに対応する短絡用MOSFET 25, 26との間のインピーダンスをより小さくすることが可能となる。

[0104] 図6は、第1の主回路用MOSFET 21と第1の短絡用MOSFET 25とが同一半導体基板に形成されているチップ91の外観を示す斜視図である。

チップ91内には、第1の主回路用MOSFET 21と第1の短絡用MOSFET 25とが設けられている。このチップ91は、一方の表面に第1の主回路用MOSFET 21のドレイン電極21_Dを有している。また、このチップ91は、他方の表面に、第1の主回路用MOSFET 21のソース電極21_Sおよびゲート電極21_Gと、第1の短絡用MOSFET 25のゲート電極25_Gとを有している。

図7Aおよび図7Bは、図2のパワーモジュールの他の例を示している。図7Aは、パワーモジュールの内部構造を示す図解的な平面図である。図7Bは、パワーモジュールの外観を示す図解的な平面図である。

[0105] このパワーモジュール2Cでは、図1および図2に示されるパワーモジュール2に比べて、主回路用MOSFETおよび短絡用MOSFETの数および配置が異なっている。具体的には、ハイサイド回路は、並列に接続された2つの第1の主回路用MOSFET 21と、各第1の主回路用MOSFET 21のゲート・ソース間に接続された2つの第1の短絡用MOSFET 25を含んでいる。同様に、ローサイド回路は、並列に接続された2つの第2の主回路用MOSFET 22と、各第2の主回路用MOSFET 22のゲート・ソース間に接続された2つの第2の短絡用MOSFET 26を含んでいる。

[0106] なお、図7Aにおいては、各主回路用MOSFET21, 22に並列に接続されているダイオードが、各主回路用MOSFET21, 22に内蔵されている例が示されている。また、図7Aにおいては、各端子は省略されている。

パワーモジュール2Cは、絶縁性基板251と、絶縁性基板251の一方表面に固定されたケース252とを含む。絶縁性基板251は、平面視において一方向に長い矩形に形成されている。ケース252は、下面が開口した略直方体形状に形成されており、樹脂材料で構成されている。

[0107] 平面視において、絶縁性基板251の一方の短辺を「第1短辺251a」といい、他方の短辺を「第2短辺251b」ということにする。また、平面視において、絶縁性基板251の一方の長辺を「第1長辺251c」といい、他方の長辺を「第2長辺251d」ということにする。また、絶縁性基板251の長辺251c, 251dに沿う方向を「絶縁性基板251の長さ方向」といい、絶縁性基板251の短辺251a, 251bに沿う方向を、「絶縁性基板251の幅方向」ということにする。

[0108] 絶縁性基板251上には、ハイサイド回路を形成するための第1アッセンブリ260と、ローサイド回路を形成するための第2アッセンブリ280とが、絶縁性基板251の長さ方向に沿って並べて配置されている。第1アッセンブリ260は、絶縁性基板251の長さ方向の中央と第2短辺251bとの間の領域に配置されている。一方、第2アッセンブリ280の大部分は、絶縁性基板251の長さ方向の中央と第1短辺251aとの間の領域に配置されている。

[0109] 第1アッセンブリ260は、絶縁性基板251上に形成された複数のランド261～266と、2つの第1の主回路用MOSFET21と、2つの第1の短絡用MOSFET25と、複数の端子11, 13, 14, 15（図7B参照）とを含む。複数のランド261～265は、第1の主回路用ソース・ランド261、第1の主回路用ドレイン・ランド262、第1の主回路用ゲート・ランド263、第1のソースセンス・ランド264、第1の短絡用

ゲート・ランド２６５および第１の電源端子接続用ランド２６６を含んでいる。これらのランド２６１～２６６は、銅またはアルミニウムの板状体からなる。

[0110] 第１の主回路用ソース・ランド２６１は、平面視において略Ｌ形であり、絶縁性基板２５１の第１長辺２５１ｃに近い位置に設けられ、絶縁性基板２５１の長さ方向に長い第１矩形部分２６１ａと、この第１矩形部分２６１ａにおける絶縁性基板２５１の第１短辺２５１ａ側端部から絶縁性基板２５１の第２長辺２５１ｄに向かってのびた第２矩形部分２６１ｂとを有する。

[0111] 第１の主回路用ドレイン・ランド２６２は、平面視において絶縁性基板２５１の長さ方向に長い略矩形であり、第１の主回路用ソース・ランド２６１の第１矩形部分２６１ａに対して絶縁性基板２５１の第１長辺２５１ｃとは反対側において、第１矩形部分２６１ａに隣接して配置されている。第１の主回路用ゲート・ランド２６３は、平面視において絶縁性基板２５１の長さ方向に長い矩形であり、第１の主回路用ドレイン・ランド２６２に対して絶縁性基板２５１の第１長辺２５１ｃとは反対側において、第１の主回路用ドレイン・ランド２６２に隣接して配置されている。

[0112] 第１のソースセンス・ランド２６４は、平面視において絶縁性基板２５１の長さ方向に長い矩形であり、第１の主回路用ゲート・ランド２６３に対して絶縁性基板２５１の第１長辺２５１ｃとは反対側において、第１の主回路用ゲート・ランド２６３に隣接して配置されている。第１の短絡用ゲート・ランド２６５は、平面視において絶縁性基板２５１の長さ方向に長い矩形であり、第１のソースセンス・ランド２６４に対して絶縁性基板２５１の第１長辺２５１ｃとは反対側において、第１のソースセンス・ランド２６４に隣接して配置されている。

[0113] 第１の電源端子接続用ランド２６６は、平面視において矩形であり、第１の主回路用ドレイン・ランド２６２に対して絶縁性基板２５１の第１短辺２５１ａとは反対側において、第１の主回路用ドレイン・ランド２６２に隣接して配置されている。

第1の主回路用ドレイン・ランド262の表面には、各第1の主回路用MOSFET21のドレイン電極が接合されている。各第1の主回路用MOSFET21は、第1の主回路用ドレイン・ランド262とは反対側の表面にソース電極21_sおよびゲート電極21_gを有している。第1の主回路用ゲート・ランド263の表面には、各第1の短絡用MOSFET25のドレイン電極が接合されている。各第1の短絡用MOSFET25は、第1の主回路用ゲート・ランド263とは反対側の表面にソース電極25_sおよびゲート電極25_gを有している。

[0114] 各第1の主回路用MOSFET21のソース電極21_sは、複数のボンディングワイヤ271によって、第1の主回路用ソース・ランド261に電氣的に接続されている。また、各第1の主回路用MOSFET21のソース電極21_s（電流検出部27）は、ボンディングワイヤ272によって、第1のソースセンス・ランド264に電氣的に接続されている。さらに、各第1の主回路用MOSFET21のソース電極21_sは、ボンディングワイヤ273によって、それぞれ対応する第1の短絡用MOSFET25のソース電極25_sに電氣的に接続されている。

[0115] 各第1の主回路用MOSFET21のゲート電極21_gは、ボンディングワイヤ274によって、第1の主回路用ゲート・ランド263に電氣的に接続されている。各第1の短絡用MOSFET25のゲート電極25_gは、ボンディングワイヤ275によって、第1の短絡用ゲート・ランド265に電氣的に接続されている。

第1の主回路用ドレイン・ランド262は、複数のボンディングワイヤ276によって、第1の電源端子接続用ランド266に電氣的に接続されている。第1の電源端子接続用ランド266には、第1の電源端子11（図7B参照）が電氣的に接続されている。第1の電源端子11の先端部は、ケース252における絶縁性基板251の第2短辺251b側の側壁を貫通して、ケース252外方に突出している。

[0116] 第1の主回路用ゲート・ランド263には、第1の主回路用ゲート端子1

3（図7B参照）が電氣的に接続されている。第1の主回路用ゲート端子13の先端部は、ケース252の上壁を貫通して、ケース252外方に突出している。第1のソースセンス・ランド264には、第1のソースセンス端子15（図7B参照）が電氣的に接続されている。第1のソースセンス端子15の先端部は、ケース252の上壁を貫通して、ケース252外方に突出している。第1の短絡用ゲート・ランド265には、第1の短絡用ゲート端子14（図7B参照）が電氣的に接続されている。第1の短絡用ゲート端子14の先端部は、ケース252の上壁を貫通して、ケース252外方に突出している。

[0117] 第2アッセンブリ280は、絶縁性基板251上に形成された複数のランド281～287と、2つの第2の主回路用MOSFET22と、2つの第2の短絡用MOSFET26と、複数の端子12, 16, 17, 18, 19（図7B参照）とを含む。複数のランド281～287は、第2の主回路用ソース・ランド281、第2の主回路用ドレイン・ランド282、第2の主回路用ゲート・ランド283、第2のソースセンス・ランド284、第2の短絡用ゲート・ランド285、第1の出力端子接続用ランド286および第2の電源端子接続用ランド287を含んでいる。これらのランド281～287は、銅またはアルミニウムの板状体からなる。

[0118] 第2の主回路用ドレイン・ランド282は、平面視において絶縁性基板251の長さ方向に長い略矩形であり、第1の主回路用ソース・ランド261の第2矩形部分261bに対して絶縁性基板251の第2短辺251bとは反対側において、第2矩形部分261bに隣接して配置されている。第2の主回路用ソース・ランド281は、絶縁性基板251の長さ方向に長い略矩形であり、第2の主回路用ドレイン・ランド282および第1の主回路用ソース・ランド261の第1矩形部分261aに対して絶縁性基板251の第2長辺251dとは反対側において、第2の主回路用ドレイン・ランド282および第1矩形部分261aに隣接して配置されている。

[0119] 第2の主回路用ゲート・ランド283は、平面視において絶縁性基板25

1の長さ方向に長い矩形であり、第2の主回路用ドレイン・ランド282に対して絶縁性基板251の第1長辺251cとは反対側において、第2の主回路用ドレイン・ランド282に隣接して配置されている。第2のソースセンス・ランド284は、平面視において絶縁性基板251の長さ方向に長い矩形であり、第2の主回路用ゲート・ランド283に対して絶縁性基板251の第1長辺251cとは反対側において、第2の主回路用ゲート・ランド283に隣接して配置されている。

[0120] 第2の短絡用ゲート・ランド285は、平面視において絶縁性基板251の長さ方向に長い矩形であり、第2のソースセンス・ランド284に対して絶縁性基板251の第1長辺251cとは反対側において、第2のソースセンス・ランド284に隣接して配置されている。第1の出力端子接続用ランド286は、平面視において矩形であり、第2の主回路用ドレイン・ランド282に対して絶縁性基板251の第2短辺251bとは反対側において、第2の主回路用ドレイン・ランド282に隣接して配置されている。

[0121] 第2の電源端子接続用ランド287は、平面視において矩形であり、第2の主回路用ソース・ランド281に対して絶縁性基板251の第1短辺251aとは反対側において、第2の主回路用ソース・ランド281に隣接して配置されている。

第2の主回路用ドレイン・ランド282の表面には、各第2の主回路用MOSFET22のドレイン電極が接合されている。各第2の主回路用MOSFET22は、第2の主回路用ドレイン・ランド282とは反対側の表面にソース電極22_sおよびゲート電極22_gを有している。第2の主回路用ゲート・ランド283の表面には、各第2の短絡用MOSFET26のドレイン電極が接合されている。各第2の短絡用MOSFET26は、第2の主回路用ゲート・ランド283とは反対側の表面にソース電極26_sおよびゲート電極26_gを有している。

[0122] 各第2の主回路用MOSFET22のソース電極22_sは、複数のボンディングワイヤ291によって、第2の主回路用ソース・ランド281に電氣的

に接続されている。また、各第2の主回路用MOSFET 22のソース電極22_s（電流検出部28）は、ボンディングワイヤ292によって、第2のソースセンス・ランド284に電氣的に接続されている。さらに、各第2の主回路用MOSFET 22のソース電極22_sは、ボンディングワイヤ293によって、それぞれ対応する第2の短絡用MOSFET 26のソース電極26_sに電氣的に接続されている。

[0123] 各第2の主回路用MOSFET 22のゲート電極22_gは、ボンディングワイヤ294によって、第2の主回路用ゲート・ランド283に電氣的に接続されている。各第2の短絡用MOSFET 26のゲート電極26_gは、ボンディングワイヤ295によって、第2の短絡用ゲート・ランド285に電氣的に接続されている。

第2の主回路用ドレイン・ランド282は、複数のボンディングワイヤ298によって、第1の主回路用ソース・ランド261に電氣的に接続されている。また、第2の主回路用ドレイン・ランド282は、複数のボンディングワイヤ296によって、第1の出力端子接続用ランド286に電氣的に接続されている。第1の出力端子接続用ランド286には、第1の出力端子19（図7B参照）が電氣的に接続されている。第1の出力端子19は、ケース252内において途中から二股に分岐しており、2つの先端部を有している。各先端部は、ケース252における絶縁性基板251の第1短辺251a側の側壁を貫通して、ケース252外方に突出している。

[0124] 第2の主回路用ソース・ランド281は、複数のボンディングワイヤ297によって、第2の電源端子接続用ランド287に電氣的に接続されている。第2の電源端子接続用ランド287には、第2の電源端子（第2の出力端子）12（図7B参照）が電氣的に接続されている。第2の電源端子12の先端部は、ケース252における絶縁性基板251の第2短辺251b側の側壁を貫通して、ケース252外方に突出している。

[0125] 第2の主回路用ゲート・ランド283には、第2の主回路用ゲート端子16（図7B参照）が電氣的に接続されている。第2の主回路用ゲート端子1

6の先端部は、ケース252の上壁を貫通して、ケース252外方に突出している。第2のソースセンス・ランド284には、第2のソースセンス端子18（図7B参照）が電氣的に接続されている。第2のソースセンス端子18の先端部は、ケース252の上壁を貫通して、ケース252外方に突出している。第2の短絡用ゲート・ランド285には、第2の短絡用ゲート端子17（図7B参照）が電氣的に接続されている。第2の短絡用ゲート端子17の先端部は、ケース252の上壁を貫通して、ケース252外方に突出している。

[0126] 絶縁性基板251の代わりに、たとえば、セラミックス上に銅箔を直接接合した基板（DBC：Direct Bonding Copper）を用いてもよい。その場合には、その銅箔によって、各ランド261～266，281～287を形成できる。

前述の実施形態では、第1および第2の主回路用MOSFET21，22と、第1および第2の短絡用MOSFET25，26は、SiCデバイスであるが、Si（シリコン）を半導体材料として用いたSiデバイスでMOSFET21，22，25，26を構成してもよい。また、前述した実施形態では、パワースイッチング素子21，22としてMOSFETが用いられているが、パワースイッチング素子21，22としてIGBT（Insulated Gate Bipolar Transistor）等の他の形態のスイッチング素子が適用されてもよい。また、前述の実施形態では、MOSFET21，22，25，26がワイヤを用いて接続された例を説明したが、リボン状、リード状の接続金属部材を代わりに用いてもよい。また、これらの接続金属部材の材料は、Au，Cu，Al等であってもよい。

[0127] 本発明の実施形態について詳細に説明したが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によってのみ限定される。

この出願は、2010年8月4日に日本国特許庁に提出された特願201

0-175403号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

符号の説明

- [0128] 2, 2 A, 2 B, 2 C パワーモジュール
- 3 ゲート駆動回路
- 4 制御部
- 2 1 第1の主回路用MOSFET
- 2 2 第2の主回路用MOSFET
- 2 5 第1の短絡用MOSFET
- 2 6 第2の短絡用MOSFET
- 5 1, 1 5 1, 2 5 1 絶縁性基板

請求の範囲

- [請求項1] 第1のパワースイッチング素子と、
 前記第1のパワースイッチング素子に直列に接続された第2のパワースイッチング素子と、
 前記第1のパワースイッチング素子のゲートとソースとの間に接続された第1のゲート短絡用スイッチング素子と、
 前記第2のパワースイッチング素子のゲートとソースとの間に接続された第2のゲート短絡用スイッチング素子と、
 を含むパワーモジュール。
- [請求項2] 前記第1のパワースイッチング素子および前記第2のパワースイッチング素子は、炭化珪素を主成分とするスイッチング素子である、請求項1に記載のパワーモジュール。
- [請求項3] 前記第1のパワースイッチング素子および前記第2のパワースイッチング素子は、IGBTからなる、請求項1に記載のパワーモジュール。
- [請求項4] 前記第1のパワースイッチング素子と前記第1のゲート短絡用スイッチング素子とが同一の実装基板上に実装されており、
 前記第2のパワースイッチング素子と前記第2のゲート短絡用スイッチング素子とが同一の実装基板上に実装されている、請求項1～3のいずれか一項に記載のパワーモジュール。
- [請求項5] 前記第1のパワースイッチング素子と前記第1のゲート短絡用スイッチング素子とが実装されている実装基板と、前記第2のパワースイッチング素子と前記第2のゲート短絡用スイッチング素子とが実装されている実装基板とが、同一の実装基板である、請求項4に記載のパワーモジュール。
- [請求項6] 前記実装基板上に形成され、前記第1のパワースイッチング素子および第2のパワースイッチング素子のうちの一方のパワースイッチング素子のソースが電氣的に接続されるとともに他方のパワースイッチ

ング素子のドレインが電氣的に接続される導電性の共通ランドをさらに含み、

前記共通ランドは、平面視略U形の板状体からなる、請求項5に記載のパワーモジュール。

[請求項7]

前記実装基板上に形成され、前記第1のパワースイッチング素子および第2のパワースイッチング素子のうちの一方のパワースイッチング素子のソースが電氣的に接続されるとともに他方のパワースイッチング素子のドレインが電氣的に接続される導電性の共通ランドをさらに含み、

前記共通ランドは、銅またはアルミニウム製の板状体からなる、請求項5に記載のパワーモジュール。

[請求項8]

前記実装基板上に形成され、前記第1のパワースイッチング素子のゲートが電氣的に接続されるとともに、前記第1のゲート短絡用スイッチング素子が接合される第1のゲート・ランドと、

前記実装基板上に形成され、前記第1のゲート短絡用スイッチング素子のゲートが電氣的に接続される第1の短絡用ゲート・ランドと、

前記実装基板上に形成され、前記第2のパワースイッチング素子のゲートが電氣的に接続されるとともに、前記第2のゲート短絡用スイッチング素子が接合される第2のゲート・ランドと、

前記実装基板上に形成され、前記第2のゲート短絡用スイッチング素子のゲートが電氣的に接続される第2の短絡用ゲート・ランドとをさらに含み、

前記共通ランドは、一対の腕部とそれらを連結する連結部とを含み、

前記第1のゲート・ランドおよび前記第1の短絡用ゲート・ランドの組と、前記第2のゲート・ランドおよび前記第2の短絡用ゲート・ランドの組とのうち、一方の組は前記共通ランドの一対の腕部の間に配置され、他方の組は前記共通ランドの一方の腕部に対して前記一方

の組と反対側に配置されている、請求項 6 または 7 に記載のパワーモジュール。

[請求項 9] 前記第 1 のゲート・ランドと前記第 1 の短絡用ゲート・ランドとは、前記共通ランドの連結部の延びる方向に沿って隣接して配置されており、

前記第 2 のゲート・ランドと前記第 2 の短絡用ゲート・ランドとは、前記共通ランドの連結部の延びる方向に沿って隣接して配置されている、請求項 8 に記載のパワーモジュール。

[請求項 10] 前記実装基板が、セラミックス上に銅箔が直接接合された D B C 基板であり、前記共通ランドと、前記第 1 のゲート・ランドと、前記第 1 の短絡用ゲート・ランドと、前記第 2 のゲート・ランドと、前記第 2 の短絡用ゲート・ランドとは、前記銅箔によって形成されている、請求項 8 または 9 に記載のパワーモジュール。

[請求項 11] 前記第 1 のパワースイッチング素子と前記第 1 のゲート短絡用スイッチング素子とが同一のチップに設けられており、前記第 2 のパワースイッチング素子と前記第 2 のゲート短絡用スイッチング素子とが同一のチップに設けられている、請求項 1 ～ 3 のいずれか一項に記載のパワーモジュール。

[請求項 12] 前記第 1 のパワースイッチング素子と前記第 2 のパワースイッチング素子とは、デッドタイムを挟んで交互にオンされ、

第 1 のゲート短絡用スイッチング素子は、前記第 2 のパワースイッチング素子がオンするよりも前にオンされ、前記第 2 のパワースイッチング素子がオンしてから第 1 の所定期間が経過した後であって、前記第 1 のパワースイッチング素子がオンされる前にオフされ、

第 2 のゲート短絡用スイッチング素子は、前記第 1 のパワースイッチング素子がオンするよりも前にオンされ、前記第 1 のパワースイッチング素子がオンしてから第 2 の所定期間が経過した後であって、前記第 2 のパワースイッチング素子がオンされる前にオフされる、請求

項 1 ～ 1 1 のいずれか一項に記載のパワーモジュール。

[請求項13] 前記第 1 の所定期間は、前記第 2 のパワースイッチング素子がオンしてから前記第 1 のパワースイッチング素子のドレイン・ソース間電圧が上昇する時間以上に設定され、前記第 2 の所定期間は、前記第 1 のパワースイッチング素子がオンしてから前記第 2 のパワースイッチング素子のドレイン・ソース間電圧が上昇する時間以上に設定される、請求項 1 2 に記載のパワーモジュール。

[請求項14] 前記第 1 の所定期間は 2 0 0 n s e c 以上に設定され、前記第 2 の所定期間は 2 0 0 n s e c 以上に設定される、請求項 1 2 または 1 3 に記載のパワーモジュール。

[請求項15] 前記第 1 のパワースイッチング素子と前記第 1 のゲート短絡用スイッチング素子とを接続するための第 1 の接続金属部材と、
前記第 2 のパワースイッチング素子と前記第 2 のゲート短絡用スイッチング素子とを接続するための第 2 の接続金属部材とを含み、
前記第 1 接続金属部材および前記第 2 の接続金属部材が、A u , C u , または A l からなるワイヤ状、フレーム状またはリボン状である、請求項 4 ～ 1 0 のいずれか一項に記載のパワーモジュール。

[請求項16] 第 1 のパワースイッチングは第 1 の電流検出部を含み、
第 2 のパワースイッチングは第 2 の電流検出部を含み、
前記第 1 の電流検出部が接続される第 1 のソースセンス端子と、
前記第 2 の電流検出部が接続される第 2 のソースセンス端子とをさらに含む、請求項 1 ～ 1 5 のいずれか一項に記載のパワーモジュール。

[請求項17] 前記請求項 1 ～ 1 6 のいずれか一項に記載のパワーモジュールと、
前記第 1 のパワースイッチング素子、前記第 2 のパワースイッチング素子、前記第 1 のゲート短絡用スイッチング素子および前記第 2 のゲート短絡用スイッチング素子を駆動するためのゲート駆動回路と、
前記ゲート駆動回路を制御する制御部とを含み、

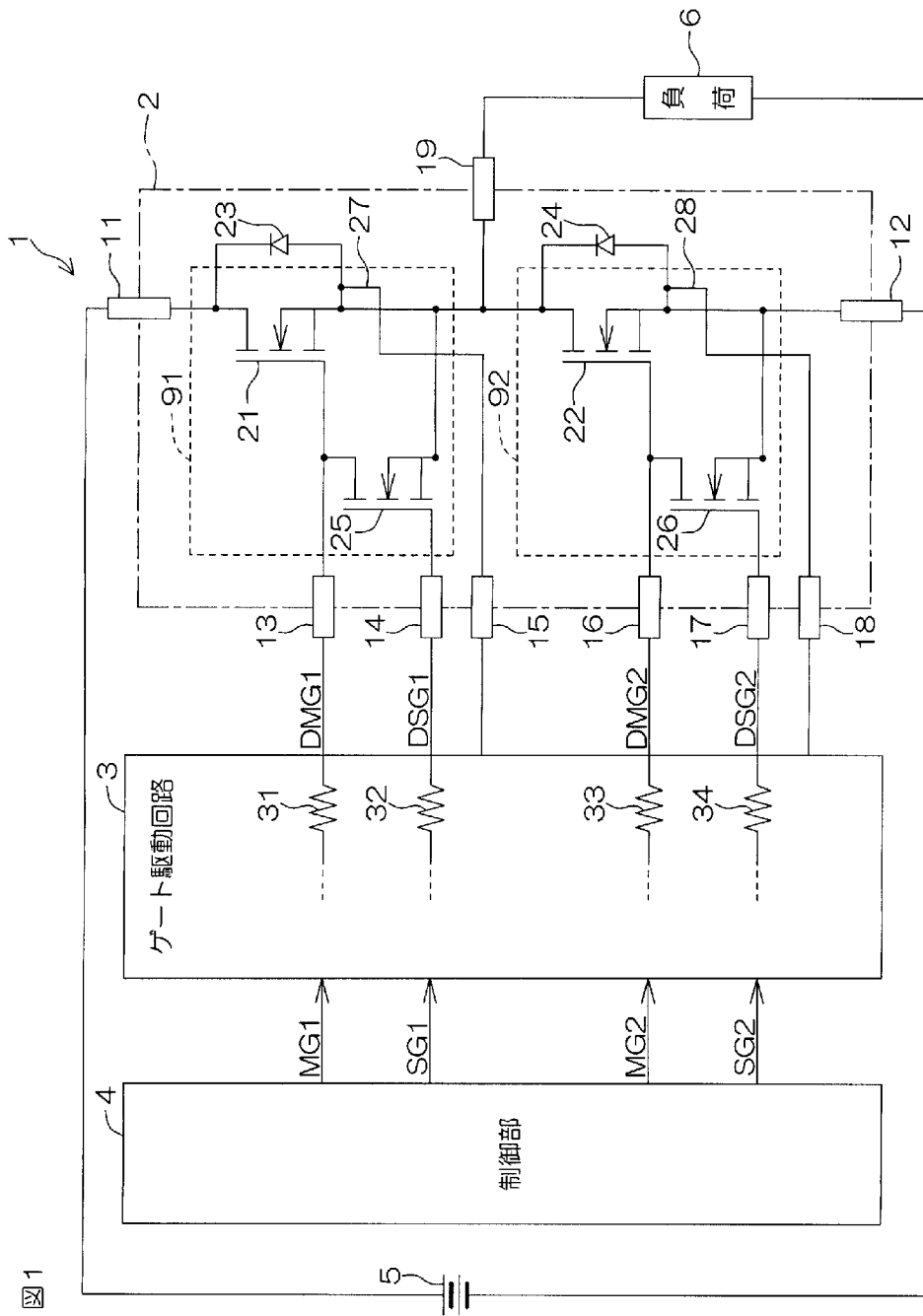
前記制御部がマイクロコンピュータからなる、出力回路。

[請求項18]

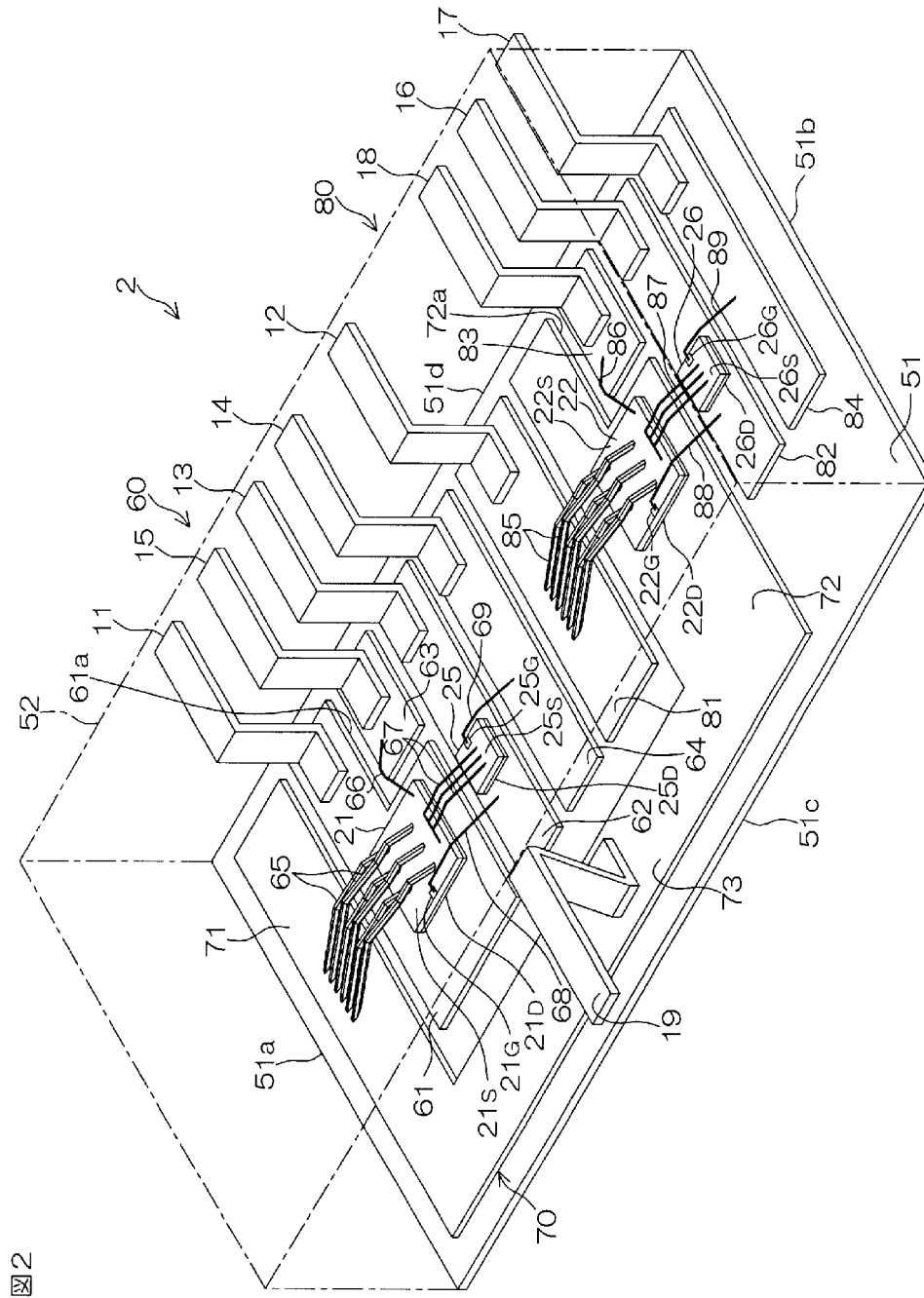
前記制御部は、前記前記第1のパワースイッチング素子、前記第2のパワースイッチング素子、前記第1のゲート短絡用スイッチング素子および前記第2のゲート短絡用スイッチング素子に対するゲート制御信号をそれぞれ生成する手段を含み、

前記ゲート駆動回路は、前記制御部によって生成されたゲート制御信号に応じたゲート駆動信号を生成して、対応するスイッチング素子のゲートに供給するものである、請求項17に記載の、出力回路。

[図1]



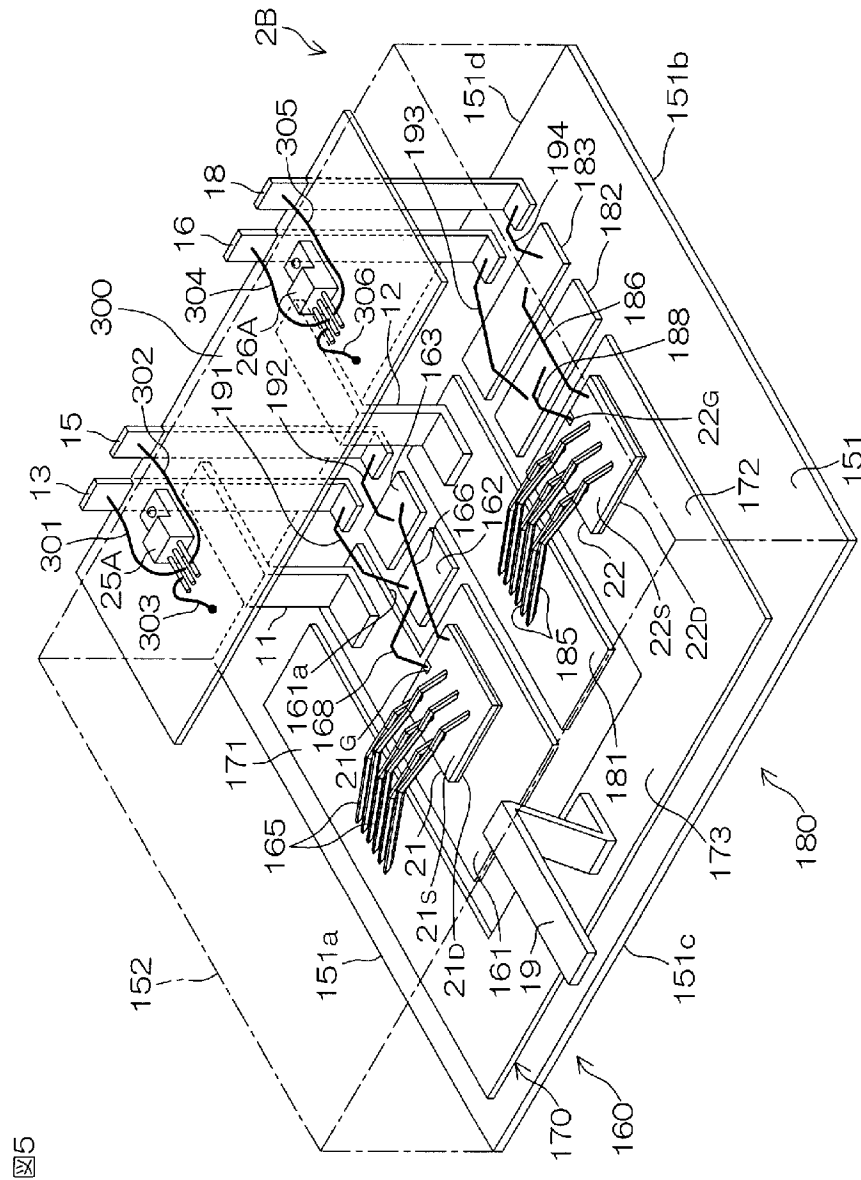
[図2]



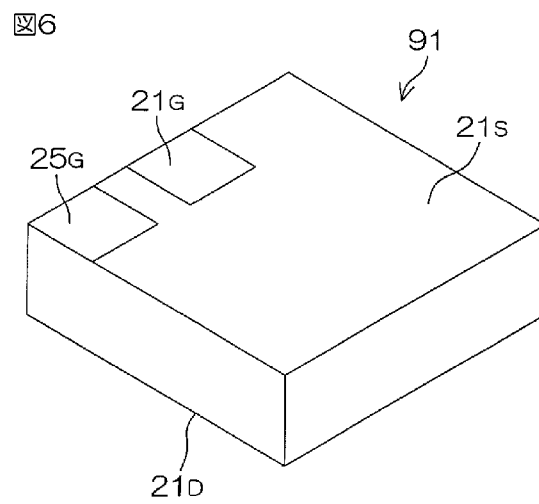
[図3]

[illegible]

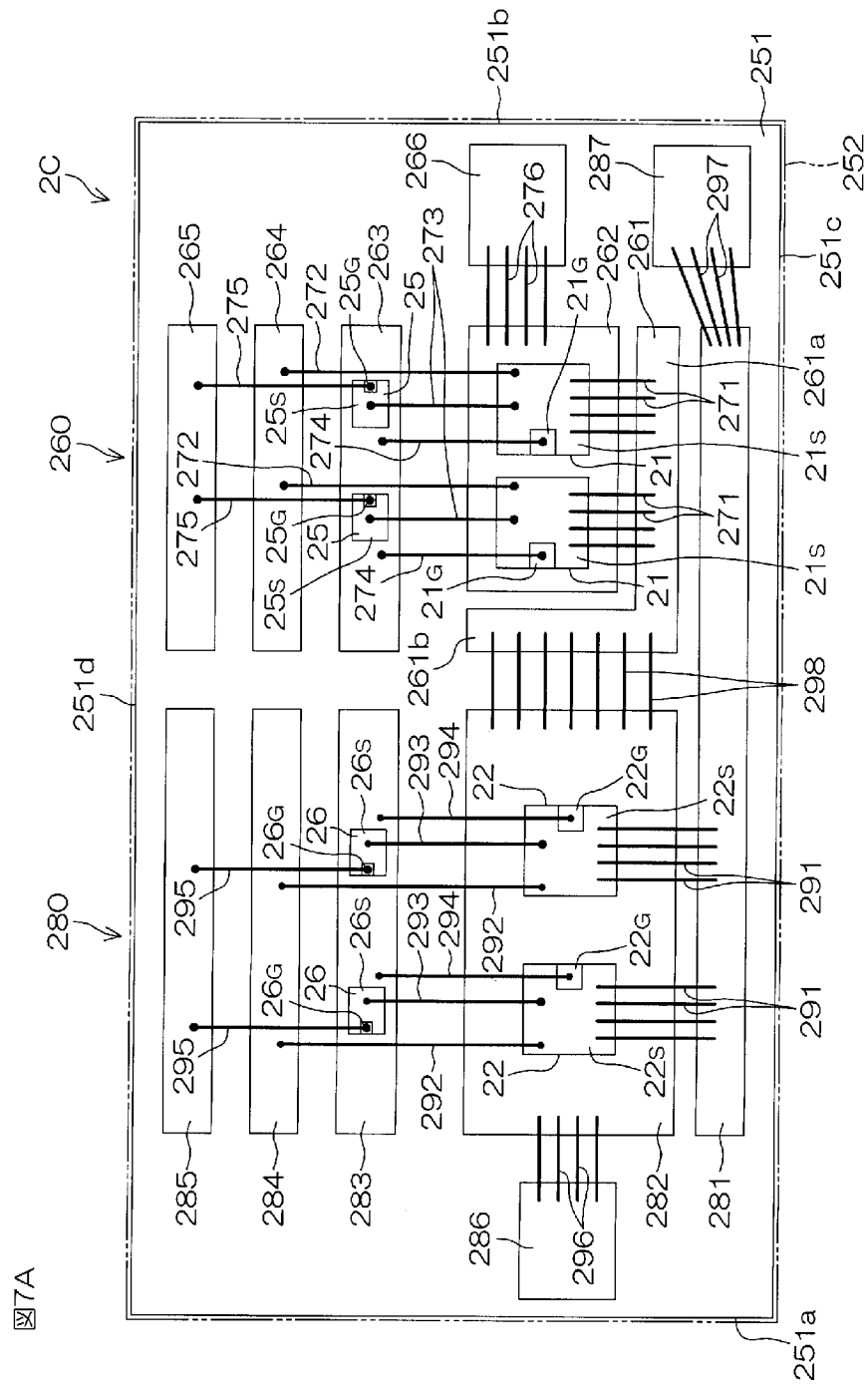
[図5]



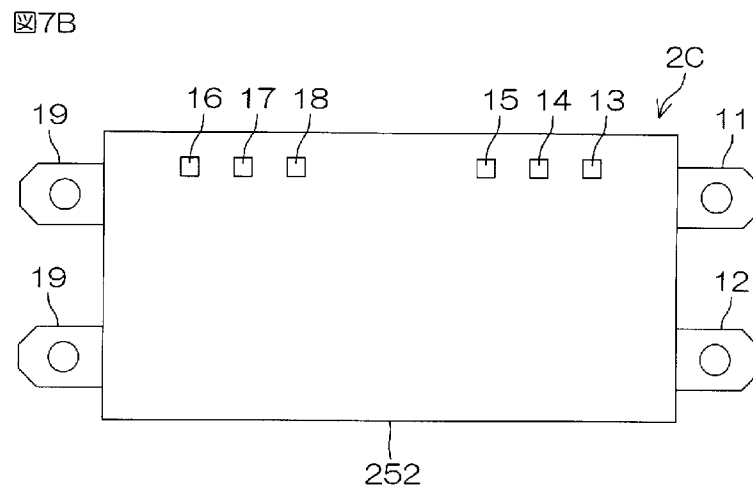
[図6]



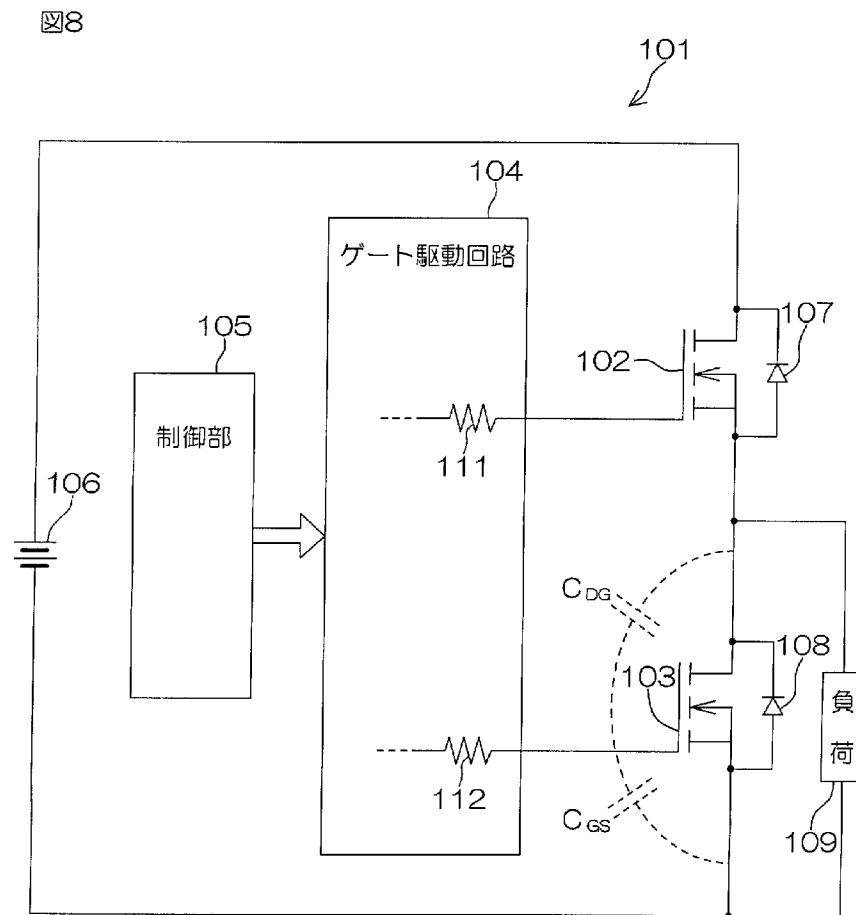
[図7A]



[図7B]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/067846

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/08(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L27/04(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08, H01L25/07, H01L25/18, H01L27/04, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2002-368121 A (Hitachi, Ltd.), 20 December 2002 (20.12.2002), paragraphs [0022] to [0026]; fig. 4 & US 2002/0179945 A1 & US 2002/0190285 A1	1, 11 2-7, 12-18 8-10
Y A	WO 2010/004802 A1 (Mitsubishi Electric Corp.), 14 January 2010 (14.01.2010), paragraphs [0013] to [0058]; fig. 4 & US 2011/0062491 A1 & DE 112009001638 T & CN 102067309 A & KR 10-2011-0020294 A	2-7, 12-18 8-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 October, 2011 (05.10.11)

Date of mailing of the international search report
18 October, 2011 (18.10.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/067846

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2005-294464 A (Renesas Technology Corp.), 20 October 2005 (20.10.2005), paragraphs [0022] to [0091]; fig. 8 to 9 & US 2005/0218489 A1 & US 2007/0145580 A1 & US 2009/0218683 A1 & US 2010/0141229 A1 & KR 10-2006-0041974 A & CN 1677666 A & CN 101582415 A	4-7, 12-18 8-10
Y	JP 2005-304218 A (Renesas Technology Corp.), 27 October 2005 (27.10.2005), paragraphs [0030] to [0037]; fig. 6 to 7 (Family: none)	12-14, 16-18
Y	JP 2003-174766 A (Nissan Motor Co., Ltd.), 20 June 2003 (20.06.2003), paragraphs [0012] to [0036]; fig. 1 (Family: none)	16-18
Y	JP 2006-230166 A (Denso Corp.), 31 August 2006 (31.08.2006), paragraph [0047] & US 2006/0186933 A1	17-18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/067846

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The document 1 (JP 2002-368121 A (Hitachi, Ltd.), 20 December 2002 (20.12.2002), [0022]-[0026], [fig. 4]) discloses a power module comprising a first power switching element, a second power switching element which is connected to the first power switching element in series, a first switching element for short-circuit of a gate which is connected between the gate and the source of the first power switching element, and a second switching element for short-circuit of a gate which is connected between the gate and the source of the second power switching element.

(continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/067846

Continuation of Box No.III of continuation of first sheet (2)

Therefore, the invention in claim 1 cannot be considered to be novel in the light of the invention described in the document 1, and does not have a special technical feature.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M1/08(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L27/04(2006.01)i,
H01L29/12(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M1/08, H01L25/07, H01L25/18, H01L27/04, H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2002-368121 A（株式会社日立製作所）2002.12.20, [0022] — [0026], [図4] & US 2002/0179945 A1 & US 2002/0190285 A1	1, 11 2-7, 12-18 8-10
Y A	WO 2010/004802 A1（三菱電機株式会社）2010.01.14, [0013] — [0058], [図4] & US 2011/0062491 A1 & DE 112009001638 T & CN 102067309 A & KR 10-2011-0020294 A	2-7, 12-18 8-10
Y	JP 2005-294464 A（株式会社ルネサステクノロジ）2005.10.20, [0	4-7, 12-18

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 1 0 . 2 0 1 1

国際調査報告の発送日

1 8 . 1 0 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

塩治 雅也

電話番号 03-3581-1101 内線 3358

3 V

3 6 3 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	O 2 2] - [O O 9 1], [図 8] - [図 9] & US 2005/0218489 A1 & US 2007/0145580 A1 & US 2009/0218683 A1 & US 2010/0141229 A1 & KR 10-2006-0041974 A & CN 1677666 A & CN 101582415 A	8-10
Y	JP 2005-304218 A (株式会社ルネサステクノロジ) 2005. 10. 27, [O O 3 0] - [O O 3 7], [図 6] - [図 7] (ファミリーなし)	12-14, 16-18
Y	JP 2003-174766 A (日産自動車株式会社) 2003. 06. 20, [O O 1 2] - [O O 3 6], [図 1] (ファミリーなし)	16-18
Y	JP 2006-230166 A (株式会社デンソー) 2006. 08. 31, [O O 4 7] & US 2006/0186933 A1	17-18

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1（JP 2002-368121 A（株式会社日立製作所）2002.12.20, [0022]－[0026], [図4]）には、第1のパワースイッチング素子と、第1のパワースイッチング素子に直列に接続された第2のパワースイッチング素子と、第1のパワースイッチング素子のゲートとソースとの間に接続された第1のゲート短絡用スイッチング素子と、第2のパワースイッチング素子のゲートとソースとの間に接続された第2のゲート短絡用スイッチング素子と、を含むパワーモジュールが記載されている。したがって、請求項1に係る発明は、文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。