



(12) 发明专利

(10) 授权公告号 CN 1910596 B

(45) 授权公告日 2011.03.09

(21) 申请号 200580002578.X

(22) 申请日 2005.01.11

(30) 优先权数据

008752/2004 2004.01.16 JP

(85) PCT申请进入国家阶段日

2006.07.17

(86) PCT申请的申请数据

PCT/JP2005/000445 2005.01.11

(87) PCT申请的公布数据

W02005/069204 EN 2005.07.28

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 荒井康行 秋叶麻衣 舘村祐子

神野洋平

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 张雪梅 梁永

(51) Int. Cl.

G06K 19/00 (2006.01)

H01L 27/04 (2006.01)

H01L 21/768 (2006.01)

(56) 对比文件

JP 特开 2003 - 318133 A, 2003.11.07, 全文.

JP 特开 2001 - 109866 A, 2001.04.20, 全文.

JP 特开 2003 - 123047 A, 2003.04.25, 全文.

US 2003/0030689 A1, 2003.02.13, 全文.

JP 特开 2000 - 20665 A, 2000.01.21, 全文.

JP 特开 2003 - 331248 A, 2003.11.21, 全文.

JP 特开 2001 - 13874 A, 2001.01.19, 说明书第 14 段和附图 1.

JP 特开 2001 - 14442 A, 2001.01.19, 说明书第 12 - 14 段和附图 4、6.

审查员 刘莹

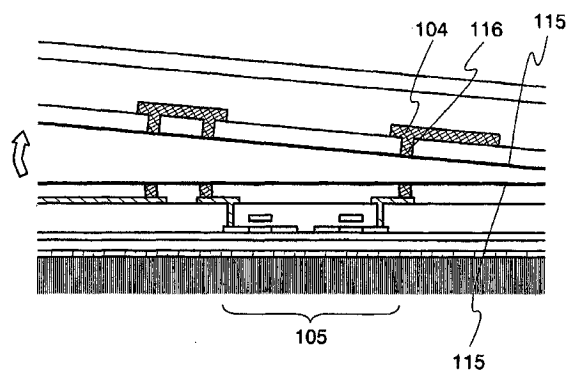
权利要求书 2 页 说明书 13 页 附图 13 页

(54) 发明名称

半导体装置

(57) 摘要

本发明提供一种半导体装置,在粘到物体之后被剥离时,它能可靠地限制与读/写器之间的信号或电源电压的发射/接收。本发明的半导体装置包括支撑基底上形成的集成电路和天线。本发明的半导体装置中,在支撑基底上形成分离层,该分离层与将绝缘薄膜夹在中间的集成电路和天线交叠。电学连接集成电路和天线的布线、电学连接集成电路中的半导体元件的布线或形成天线的布线经过该分离层。



1. 一种半导体装置,包括:
支撑基底;
在所述支撑基底上形成的薄膜集成电路和天线;
在所述薄膜集成电路上形成的分离层;
电连接所述薄膜集成电路和天线的布线,其中所述布线经过所述分离层;
在所述分离层和所述布线上形成的粘合剂;以及
在所述粘合剂上形成的覆盖材料;
其中,所述布线和所述覆盖材料配置成在所述分离层处与所述薄膜集成电路分离。
2. 一种半导体装置,包括:
支撑基底;
在所述支撑基底上形成的薄膜集成电路和天线,其中所述薄膜集成电路包括多个半导体元件;
在所述薄膜集成电路上形成的分离层;
电连接所述多个半导体元件的布线,其中所述布线经过所述分离层;
在所述分离层和所述布线上形成的粘合剂;以及
在所述粘合剂上形成的覆盖材料;
其中,所述布线和所述覆盖材料配置成在所述分离层处与所述薄膜集成电路分离。
3. 根据权利要求 1 和 2 中任意一项的半导体装置,其中所述天线通过印刷方法和小滴释放方法这两者之一形成。
4. 根据权利要求 2 的半导体装置,其中所述多个半导体元件包括薄膜晶体管,其中每个薄膜晶体管包括半导体膜和栅电极,其间插入栅极绝缘膜。
5. 根据权利要求 4 的半导体装置,其中所述天线和栅电极通过图形化相同的导电膜形成。
6. 根据权利要求 1 和 2 中任意一项的半导体装置,其中所述薄膜集成电路和天线在基板上形成,然后通过对所述基板进行去除处理而被剥离,并使用粘合剂粘到所述支撑基底上。
7. 一种半导体装置,包括:
支撑基底;以及
在所述支撑基底上形成的薄膜集成电路和天线;
在所述薄膜集成电路上形成的分离层,其中所述天线包括串联连接的多条布线,且其中所述多条布线中的至少一条经过所述分离层;
在所述分离层和所述布线上形成的粘合剂;以及
在所述粘合剂上形成的覆盖材料;
其中,所述多条布线中的至少一条和所述覆盖材料配置成在所述分离层处与所述薄膜集成电路分离。
8. 根据权利要求 7 的半导体装置,其中所述薄膜集成电路和天线在基板上形成,然后通过对所述基板进行去除处理而从所述基板剥离,并使用粘合剂粘到所述支撑基底上。
9. 根据权利要求 1、2 和 7 中任意一项的半导体装置,其中所述分离层包括金属氧化物膜,所述金属氧化物膜包含至少一种选自包括 TiN、WN、Mo 和 W 的组的物质。

10. 根据权利要求 9 的半导体装置,其中所述金属氧化物膜处于结晶状态。
11. 根据权利要求 1、2 和 7 中任意一项的半导体装置,其中所述支撑基底包括塑料和纸这两者之一。
12. 根据权利要求 1、2 和 7 中任意一项的半导体装置,其中所述半导体装置被粘到物体上,所述物体选自包括容器、信封、支票和护照的组。

半导体装置

技术领域

[0001] 本发明涉及在支撑基底上形成的能够进行无线通信的半导体装置。

背景技术

[0002] 以 ID 标签为代表的能够无线发射和接收诸如标识数据这样的数据的半导体装置已经在实际应用方面取得进步,且作为通信数据终端的新模式,其市场有望增加。ID 标签也被称为无线标签、RFID(射频识别)标签或 IC 标签。现在实际使用的大多数 ID 标签每个都具有使用半导体基板形成的天线和集成电路(IC 芯片)。

[0003] 不同于类似地通过无线方式读取其数据的磁卡、条形码等, ID 标签在以下方面是出众的:存储的数据不能被物理地读取且不易被篡改。而且, ID 标签的优势在于不像磁卡、条形码等,生产它需要相对大规模的生产设备,所以它不易被伪造。

[0004] 日本专利特许公开 No. 2001-13874(专利文件 1)描述了一种 ID 标签,它具有不易被伪造的优点。当专利文件 1 中描述的 ID 标签从它所粘附的物体剥离时,该 ID 标签的天线被切断。因此,该 ID 标签可以用作封条,能够可靠地检测它被剥离过。

发明内容

[0005] 专利文件 1 中描述的 ID 标签适当地使用强粘合剂和弱粘合剂,以便天线被切割成材料薄层一侧和物体一侧。然而,根据上述结构,取决于剥离 ID 标签的方法,仅形成天线的薄膜的一部分被剥离,因此,存在天线不被切断的情况。在这种情况下,具体而言,即使通过单独使用强和弱粘合剂切断天线时,仅形成天线的金属薄膜的一部分被剥离,因此,不能确保天线总是被切断。因此,还存在这种情况:即使剥离了 ID 标签之后,天线正常工作,在 ID 标签和读/写器之间正常发射和接收信号和电源电压。

[0006] ID 标签还被粘到柔性材料上,例如粘到纸张和塑料上,然而,和上述材料相比,半导体基板的机械强度低。通过缩小 ID 标签自身的面积,可以一定程度地提高机械强度,然而,这种情况很难确保电路规模和天线的传输增益。具体而言,低的天线的传输增益需要短的通信距离,这限制了 ID 标签的应用范围。因此,强调 IC 芯片的电路规模和天线的传输增益, ID 标签的面积不能轻易缩小,且机械强度不能大幅度提高。

[0007] 在使用半导体基板形成 IC 芯片的情况下,半导体基板用作阻隔无线电波的导体,因此,还存在这样的问题:信号很可能衰减,这取决于发射的无线电波的方向。

[0008] 鉴于上述问题,本发明提供一种半导体装置,当在被粘到物体之后被剥离时,它能限制向读/写器发射/从读/写器接收信号或电源电压。而且,本发明提供一种半导体装置,其成本可得到降低,机械强度可得到提高,且可以通过较简单的工艺形成,并可以防止无线电波被阻挡。

[0009] 本发明的半导体装置具有在支撑基底上形成的集成电路和天线。而且,本发明的半导体装置具有分离层,它与将绝缘层夹在中间的集成电路和天线交叠并在支撑基底上形成。电学连接集成电路和天线的布线、电学连接集成电路中的半导体元件的布线、或形成天

线的布线穿过该分离层。通过从物体上物理地剥离具有上述结构的半导体装置,分离层被分离,这样该半导体装置在分离层的边界上被撕开。因此,电学连接集成电路和天线的布线、电学连接集成电路中半导体元件的布线或形成天线的布线被切断。本发明的半导体装置以 ID 标签、ID 卡、ID 芯片、无线芯片等为代表。然而,本发明不限于此,各种应用模式都是可能的。

[0010] 包含金属氧化物的薄膜(金属氧化物薄膜)可以用作该分离层。

[0011] 例如,通过切割电学连接集成电路和天线的布线,天线和集成电路可以电学分离。同样,通过切割电学连接集成电路中的半导体元件的布线,可以破坏集成电路的功能。通过切割形成天线的布线,可以破坏天线的功能。在任一种情况下,切割布线都能够可靠地限制半导体装置和读/写器之间的信号或电源电压的发射/接收。

[0012] 根据本发明,将由 TFT(薄膜晶体管)形成的集成电路(此后称为薄膜集成电路)用于该半导体装置,该 TFT 具有绝缘的薄膜半导体。啊半导体装置的薄膜集成电路和天线在柔性支撑基底(例如塑料或纸张)上形成。通过天线,可以执行读/写器和薄膜集成电路之间的信号的发射/接收,或者从读/写器向薄膜集成电路供给电源电压。

[0013] 通过粘附单独制作成薄层状的薄膜集成电路,可以增加电路规模或存储器的存储量。该薄膜集成电路远比由半导体基板制造的 IC 芯片薄,因此,即使堆叠多个薄膜集成电路时,半导体装置的机械强度仍可保持在一定程度。可以通过已知的连接方法,例如倒装片方法、TAB(带式自动键合)方法和引线接合方法使层状的薄膜集成电路相互连接。

[0014] 和专利文件 1 所述的方法不同,根据本发明,当从物体剥离半导体装置时,不太可能仅剥离天线的一部分。因此,能够可靠地实现天线和集成电路之间的电学分离。相应地,通过从物体剥离半导体装置,能够可靠地限制半导体装置和读/写器之间的信号或电源电压的发射/接收。

[0015] 根据本发明的半导体装置,使用绝缘的 TFT 形成薄膜集成电路。因此,在基板和 TFT 之间不太可能形成寄生二极管,这和半导体基板上形成晶体管不同。因此,根据施加到源区或漏区的交流信号的电势,没有大量的电流流到漏区,这样不太可能发生恶化或毁坏。

[0016] 通过使用柔性支撑基底形成半导体装置,该半导体装置可以形成适于物体形状的形状,这可以显著增大该半导体装置的应用范围。

[0017] 根据本发明的半导体装置,即使不将其面积缩小到与使用半导体基板的常规半导体装置一样小,也能获得高的机械强度。因此,较容易确保天线的传输增益,并获得长的通信距离,这样该半导体装置的应用范围可以进一步拓宽。

[0018] 用于以 ID 标签为代表的半导体装置的无线电波的频率一般是 13.56MHz 或 2.45GHz。提高形成半导体装置的多功能性是重要的,以便这些频率的无线电波可以被检测到。

[0019] 本发明的半导体装置的优势在于,和使用半导体基板形成的 IC 芯片相比,无线电波不易被阻隔在薄膜集成电路中,并且可以防止信号被所阻隔的无线电波衰减。因此,和 IC 芯片的情况相比,可以减小天线的直径。

[0020] 因为不需要半导体基板,该半导体装置的成本可以急剧降低。例如,比较了使用直径为 12 英寸的硅基板的情况和使用尺寸为 7,300×9,200mm² 的玻璃基板的情况。前者硅

基板的面积约是 $73,000\text{mm}^2$,而后者玻璃基板的面积大约为 $672,000\text{mm}^2$,即,玻璃基板的面积大约是硅基板面积的 9.2 倍。使用面积大约为 $672,000\text{mm}^2$ 的后者玻璃基板,当忽略分离基板消耗的面积约时,可以形成大约 672,000 片一边是 1mm 的 ID 标签。这个数目对应于硅基板上所形成数目的约 9.2 倍。因为使用 $7,300 \times 9,200\text{mm}^2$ 的玻璃基板的情况比使用直径为 12 英寸的硅基板的情况需要更少的制造步骤,对于 ID 标签的大规模生产,仅需三分之一的设备投资。而且,在剥离薄膜集成电路之后,玻璃基板可以再利用。因此,即使将补偿破碎的玻璃基板和净化玻璃基板表面需要的成本计算在内,使用玻璃基板的情况比使用硅基板的情况所需的成本小得多。即使抛弃玻璃基板不再使用,尺寸为 $7,300 \times 9,200\text{mm}^2$ 的玻璃基板的成本大约是直径为 12 英寸硅基板成本的一半,这样半导体装置的成本可以大为减小。

[0021] 因此,在使用尺寸为 $7,300 \times 9,200\text{mm}^2$ 的玻璃基板的情况下,半导体装置的价格可以减小到使用直径为 12 英寸的硅基板的情况的大约三十分之一。因为还期望该半导体装置的自由应用,成本大为减少的本发明的 ID 标签对用上述应用是很有效的。

附图说明

[0022] 图 1A 的视图示出了本发明的 ID 标签 100,它用于密封容器 101 的盖子 102,图 1B 的视图示出了 ID 标签 100 的一种模式。

[0023] 图 2A 和 2B 分别是被图 1B 中示出的虚线 111 环绕的 ID 标签 100 的区域的放大图和剖视图。

[0024] 图 3A 的视图示出了粘到物体 120 的图 2B 所示的 ID 标签,图 3B 的视图示出了图 3A 所示的 ID 标签被从金属氧化物薄膜(分离层)115 的边界物理地剥离的情况。

[0025] 图 4A 到 4C 示出了本发明的 ID 标签的应用模式。

[0026] 图 5A 到 5E 的视图示出了本发明的 ID 标签的制造步骤。

[0027] 图 6A 到 6C 的视图示出了本发明的 ID 标签的制造步骤。

[0028] 图 7 的视图示出了本发明的 ID 标签的制造步骤。

[0029] 图 8A 是本发明的 ID 标签粘到物体时的剖视图,图 8B 是本发明的 ID 标签从物体剥离的剖视图。

[0030] 图 9A 到 9D 是其上形成沟槽 901 的基板 903 的顶视图和剖视图。

[0031] 图 10 的视图示出了本发明的 ID 标签的功能结构的一种模式。

[0032] 图 11A 是本发明的 ID 标签的剖视图,图 11B 是从物体剥离的 ID 标签的剖视图。

[0033] 图 12A 是本发明的 ID 标签的剖视图,图 12B 是从物体剥离的 ID 标签的剖视图。

具体实施方式

[0034] 此后参考附图描述作为本发明的半导体装置的 ID 标签的实施方式。然而,本发明可以以各种模式实现。因此,除非这些改变和修改偏离了本发明的范围,将认为它们包括在本发明的范围内。例如,本发明的半导体装置不限于 ID 标签,而可以是各种应用模式,例如 ID 卡、ID 芯片和无线芯片。因此,本发明不限于这些特定的实施方式。

[0035] 图 1A 示出了容器 101,使用本发明的 ID 标签 100 封固其盖子 102。容器 101 包括盖子 102 和主体 107。通过在一个位置粘贴 ID 标签 100,使得除非剥离 ID 标签,否则不能打开容器 101 的盖子 102,能够明确可靠地弄清在粘贴 ID 标签 100 之后盖子 102 是否被打

开过。虚线 106 表示容器 101 的盖子 102 和主体 107 之间的边界。

[0036] 图 1B 示出了 ID 标签 100 的一种模式。ID 标签 100 包括支撑基底 103, 和形成的天线 104, 以及支撑基底 103 上的薄膜集成电路 105。虚线 106 表示容器 101 的盖子 102 和主体 107 之间的边界。布线 108 对应于天线 104 的一部分, 由此天线 104 的端子 109 和 110 可以电学相连。

[0037] 薄膜集成电路 105 可以根据天线 104 中产生的交流电子信号产生电源电压或各种信号, 并使用所述电源电压和各种信号执行各种操作。然后, 薄膜集成电路 105 中产生的交流电子信号被输入到天线 104, 由此从天线 104 发射各种信号到读 / 写器。

[0038] 图 2A 示出了被虚线 111 环绕的图 1B 所示的 ID 标签 100 的区域的放大视图。图 2B 示出了沿图 2A 的 A-A' 线的剖视图。图 2B 示出了作为薄膜集成电路 105 的 TFT 112 和 113 的剖视图, 然而, 包括在本发明的 ID 标签中的薄膜集成电路 105 中的半导体元件不限于 TFT。也可使用不同于 TFT 的其它半导体元件, 例如存储元件、二极管、光电转换元件、电阻器、线圈、电容器以及电感器等。

[0039] 在形成薄膜集成电路 105 和天线 104 的支撑基底 103 的相对表面上涂敷粘合剂 114。粘合剂可以是一种能够使 ID 标签 100 的支撑基底 103 粘到物体上的物质。注意支撑基底 103 的一部分可以用作粘合剂。或者, 代替涂敷粘合剂, 在粘附情况可以使用单独准备的粘合剂。

[0040] 根据本发明的 ID 标签, 在天线 104 和薄膜集成电路 105 中的半导体元件之间形成分离层 115, 在图 2B 中所述半导体元件是 TFT 112 和 113。注意薄膜集成电路 105 和天线 104 可以交叠或不交叠。形成用于电学连接天线 104 与 TFT 112 和 113 的布线 116, 使其经过分离层 115。注意布线 116 可以是天线 104 的一部分或单独制备。

[0041] 图 2B 示出了在薄膜集成电路 105 和天线 104 之间形成分离层 115 的实例, 然而, 本发明不限于这种结构。需要电学连接天线 104 和薄膜集成电路 105 的布线 116 形成经过分离层 115。作为替代, 需要形成天线 104 的布线形成经过分离层 115。或者, 需要电学连接形成薄膜集成电路 105 的半导体元件的布线形成经过分离层 115。

[0042] 图 3A 示出了图 2B 所示的 ID 标签粘到物体 120。图 3B 示出了图 3A 所示的 ID 标签在分离层 115 的边界上被物理地剥离。如图 3B 所示, 通过在分离层 115 的边界上剥离 ID 标签一部分, 可以切断经过分离层 115 的布线 116。因此, 天线 104 和薄膜集成电路 105 可以电学分离, 这样可以限制 ID 标签和读 / 写器之间的信号或电源电压的发射 / 接收。

[0043] 在如图 1A 和 1B 所示的用于判断盖子 102 是否被打开的 ID 标签 100 中, 通过剥离 ID 标签 100 而切断的布线至少在两个位置形成。优选地这两个位置将容器 106 的盖子 102 和主体 107 之间的边界 (如虚线 106 所示) 夹在中间。根据上述结构, 为了打开盖子 102, 至少两个位置处的布线之一必须被切断, 由此能够可靠地判断盖子 102 是否被打开过。

[0044] 尽管在图 1A 和 1B 中使用 ID 标签 100 封固容器 101, 然而, 它可以是任何容器, 只要它的口可以关闭。

[0045] 本发明的 ID 标签的应用不限于封固容器。一旦 ID 标签被剥离, 该 ID 标签可以用于使物体失效或减少其价值。例如, ID 标签可以粘到具有物体信息的标签上, 例如装运标签、价格标签和名称标签, 或者本发明的 ID 标签本身实际上可以用作标签。同样, ID 标签可以粘到对应于证明事实的文件的证书上, 例如户籍本、居住证、护照、驾驶证、ID、会员卡、真

品证书 (certificate of authenticity)、信用卡、现金卡、预付卡、诊察券 (consultation ticket) 以及通勤票 (commuter pass)。以及,对应于证明合法财产权的证书的证券,例如帐单、支票、证明票据 (claim ticket)、提货单、仓库票据 (warehouse bill)、股票、证券、礼券以及抵押证券。

[0046] 图 4A 示出了使用本发明的 ID 标签封固信封的实例。图 4A 中,通过粘贴本发明的 ID 标签 402,信封 401 被封闭。根据上述结构,可以判断在收件人打开它之前,它是否被第三者打开过。

[0047] 图 4B 示出了支票 411 的实例,其上粘贴有本发明的 ID 标签 410。在图 4B 中, ID 标签 410 粘到支票 411 的表面。根据上述结构,即使例如为了伪造而剥离 ID 标签 410 时,此后也可以判断出 ID 标签 410 被剥离,因此可以使支票 411 失效。

[0048] 图 4C 示出了包括本发明的 ID 标签 420 的护照 421 的实例。在图 13A 中, ID 标签 420 粘到护照 421 的封面上,然而,它也可以粘到护照 421 的其它页上。根据上述结构,即使例如为了伪造而剥离 ID 标签 420 时,此后也可以判断出 ID 420 标签被剥离,因此可以使护照 421 失效。

[0049] 现在,描述本发明的半导体装置的制作方法。本实施方式中,绝缘的 TFT 作为半导体元件的实例示出,然而,包括在薄膜集成电路中的半导体元件不限于此,可以使用各种电路元件。例如,既可以使用 TFT,也可以使用存储元件、二极管、光电转换元件、电阻器、线圈、电容器、电感器等。

[0050] 如图 5A 所示,通过溅射方法在基板 500 上形成分离层 501。能够承受后续制造步骤中的处理温度的玻璃基板 (例如硼硅酸钡玻璃或硼硅酸铝玻璃)、石英基板、SUS 基板等可以用作基板 500。

[0051] 主要包含硅 (例如非晶硅、多晶硅、单晶硅或微晶硅 (包括半非晶硅)) 的层可以用作分离层 501。可以通过溅射方法、等离子体 CVD 方法等形成分离层 501。本实施方式中,通过溅射方法形成厚度大约为 500nm 的非晶硅薄膜,并将其用作分离层 501。

[0052] 在分离层 501 上形成基底薄膜 502。形成基底薄膜 502 是为了防止包含在支撑基底或粘合剂中的碱金属 (例如 Na) 或碱土金属分散到用作半导体元件的半导体薄膜中对半导体元件的特性产生负面影响。基底薄膜 502 还具有保护半导体元件使其免受蚀刻分离层 501 过程中的蚀刻剂影响的功能。基底薄膜 502 优选地由诸如氧化硅、氮化硅或氮氧化硅 (silicon nitride oxide) 这样的绝缘薄膜形成,它能抑制碱金属或碱土金属分散到半导体薄膜中,且它能保护半导体元件免受蚀刻硅过程中使用的蚀刻剂的影响。在本实施方式中,通过等离子体 CVD 方法形成厚度为 10 ~ 400nm (优选地, 50 ~ 300nm) 的氮氧化硅薄膜。基底薄膜 502 可以是单层绝缘薄膜或叠层绝缘薄膜。

[0053] 在基底薄膜 502 上形成半导体薄膜。优选地,在形成基底薄膜 502 之后不暴露于空气地形成半导体薄膜。形成厚度为 20 ~ 200nm (优选地, 40 ~ 170nm) 的半导体薄膜。该半导体薄膜可以是非晶半导体、半非晶半导体或多晶半导体。硅锗以及硅可以用作所述半导体。在使用硅锗的情况下,其浓度优选地大约为 0.01 ~ 4.5 原子百分比。

[0054] 可以通过已知的方法晶化半导体薄膜。已知的结晶方法有:使用电加热炉的热结晶方法、使用激光的激光结晶方法以及使用红外线的灯退火结晶方法。而且,可以使用采用催化元素的结晶方法。例如,在激光结晶的情况,在激光结晶之前,对半导体薄膜执行

500℃、1 小时的热退火以提高半导体薄膜对激光的耐受力。使用能够连续振荡的固体激光器发射基波的二次到四次谐波的激光,可以获得大晶粒尺寸的晶体。一般地,优选地使用 Nd:YVO₄ 激光器(基波:1064nm)的二次谐波(532nm)或三次谐波(355nm)。尤其是,使用非线性光学元件,将连续波类型的 YVO₄ 激光器发射的激光转换成谐波,以获得输出功率为 10W 的激光。优选地,使用光学系统,在照射表面形成具有矩形形状或椭圆形形状的激光,以便使用该激光照射半导体薄膜。这种情况下,需要大约 0.01 ~ 100MW/cm²(优选地,0.1 ~ 10MW/cm²)的能量密度。将其扫描速度设置为大约 10 ~ 2000cm/sec 来发射激光。

[0055] 脉冲激光器具有 10MHz 或更大的重复频率。该重复频率比通常使用的脉冲激光器高很多,以便执行激光结晶,通常使用的脉冲激光器的重复频率为几十到几百 Hz。据说在使用脉冲激光照射半导体薄膜之后,需要几十到几百纳秒来完全固化半导体薄膜。当脉冲激光的重复频率为 10MHz 或更高时,有可能在半导体薄膜被激光融化之后且在半导体薄膜固化之前照射下一个脉冲激光。因此,因为固相和液相之间的界面可以在半导体薄膜中连续移动,形成晶粒连续向扫描方向生长的半导体薄膜。尤其是,可以形成晶粒集合,它们中的每个在扫描方向都具有 10 ~ 30 μm 的宽度,在垂直于扫描方向的方向大约具有 1 ~ 5 μm 的宽度。通过形成在扫描方向延长的单晶晶粒,也可以形成至少在 TFT 的沟道方向几乎没有晶粒边界的半导体薄膜。

[0056] 对于激光结晶,可以并行照射基波的连续波激光和谐波的连续波激光,或可以并行照射基波的连续波激光和谐波的脉冲激光。

[0057] 可以在诸如稀有气体或氮气这样的惰性气氛中发射激光。这样,可以抑制由于激光照射引起的半导体表面的不平整,还可以抑制由于界面态密度变化引起的阈值电压的变化。

[0058] 如上所述,通过使用激光照射半导体薄膜,形成具有增强的结晶度的半导体薄膜。注意,可以通过溅射方法、等离子体 CVD 方法或热 CVD 方法提前形成多晶半导体。

[0059] 在本实施方式中半导体薄膜被晶化,然而,非晶硅薄膜或微晶半导体薄膜可以用在下面的过程中而不执行晶化。使用非晶半导体或微晶半导体的 TFT 比使用多晶半导体的 TFT 需要的制造步骤少,因此,具有减少成本和提高产出率的优势。

[0060] 半非晶半导体具有非晶结构和晶体结构(包括单晶结构和多晶结构)之间的中间结构,以及自由能稳定的第三状态。这种半非晶半导体包括短程有序和晶格畸变,且是晶体的。非晶半导体中包含尺寸为 0.5 到 20nm 的晶粒。对于半非晶半导体薄膜,其拉曼谱偏移到 520cm⁻¹ 波数的较低侧,且在 x-射线衍射中观察到源自于硅晶格的(111)和(220)的衍射峰。而且,半非晶半导体薄膜包含 1%原子百分比或更多的氢或卤素,用于终止悬挂键。这里,为方便起见,这种半非晶半导体被称为 SAS。当诸如氦、氩、氦或氖这样的稀有气体元素混入 SAS 中时,晶格畸变更增大,从而稳定性得到提高,由此获得极佳的 SAS。

[0061] 然后,如图 5A 所示,图形化该半导体薄膜以形成岛状半导体薄膜 503 和 504。如图 5B 所示,使用该岛状半导体薄膜 503 和 504 形成以 TFT 为代表的各种半导体元件。在图 5B 中,岛状半导体薄膜 503 和 504 与基底薄膜 502 接触,但可以在基底薄膜 502 与岛状半导体薄膜 503 和 504 之间形成电极、绝缘薄膜等,这取决于半导体元件。例如,在半导体元件之一是底栅 TFT 的情况下,在基底薄膜 502 与岛状半导体薄膜 503 和 504 之间形成栅电极和栅极绝缘薄膜。

[0062] 在图 5B 中,使用岛状半导体薄膜 503 和 504 形成顶栅 TFT 505 和 506。具体而言,形成覆盖岛状半导体薄膜 503 和 504 的栅极绝缘薄膜 507。然后,在栅极绝缘薄膜 507 上形成导电薄膜,且该导电薄膜被图形化,以形成栅电极 508 和 509。接着,使用栅电极 508 和 509 或形成并图形化成掩模的抗蚀剂,向岛状半导体薄膜 503 和 504 添加提供 n 型导电性的杂质以形成源区、漏区、LDD 区等。这里,TFT 505 和 506 是 n 型 TFT,但在使用 p 型 TFT 的情况,添加提供 p 型导电性的杂质。根据上述工艺,可以形成 TFT 505 和 506。

[0063] 而且,在形成栅绝缘薄膜 507 之后,可以在包括 3 ~ 100% 的氢的气氛中在 300 ~ 450℃ 的温度执行 1 ~ 12 小时的热处理,以氢化岛状半导体薄膜 503 和 504。作为另一种脱氢方法,可以执行等离子体脱氢(使用被等离子体激发的氢)。该步骤中,可以通过热激发的氢终止悬挂键。在后面的步骤中,即使在半导体元件贴附到柔性支撑基底上之后,由于弯曲该支撑基底而在半导体薄膜中形成缺陷,也可以通过将半导体薄膜中的氢浓度设置成 1×10^{19} 到 5×10^{21} 原子/cm³,由包含在半导体薄膜中的氢终止这些缺陷。卤素可以包含在所述半导体薄膜中以终止这些缺陷。

[0064] 注意 TFT 的制造方法不限于上面描述的那种。

[0065] 形成第一层间绝缘薄膜 510 以覆盖 TFT 505 和 506。在栅绝缘薄膜 507 和第一层间绝缘薄膜 510 中形成接触孔之后,形成通过接触孔连接到 TFT 505 和 506 的布线 511 到 514,它们与第一层间绝缘薄膜 510 接触。

[0066] 如图 5C 所示,在第一层间绝缘薄膜 510 上形成覆盖布线 511 到 514 的第二层间绝缘薄膜 515。在第二层间绝缘薄膜 515 上形成金属薄膜 516。这里,金属薄膜 516 由厚度为 10 ~ 200nm,优选 50 ~ 75nm 的钨形成。在金属薄膜 516 中与布线 511 到 514 交叠的区域中形成孔,用于之后电学连接到天线。

[0067] 如图 5D 所示,在形成金属薄膜 516 之后,不暴露于空气地堆叠形成绝缘薄膜的氧化物薄膜 517。这里,形成厚度为 150 ~ 300nm 的氧化硅薄膜作为氧化物薄膜 517。在通过溅射形成的情况下,氧化物薄膜还在基板 500 的边缘部分上形成。因此,优选地,通过 O₂ 灰化等选择性地去除金属薄膜 516 和氧化物薄膜 517,使得氧化物薄膜 517 不在基板 500 的侧面残留。

[0068] 当淀积氧化物薄膜 517 时,作为溅射的较前阶段,执行预溅射,通过在靶和基板之间的阻隔产生等离子体。执行预溅射,Ar 和 O₂ 的流量分别为 10 和 30sccm,基板 500 的温度设置在 270℃,在并行状态下将淀积功率设置在 3kW。通过预溅射,在金属 516 和氧化物薄膜 517 之间形成大约几个 nm 厚(这里为 3nm)的很薄的分离层(本实施方式中使用金属氧化物薄膜)518。通过氧化金属薄膜 516 的表面可以形成金属氧化物薄膜 518。因此,在图 5D 中金属氧化物薄膜 518 由氧化钨形成。

[0069] 在图 5D 中,通过预溅射形成金属氧化物薄膜 518,然而本发明不限于此。例如,可以通过等离子体,有意添加氧或添加有 Ar 等惰性气体的氧来氧化金属薄膜 516 的表面而形成金属氧化物薄膜 518。

[0070] 对于第一层间绝缘薄膜 510 和第二层间绝缘薄膜 515,可以使用有机树脂薄膜、无机绝缘薄膜,以及使用硅氧烷材料作为起始材料形成的包含 Si-O-Si 键的绝缘薄膜(此后称为硅氧烷绝缘薄膜)等。硅氧烷绝缘薄膜可以包含氟、烃基基团和芳香碳氢化合物中的一种以及氢作为取代基。

[0071] 接着,通过执行热处理晶化金属氧化物薄膜 518。通过结晶,金属氧化物薄膜 518 变得在晶粒边界容易破碎,这样其易碎性增强。本实施方式中,氧化钨用作金属氧化物薄膜 518。这种情况下,优选地,通过在 420 ~ 550℃ 的温度下热处理约 0.5 ~ 5 小时执行金属氧化物薄膜 518 的晶化。本实施方式中,仅为了晶化金属氧化物薄膜 518 而提供热处理步骤,然而,本发明不限于此。在另一后来的步骤中执行热处理的情况下,它可以替代金属氧化物薄膜 518 的该晶化。在本实施方式中,因为氧化钨作为实例描述,所以提供晶化金属氧化物薄膜 518 的步骤,然而,本发明不限于此。在金属氧化物薄膜 518 具有足够高的易碎性的情况下,不必要提供晶化金属氧化物薄膜 518 的步骤。

[0072] 接着,如图 5E 所示,通过金属薄膜 516 的孔,蚀刻第二层间绝缘薄膜 515 和氧化物薄膜 517,由此暴露布线 511 和 514 的部分。通过使用相同的材料形成第二层间绝缘薄膜 515 和氧化物薄膜 517,可以简化上述蚀刻步骤。

[0073] 接着,形成第三层间绝缘薄膜 520。该第三层间绝缘薄膜 520 可以由有机树脂薄膜、无机绝缘薄膜或硅氧烷绝缘薄膜形成。形成的第三层间绝缘薄膜 520 在布线 511 和 514 暴露的位置具有孔。

[0074] 接着,如图 6A 所示,在第三层间绝缘薄膜 520 上形成天线 519。可以使用导电材料形成天线 519,该导电材料包含一种或多种诸如 Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W 和 Al 的金属或金属化合物。天线 519 的一部分经过金属氧化物薄膜 518。天线 519 与布线 511 和 514 相连。注意在图 6A 中天线 519 与布线 511 和 514 直接相连,然而,本发明的 ID 标签不限于这种结构。例如,可以使用单独形成的布线使天线 519 与布线 511 和 514 电学相连。

[0075] 可以通过印刷方法、光刻方法、气相沉积方法、小滴释放 (droplet discharging) 方法等形成天线 519。在本实施方式中,使用单层导电薄膜形成天线 519,不过,可以使用多个导电薄膜的叠层形成天线 519。

[0076] 小滴释放方法是一种通过从小孔释放包含预定成分的小滴形成预定图形的方法,它包括喷墨方法。印刷方法包括丝网印刷方法、胶印方法等。使用印刷方法或小滴释放方法,可以不使用曝光掩模形成天线 519。而且,小滴释放方法和印刷方法不浪费材料,该材料在光刻方法中通过蚀刻去除。因为不需要使用昂贵的曝光掩模,可以减小制造 ID 标签的成本。

[0077] 在使用小滴释放方法或印刷方法的情况下,例如,也可以使用通过用 Ag 涂敷 Cu 而获得的导电颗粒。在使用小滴释放方法形成天线 519 的情况下,优选地,为增强天线 519 的粘附属性,可以对第三层间绝缘薄膜 520 的表面进行处理。

[0078] 增强粘附属性的方法有:向第三层间薄膜 520 的表面应用金属或金属化合物的方法,该金属或金属化合物能够通过催化活性增强导电薄膜或绝缘薄膜的粘附属性;向第三层间绝缘薄膜 520 的表面应用有机绝缘薄膜的方法,该有机绝缘薄膜与待形成的导电薄膜或绝缘薄膜具有高粘附属性;通过在大气压或减压条件下对第三层间绝缘薄膜 520 的表面执行等离子体处理而调节表面属性的方法。例如,与导电薄膜或绝缘薄膜具有高粘附属性的金属是钛、氧化钛或诸如 Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu 和 Zn 的 3d 过渡元素。作为金属化合物,使用上述金属的氧化物、氮化物、氧氮化物 (oxynitride) 等。例如,作为有机绝缘薄膜,使用聚酰亚胺、硅氧烷绝缘薄膜等。

[0079] 在应用到第三层间绝缘薄膜 520 上的金属或金属化合物是导电的情况下,其薄层

电阻受到控制,使得天线能正常工作。具体而言,例如,导电金属或金属化合物的平均厚度控制在 $1 \sim 10\text{nm}$,或者,该金属或金属化合物被部分或全部地通过氧化而绝缘。或者,除了需要高粘附属性的区域,所应用的金属或金属化合物可以通过蚀刻而选择性地去除。否则,可以通过使用小滴释放方法、印刷方法、溶胶凝胶工艺等,仅在特定区域选择性地应用金属或金属化合物,而不是提前在基板的整个表面上应用金属或金属化合物。金属或金属化合物不必处于第三层间绝缘薄膜 520 的表面的完整连续薄膜的状态,而是可以一定程度地分散。

[0080] 在形成天线 519 之后,在第三层间绝缘薄膜 520 上形成覆盖天线 519 的保护层 521。保护层 521 由一种材料形成,该材料在通过蚀刻去除剥离层 501 时能够保护天线 519。例如,可以通过完整地应用树脂(例如环氧树脂、丙烯酸酯)和硅(可在水或酒精中溶解)形成保护层 521。

[0081] 在本实施方式中,含水树脂(TOA GOSEI CO., LTD.: VL-WSH L10)通过旋涂工艺涂敷 $30\mu\text{m}$ 厚,暴露两分钟而暂时固化,然后其背面被曝光于 UV 射线 2.5 分钟,并暴露 10 分钟以完全固化。结果形成保护层 521。在堆叠多个有机树脂的情况下,可能存在一种情况,其中,在涂敷或烘干过程中,堆叠的有机树脂取决于溶剂而熔化,或其中粘附属性变得太高。因此,在形成第三层间绝缘薄膜 520 和可溶于相同的溶剂中的有机树脂保护层 521 的情况下,优选地,为了在后续工艺中平稳地去除保护薄膜 521,形成覆盖第三层间绝缘薄膜 520 的无机绝缘薄膜(SiN_x 薄膜、 SiN_xO_y 薄膜、 AlN_x 薄膜或 AlN_xO_y 薄膜)。

[0082] 如图 6B 所示,形成沟槽 522,用于分离薄膜集成电路。需要将沟槽 522 形成暴露剥离层 501 的程度。可以通过划片(dicing)、划线(scribing)等形成沟槽 522。在不需要分离基板 500 上形成的薄膜集成电路的情况下,不需要形成沟槽 522。

[0083] 如图 6C 所示,通过蚀刻去除剥离层 501。在本实施方式中,卤代氟用作蚀刻气体,它从沟槽 522 中引入。在本实施方式中,在 350°C 的温度下,使用 ClF_3 (三氟化氯),使用 300sccm 的流量和 6Torr 的气压,执行 3 小时的蚀刻。也可以使用在 ClF_3 中混入氮气获得的气体。通过使用诸如 ClF_3 的卤代氟,选择性地蚀刻剥离层 501,并且可以从 TFT 505 和 506 剥离基板 500。

[0084] 注意卤代氟既可以是气体也可以是液体。

[0085] 如图 7 所示,使用粘合剂 530,将剥离的 TFT 505 和 506 以及天线 519 粘到支撑基底 531。可以将使支撑基底 531 和基底薄膜 502 粘到一起的材料用作粘合剂 530。而且,对于粘合剂 530,使用具有足够强度的材料,以便在粘合之后从物体剥离完整的 ID 标签时,支撑基底 531 和基底薄膜 502 不被剥离,当然 ID 标签可以在金属氧化物薄膜 518 中剥离。对于粘合剂 530,例如,可以使用各种可固化粘合剂,比如可光固化粘合剂,比如反应可固化粘合剂、热可固化粘合剂以及紫外可固化粘合剂以及和厌氧粘合剂。

[0086] 对于支撑基底 531,可以使用柔性有机材料,例如纸张或塑料。或者,柔性无机材料也可用于支撑基底 531。由具有极性基团的聚降冰片烯形成的 ARTON(由 JSR 制造)可用作塑料基板。可以使用以聚对苯二甲酸乙二醇酯(PET)、聚醚砜(PES)、聚萘二甲酸乙二醇酯(PEN)、聚碳酸酯(PC)、尼龙、聚醚醚酮(PEEK)、聚砜(PSF)、聚醚酰亚胺(PEI)、多芳基化合物(PAR)、聚对苯二甲酸丁二酯(polycutylene terephthalate, PBT)、聚酰亚胺、丙烯腈丁二烯苯乙烯树脂、聚氯乙烯、聚丙烯、聚醋酸乙烯酯、丙烯酸树脂等为代表的聚酯。优选地支撑基

底 531 具有约 $2 \sim 30\text{W/mK}$ 的高度热导率,用于消散在薄膜集成电路中产生的热。

[0087] 此外,如图 7 所示,在去除保护层 521 之后,在第三层间绝缘薄膜 520 上涂敷覆盖天线 519 的粘合剂 532,由此粘住覆盖材料 533。覆盖材料 533 可以使用类似于支撑基底 531 的柔性有机材料(例如纸张或塑料)形成。对于粘合剂 532,使用能够粘住覆盖材料 533、第三层间绝缘薄膜 520 和天线 519 的有机或无机材料。而且,对于粘合剂 532,使用具有足够强度的材料,以便在粘附之后,从物体剥离完整的半导体装置时,覆盖材料 533、第三层间绝缘薄膜 520 和天线 519 不被剥离,当然该半导体装置可以在金属氧化物薄膜 518 中剥离。例如对于粘合剂 532,可以使用各种可固化粘合剂,例如光可固化粘合剂,例如反应可固化粘合剂、热可固化粘合剂,和紫外可固化粘合剂以及厌氧粘合剂。

[0088] 通过每个上述步骤,完成了本发明的半导体装置。根据上述制造方法,可以在支撑基底 531 和覆盖材料 533 之间形成相当薄的薄膜集成电路,其总厚度为 $0.3 \sim 3\mu\text{m}$,一般大约为 $2\mu\text{m}$ 。该薄膜集成电路的厚度包括粘合剂 530 和 532 之间形成的每个绝缘薄膜和层间绝缘薄膜的厚度以及半导体元件本身的厚度。而且,包括在该半导体装置中的薄膜集成电路可形成为占用 5mm^2 或更小的面积,或更优选地为约 $0.3 \sim 4\text{mm}^2$ 。

[0089] 通过在接近支撑基底 531 和覆盖材料 533 之间中心的位置提供薄膜集成电路,可以增强该半导体装置的机械强度。具体而言,假设支撑基底 531 和覆盖材料 533 之间的距离是 d ,优选地,控制粘合剂 530 和 532 的厚度,使得在薄膜集成电路的厚度方向上支撑基底 531 和所述中心之间的距离 x 满足下面的公式 1

[0090] [公式 1]
$$\frac{1}{2}d - 30\mu\text{m} < x < \frac{1}{2}d + 30\mu\text{m}$$

[0091] 本实施例中,描述了使用 W 作为金属薄膜 516 的实例,然而,本发明不限于这种材料。金属薄膜 516 可以由包含金属的材料形成,其上形成金属氧化物薄膜 518,且它能在金属氧化物薄膜 518 的边界上部分地剥离该半导体装置。例如,可以使用 TiN、WN、Mo 等以及 W。在使用这些包含 W 的这些金属的合金作为该金属薄膜的情况下,晶化金属氧化物薄膜 518 的热处理中的最佳温度依赖于其成分比而变化。因此,通过控制成分比,可以在不影响半导体元件的制造步骤的温度下执行热处理,这样制造半导体元件的工艺步骤的选择不太可能受到限制。

[0092] 除了上述步骤,还执行部分降低金属氧化物薄膜 518 和氧化物薄膜 517 之间或金属氧化物薄膜 518 和金属薄膜 516 之间的粘附属性的处理,形成一部分作为开始剥离的起点。具体而言,通过从外部沿着待剥离区域的外围边缘局部施加压力,金属氧化物薄膜 518 的界面中或与其界面相邻的一部分被破坏。例如,在金属氧化物薄膜 518 的边缘部分附近按压诸如金刚笔这样的固体针,并使其沿着金属氧化物薄膜 518 移动,同时施加压力。优选地,使用压力移动划线器装置,凹痕为 $0.1 \sim 2\text{mm}$ 。这样,通过形成粘附属性降低的部分作为开始剥离的起点,能够在金属氧化物薄膜 518 的一部分中可靠地剥离半导体装置。

[0093] 即使在向其 ROM 中存储数据之前由于盗窃等原因 IC 卡被第三者非法获取时,在用于半导体装置的半导体薄膜、绝缘薄膜等上雕刻序列号,使得可能在一定程度上跟踪其循环路线。这种情况下,更有效地是在序列号不能擦除的地方雕刻序列号,除非半导体装置被分解,否则要擦除序列号都是徒劳的。

[0094] 接着,如图 8A 所示,例如通过使用粘合剂 540,将物体 541 粘到图 7 中所示的半导体装置的支撑基底 531 上。此时,对于粘合剂 540,使用具有足够强度的材料,以便在粘到物体 541 之后,当剥离半导体装置时,支撑基底 531 和物体 541 不被剥离,尽管半导体装置可能在金属氧化物薄膜 518 中剥离。对于粘合剂 540,例如,可以使用各种可固化粘合剂,例如光可固化粘合剂,例如反应可固化粘合剂、热可固化粘合剂以及紫外可固化粘合剂以及厌氧粘合剂。

[0095] 接着,如图 8B 所示,当为剥离半导体装置而施加力时,金属氧化物薄膜 518 被分离,由此半导体装置被部分剥离。尤其是,通过该剥离,产生在金属薄膜 516 和金属氧化物薄膜 518 之间分离的部分、在氧化物薄膜 517 和金属氧化物薄膜 518 之间分离的部分、以及金属氧化物薄膜 518 本身以两种方式分离的部分。进行这种分离,使得半导体元件(此处为 TFT 505 和 506)粘附到支撑基底 531 侧,而天线 519 粘附到覆盖材料 533 一侧。天线 519 不必完全分离到覆盖材料 533 一侧,而是仅其一部分分离到支撑基底 531 一侧。通过该剥离,天线 519 与 TFT 505 和 506 电学分离,这样能够可靠地限制 ID 标签和读/写器之间的信号或电源电压的发射/接收。

[0096] 本实施方式中,在天线与包括在薄膜集成电路中的 TFT 505 和 506 之间形成金属氧化物薄膜 518,然而本发明不限于这种结构。需要形成天线 519 的布线、电学连接形成薄膜集成电路的半导体元件的布线、或电学连接天线 519 和薄膜集成电路的布线经过金属氧化物薄膜 518。

[0097] 可以通过各种方法以及本实施例中所述的蚀刻硅薄膜的方法从基板 500 剥离薄膜集成电路。例如,可以通过照射激光破坏剥离层而从基板剥离薄膜集成电路。或者,可以通过机械地去除基板(其上形成薄膜集成电路)或通过使用溶液或气体的蚀刻,从基板上剥离薄膜集成电路。

[0098] 注意,在被第一层间绝缘薄膜 510 覆盖之前,TFT 505 和 506 可以被氮化硅薄膜或氮氧化硅薄膜覆盖。根据上述结构,TFT 505 和 506 被基底薄膜 502 和氮化硅薄膜或氮氧化硅薄膜覆盖,因此,可以防止碱金属(例如 Na)或碱土金属扩散到用于半导体元件的半导体薄膜中而对半导体元件的特性产生负面影响。

[0099] 在使用有机树脂作为与基底薄膜 502 接触的粘合剂 530 以获得半导体装置的柔性的情况下,通过使用氮化硅薄膜或氮氧化硅薄膜作为基底薄膜 502,可以防止碱金属(例如 Na)或碱土金属在半导体薄膜中分散。

[0100] 当物体的表面是弯曲的,并且由此粘附到弯曲表面的半导体装置的支撑基底是弯曲的,以具有沿着圆锥形表面、圆柱形表面等的母线的弯曲表面时,优选地,使母线的方向和 TFT 的载流子的移动方向相同。根据上述结构,在支撑基底弯曲时,可以抑制 TFT 的特性受到影响。而且,通过将岛状半导体在薄膜集成电路中占用的面积比设置为 5~30%,在支撑基底弯曲时,可以进一步抑制 TFT 的特性受到影响。

[0101] [实施例 1]

[0102] 该实施例中,描述了沟槽的形状,当剥离在一个基板上形成的多个集成电路时,形成该沟槽。图 9A 是基板 903 的顶视图,该基板上形成了沟槽 901。图 9B 是沿图 9A 的 A-A' 线的剖视图。

[0103] 薄膜集成电路 902 在剥离层 904 上形成,该剥离层在基板 903 上形成。沟槽 901

在每个薄膜集成电路 902 之间形成,并形成足够的深度以暴露剥离层 904。本实施例中,沟槽 901 部分地而不是全部地分离该多个薄膜集成电路 902。

[0104] 接着,图 9C 和 9D 示出了在向图 9A 和 9B 所示的沟槽 901 中流入蚀刻气体以通过蚀刻去除剥离层 904 后的基板。图 9C 对应于其上形成沟槽 901 的基板 903 的顶视图。图 9D 对应于沿图 9C 的 A-A' 线的剖视图。假定从沟槽 901 到由虚线 905 指示的区域蚀刻剥离层 904。该多个薄膜集成电路 902 并不完全被沟槽 901 分开,而是部分相连,使得在蚀刻之后失去剥离层 904 的支撑之后,每个薄膜集成电路 902 并不移动。

[0105] 在形成图 9C 和 9D 示出的状态之后,使用单独准备的涂敷了粘合剂的带子、基板等从基板 903 剥离薄膜集成电路 902。在彼此分离之前或之后,被剥离的多个薄膜集成电路被粘到支撑基底上。

[0106] 本实施例描述了该半导体装置的制造方法的一个实例。该半导体装置的制造方法不限于本实施例所述的结构。

[0107] [实施例 2]

[0108] 接着,参考图 10 描述本发明的半导体装置的功能结构的一种模式。

[0109] 参考数字 300 表示天线,且 301 表示薄膜集成电路。天线 300 包括天线线圈 302 和在天线线圈 302 中形成的电容器 303。薄膜集成电路 301 包括解调制电路 309、调制电路 304、整流电路 305、微处理器 306、存储器 307 以及用于施加负载到天线 300 的开关 308。注意可以提供多个存储器 307 也可以提供一个存储器 307。

[0110] 通过天线线圈 302,借助电磁感应,作为无线电波从读 / 写器发射的信号被转换成交流电子信号。解调制电路 309 解调制该交流电子信号并把它们传输到后面的微处理器 306。整流电路 305 使用该交流电子信号产生电源电压并把它们供给到后面的微处理器 306。

[0111] 微处理器 306 根据输入的信号执行各种操作。存储器 307 存储微处理器 306 使用的程序、数据等,存储器 307 也可以用作操作区域。从微处理器 306 发送到调制电路 304 的信号被调制成交流电子信号。开关 308 可以根据来自调制电路 304 的交流电子信号,向天线线圈 302 施加负载。由此,通过接收作为无线电波施加到天线线圈 302 的负载,读 / 写器可以读取来自微处理器 306 的信号。

[0112] 图 10 中示出的半导体装置仅是本发明的一个模式,本发明不限于上述结构。信号的传输不限于图 10 中示出的电磁耦合方法,也可使用其它传输方法,例如电磁感应方法或微波方法。此外,也可与诸如 GPS 这样的功能相结合。

[0113] [实施例 3]

[0114] 本实施例中,描述了半导体装置的一个实例,其中电学连接薄膜集成电路中的半导体元件的布线经过分离层。图 11A 中,作为薄膜集成电路中的半导体元件之一的 TFT 1101 和 1102 以及天线 1103 被粘到支撑基底 1104。本实施例中,作为实例顶栅型 TFT 用作 TFT 1101 和 1102。

[0115] 图 11A 中,形成天线 1103 的布线、TFT 1101 和 1102 的栅电极 1105 和 1106 分别通过图形化相同的导电薄膜而形成。使用经过分离层 (本实施例中为金属氧化物薄膜) 1108 的布线 1107 电学连接 TFT 1101 和 1102。具体而言,布线 1107 与分别连接 TFT 1101 和 1102 的布线 1101 和 1111 相连。

[0116] 图 11B 示出了图 11A 所示的半导体装置在粘到物体之后被剥离的情况。如图 11B 所示,当半导体装置在金属氧化物薄膜 1108 的边界被扯掉时,电学连接 TFT 1101 和 1102 的布线 1107 被切断,这样薄膜集成电路的功能被破坏。

[0117] 图 11B 示出了通过剥离半导体装置而切断布线 1107 的实例,然而本发明不限于此。例如,可以通过剥离半导体装置而将布线 1107 与布线 1110 和 1111 分离。

[0118] 本实施例中,形成天线 1103 与 TFT 1101 和 1102 的栅电极 1105 和 1106 的布线通过图形化相同的导电薄膜而形成,然而,本发明不限于这种结构。例如,可以通过图形化相同的导电薄膜而形成天线以及布线 1110 和 1111。

[0119] [实施例 4]

[0120] 本实施例中,描述了一种半导体装置的实例,其中形成天线的布线经过分离层。在图 12A 中,作为薄膜集成电路中的半导体元件之一的 TFT 1201 和天线 1202 被粘到支撑基底 1203。在本实施例中,作为实例顶栅型 TFT 用作 TFT 1201。

[0121] 图 12A 中,形成天线的布线 1204 和 1205 以及与 TFT 1201 相连的布线 1210 和 1211 通过图形化相同的导电薄膜形成。使用经过分离层(本实施例中为金属氧化物薄膜)1207 的布线 1208,电学连接布线 1204 和布线 1205。即,天线 1202 包括串联连接的布线 1204、1208 以及 1205。

[0122] 图 12B 示出了图 12A 的 ID 标签在粘到物体之后被剥离的情况。如图 12B 所示,通过在金属氧化物薄膜 1207 的边界扯掉半导体装置而切断布线 1208。因此,因为形成天线的布线 1204 和 1205 被电学切断,天线的功能被破坏。

[0123] 图 12B 示出了通过剥离半导体装置而切断布线 1208 的实例,然而该实施例不限于这种结构。例如,可以通过剥离半导体装置,将布线 1208 与布线 1204 和 1205 分离而切断。

[0124] 本实施例中,形成天线 1202 的布线 1204 和 1205 以及连接到 TFT1201 的布线 1210 和 1211 通过图形化相同的导电薄膜而形成,然而,本发明不限于这种结构。例如,可以通过图形化相同的导电薄膜形成布线 1204 和 1205 以及 TFT 1201 的栅电极。

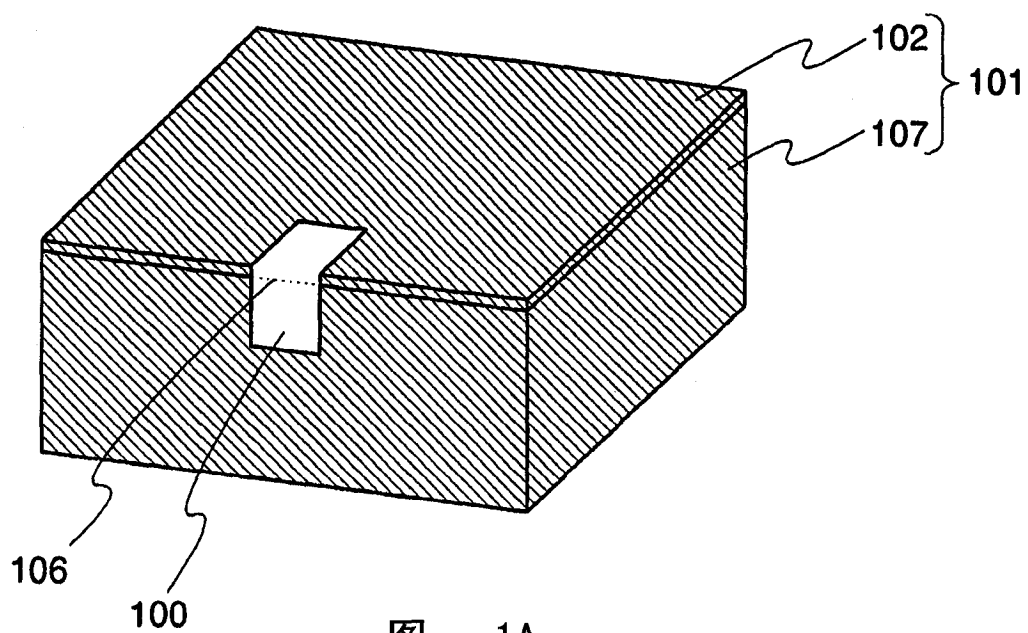


图 1A

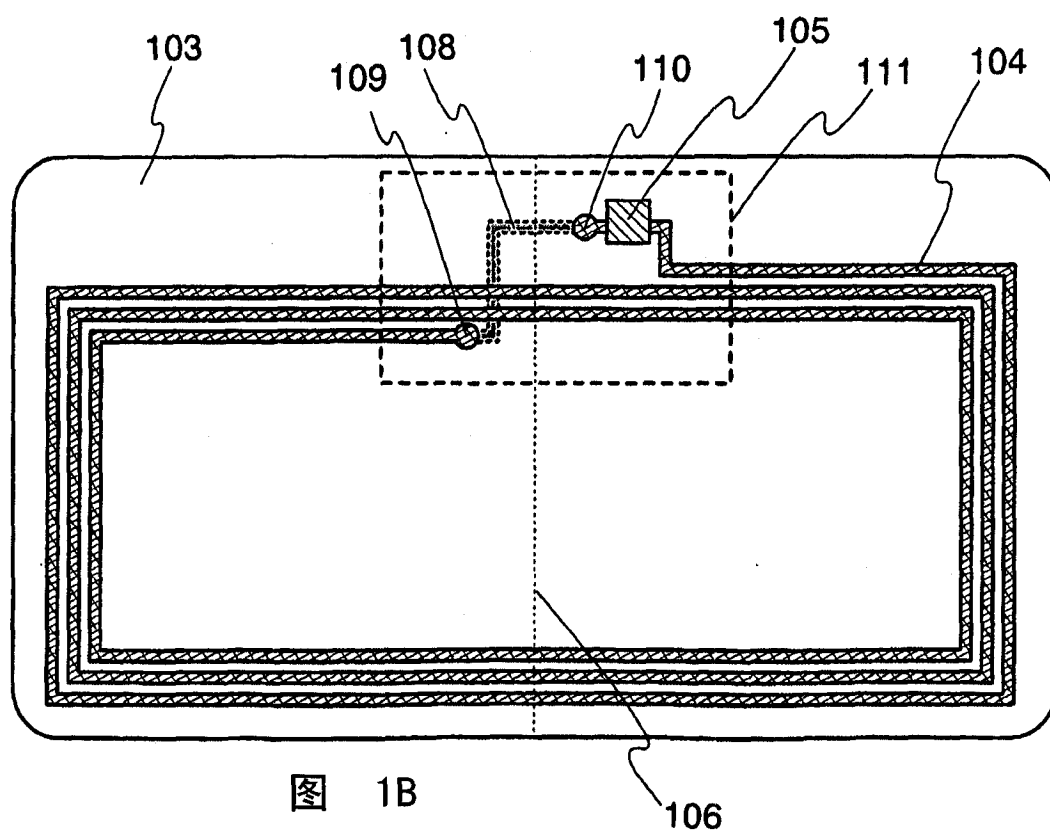
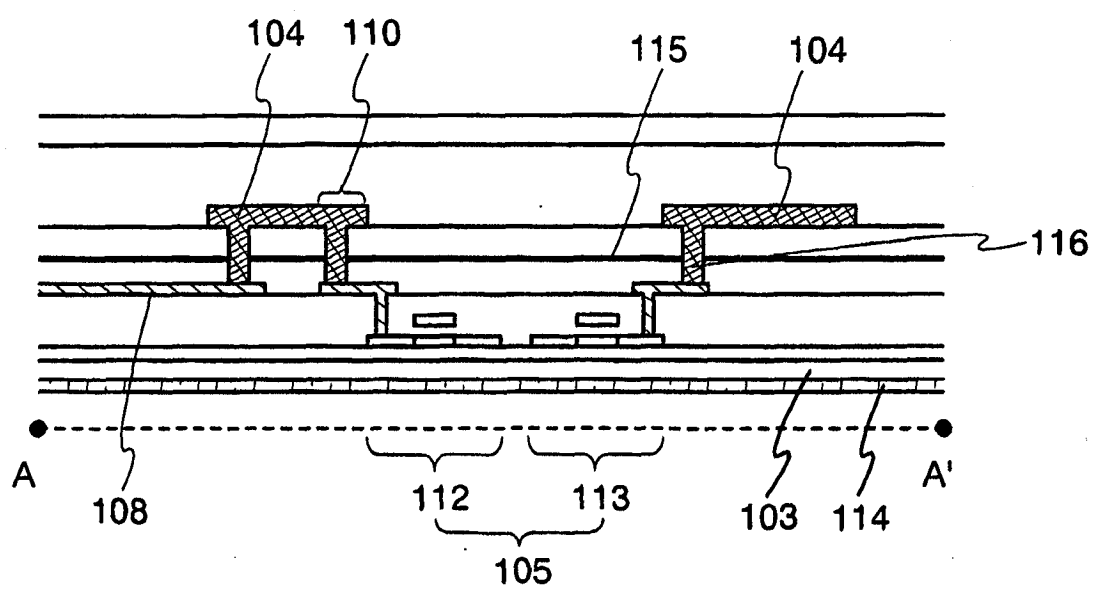
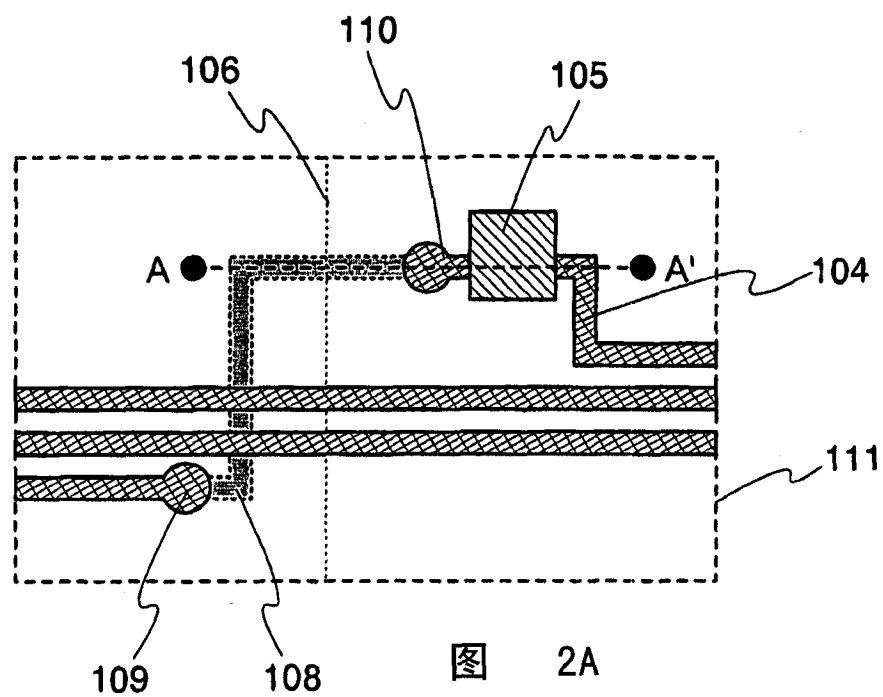


图 1B



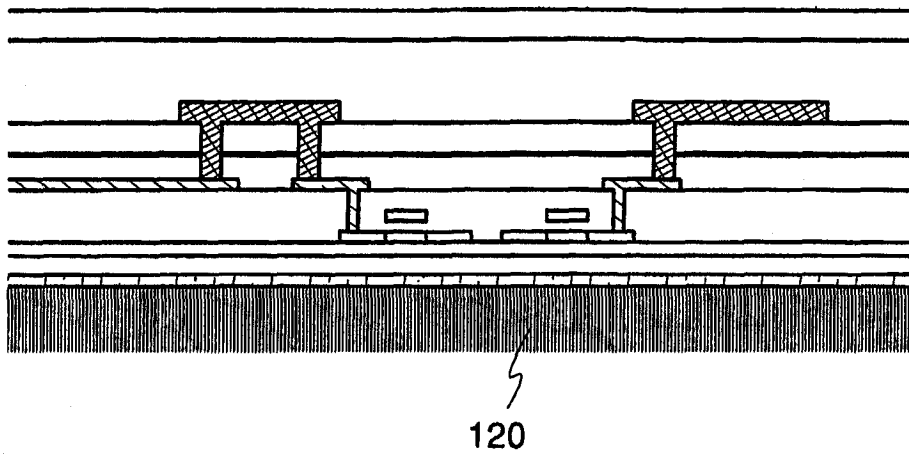


图 3A

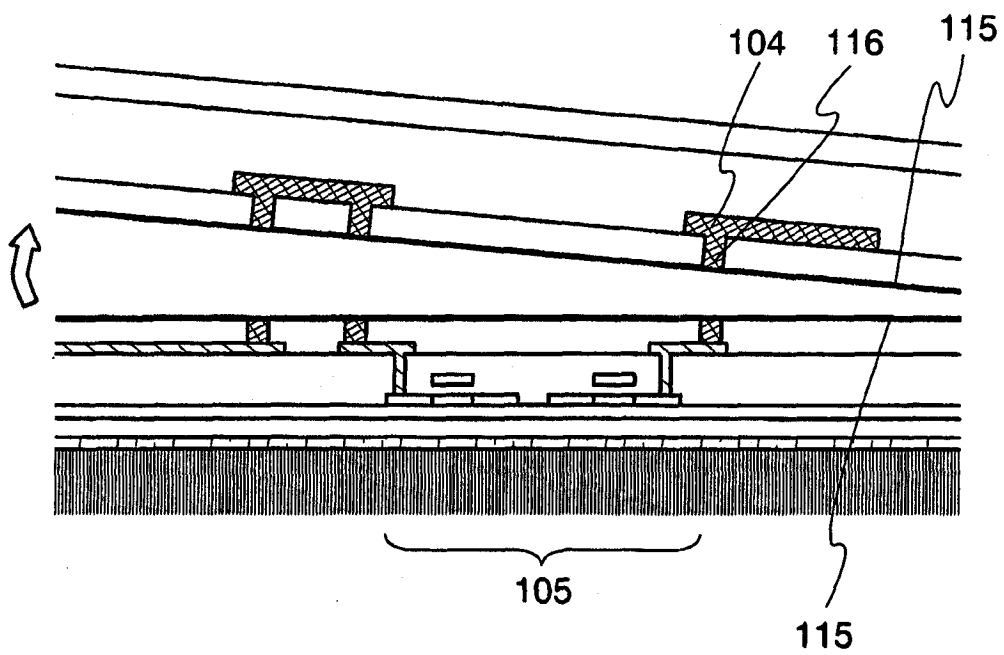


图 3B

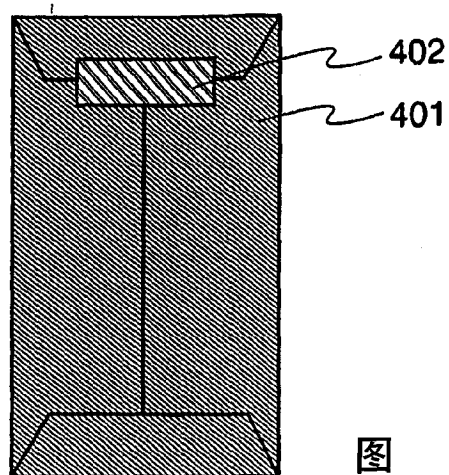


图 4A

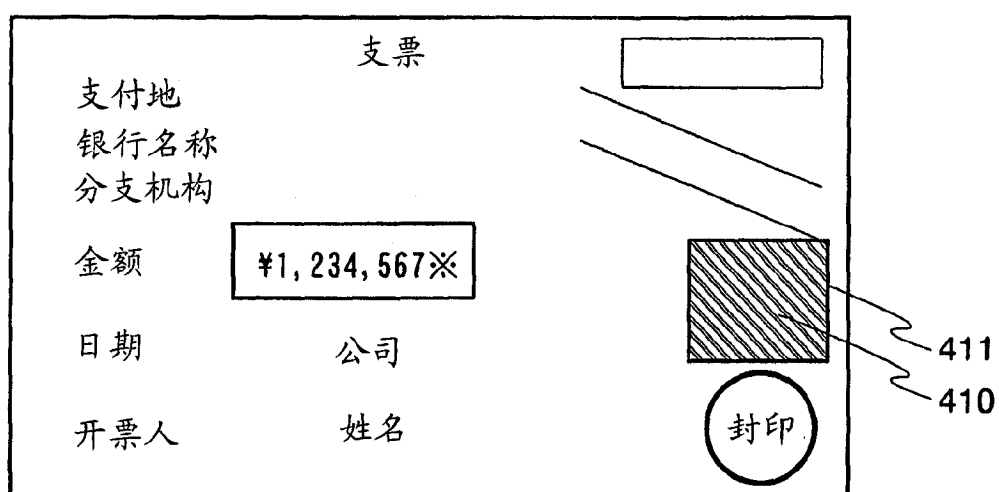


图 4B

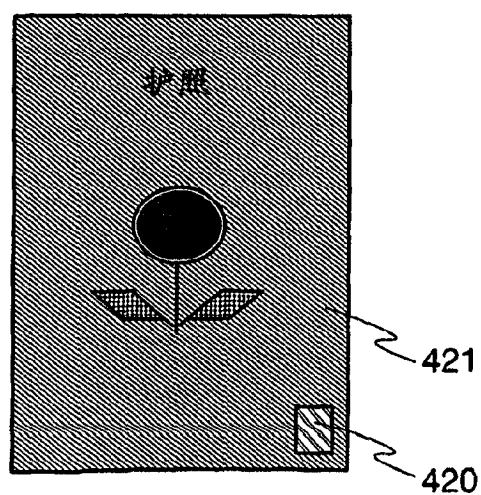


图 4C

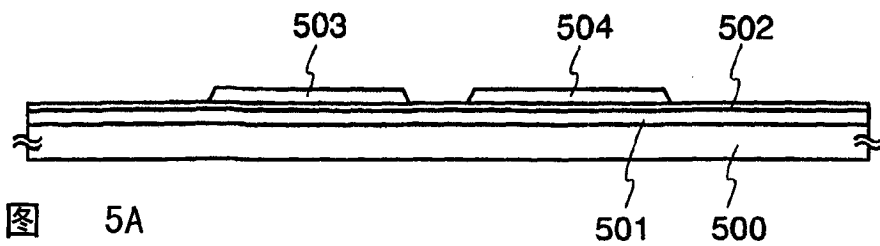


图 5A

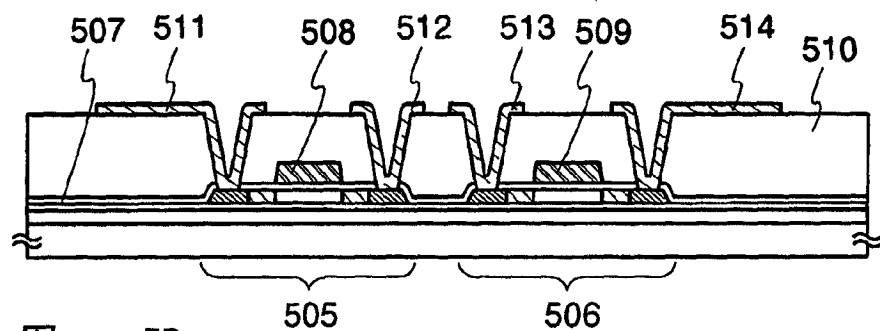


图 5B

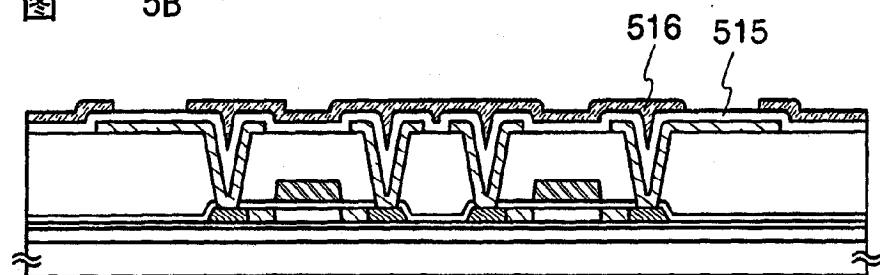


图 5C

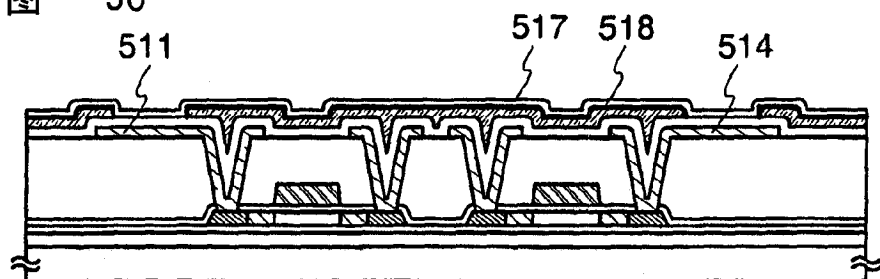


图 5D

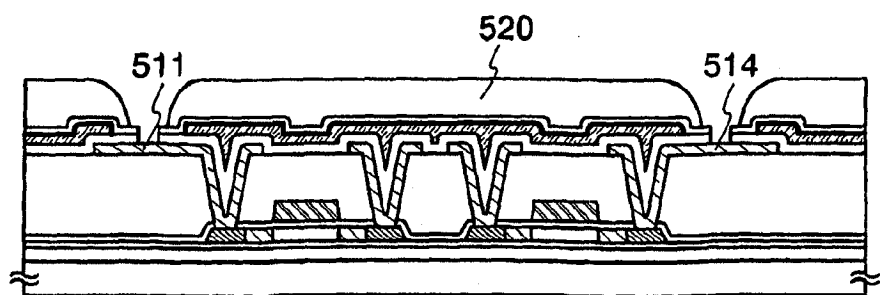


图 5E

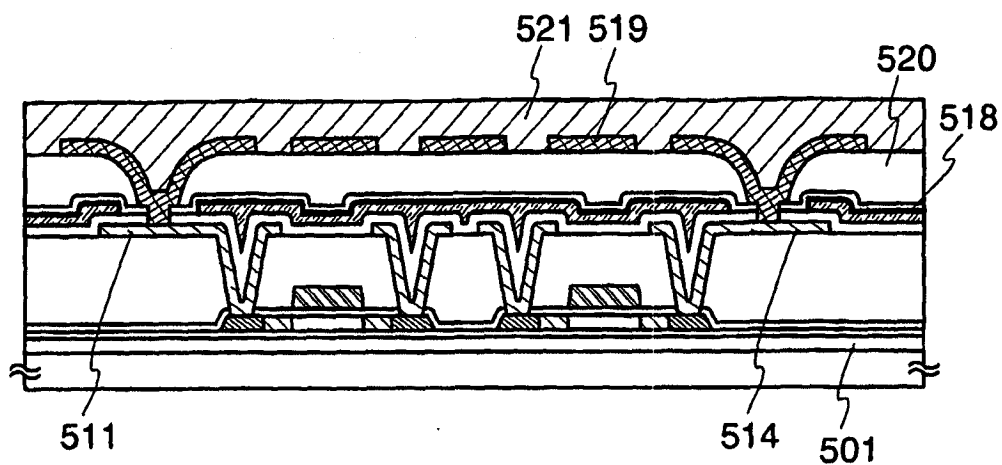


图 6A

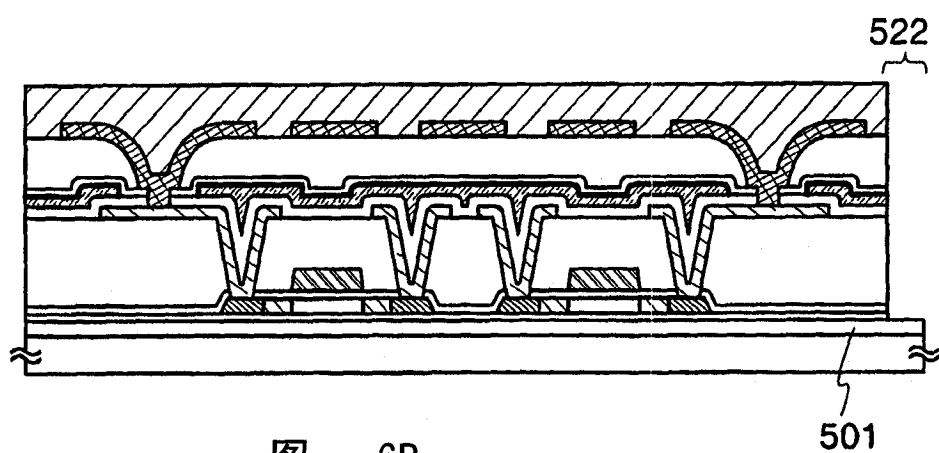


图 6B

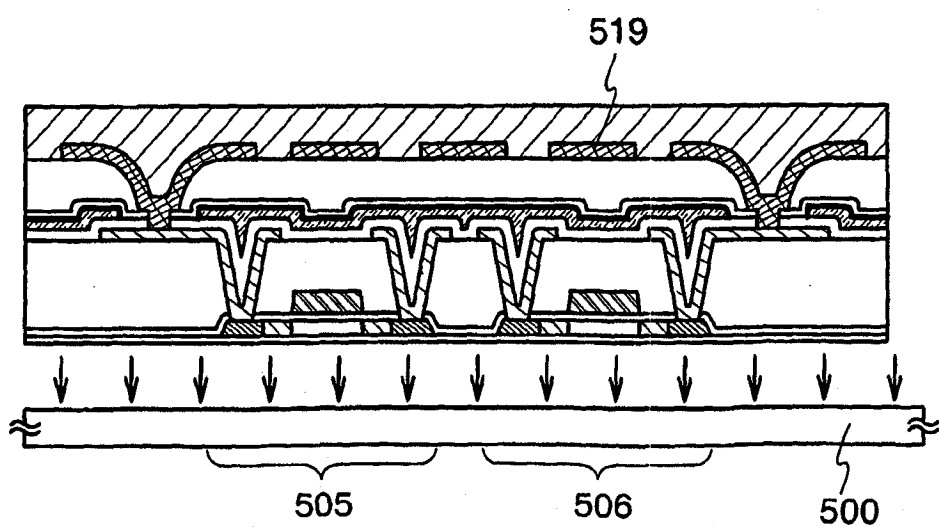


图 6C

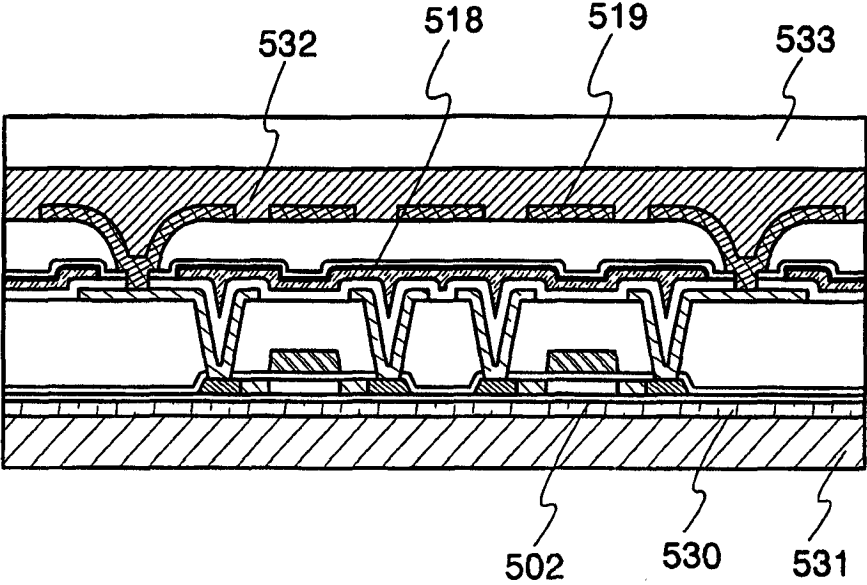


图 7

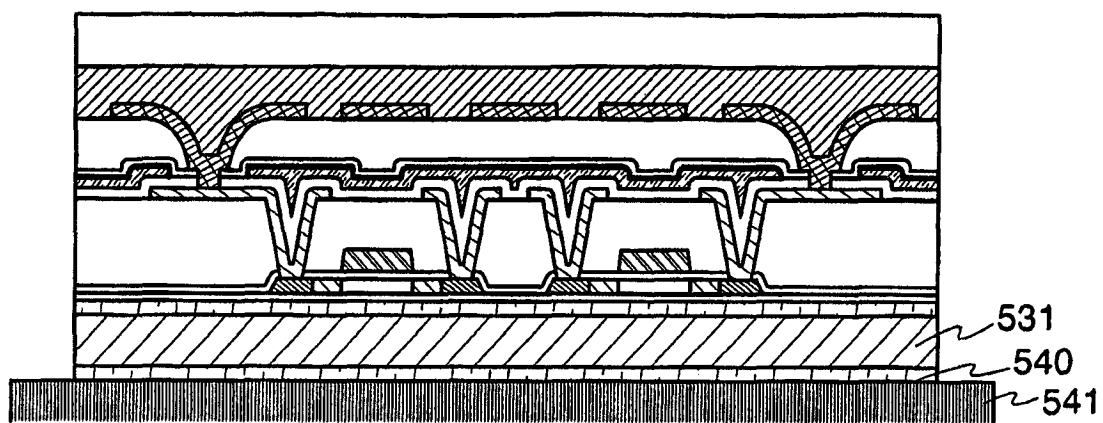


图 8A

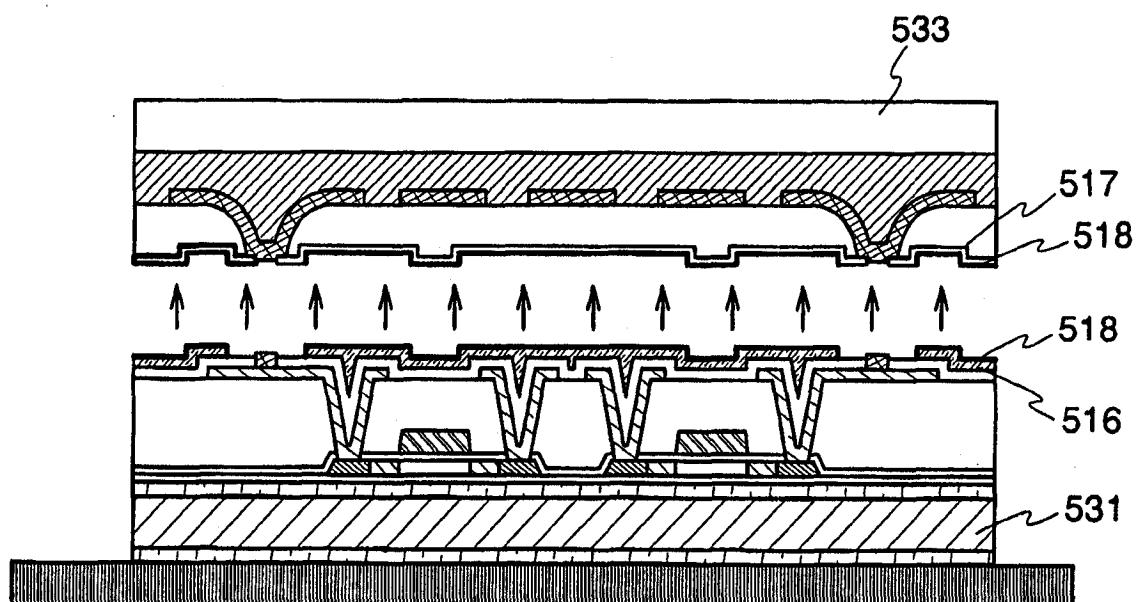


图 8B

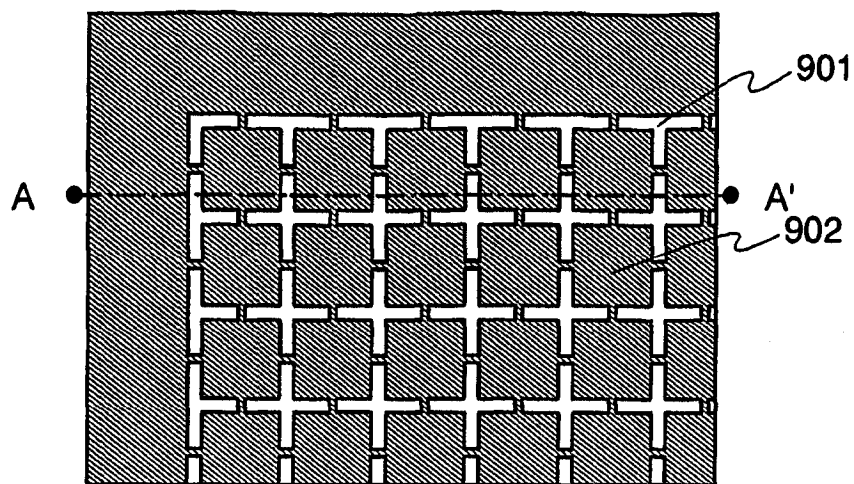


图 9A

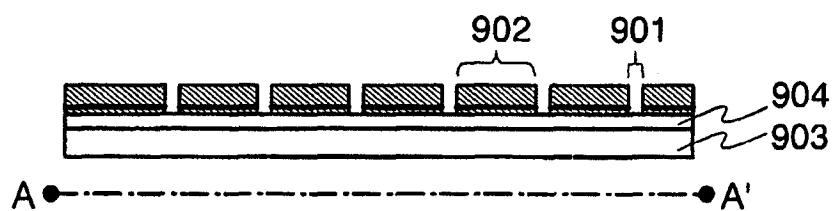


图 9B

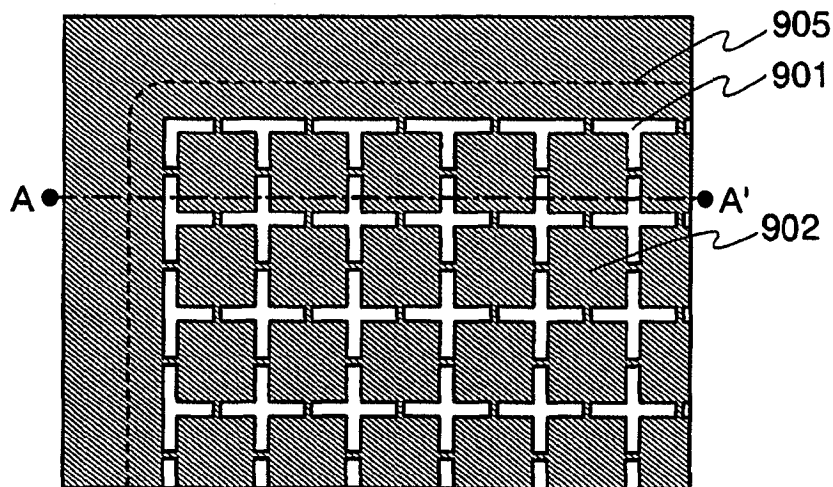


图 9C

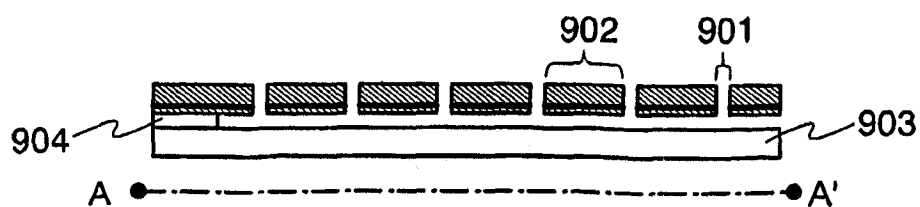


图 9D

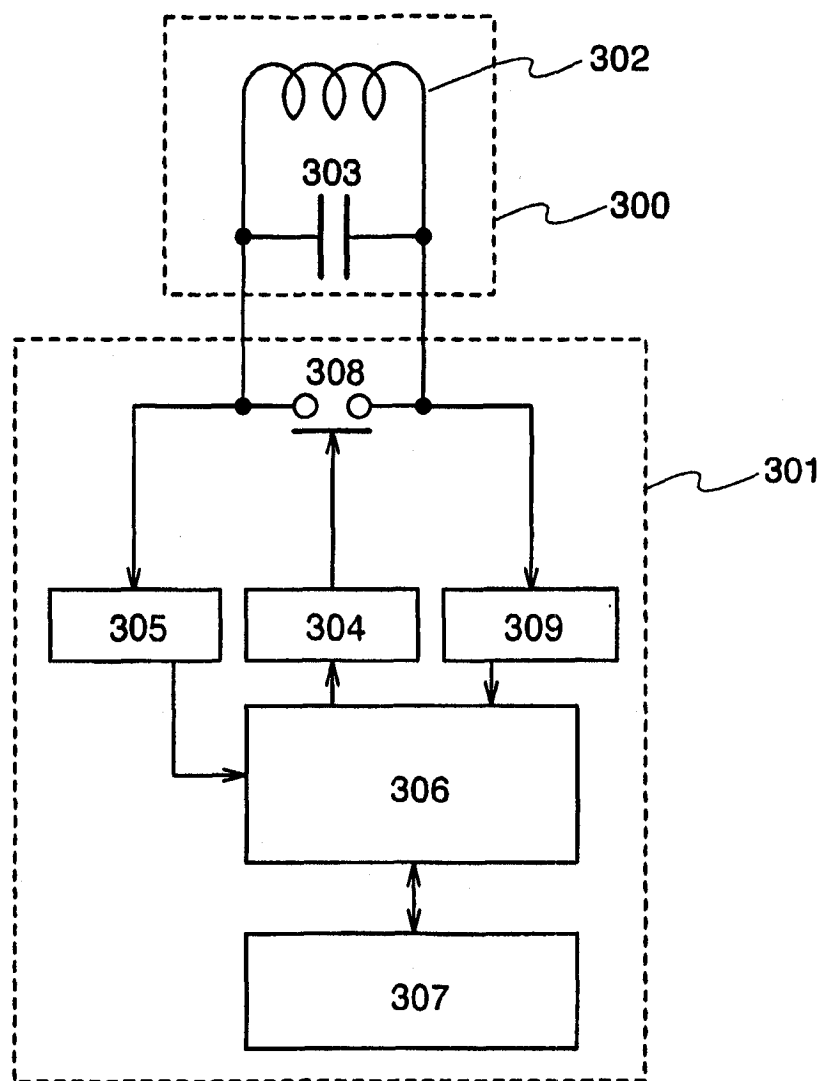


图 10

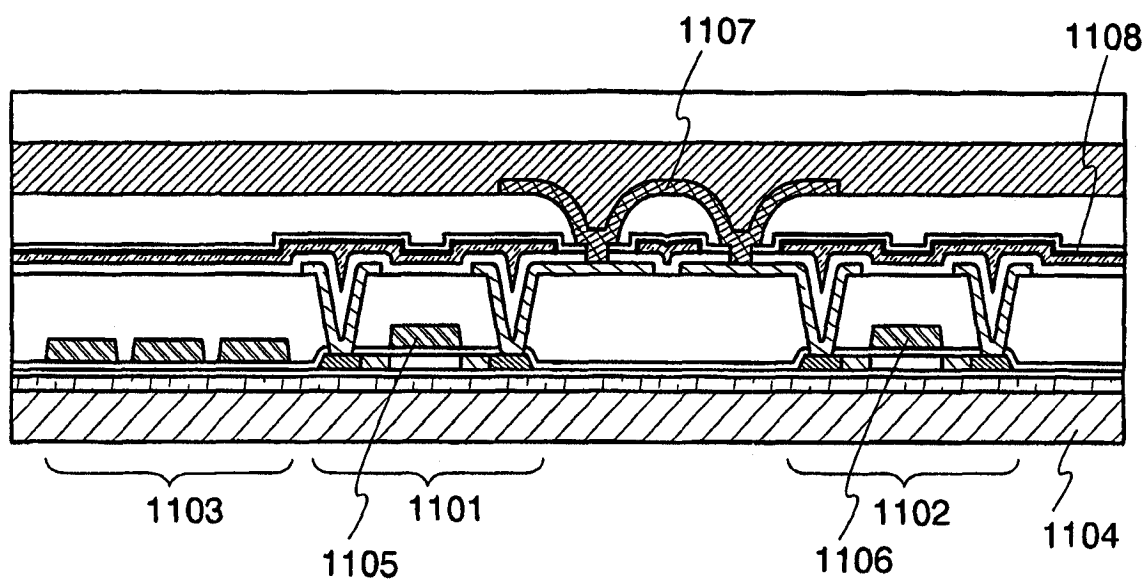


图 11A

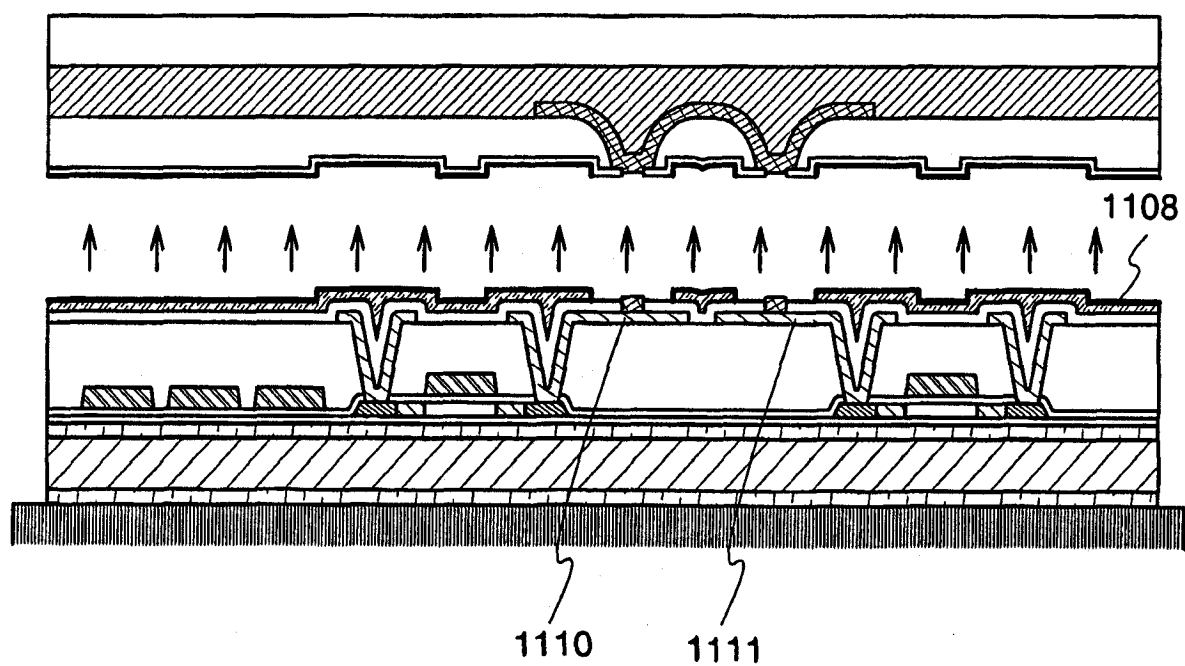


图 11B

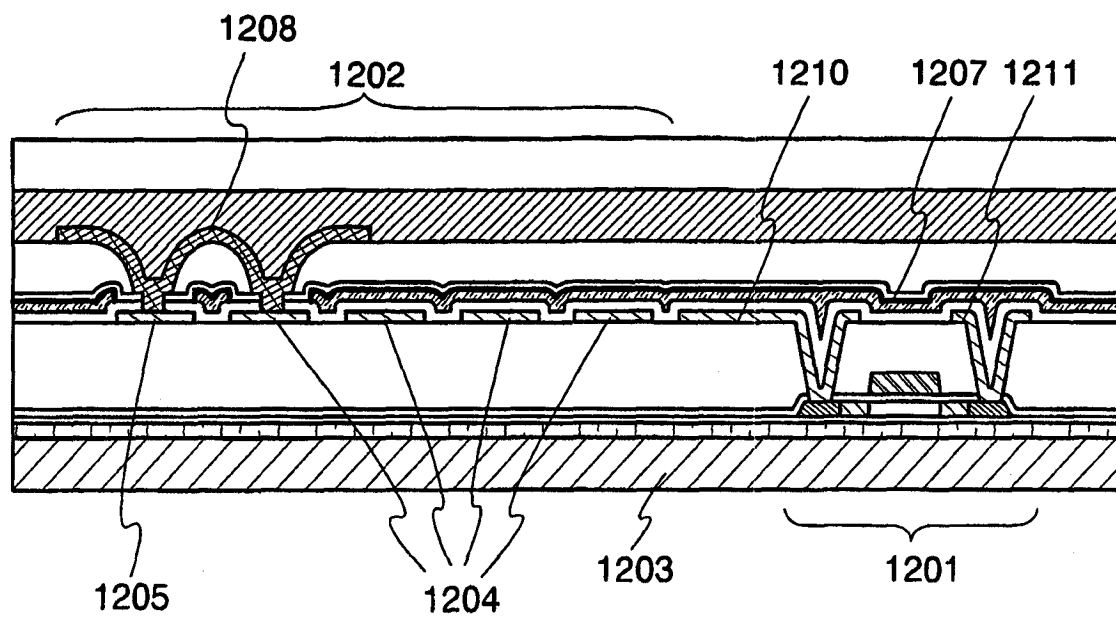


图 12A

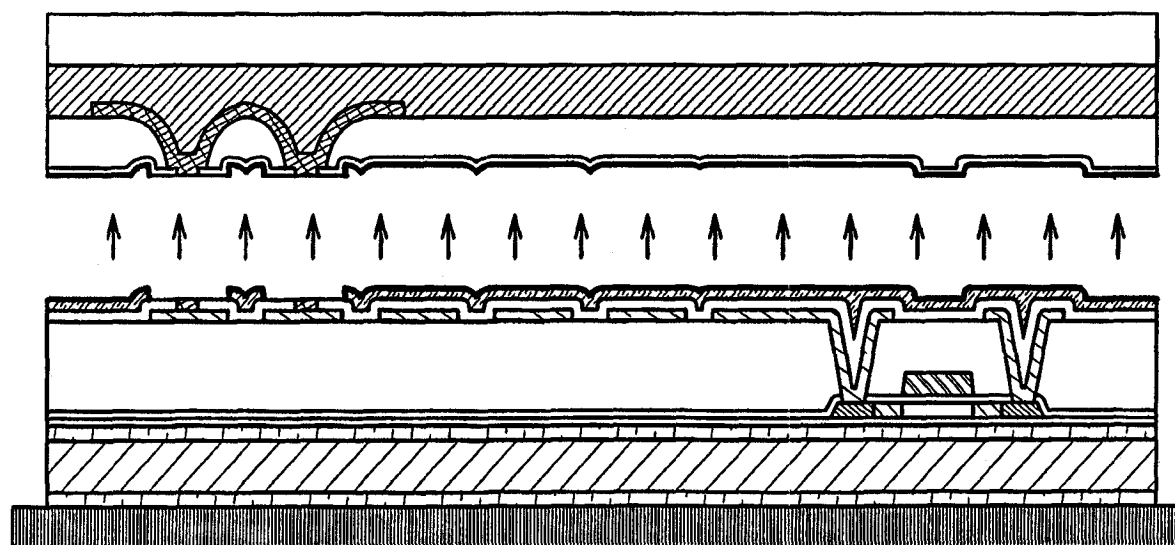


图 12B

符号说明

100: ID 标签, 101: 容器, 102: 盖子, 103: 支撑基底, 104: 天线, 105: 薄膜集成电路, 106: 虚线, 107: 主体, 108: 布线, 109: 端子, 110: 端子, 111: 虚线, 112: TFT, 113: TFT, 114: 粘合剂, 115: 分离层, 116: 布线, 120: 物体, 300: 天线, 301: 薄膜集成电路, 302: 天线线圈, 303: 电容器, 304: 调制电路, 305: 整流电路, 306: 微处理器, 307: 存储器, 308: 开关, 309: 解调制电路, 401: 信封, 402: ID 标签, 410: ID 标签, 411: 支票, 420: ID 标签, 421: 护照, 500: 基板, 501: 剥离层, 502: 基底薄膜, 503: 半导体薄膜, 504: 半导体薄膜, 505: TFT, 506: TFT, 507: 栅极绝缘薄膜, 508: 栅电极, 509: 栅电极, 510: 第一层间绝缘薄膜, 511: 布线, 512: 布线, 513: 布线, 514: 布线, 515: 第二层间绝缘薄膜, 516: 金属薄膜, 517: 氧化物薄膜, 518: 金属氧化物薄膜, 519: 天线, 520: 第三层间绝缘薄膜, 521: 保护层, 522: 沟槽, 530: 粘合剂, 531: 支撑基底, 532: 粘合剂, 533: 覆盖材料, 540: 粘合剂, 541: 物体, 901: 沟槽, 902: 薄膜集成电路, 903: 基板, 904: 剥离层, 905: 虚线, 1101: TFT, 1102: TFT, 1103: 天线, 1104: 支撑基底, 1105: 栅电极, 1106: 栅电极, 1107: 布线, 1108: 金属氧化物薄膜, 1110: 布线, 1111: 布线, 1201: TFT, 1202: 天线, 1203: 支撑基底, 1204: 布线, 1205: 布线, 1207: 金属氧化物薄膜, 1208: 布线, 1210: 布线, 1211: 布线