

1. 一种半导体电路,其特征在于包括:

大于等于3个的整数N个的电流源,各电流源以电源电压驱动,输出依赖上述电源电压的电流,且输出从上述电源电压下降了预定的下降电压量的基准电压,互相以预定的时间间隔量延迟而开始动作;

利用从上述N个电流源分别输出的电流进行充电的N个电容器;

N个置位复位型触发器,各置位复位型触发器响应置位信号进行置位,响应复位信号进行复位,在上述复位后一直到上述置位为止输出输出信号;

在从上述N个电容器输出的信号电压变得大于等于规定阈值时将各个阈值结果信号输出的N个阈值元件;

N个门元件,各门元件将表示在上述N个阈值元件之中的来自各1对的阈值元件的阈值结果信号同时输出的同时输出信号,作为与上述N个置位复位型触发器之中的对应的各1对的置位复位型触发器的置位信号和复位信号而输出;以及

响应从上述N个置位复位型触发器输出的输出信号使上述N个电容器分别放电的N个放电电路,

构成如下的振荡电路:通过对上述各电容器,隔着上述时间间隔重复进行上述各电容器的电压响应上述复位信号通过上述各电容器的充电实质上与经过时间成比例地上升并且在达到上述基准电压之后、响应上述置位信号通过上述各电容器的放电从上述基准电压随着经过时间下降的动作,将来自上述各置位复位型触发器的输出信号作为具有规定的周期的振荡信号分别输出,

上述各阈值元件是反相器,上述各门元件是“或非”门。

2. 一种半导体电路,其特征在于包括:

大于等于3个的整数N个的电流源,各电流源以电源电压驱动,输出依赖上述电源电压的电流,且输出从上述电源电压下降了预定的下降电压量的基准电压,互相以预定的时间间隔量延迟而开始动作;

利用从上述N个电流源分别输出的电流进行充电的N个电容器;

N个置位复位型触发器,各置位复位型触发器响应置位信号进行置位,响应复位信号进行复位,在上述复位后一直到上述置位为止输出输出信号;

在从上述N个电容器输出的信号电压变得大于等于规定阈值时将各个阈值结果信号输出的N个阈值元件;

N个门元件,各门元件将表示在上述N个阈值元件之中的来自各1对的阈值元件的阈值结果信号同时输出的同时输出信号,作为与上述N个置位复位型触发器之中的对应的各1对的置位复位型触发器的置位信号和复位信号而输出;以及

响应从上述N个置位复位型触发器输出的输出信号使上述N个电容器分别放电的N个放电电路,

构成如下的振荡电路:通过对上述各电容器,隔着上述时间间隔重复进行上述各电容器的电压响应上述复位信号通过上述各电容器的充电实质上与经过时间成比例地上升并且在达到上述基准电压之后、响应上述置位信号通过上述各电容器的放电从上述基准电压随着经过时间下降的动作,将来自上述各置位复位型触发器的输出信号作为具有规定的周期的振荡信号分别输出,

上述各阈值元件是阈值缓冲器,上述各门元件是带有反相输入端子的“或”门。

3. 如权利要求 1 或 2 所述的半导体电路,其特征在于:

上述各电流源具有:

包含第 1 和第 2P 沟道 MOSFET 的电流镜电路;

第 1 电阻;以及

第 2 电阻,

在上述电源电压和接地之间插入上述第 1P 沟道 MOSFET 和上述第 1 电阻,

上述各电流源将作为从上述电源电压下降了上述第 1P 沟道 MOSFET 的阈值电压量的电压值的上述第 1 电阻的两端的电压作为基准电压而输出,

上述各电流源从上述电源电压经上述第 2P 沟道 MOSFET 及上述第 2 电阻向上述电容器输出电流。

4. 如权利要求 1 或 2 所述的半导体电路,其特征在于:

上述各电流源具有:

包含第 1 和第 2N 沟道 MOSFET 的第 1 电流镜电路;

包含第 1 和第 2P 沟道 MOSFET 的第 2 电流镜电路;

第 1 电阻;以及

第 2 电阻,

上述第 1 电流镜电路和上述第 2 电流镜电路级联连接,

在上述各电源电压和接地之间插入上述第 1 电阻和上述第 1N 沟道 MOSFET,

上述各电流源将作为从上述电源电压经上述第 1 电阻下降了的电压值的上述第 1N 沟道 MOSFET 的两端的电压经上述第 2N 沟道 MOSFET 输出的电压,作为基准电压而输出,

上述各电流源从上述电源电压经上述第 2P 沟道 MOSFET 及上述第 2 电阻向上述电容器输出电流。

5. 如权利要求 1 或 2 所述的半导体电路,其特征在于:

上述各电流源具有:

包含第 1 和第 2P 沟道 MOSFET 的第 1 电流镜电路;

包含第 1 和第 2N 沟道 MOSFET 的第 2 电流镜电路;

包含第 3 和第 4P 沟道 MOSFET 的第 3 电流镜电路;

第 1 电阻;以及

第 2 电阻,

上述第 1 电流镜电路、上述第 2 电流镜电路和上述第 3 电流镜电路级联连接,

在上述各电源电压和接地之间插入上述第 1P 沟道 MOSFET 和上述第 1 电阻,

上述各电流源将作为从上述电源电压下降了上述第 1P 沟道 MOSFET 的阈值电压量的值的上述第 1 电阻的两端的电压经上述第 2P 沟道 MOSFET 及上述第 2 电流镜电路输出的电压作为基准电压而输出,

上述各电流源从上述电源电压经上述第 4P 沟道 MOSFET 及上述第 2 电阻向上述电容器输出电流。

6. 如权利要求 1 或 2 所述的半导体电路,其特征在于:上述各放电电路是由 N 沟道 MOSFET 构成的。

半导体电路

技术领域

[0001] 本发明涉及,例如,由 CMOS 电路等形成的,例如,定时器电路及振荡电路等半导体电路。

背景技术

[0002] 例如,在专利文献 1 中揭示了定时器电路及内置了该定时器电路的半导体存储装置。在该定时器电路中,为了提供显示随着温度的上升定时周期减小的倾向,并且显示随着温度的降低定时周期增加的倾向的定时器电路,具有以下的结构。二极管具有温度依赖型电流特性,此正向电流流过构成电流镜的一次侧的 n 型 MOS 晶体管 N1。根据流过此 n 型 MOS 晶体管 N1 的电流,决定流过构成电流镜的二次侧的 p 型 MOS 晶体管 P2 及 n 型 MOS 晶体管 N3 的电流。流过这些 p 型 MOS 晶体管 P2 及 n 型 MOS 晶体管 N3 的电流用作由反相器 I1 至 I3 构成的环形振荡器的工作电流。因此,在从这一环形振荡器输出的时钟信号 CLK 的周期(定时周期)中可反映二极管 D 的温度特性,随着温度的上升定时周期减小。

[0003] 专利文献 1:日本专利申请特开 2002-117671 号公报

发明内容

[0004] 然而,包含在上述专利文献 1 中揭示的定时器电路的现有技术的一般的定时器电路中,存在在电源电压降低时该电路停止工作的问题。

[0005] 本发明的目的在于提供一种作为可以解决以上的问题,在从较低电压起的广阔范围的电源电压范围中稳定工作的定时器电路或振荡电路的半导体电路。

[0006] 本发明的半导体电路的特征在于具有:

[0007] 在以电源电压驱动,输出依赖上述电源电压的电流的同时,输出从上述电源电压下降了预定的下降电压量的基准电压的电流源;

[0008] 利用从上述电流源输出的电流进行充电的电容器;以及

[0009] 将上述电容器的电压与从上述电流源输出的基准电压进行比较,并在大于等于上述基准电压时,输出输出信号的比较器;

[0010] 构成从电源电压的供给开始,上述电容器的电压通过上述电容器的充电实质上与经过时间成比例地上升,一直到达到上述基准电压为止的延迟时间之后输出上述输出信号的定时器电路。

[0011] 所以,根据本发明的半导体电路,具有使用在以电源电压驱动,输出依赖上述电源电压的电流的同时输出从上述电源电压下降了预定的下降电压量的基准电压的电流源对电容器进行充电,将上述电容器的电压与从上述电流源输出的基准电压进行比较,并在大于等于上述基准电压时,输出输出信号的比较器;构成从电源电压的供给开始,上述电容器的电压通过上述电容器的充电实质上与经过时间成比例地上升,并且在达到上述基准电压为止的延迟时间之后输出上述输出信号的定时器电路。因此,上述电源电压即使下降,但因为一方面依赖上述电源电压的充电电流也变小,另一方面从上述电源电压下降了上述下降

电压量的基准电压也减小,所以上述电容器的电压通过上述电容器的充电实质上与经过时间成比例地上升,并且达到上述基准电压为止的延迟时间几乎不变。就是说,即使是上述电源电压下降,定时器电路的延迟时间也可以保持并且工作。所以,可以提供可以在从较低电压起的广阔范围的电源电压范围中稳定工作的定时器电路。

附图说明

[0012] 图1为示出作为本发明的实施方式1的半导体电路的定时器电路40的结构的电路图。

[0013] 图2为示出图1的定时器电路40的具体例的电路图。

[0014] 图3为示出图2的定时器电路40的变形例40A的电路图。

[0015] 图4为示出图1的定时器电路40的另一具体例40B的电路图。

[0016] 图5为示出作为本发明的实施方式2的半导体电路的振荡电路40C的结构的电路图。

[0017] 图6为示出图5的振荡电路40C的第1具体例40Ca的结构的电路图。

[0018] 图7为示出图5的振荡电路40C的第2具体例40Cb的结构的电路图。

[0019] 图8为示出图5至图7的放电电路D1的结构的电路图。

[0020] 图9为示出图5至图7的放电电路D1的变形例D1A的结构的电路图。

[0021] 图10为示出图5的振荡电路40C的动作的时序图。

[0022] 图11为示出作为本发明的实施方式3的半导体电路的振荡电路40D的结构的电路图。

[0023] 图12为示出图11的振荡电路40D的第1具体例40Da的结构的电路图。

[0024] 图13为示出图11的振荡电路40D的第2具体例40Db的结构的电路图。

[0025] 图14为示出图11的振荡电路40D的第3具体例40Dc的结构的电路图。

[0026] 图15为示出图11的振荡电路40D的动作的时序图。

[0027] 图16为示出作为本发明的实施方式4的半导体电路的振荡电路40E的结构的电路图。

[0028] 图17为示出图16的振荡电路40E的第1具体例40Ea的结构的电路图。

[0029] 图18为示出图16的振荡电路40E的第2具体例40Eb的结构的电路图。

[0030] 图19为示出图16的振荡电路40E的第3具体例40Ec的结构的电路图。

[0031] 图20为示出图16的振荡电路40E的动作的时序图。

[0032] 图21为示出作为本发明的实施方式5的半导体电路的振荡电路40F的结构的电路图。

[0033] 图22为示出图21的振荡电路40F的第1具体例40Fa的结构的电路图。

[0034] 图23为示出图21的振荡电路40F的第2具体例40Fb的结构的电路图。

[0035] 图24为示出图21的振荡电路40F的第3具体例40Fc的结构的电路图。

[0036] (附图标记说明)

[0037] 11、11-1、11-2 电容器;12、12A、12B、12-1、12-2、12-3、12A-1、12A-2、12A-3、12B-1、12B-2、12B-3 电流源;13 基准电压源;14、17、18 比较器;19、FF1、FF2、FF3 置位复位型触发器;20、30、31 输出端子;21、22 基准电压源;23 N沟道MOSFET;24 电流镜电路;25、26

控制器 ;40、40A、40B 定时器电路 ;40C、40Ca、40Cb、40D、40Da、40Db、40Dc、40E、40Ea、40Eb、40Ec、40F、40Fa、40Fb、40Fc 振荡电路 ;C1、C2、C3 电容器 ;D1、D2、D3 放电电路 ;P1 至 P6 P 沟道 MOSFET ;N1 至 N4 N 沟道 MOSFET ;NOR1、NOR2、NOR3 “或非”门 ;NOT1、NOT2、NOT3 反相器 ;M1、M2、M3 电流镜电路 ;Ra、Rb、Rc 电阻 ;T1 控制端子 ;T2、T3 端子 ;SW、SW1、SW2、SW3 开关 ;Vref、Vref1、Vref2 基准电压

具体实施方式

[0038] 下面参照附图对本发明的实施方式进行说明。另外,对于同样的结构元件赋予同一符号。

[0039] (实施方式 1)

[0040] 图 1 为示出作为本发明的实施方式 1 的半导体电路的定时器电路 40 的结构的电路图。

[0041] 在图 1 中,定时器电路 40 的结构包括电流源 12、接通 / 断开电流源 12 供给的电流的开关 SW、利用该电流进行电荷充电的电容器 11、基准电压源 13 及比较器 14。其中,电流源 12,由电源电压 V_{cc} 驱动,在输出依赖于电源电压 V_{cc} 的电流的同时,输出从电源电压 V_{cc} 下降了预定的下降电压量的基准电压 V_{ref} 。电流源 12 的一端经开关 SW 与电容器 11 的一端连接,而电流源 12 的另一端接地。另外,电容器 11 的一端与比较器 14 的反相输入端子连接,而电容器 11 的另一端接地。此外,具有从电流源 12 供给的基准电压 V_{ref} 的基准电压源 13 的正极与比较器 14 非反相输入端子连接,而基准电压源 13 的负极接地。比较器 14 的输出端子与输出端子 20 连接。在比较器 14 中,在输入到反相输入端子的电压变成大于等于基准电压源 13 的基准电压 V_{ref} 时,来自比较器 14 的输出信号,例如,从 +5V 的高电平下降到,例如,0V 的低电平。另外,开关 SW,是在向定时器电路 40 供给电源电压 V_{cc} 时变为接通的虚拟开关。

[0042] 在如上构成的定时器电路 40 中,在电容器 11 中无电荷蓄积的状态中,当供给定时器电路 40 的电源电压 V_{cc} 而使开关 SW 接通时,电流从电流源 12 流到电容器 11,电荷在电容器 11 上蓄积。于是,随着时间的经过,电容器 11 的两端电压实质上与经过时间成比例地上升,并且在该电压变得大于等于基准电压 V_{ref} 时,从比较器 14 发出的输出信号从高电平下降到低电平。就是说,在通过供给电源电压 V_{cc} 接通开关 SW 时起延迟了规定的时间的时刻,从比较器 14 发出的输出信号从高电平下降到低电平,作为定时器电路 40 工作。

[0043] 就是说,在定时器电路 40 中,使用在以电源电压 V_{cc} 驱动,输出依赖电源电压 V_{cc} 的电流的同时输出从电源电压 V_{cc} 下降了预定的下降电压量的基准电压 V_{ref} 的电流源 12 对电容器 11 进行充电,具有将电容器 11 的电压与从电流源 12 输出的基准电压 V_{ref} 进行比较,并在大于等于基准电压 V_{ref} 时,输出输出信号的比较器 14,构成从电源电压 V_{cc} 的供给开始,电容器 11 的电压通过充电实质上与经过时间成比例地上升,并且在达到基准电压 V_{ref} 为止的延迟时间之后输出输出信号的定时器电路 40。因此,即使电源电压 V_{cc} 下降,但因为一方面依赖电源电压 V_{cc} 的充电电流也变小,另一方面从电源电压 V_{cc} 下降了下降电压量的基准电压 V_{ref} 也减小,所以电容器 11 的电压通过充电实质上与经过时间成比例地上升,并且达到基准电压 V_{ref} 为止的延迟时间几乎不变。就是说,即使是电源电压 V_{cc} 下降,也可以保持定时器电路 40 的延迟时间并且工作。所以,可以提供可以在从较低电压

起的广阔范围的电源电压范围中稳定工作的定时器电路 40。

[0044] 另外,例如,在电流源 12 使用供给不依赖电源电压 V_{cc} 的一定的电流的电路的场合,为了在半导体电路内构成电流源 12,最低需要两级晶体管串联电路和电阻或二极管这样的有源元件的级联连接(cascade connect),将最低工作电压设定很低是极其困难的,并且作成在更宽的电源电压范围中工作的定时器电路也很困难。为了解决此问题,本发明的各发明人提出图 1 的定时器电路 40 的具体例。

[0045] 图 2 为示出图 1 的定时器电路 40 的具体例的电路图。在图 2 中,定时器电路 40 的结构包括:具有 3 个电流镜电路 M1、M2、M3 和电阻 R_a 、 R_b 的电流源 12;电容器 11 及比较器 14;电流源 12 及比较器 14 由 CMOS 电路形成。

[0046] 在图 2 中,电流源 12 的结构包括:开关 SW,4 个 P 沟道 MOSFET P1 至 P4,2 个 N 沟道 MOSFET N1、N2,2 个电阻 R_a 、 R_b 。其中,由 1 对 P 沟道 MOSFET P1、P2 构成电流镜电路 M1,由 1 对 N 沟道 MOSFET N1、N2 构成电流镜电路 M2,由 1 对 P 沟道 MOSFET P3、P4 构成电流镜电路 M3,这 3 个电流镜电路 M1、M2、M3 级联连接。并且,比较器 14 的结构包括:2 个 P 沟道 MOSFET P5、P6 和 2 个 N 沟道 MOSFET N3、N4。

[0047] 电源电压 V_{cc} 经开关 SW 与电源连接点 12a 连接。电流连接点 12a 与 6 个 P 沟道 MOSFET P1 至 P6 的各源连接。另外,4 个 N 沟道 MOSFET N1 至 N4 的各源接地。P 沟道 MOSFET P1、P2 的各栅互相连接的同时,与 P 沟道 MOSFET P1 的漏连接,此外,还经电阻 R_a 接地。另外,P 沟道 MOSFET P2 的漏与 N 沟道 MOSFET N1 的漏及栅以及 N 沟道 MOSFET N2 的栅连接。此外,3 个 P 沟道 MOSFET P3、P4、P6 的各栅互相连接的同时,与 P 沟道 MOSFET P3 的漏连接,此外,还与 N 沟道 MOSFET N2 的漏连接。P 沟道 MOSFET P4 的漏经电阻 R_b 与 P 沟道 MOSFET P5 的栅连接的同时,经电容器 11 接地。另外,P 沟道 MOSFET P5 的漏与 N 沟道 MOSFET N3 的漏连接的同时,与输出端子 20 连接。此外,P 沟道 MOSFET P6 的漏与 N 沟道 MOSFET N4 的漏及栅以及 N 沟道 MOSFET N3 的栅连接。

[0048] 在如上构成的图 2 的定时器电路 40 中,利用由 2 个 P 沟道 MOSFET P1、P2 组成的电流镜电路 M1;由 2 个 N 沟道 MOSFET N1、N2 组成的电流镜电路 M2;由 2 个 P 沟道 MOSFET P3、P4 组成的电流镜电路 M3 以及 2 个电阻 R_a 、 R_b 构成电流源 12 的电路。另外,利用 2 个 P 沟道 MOSFET P5、P6 以及 2 个 N 沟道 MOSFET N3、N4 构成比较器 14。

[0049] 在图 2 的定时器电路 12 中,在投入电源电压 V_{cc} 而开关 SW 接通时,电流从电源电压 V_{cc} 经 P 沟道 MOSFET P1 和电阻 R_a 流向接地。此时,在电阻 R_a 两端感应的电压为从电源电压 V_{cc} 减去作了二极管连接的 P 沟道 MOSFET P1 的阈值电压大小的电压值,流过上述电阻 R_a 的电流实质上与电源电压 V_{cc} 成比例,即为依赖电源电压 V_{cc} 的电流。此电流用来经过由 1 对 P 沟道 MOSFET P1、P2 构成的电流镜电路 M1,由 1 对 N 沟道 MOSFET N1、N2 构成的电流镜电路 M2,由 1 对 P 沟道 MOSFET P3、P4 构成的电流镜电路 M3,得到从电源电压 V_{cc} 经 P 沟道 MOSFET P4 及电阻 R_b 流到电容器 11 的充电电流。所以,充电电流成为依赖电源电压 V_{cc} 的实质上与电源电压 V_{cc} 成比例的电流。此处,通过调整各电流镜电路 M1、M2、M3 的 MOSFET 的各栅宽,用户可以得到所要求的充电电流。

[0050] 另外,基准电压 V_{ref} ,从电流镜电路 M3 的 1 对 P 沟道 MOSFET P3、P4 的栅电位得到。该基准电压 V_{ref} 是降低 P 沟道 MOSFET P3、P4 的阈值电压大小的电压值,随着电源电压 V_{cc} 的降低而降低。另外,在后述的实施方式中,可以使用上述基准电压 V_{ref} 作为第 1 基准电

压 V_{ref1} , 将电流镜电路 M2 的 1 对 N 沟道 MOSFET N1、N2 的栅电位 (该 MOSFET 的阈值电压值) 用作比第 1 基准电压 V_{ref1} 低的第 2 基准电压 V_{ref2} 。

[0051] 以上述方式得到的依赖电源电压 V_{cc} 的电流, 对电容器 11 进行充电, 在比较器 14 的反相输入端子 (P 沟道 MOSFET P5 的栅) 的电位成为大于等于基准电压 V_{ref} 时, 输出端子 20 的电压值, 从作为电源电压电平的高电平反转成为作为接地电位的低电平。

[0052] 此时的基准电压 V_{ref} 的电位 (P 沟道 MOSFET P3、P4 的栅电位) 和 P 沟道 MOSFET P1 的栅电位, 在晶体管采取可以忽略由于晶体管的漏源间电压的变化而使有效沟道长度变化的沟道长度调制效应的结构时, 成为相同电位。因此, 在此电路结构中, 输出端子 20 的电压的反转, 是发生在利用依赖电源电压 V_{cc} 的充电电流进行充电的电容器 11 达到作为从电源电压 V_{cc} 减去 P 沟道 MOSFET P1 的阈值电压的电压值的基准电压 V_{ref} 的时候。在各 MOSFET 的阈值电压为一定时, 电源电压 V_{cc} 降低, 取决于电源电压 V_{cc} 的充电电流也变小, 同时, 从电源电压 V_{cc} 降低了降低电压大小的基准电压 V_{ref} 也变小, 所以电容器 11 的电压在通过其充电实质上与经过时间成比例地上升, 并且达到基准电压 V_{ref} 为止的延迟时间几乎不变化。就是说, 从投入电源到发生输出端子 20 的逻辑反转为止的延迟时间, 不大会受到电源电压 V_{cc} 的变动的的影响, 并且充电电流的发生源, 由于是由 1 个 P 沟道 MOSFET P1 和 1 个电阻 R_a 构成的, 可以利用比较低的电压启动。就是说, 可以提供即使是电源电压 V_{cc} 降低, 也可以在保持定时器电路 40 的延迟时间的同时工作, 并在从较低电压起的广阔范围的电源电压范围中稳定工作的定时器电路 40。

[0053] 图 3 为示出图 2 的定时器电路 40 的变形例 40A 的电路图。图 3 的定时器电路 40A 的特征为, 与图 2 的定时器电路 40 相比较, 在电流源 12 中省略电流镜电路 M2、M3。在图 3 中的差异点为, 充电电流从电源电压 V_{cc} 经 P 沟道 MOSFET P2 及电阻 R_b 流到电容器 11。即使是以上的结构, 图 3 的定时器电路 40A, 也与图 2 的定时器电路 40 的动作相同。

[0054] 图 4 为示出图 1 的定时器电路 40 的另一具体例 40B 的电路图。图 4 的定时器电路 40B 的特征为, 与图 2 的定时器电路 40 相比较, 将由 2 个 P 沟道 MOSFET P1、P2 和 1 个电阻 R_a 构成的电路, 由 1 个电阻 R_c 构成。即使是以上的结构, 图 4 的定时器电路 40B, 也与图 2 的定时器电路 40 的动作相同。

[0055] 如上所述, 根据本发明实施方式 1 的半导体电路, 即使电源电压 V_{cc} 下降, 但因为一方面依赖电源电压 V_{cc} 的充电电流也变小, 另一方面从电源电压 V_{cc} 下降了下降电压量的基准电压 V_{ref} 也减小, 所以电容器 11 的电压通过其充电实质上与经过时间成比例地上升, 并且达到基准电压 V_{ref} 为止的延迟时间几乎不变。就是说, 即使是电源电压 V_{cc} 下降, 也可以保持定时器电路 40 的延迟时间并且工作。所以, 可以提供可以在从较低电压起的广阔范围的电源电压范围中稳定工作的定时器电路 40、40A、40B。

[0056] (实施方式 2)

[0057] 图 5 为示出作为本发明的实施方式 2 的半导体电路的振荡电路 40C 的结构的电路图。本实施方式 2 的振荡电路 40C, 是由以图 1 的定时器电路 40 为基础的 CMOS 电路形成的振荡电路 (实施方式 3 至 5 也是同样形成的 CMOS 电路的振荡电路), 其特征为, 与图 1 的定时器电路 40 比较, 代替具有基准电压源 13 的比较器 14 的是备有具有第 1 基准电压 V_{ref1} 的基准电压源 21 的比较器 17、备有具有第 2 基准电压 V_{ref2} 的基准电压源 22 的比较器 18、置位复位型触发器 19 及放电电路 D1。另外, 比较器 17、18 及置位复位型触发器 19, 例如,

由 CMOS 电路形成。另外,基准电压源 21、22 也与实施方式 1 一样利用由 CMOS 形成的电流源 12 或 12B 产生,具体言之,是使用在图 2 及图 4 中图示的 2 个基准电压 V_{ref1} 及基准电压 V_{ref2} 。

[0058] 在图 5 中,设电容器 11 的两端电压为电压 V_{11} ,其两端分别与放电电路 D1 的端子 T2、T3 连接。电容器 11 的一端,与比较器 17 的非反相输入端子及比较器 18 的反相输入端子连接。从基准电压源 21 输出的基准电压 V_{ref1} 施加于比较器 17 的反相输入端子,而从基准电压源 22 输出的基准电压 V_{ref2} 施加于比较器 18 的非反相输入端子。另外,来自比较器 17 的输出信号的电压 V_s 输入到置位复位型触发器 19 的置位端子 S,而来自比较器 18 的输出信号的电压 V_r 输入到置位复位型触发器 19 的复位端子 R。其中,置位复位型触发器 19 具有非反相输出端子 Q、反相输出端子 $/Q$ (在本申请说明书及附图中“ $/Q$ ”中的“ $/$ ”表示上侧条 (bar),表示低活动状态),对置位信号回应而进行置位,对复位信号回应而进行复位,在上述置位后一直到复位为止在从非反相输出端子 Q 输出一个输出信号 V_q 的同时从反相输出端子 $/Q$ 输出其反转信号。其中,从置位复位型触发器 19 的非反相输出端子 Q 发出的输出信号的电压 V_q 在输出到输出端子 30 的同时,作为放电开始信号施加于放电电路 D1 的控制端子 T1。

[0059] 其中,比较器 17,在输入到非反相输入端子的电压 V_{11} 变得大于等于基准电压 V_{ref1} 时,输出高电平的脉冲信号,并且比较器 18,在输入到非反相输入端子的电压 V_{11} 变得小于等于基准电压 V_{ref2} 时,输出高电平的脉冲信号。

[0060] 图 6 为示出图 5 的振荡电路 40C 的第 1 具体例 40Ca 的结构的电路图。在图 6 中,振荡电路 40Ca 的特征为:是利用图 2 的电流源 12 和具有与图 2 的比较器 14 一样结构的 2 个比较器 17、18 构成的。

[0061] 在图 6 中,电流源 12 的电源连接点 12a 与比较器 17 的电源端子连接而供给电源电压 V_{cc} ,并且也与比较器 18 的电源端子连接而供给电源电压 V_{cc} 。电流源 12 的 P 沟道 MOSFET P3、P4 的各栅电压作为基准电压 V_{ref1} 施加于比较器 17 的反相输入端子,而电流源 12 的 N 沟道 MOSFET N1、N2 的各栅电压作为基准电压 V_{ref2} 施加于比较器 18 的非反相输入端子。此外,电流源 12 的 P 沟道 MOSFET P4 的源经电阻 R_b 及电容器 11 接地,电容器 11 的两端电压 V_{11} 施加于比较器 17 的非反相输入端子,施加于比较器 18 的反相输入端子,并施加于放电电路 D1 的端子 T2。从比较器 17 发出的输出信号,输入到置位复位型触发器 19 的置位端子 S。另外,从比较器 18 发出的输出信号,输入到置位复位型触发器 19 的复位端子 R。此外,从置位复位型触发器 19 的非反相输出端子 Q 发出的输出信号输入到放电电路 D1 的控制端子 T1。

[0062] 图 7 为示出图 5 的振荡电路 40C 的第 2 具体例 40Cb 的结构的电路图。在图 7 中,振荡电路 40Cb 的特征为:是利用图 4 的电流源 12B 和具有与图 4 的比较器 14 一样结构的 2 个比较器 17、18 构成的。就是说,振荡电路 40Cb,与图 6 的振荡电路 40Ca 比较,具有图 4 的电流源 12B 代替图 2 的电流源 12,其他的结构与图 6 一样。

[0063] 图 8 为示出图 5 至图 7 的放电电路 D1 的结构的电路图。放电电路 D1,例如,如图 8 所示,由 CMOS 电路之中的 1 个 N 沟道 MOSFET23 构成,其栅与控制端子 T1 连接,漏与端子 T2 连接,而源与接地的端子 T3 连接。在如上构成的放电电路 D1 中,在高电平信号经控制端子 T1 施加于 N 沟道 MOSFET23 的栅时, N 沟道 MOSFET23 接通,在端子 T2 和端子 T3 间构成

具有规定的电阻值的放电电路。

[0064] 图 9 为示出图 5 至图 7 的放电电路 D1 的变形例 D1A 的结构的电路图。图 9 的放电电路 D1A 的特征为,与图 8 的放电电路 D1 比较,其结构为在控制端子 T1 和 N 沟道 MOSFET23 的栅之间插入了电流镜电路 24,根据输入到控制端子 T1 的电压信号产生电流而以电流驱动 N 沟道 MOSFET23。

[0065] 图 10 为示出图 5 的振荡电路 40C 的动作的时序图。另外,在图 5 的振荡电路 40C 中,如图 10 所示,基准电压 Vref1 设定为从电源电压 Vcc 减去 P 沟道 MOSFET 的阈值电压 Vthp 的电压,而基准电压 Vref2 设定为比基准电压 Vref1 低的电压。

[0066] 从图 10 可知,在开关 SW 接通后,电容器 11 充电,在电容器 11 的两端电压 V11 大于等于基准电压 Vref1 时,比较器 17 输出高电平的脉冲信号,结果,置位复位型触发器 19 置位,从非反相输出端子 Q 输出高电平信号 Vq。此时,响应该高电平信号,放电电路 D1 接通,蓄积于电容器 11 上的电荷,利用由电容器 11 和放电电路 D1 的 N 沟道 MOSFET23 的电阻量确定的时间常数进行放电。于是,在电容器 11 的两端电压变得小于等于基准电压 Vref2 时,比较器 18 将高电平的脉冲信号输出到置位复位型触发器 19 的复位端子 R。对此进行响应,置位复位型触发器 19 复位,而非反相输出端子 Q 发出的信号 Vq 成为低电平。结果,因为和放电电路 D1 的信号变为低电压,所以放电电路 D1 截止,放电电路 D1 的放电结束。接着,对电容器 11 的充电再次开始,重复上述的动作。所以,从图 10 可知,从输出端子 30 以规定的周期输出具有规定的脉冲宽度的高电平信号,即输出规定的振荡信号。

[0067] 在如上构成的图 5 的振荡电路 40C 中,通过重复进行响应复位信号,电容器 11 的电压通过其充电实质上与经过时间成比例地从第 2 基准电压 Vref2 上升并达到第 1 基准电压 Vref1 之后,响应置位信号,通过电容器 11 的放电随着经过时间从第 1 基准电压 Vref1 下降并达到第 2 基准电压 Vref2 的动作,就可以使从置位复位型触发器 19 发出的输出信号作为具有规定周期的振荡信号输出。

[0068] 如上所述,因为在本发明的实施方式 2 的半导体电路的振荡电路 40C 中,也是使用实施方式 1 的电流源 12 或 12B 发出的充电电流和从电流源 12 或 12B 发出的基准电压 Vref1,执行包含实施方式 1 的定时器电路的动作用的振荡电路的动作,所以电源电压 Vcc 下降,依赖电源电压 Vcc 的充电电流也变小的同时,从电源电压 Vcc 下降了下降电压量的基准电压 Vref 也减小。所以,电容器 11 的电压通过其充电从基准电压 Vref2 实质上与经过时间成比例地上升而达到基准电压 Vref1 为止的延迟时间几乎不变。就是说,即使是电源电压 Vcc 下降,振荡电路的振荡周期也可以保持并且工作。所以,可以提供可以在从较低电压起的广阔范围的电源电压范围中稳定工作的振荡电路。

[0069] (实施方式 3)

[0070] 图 11 为示出作为本发明的实施方式 3 的半导体电路的振荡电路 40D 的结构的电路图。图 11 的振荡电路 40D 的结构特征为,与图 5 的振荡电路 40C 比较,具有与 2 个电流源 12-1、12-2 分别对应的电容器 11-1、11-2 及放电电路 D1、D2,并且具有分别使上述 2 个电流源 12-1、12-2 的动作通/断的 2 个开关 SW1、SW2,且具有控制这 2 个开关 SW1、SW2 的通/断的控制器 25。从图 10 可知,在上述图 5 的振荡电路 40C 中,在基准电压 Vref1 和基准电压 Vref2 设定为实质上相同电压时,振荡动作停止,但在图 11 的振荡电路 40D 中这一问题得到解决。另外,基准电压源 21,与实施方式 1 一样,是由 CMOS 电路形成的电流源 12、

12A 或 12B 生成,具体言之,是使用图 2 至图 4 中示出的基准电压 V_{ref} 。另外,放电电路 D1、D2 也分别具有与上述的放电电路 D1 同样的结构。

[0071] 在图 11 中,电流源 12-1 的一端经开关 SW1 接地,而电流源 12-1 的另一端经电容器 11-1 接地。另外,电流源 12-2 的一端经开关 SW2 接地,而电流源 12-2 的另一端经电容器 11-2 接地。电容器 11-1 的两端电压 V_{11} 施加于放电电路 D1 及比较器 17 的非反相输入端子。另外,电容器 11-2 的两端电压 V_{12} 施加于放电电路 D2 及比较器 18 的非反相输入端子。此外,在 2 个比较器 17、18 的各反相输入端子上施加来自基准电压源 21 的基准电压 V_{ref} 。其中,比较器 17、18,在施加于各非反相输入端子的电压 V_{11} 、 V_{12} 大于等于基准电压 V_{ref} 时,分别输出高电平的脉冲信号。从比较器 17 发出的输出信号,以电压 V_s 输出到置位复位型触发器 19 的置位端子 S,而从比较器 18 发出的输出信号,以电压 V_r 输出到置位复位型触发器 19 的复位端子 R。此外,在从置位复位型触发器 19 的非反相输出端子 Q 输出的信号以电压 V_q 输出到输出端子 30 的同时,还输出到放电电路 D1 的控制端子 T1。另外,以置位复位型触发器 19 的反相输出端子 $\bar{Q}$ 输出的信号以电压 V_{qb} 输出到输出端子 31 的同时,还输出到放电电路 D2 的控制端子 T1。另外,控制器 25,在振荡电路 40D 的动作开始后,在开关 SW1 接通之后,延迟规定的时间间隔量而使开关 SW2 接通。

[0072] 图 12 为示出图 11 的振荡电路 40D 的第 1 具体例 40Da 的结构的电路图。在图 12 中,振荡电路 40Da 的结构特征为使用与图 2 的电流源 12 结构相同的电流源 12-1、12-2 及与图 2 的比较器 14 结构相同的 2 个比较器 17、18。

[0073] 在图 12 中,电流源 12-1 具有由控制器 25 控制的开关 SW1,而电流源 12-2 具有由控制器 25 控制的开关 SW2。电流源 12-1 的电源连接点 12a 与比较器 17 的电源端子连接而供给电源电压 V_{cc} 。另外,电流源 12-2 的电源连接点 12a 与比较器 18 的电源端子连接而供给电源电压 V_{cc} 。电流源 12-1 的 P 沟道 MOSFET P3、P4 的各栅电压作为基准电压 V_{ref} 施加于比较器 17 的反相输入端子,并且,电流源 12-2 的 P 沟道 MOSFET P3、P4 的各栅电压作为基准电压 V_{ref} 施加于比较器 18 的反相输入端子。此外,电流源 12-1 的 P 沟道 MOSFET P4 的源经电阻 R_b 及电容器 11-1 接地,而电容器 11-1 的两端电压 V_{11} 施加于比较器 17 的非反相输入端子和施加于放电电路 D1 的端子 T2。电流源 12-2 的 P 沟道 MOSFET P4 的源经电阻 R_b 及电容器 11-2 接地,而电容器 11-2 的两端电压 V_{12} 施加于比较器 18 的非反相输入端子和施加于放电电路 D2 的端子 T2。发自比较器 17 的输出信号输入到置位复位型触发器 19 的置位端子 S。另外,发自比较器 18 的输出信号输入到置位复位型触发器 19 的复位端子 R。此外,发自置位复位型触发器 19 的非反相输出端子 Q 的输出信号输入到放电电路 D1 的控制端子 T1,而发自置位复位型触发器 19 的反相输出端子 $\bar{Q}$ 的输出信号输入到放电电路 D2 的控制端子 T1。

[0074] 图 13 为示出图 11 的振荡电路 40D 的第 2 具体例 40Db 的结构的电路图。在图 13 中,振荡电路 40Db 的结构特征为使用与图 3 的电流源 12A 结构相同的电流源 12A-1、12A-2 及与图 3 的比较器 14 结构相同的 2 个比较器 17、18。就是说,振荡电路 40Db,与图 12 的振荡电路 40Da 比较,具有图 3 的电流源 12A 代替图 2 的电流源 12,其他的结构,除了以下几点之外与图 12 一样。电流源 12A-1 具有由控制器 25 控制的开关 SW1,而电流源 12A-2 具有由控制器 25 控制的开关 SW2。另外,电流源 12A-1 的 P 沟道 MOSFET P1、P2 的各栅电压作为基准电压 V_{ref1} 施加于比较器 17 的反相输入端子,并且,电流源 12A-2 的 P 沟道 MOSFET

P1、P2 的各栅电压作为基准电压 V_{ref1} 施加于比较器 18 的反相输入端子。

[0075] 图 14 为示出图 11 的振荡电路 40D 的第 3 具体例 40Dc 的结构的电路图。在图 14 中,振荡电路 40Dc 的结构特征为使用与图 4 的电流源 12B 结构相同的电流源 12B-1、12B-2 及与图 4 的比较器 14 结构相同的 2 个比较器 17、18。就是说,振荡电路 40Dc,与图 12 的振荡电路 40Da 比较,具有图 4 的电流源 12B 代替图 2 的电流源 12,其他的结构,除了以下几点之外与图 12 一样。电流源 12B-1 具有由控制器 25 控制的开关 SW1,而电流源 12B-2 具有由控制器 25 控制的开关 SW2。

[0076] 图 15 为示出图 11 的振荡电路 40D 的动作的时序图。在图 15 中,控制器 25,在振荡电路 40D 的动作开始后,在开关 SW1 接通之后,延迟规定的时间间隔量使开关 SW2 接通。结果,首先,电容器 11-1 充电,在该两端电压 V_{11} 大于等于基准电压 V_{ref} 时,比较器 17 向置位复位型触发器 19 的置位端子 S 输出高电平的脉冲信号,结果,置位复位型触发器 19 置位,在从其非反相输出端子 Q 向输出端子 30 及放电电路 D1 的控制端子 T1 输出规定的高电平信号 V_q 的同时,从其反相输出端子 $\bar{Q}$ 向输出端子 31 及放电电路 D2 的控制端子 T1 输出规定的低电平信号 V_{qb} 。此时,一方面,放电电路 D1 导通,蓄积于电容器 11-1 上的电荷放电,另一方面,放电电路 D2 断开,发自电流源 12-2 的电流流到电容器 11-2,电荷进行蓄积。

[0077] 于是,电容器 11-2 充电,在其两端电压 V_{12} 大于等于基准电压 V_{ref} 时,比较器 18 向置位复位型触发器 19 的复位端子 R 输出高电平的脉冲信号,结果,置位复位型触发器 19 复位,在从其非反相输出端子 Q 向输出端子 30 及放电电路 D1 的控制端子 T1 输出规定的低电平信号 V_q 的同时,从其反相输出端子 $\bar{Q}$ 向输出端子 31 及放电电路 D2 的控制端子 T1 输出规定的高电平信号 V_{qb} 。此时,一方面放电电路 D1 断开,再次开始充电,另一方面放电电路 D2 接通,蓄积在电容器 11-2 的电荷进行放电。重复以上的动作,以规定的周期输出具有规定的脉冲宽度的高电平信号作为从输出端子 30 输出的信号 V_q ,即输出规定的振荡信号。

[0078] 在如上构成的振荡电路中,通过把响应复位信号,电容器 11-1 的电压通过其充电实质上与经过时间成比例地上升并在达到基准电压 V_{ref} 之后,响应置位信号,通过电容器 11-1 的放电,随着经过时间从基准电压 V_{ref} 下降,同时,响应置位信号,电容器 11-2 的电压通过充电实质上与经过时间成比例地上升而达到基准电压 V_{ref} 之后,响应复位信号,通过电容器 11-2 的放电,随着经过时间从基准电压 V_{ref} 下降的动作重复进行,就可以使从置位复位型触发器 19 的 2 个输出信号 V_q 、 V_{qb} 分别作为具有规定周期的振荡信号输出。

[0079] 如上所述,因为在本发明的实施方式 3 的半导体电路的振荡电路中,也是使用实施方式 1 的电流源 12、12A 或 12B 发出的充电电流和从电流源 12、12A 或 12B 发出的基准电压 V_{ref} ,执行包含实施方式 1 的定时器电路的动作的振荡电路的动作,所以电源电压 V_{cc} 即使下降,但因为一方面依赖电源电压 V_{cc} 的充电电流也变小,另一方面从电源电压 V_{cc} 下降了下降电压量的基准电压 V_{ref} 也减小。所以,电容器 11-1、11-2 的各电压通过充电实质上与经过时间成比例地上升而达到基准电压 V_{ref} 为止的延迟时间几乎不变。就是说,即使是电源电压 V_{cc} 下降,振荡电路的振荡周期也可以保持并且工作。所以,可以提供可以在从较低电压起的广阔范围的电源电压范围中稳定工作的振荡电路。

[0080] (实施方式 4)

[0081] 图 16 为示出作为本发明的实施方式 4 的半导体电路的振荡电路 40E 的结构的电路图。图 16 的振荡电路 40E 的结构特征为,与图 11 的振荡电路 40D 比较,具有 3 个电流源

12-1、12-2、12-3, 3 个反相器 NOT1、NOT2、NOT3, 3 个置位复位型触发器 FF1、FF2、FF3, 及 3 个放电电路 D1、D2、D3。另外, 电流源 12-1、12-2、12-3, 与上述电流源 12 一样, 是由 CMOS 电路构成的, 放电电路 D1、D2、D3 也分别具有与上述的放电电路 D1 同样的结构。

[0082] 在图 16 中, 电流源 12-1 的一端经开关 SW1 接地, 而电流源 12-1 的另一端经电容器 C1 接地。另外, 电流源 12-2 的一端经开关 SW2 接地, 而电流源 12-2 的另一端经电容器 C2 接地。此外, 电流源 12-3 的一端经开关 SW3 接地, 而电流源 12-3 的另一端经电容器 C3 接地。电容器 C1 的两端电压 V1 在施加于放电电路 D3 上的同时, 经反相器 NOT1 作为电压 Va 输入到“或非”门 NOR1 的第 1 输入端子及“或非”门 NOR2 的第 1 输入端子。另外, 电容器 C2 的两端电压 V2 在施加于放电电路 D2 的同时, 经反相器 NOT2 作为电压 Vb 输出到“或非”门 NOR2 的第 2 输入端子及“或非”门 NOR3 的第 2 输入端子。此外, 电容器 C3 的两端电压 V3 在施加于放电电路 D1 的同时, 经反相器 NOT3 作为电压 Vc 输入到“或非”门 NOR1 的第 2 输入端子及“或非”门 NOR3 的第 1 输入端子。另外, 各反相器 NOT1、NOT2、NOT3 输入信号大于等于规定的阈值电压时输出反转的低电平信号。这里, 各反相器 NOT1、NOT2、NOT3 的阈值电压, 优选是与上述实施方式一样, 设定为从电源电压 Vcc 减去 P 沟道 MOSFET 的阈值电压 Vthp 量的值。

[0083] 发自“或非”门 NOR1 的输出信号作为电压 Vd 输出到置位复位型触发器 FF1 的置位端子 S 及置位复位型触发器 FF2 的复位端子 R。另外, 从“或非”门 NOR2 发出的输出信号, 作为电压 Ve 输出到置位复位型触发器 FF1 的复位端子 R 及置位复位型触发器 FF3 的置位端子 S。此外, 发自“或非”门 NOR3 的输出信号作为电压 Vf 输出到置位复位型触发器 FF2 的置位端子 S 及置位复位型触发器 FF3 的复位端子 R。在发自置位复位型触发器 FF1 的非反相输出端子 Q 的输出信号作为电压 Vq1 输出到输出端子 30 的同时, 输出到放电电路 D1 的控制端子 T1。另外, 发自置位复位型触发器 FF2 的非反相输出端子 Q 的输出信号作为电压 Vq2 输出到放电电路 D2 的控制端子 T1。此外, 发自置位复位型触发器 FF3 的非反相输出端子 Q 的输出信号作为电压 Vq3 输出到放电电路 D3 的控制端子 T1。另外, 控制器 26, 在该振荡电路 40E 的动作开始后, 在开关 SW1 接通之后, 延迟规定的时间间隔量而使开关 SW2 接通, 此外, 延迟上述相同时间间隔量使开关 SW3 接通。

[0084] 图 17 为示出图 16 的振荡电路 40E 的第 1 具体例 40Ea 的结构的电路图。另外, 图 17 只示出从振荡电路 40E 的控制器 26 起至反相器 NOT1、NOT2、NOT3 及放电电路 D1、D2、D3 为止的电路。图 17 的振荡电路 40Ea 的结构特征为, 使用与图 2 的电流源 12 的结构相同的 3 个电流源 12-1、12-2、12-3。

[0085] 在图 17 中, 电流源 12-1 具有由控制器 26 控制的开关 SW1, 电流源 12-2 具有由控制器 26 控制的开关 SW2, 而电流源 12-3 具有由控制器 26 控制的开关 SW3。电流源 12-1 的 P 沟道 MOSFET P4 的源经电阻 Rb 及电容器 C1 接地, 而电容器 C1 的两端电压 V1 施加于反相器 NOT1 及放电电路 D3 的端子 T2。另外, 电流源 12-2 的 P 沟道 MOSFET P4 的源经电阻 Rb 及电容器 C2 接地, 而电容器 C2 的两端电压 V2 施加于反相器 NOT2 及放电电路 D2 的端子 T2。此外, 电流源 12-3 的 P 沟道 MOSFET P4 的源经电阻 Rb 及电容器 C3 接地, 而电容器 C3 的两端电压 V3 施加于反相器 NOT3 及放电电路 D1 的端子 T2。

[0086] 图 18 为示出图 16 的振荡电路 40E 的第 2 具体例 40Eb 的结构的电路图。另外, 图 18 只示出从振荡电路 40E 的控制器 26 起至反相器 NOT1、NOT2、NOT3 及放电电路 D1、D2、D3

为止的电路。图 18 的振荡电路 40Eb 的结构特征为,使用与图 3 的电流源 12A 的结构相同的 3 个电流源 12A-1、12A-2、12A-3。在图 18 中,电流源 12A-1 具有由控制器 26 控制的开关 SW1,电流源 12A-2 具有由控制器 26 控制的开关 SW2,而电流源 12A-3 具有由控制器 26 控制的开关 SW3。其他的结构,与图 17 一样。

[0087] 图 19 为示出图 16 的振荡电路 40E 的第 3 具体例 40Ec 的结构的电路图。另外,图 19 只示出从振荡电路 40E 的控制器 26 起至反相器 NOT1、NOT2、NOT3 及放电电路 D1、D2、D3 为止的电路。图 19 的振荡电路 40Ec 的结构特征为,使用与图 4 的电流源 12B 的结构相同的 3 个电流源 12B-1、12B-2、12B-3。在图 19 中,电流源 12B-1 具有由控制器 26 控制的开关 SW1,电流源 12B-2 具有由控制器 26 控制的开关 SW2,而电流源 12B-3 具有由控制器 26 控制的开关 SW3。其他的结构,与图 17 及图 18 一样。

[0088] 图 20 为示出图 16 的振荡电路 40E 的动作的时序图。在图 20 中,控制器 26,在振荡电路 40E 的动作开始后,在将开关 SW1 接通之后,延迟规定的时间间隔量而使开关 SW2 接通,此外,延迟上述相同时间间隔量而使开关 SW3 接通。结果,首先,电容器 C1 充电,在其两端电压 V1 大于等于反相器 NOT1 的阈值电压时,从反相器 NOT1 输出低电平信号 Va。接着,电容器 C2 充电,在两端电压 V2 变得大于等于反相器 NOT2 的阈值电压时,从反相器 NOT2 输出低电平信号 Vb。于是,电容器 C3 充电,在两端电压 V3 变得大于等于反相器 NOT3 的阈值电压时,从反相器 NOT3 输出低电平信号 Vc。其中,执行利用控制器 26 的启动时(电源投入时)的控制,使低电平信号 Va 和低电平信号 Vb 在规定的时间期间中重叠,并且使低电平信号 Vb 和低电平信号 Vc 在规定的时间期间中重叠,使低电平信号 Vc 和下一个循环的低电平信号 Va 在规定的时间期间中重叠。另外,在图 20 中,对于低电平信号 Va、Vb、Vc,为使图示简单化,图示采用低活动信号的形式 /Va、/Vb、/Vc。

[0089] 如上所述,因为低电平信号 Va、Vb、Vc 是依次互相重叠输出,所以以“或非”门 NOR2、NOR3、NOR1 的顺序,依次在同一周期中依次输出高脉冲信号 Ve、Vf、Vd。对此响应,依次输出发自置位复位型触发器 FF3 的高电平输出信号 Vq3、发自置位复位型触发器 FF2 的高电平输出信号 Vq2、发自置位复位型触发器 FF1 的高电平输出信号 Vq1。其中,放电电路 D3、D2、D1 也依次重复放电的通/断。所以,如图 20 所示,重复以上的动作,作为从输出端子 30 输出的信号 Vq1,以规定的周期输出具有规定的脉冲宽度的高电平信号,即输出规定的振荡信号。

[0090] 在以上的实施方式 4 的图 16 的振荡电路 40E 中,示出的是使用 3 个电流源 12-1、12-2、12-3 的示例,但也可以使用 4 个以上的电流源和与其相对应的元件电路构成同样的振荡电路。

[0091] 在该振荡电路中,对各电容器 C1、C2、C3,通过互相错开时间间隔地重复以下的操作,即响应复位信号,各电容器 C1、C2、C3 的电压由于分别通过其充电实质上与经过时间成比例地上升并在达到基准电压 Vref 之后,响应置位信号,通过各电容器 C1、C2、C3 的放电,随着经过时间从基准电压 Vref 下降的操作,可以使从各置位复位型触发器 FF1、FF2、FF3 发出的输出信号分别作为具有规定的周期的振荡信号输出。

[0092] 如上所述,因为在本发明的实施方式 4 的半导体电路的振荡电路中,也是使用实施方式 1 的电流源 12、12A 或 12B 发出的充电电流和从电流源 12、12A 或 12B 发出的基准电压 Vref,执行包含实施方式 1 的定时器电路的动作的振荡电路的动作,所以电源电压 Vcc 即

使下降,但因为一方面依赖电源电压 V_{cc} 的充电电流也变小,另一方面从电源电压 V_{cc} 下降了下降电压量的基准电压 V_{ref} 也减小。所以,电容器 $C1$ 、 $C2$ 、 $C3$ 的各电压通过充电实质上与经过时间成比例地上升而达到基准电压 V_{ref} 为止的时间几乎不变。就是说,即使是电源电压 V_{cc} 下降,振荡电路的振荡周期也可以保持并且工作。所以,可以提供可以在从较低电压起的广阔范围的电源电压范围中稳定工作的振荡电路。

[0093] (实施方式 5)

[0094] 图 21 为示出本发明的实施方式 5 的半导体电路的振荡电路 40F 的结构的电路图。图 21 的振荡电路 40F 的特征为,与图 16 的振荡电路 40E 比较,具有阈值缓冲器 THB1、THB2、THB3 代替反相器 NOT1、NOT2、NOT3,并且具有每个带有 2 个反相输入端子的“或”门 OR1、OR2、OR3 代替“或非”门 NOR1、NOR2、NORS。在如上构成的振荡电路 40F 中,除了输出信号 V_a 、 V_b 、 V_c 与图 16 的振荡电路 40E 比较进行反转之外,与振荡电路 40E 同样地动作。

[0095] 在以上的实施方式 5 的图 21 的振荡电路 40F 中,示出的是使用 3 个电流源 12-1、12-2、12-3 的示例,但也可以使用与 4 个以上的电流源和与其相对应的元件电路构成同样的振荡电路。

[0096] 图 22 为示出图 21 的振荡电路 40F 的第 1 具体例 40Fa 的结构的电路图。另外,图 22 只示出从振荡电路 40F 的控制器 26 起至阈值缓冲器 THB1、THB2、THB3 及放电电路 D1、D2、D3 为止的电路。图 22 的振荡电路 40Fa 的结构特征为,使用与图 2 的电流源 12 的结构相同的 3 个电流源 12-1、12-2、12-3。其中,图 22 的振荡电路 40Fa,与图 17 的振荡电路 40Ea 比较,具有阈值缓冲器 THB1、THB2、THB3 分别代替反相器 NOT1、NOT2、NOT3,只有这一点不同。

[0097] 图 23 为示出图 21 的振荡电路 40F 的第 2 具体例 40Fb 的结构的电路图。另外,图 23 只示出从振荡电路 40F 的控制器 26 起至阈值缓冲器 THB1、THB2、THB3 及放电电路 D1、D2、D3 为止的电路。图 23 的振荡电路 40Fb 的结构特征为,使用与图 3 的电流源 12A 的结构相同的 3 个电流源 12A-1、12A-2、12A-3。其中,图 23 的振荡电路 40Fb,与图 18 的振荡电路 40Eb 比较,具有阈值缓冲器 THB1、THB2、THB3 分别代替反相器 NOT1、NOT2、NOT3,只有这一点不同。

[0098] 图 24 为示出图 21 的振荡电路 40F 的第 3 具体例 40Fc 的结构的电路图。图 24 只示出从振荡电路 40F 的控制器 26 起至阈值缓冲器 THB1、THB2、THB3 及放电电路 D1、D2、D3 为止的电路。图 24 的振荡电路 40Fc 的结构特征为,使用与图 4 的电流源 12B 的结构相同的 3 个电流源 12B-1、12B-2、12B-3。其中,图 24 的振荡电路 40Fc,与图 19 的振荡电路 40Ec 比较,具有阈值缓冲器 THB1、THB2、THB3 分别代替反相器 NOT1、NOT2、NOT3,只有这一点不同。

[0099] 如上所述,在本发明的实施方式 5 的半导体电路的振荡电路中,具有与实施方式 4 同样的作用效果,即使是电源电压 V_{cc} 下降,振荡电路的振荡周期也可以保持并且工作,可以提供可以在从较低电压起的广阔范围的电源电压范围中稳定工作的振荡电路。

[0100] 如以上所详述,根据本发明的半导体电路,使用以电源电压驱动,输出依赖上述电源电压的电流的同时输出从上述电源电压下降了预定的下降电压量的基准电压的电流源对电容器进行充电,具有将上述电容器的电压与从上述电流源输出的基准电压进行比较,并在大于等于上述基准电压时,输出输出信号的比较器,构成从电源电压的供给的开始,上述电容器的电压通过上述电容器的充电实质上与经过时间成比例地上升,并且达到上述基

准电压为止的延迟时间之后输出上述输出信号的定时器电路。因此,上述电源电压即使下降,但因为一方面依赖上述电源电压的充电电流也变小,另一方面从上述电源电压下降了上述下降电压量的基准电压也减小,所以上述电容器的电压通过上述电容器的充电,实质上与经过时间成比例地上升,并且达到上述基准电压为止的延迟时间几乎不变。就是说,即使是上述电源电压下降,定时器电路的延迟时间也可以保持并且工作。所以,可以提供可以在从较低电压起的广阔范围的电源电压范围中稳定工作的定时器电路及包含该定时器电路的振荡电路。

图 1

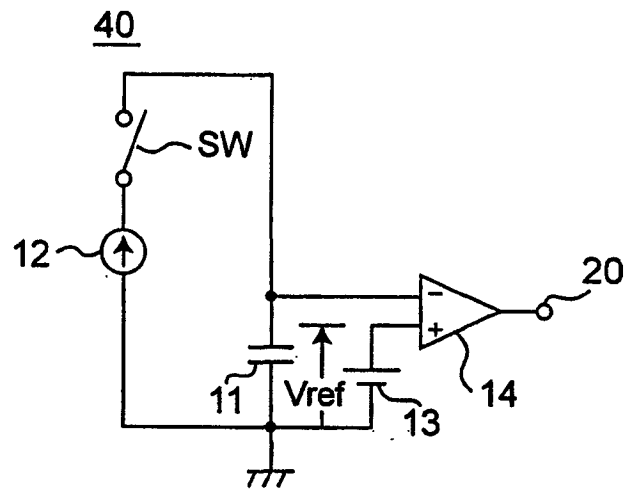


图 2

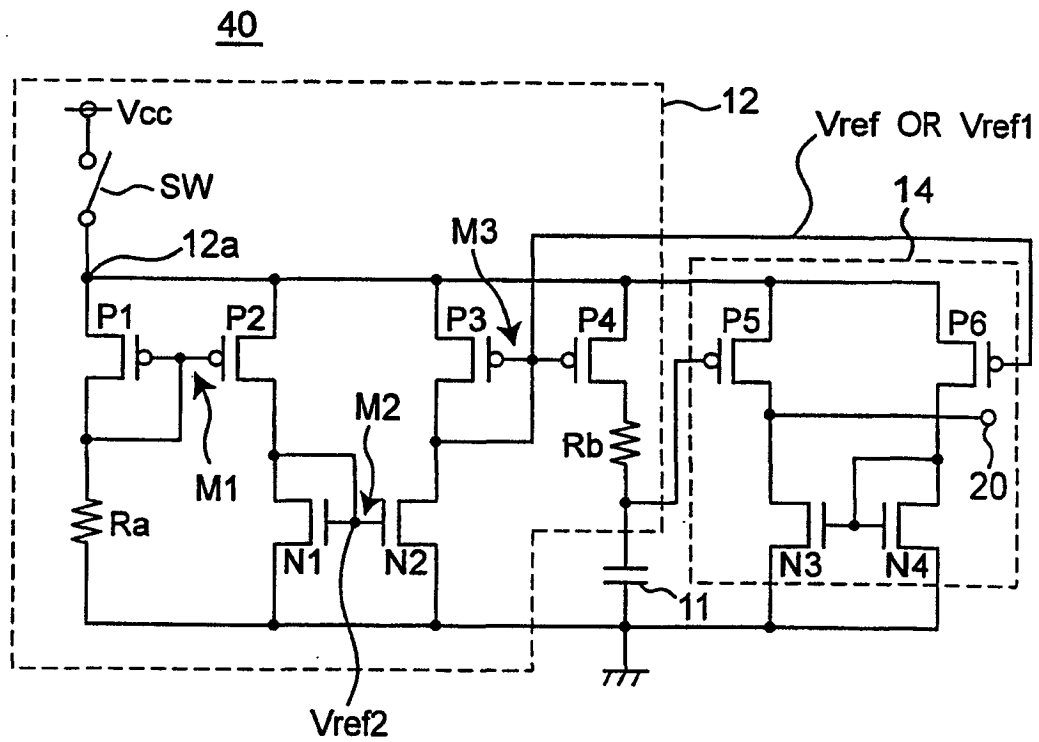


图 3

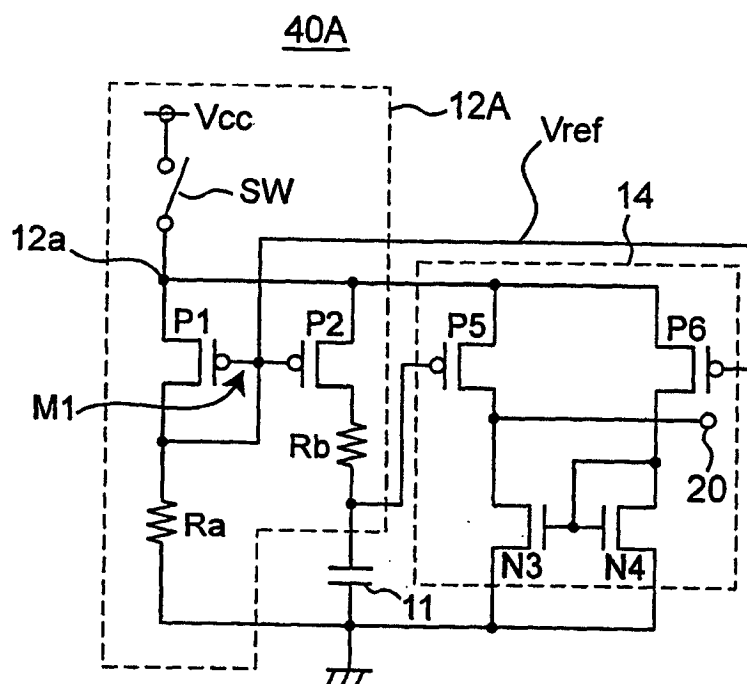


图 4

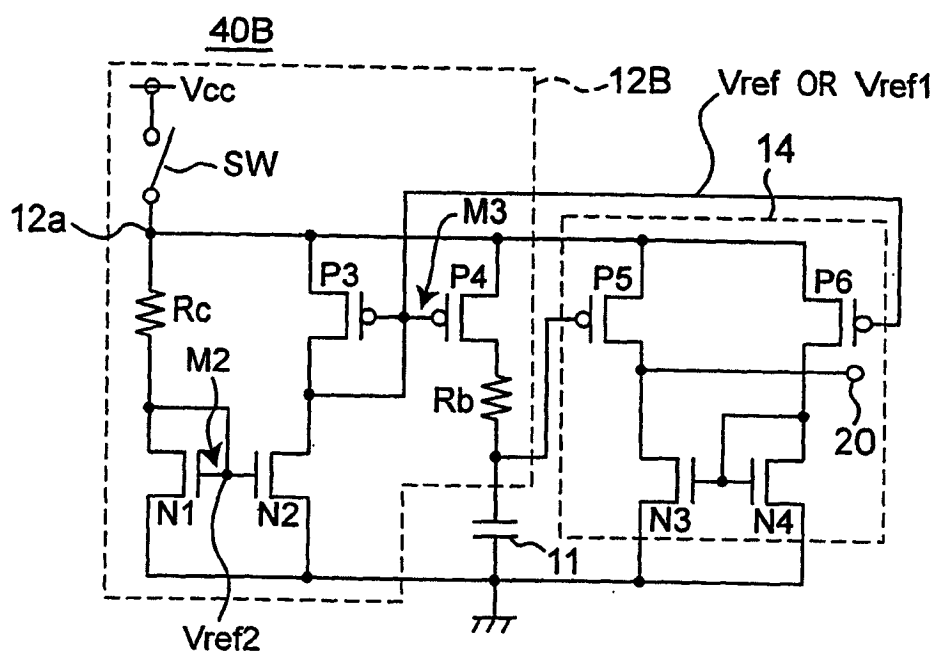


图 5

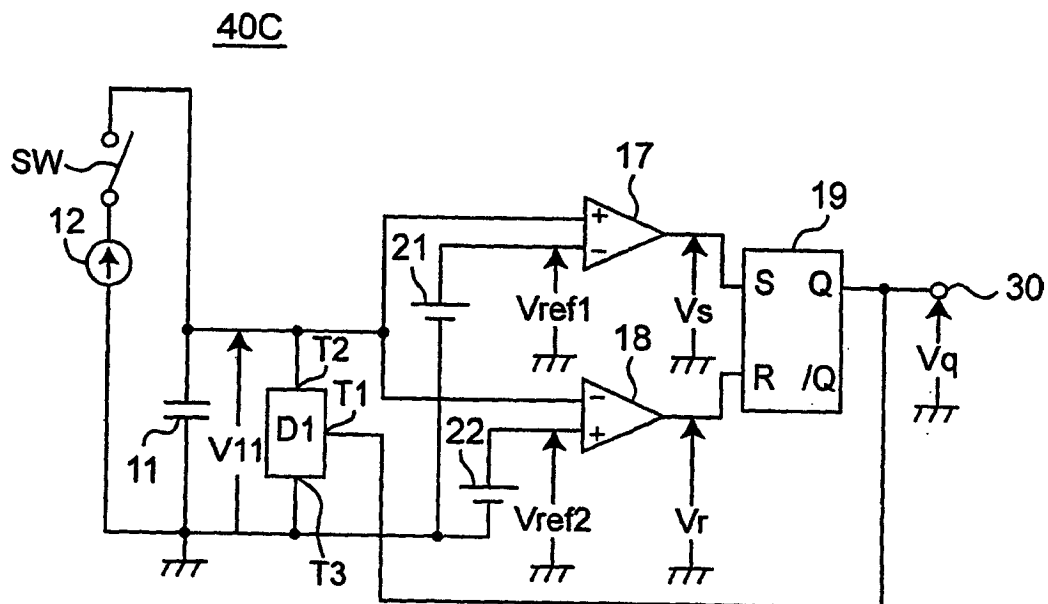


图 6

40Ca

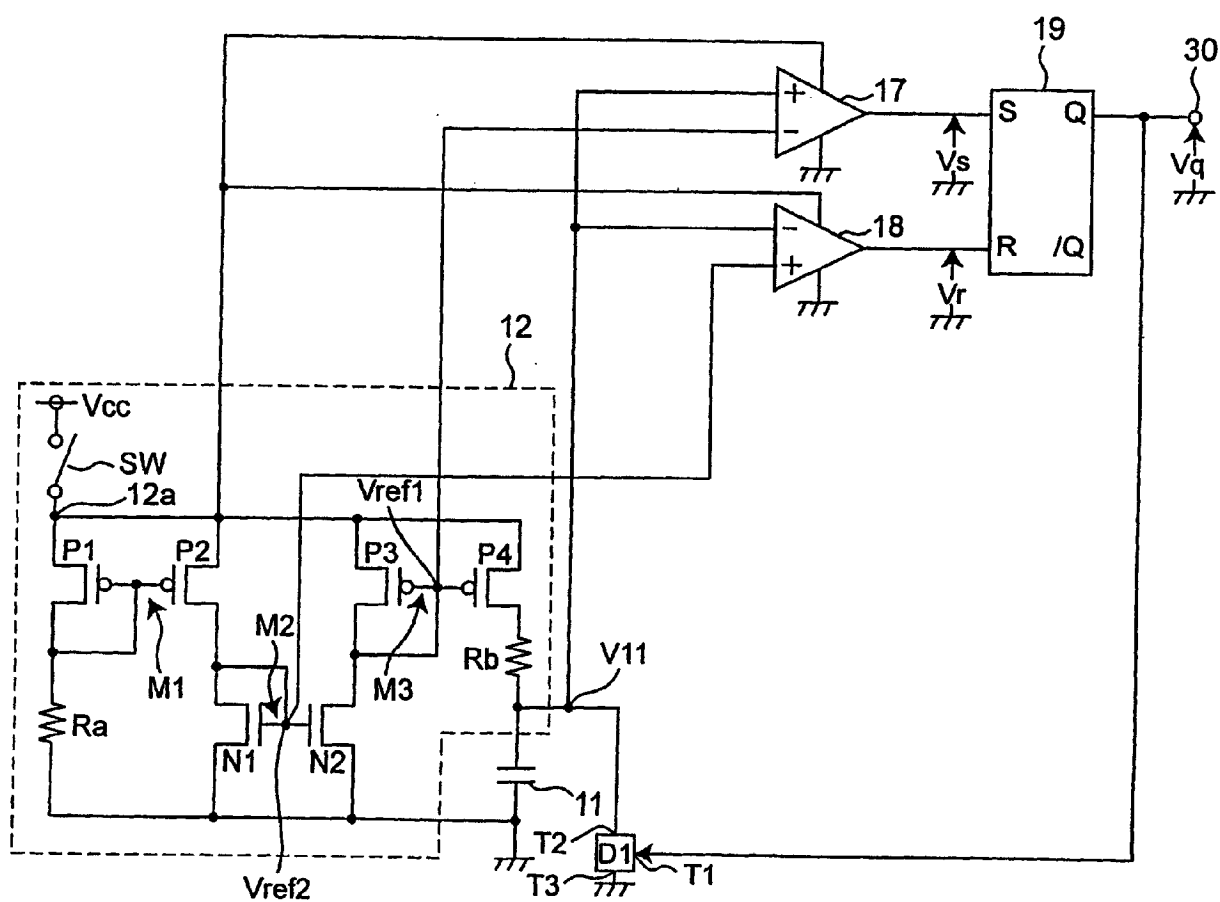


图 8

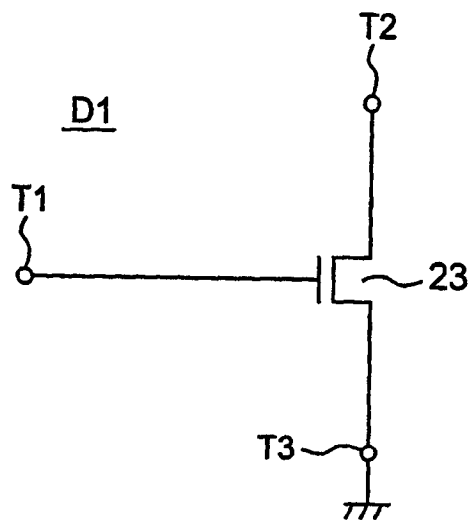


图 9

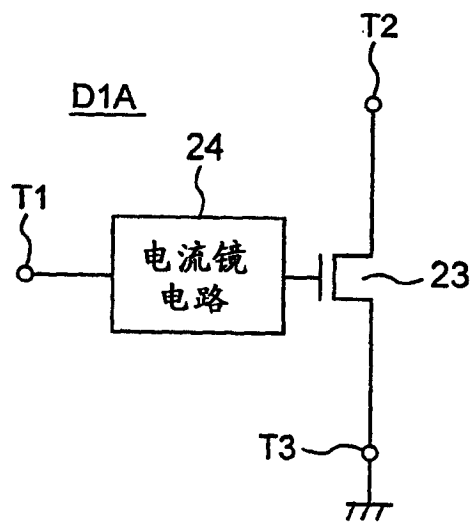


图10

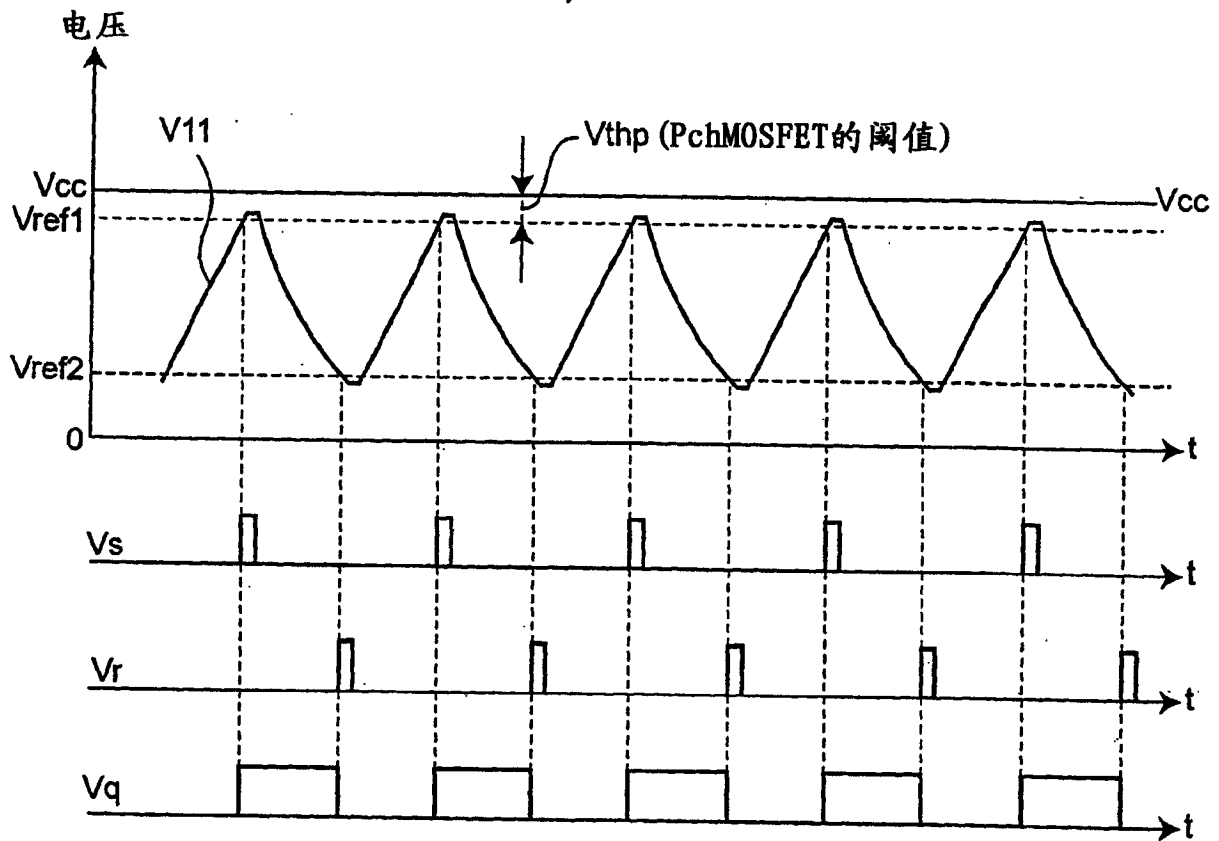


图11

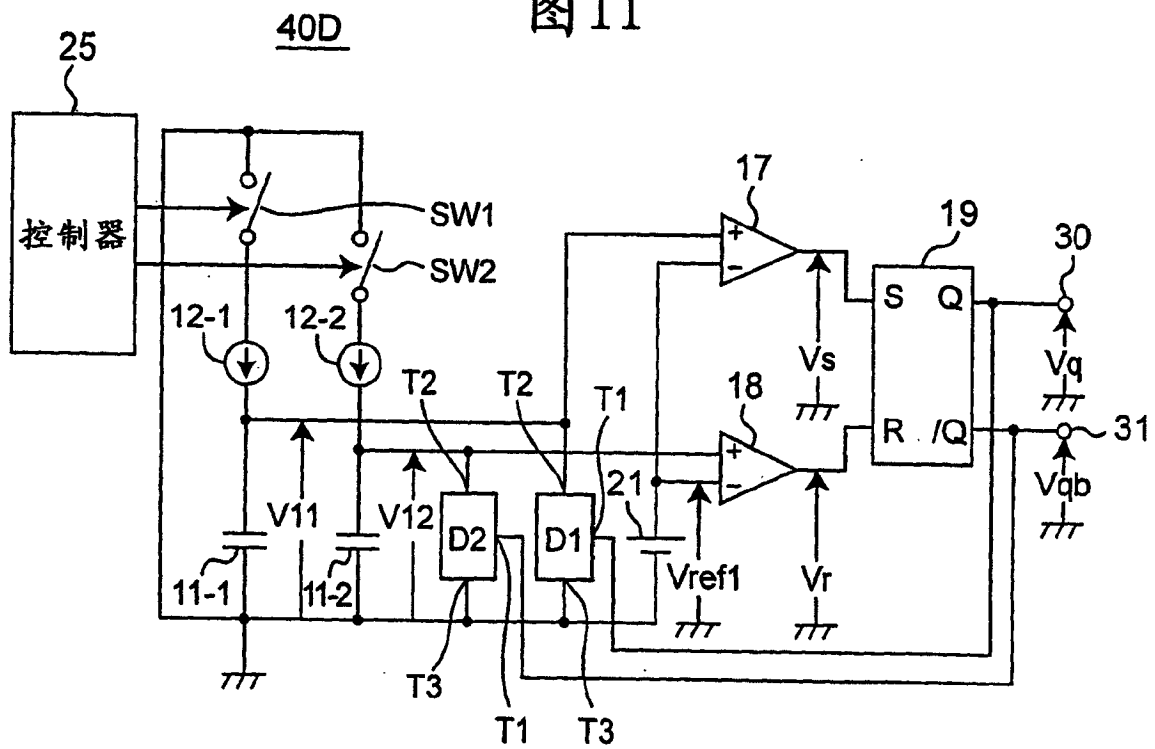


图12

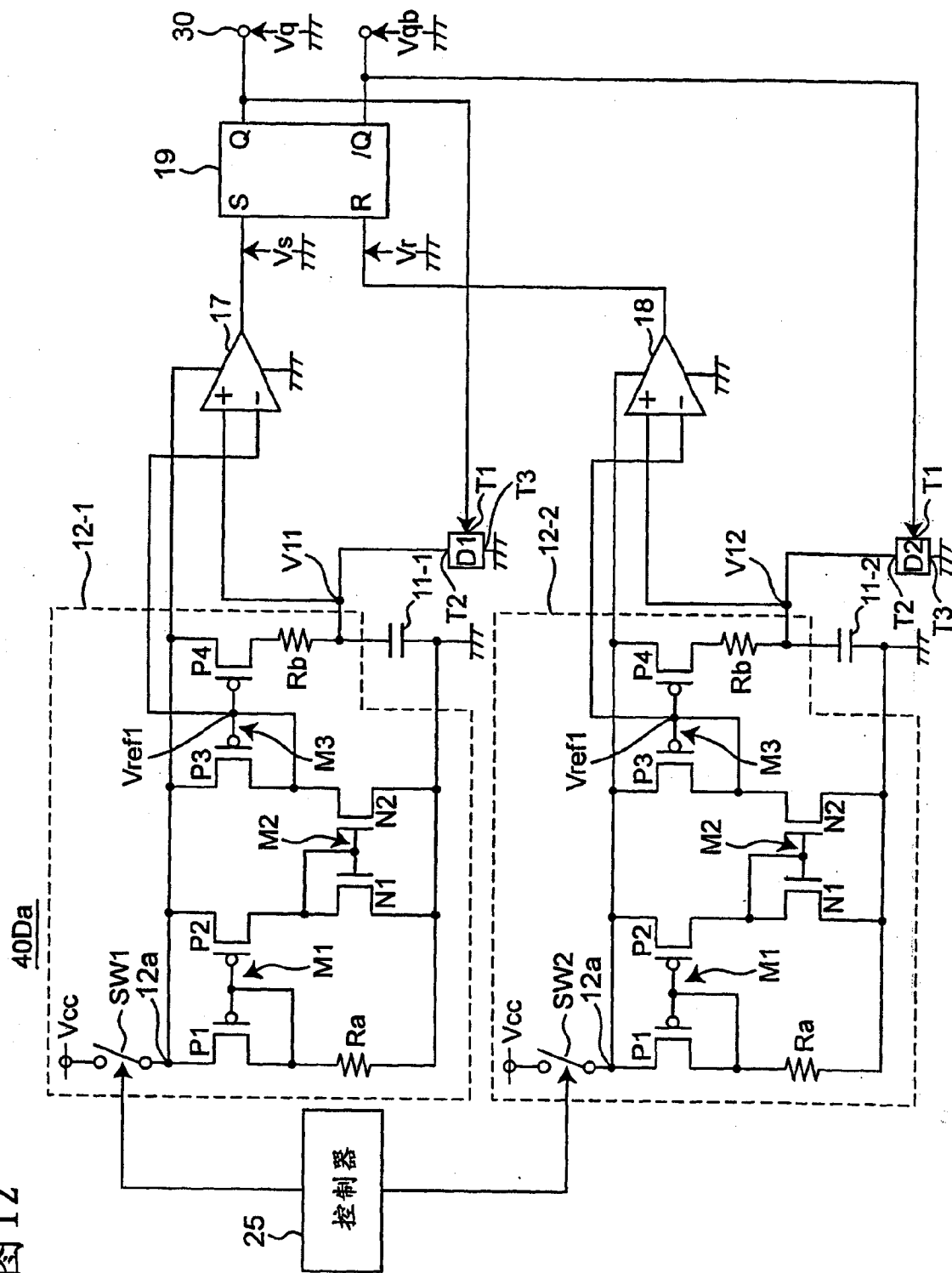


图 13

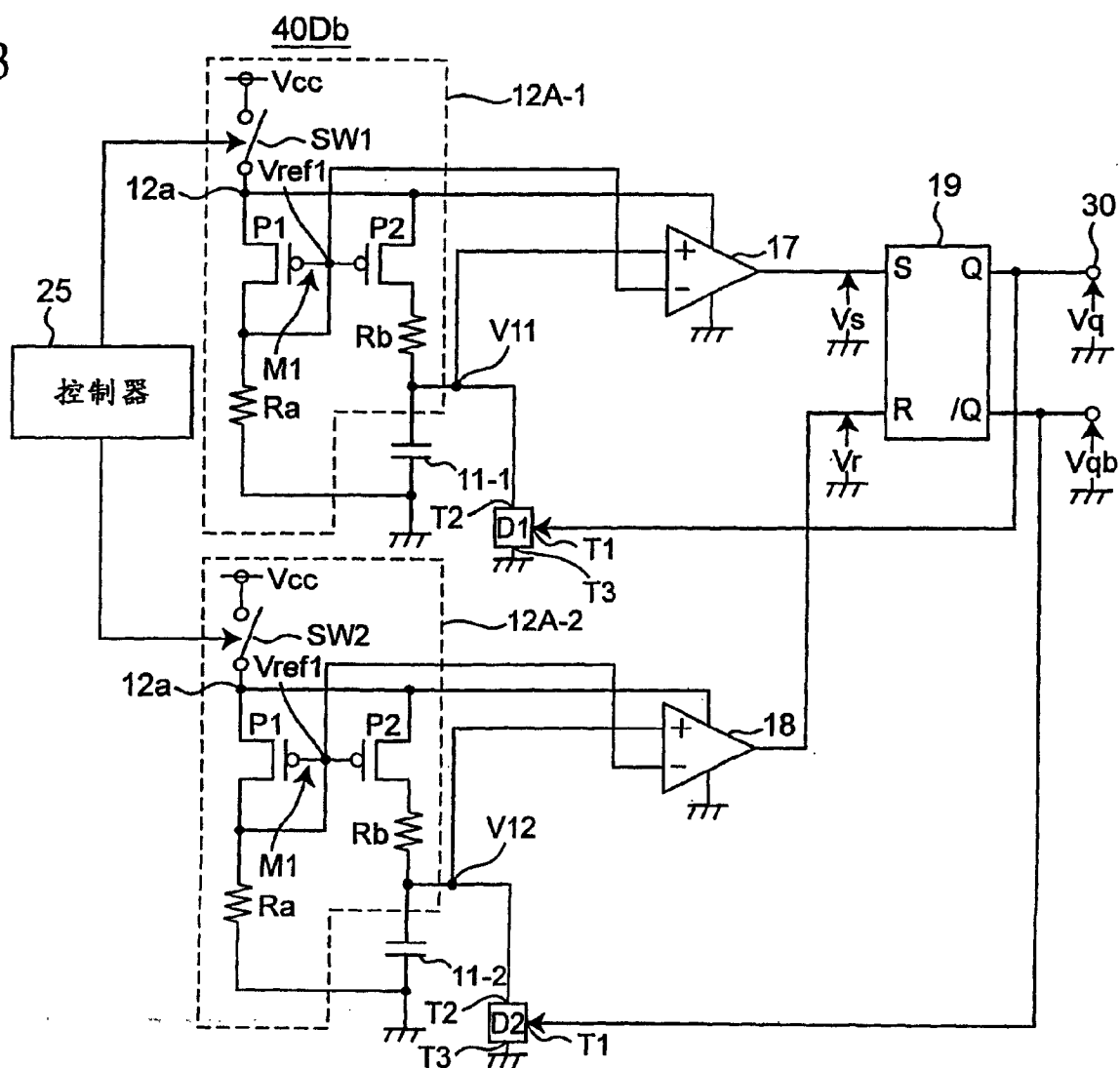


图 14

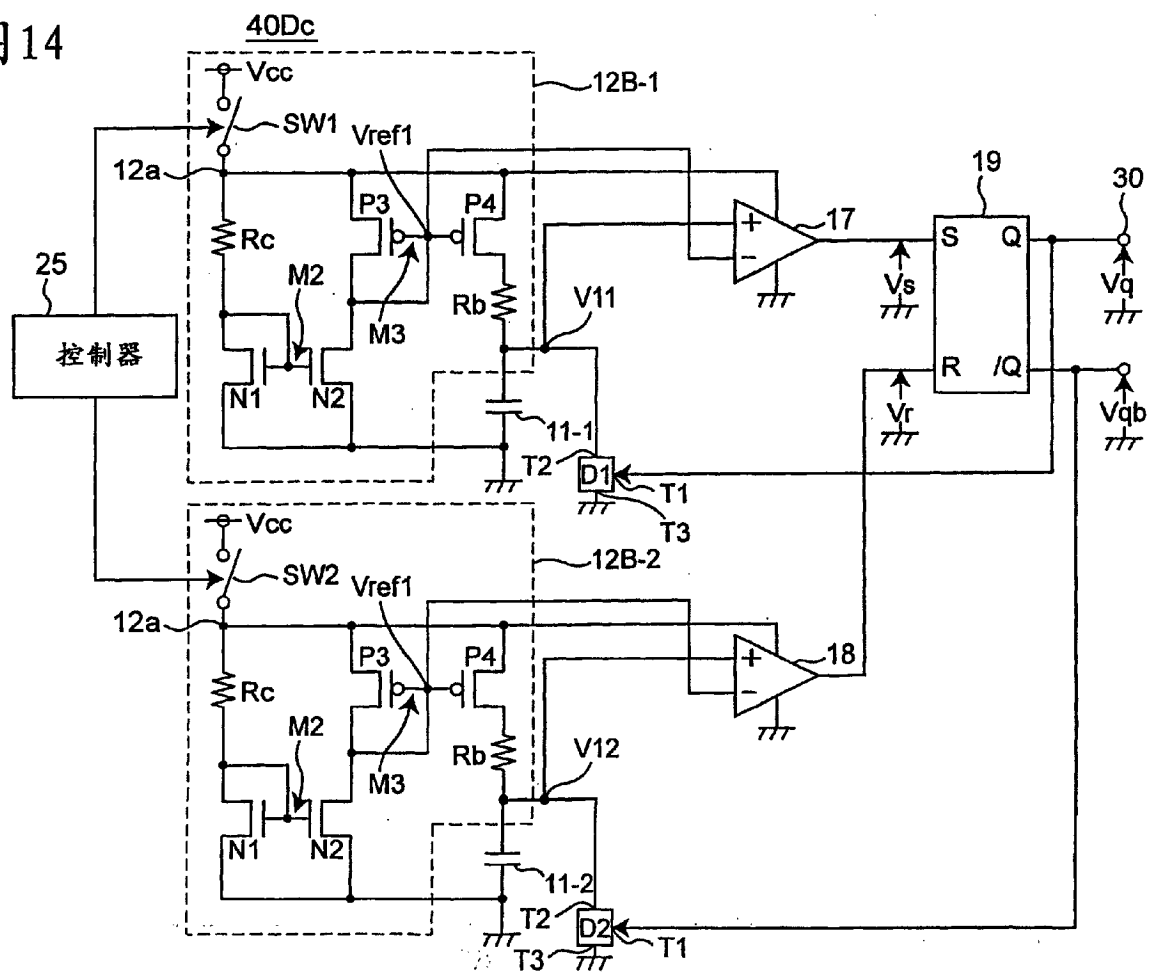


图15

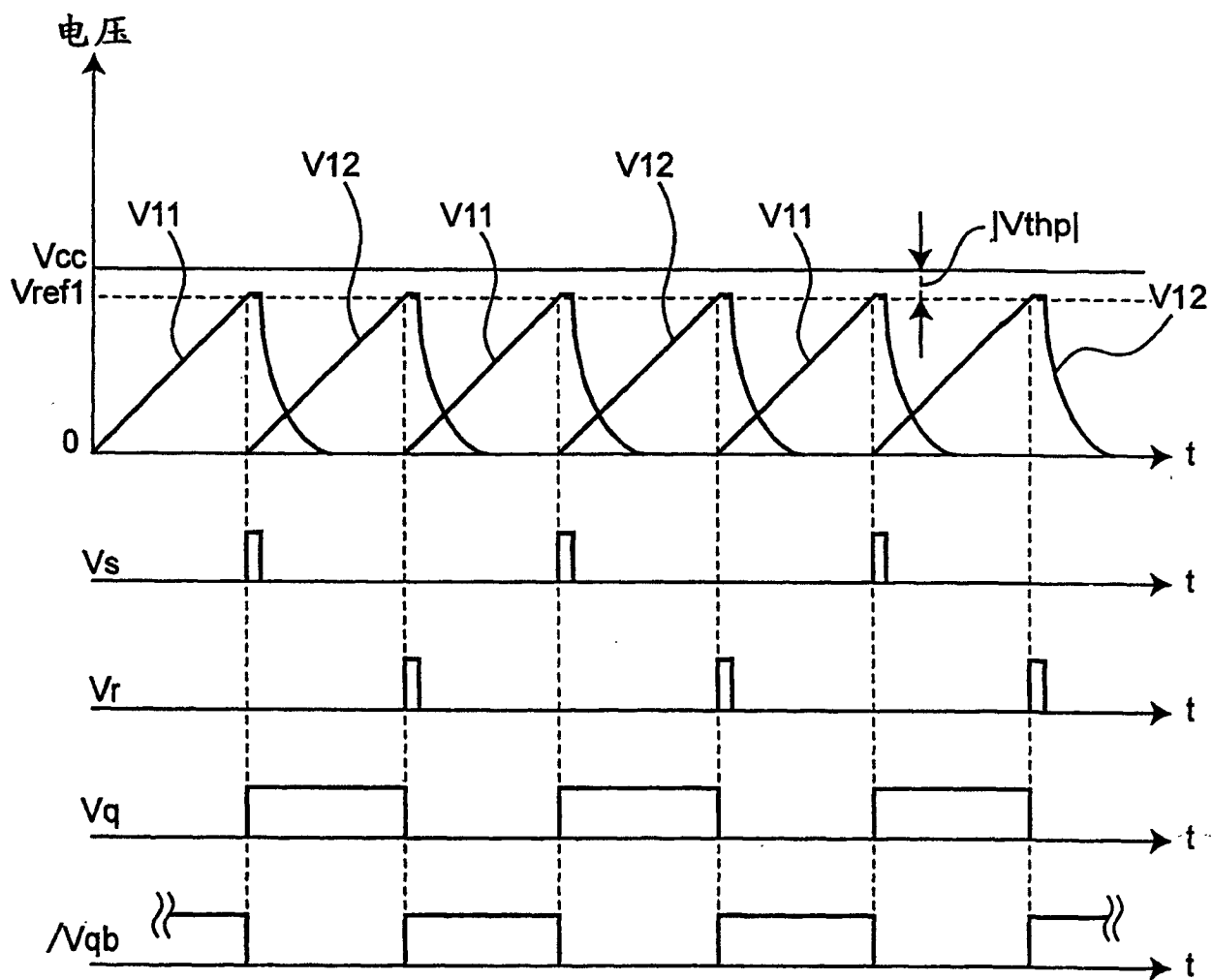


图16

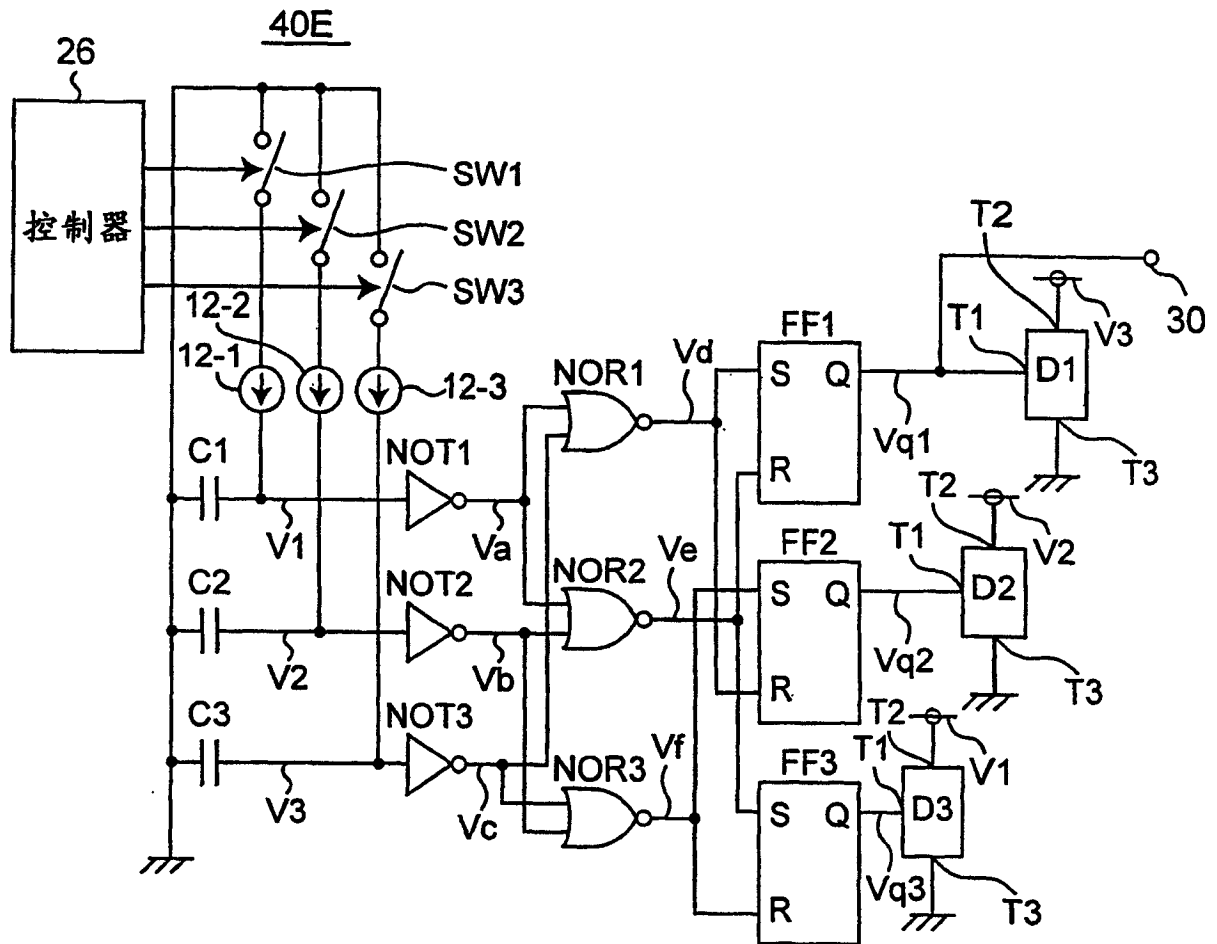


图 17

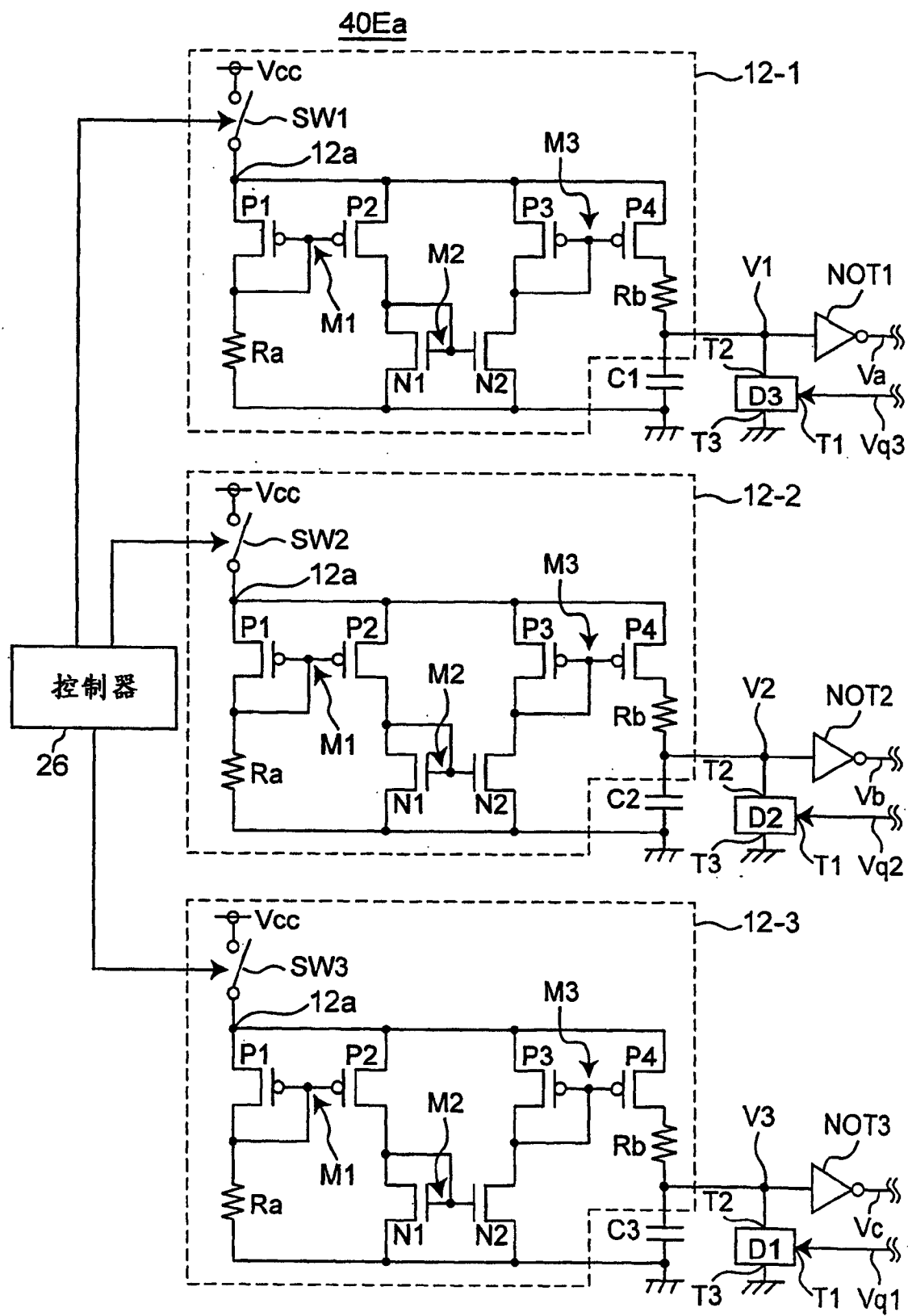


图 18

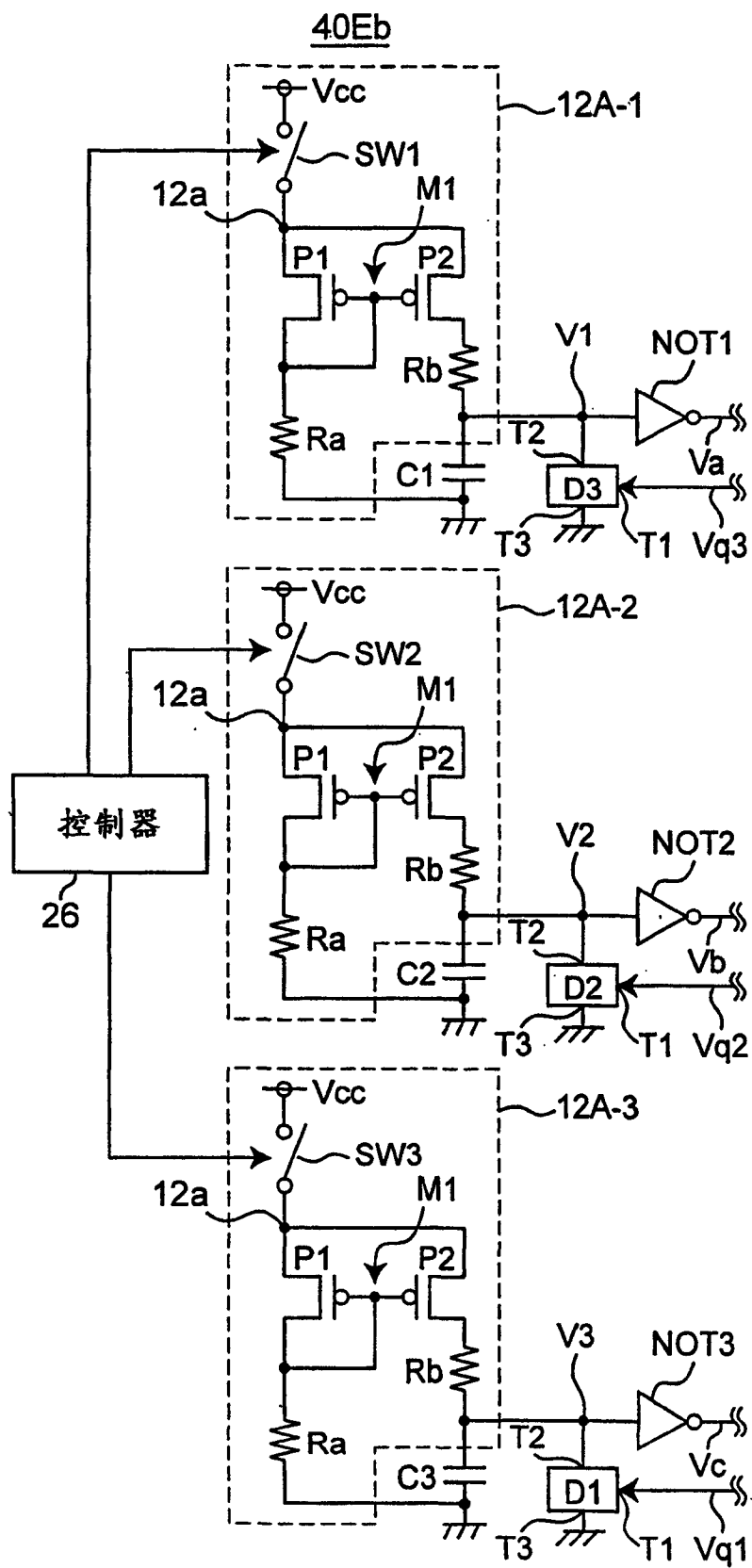


图 20

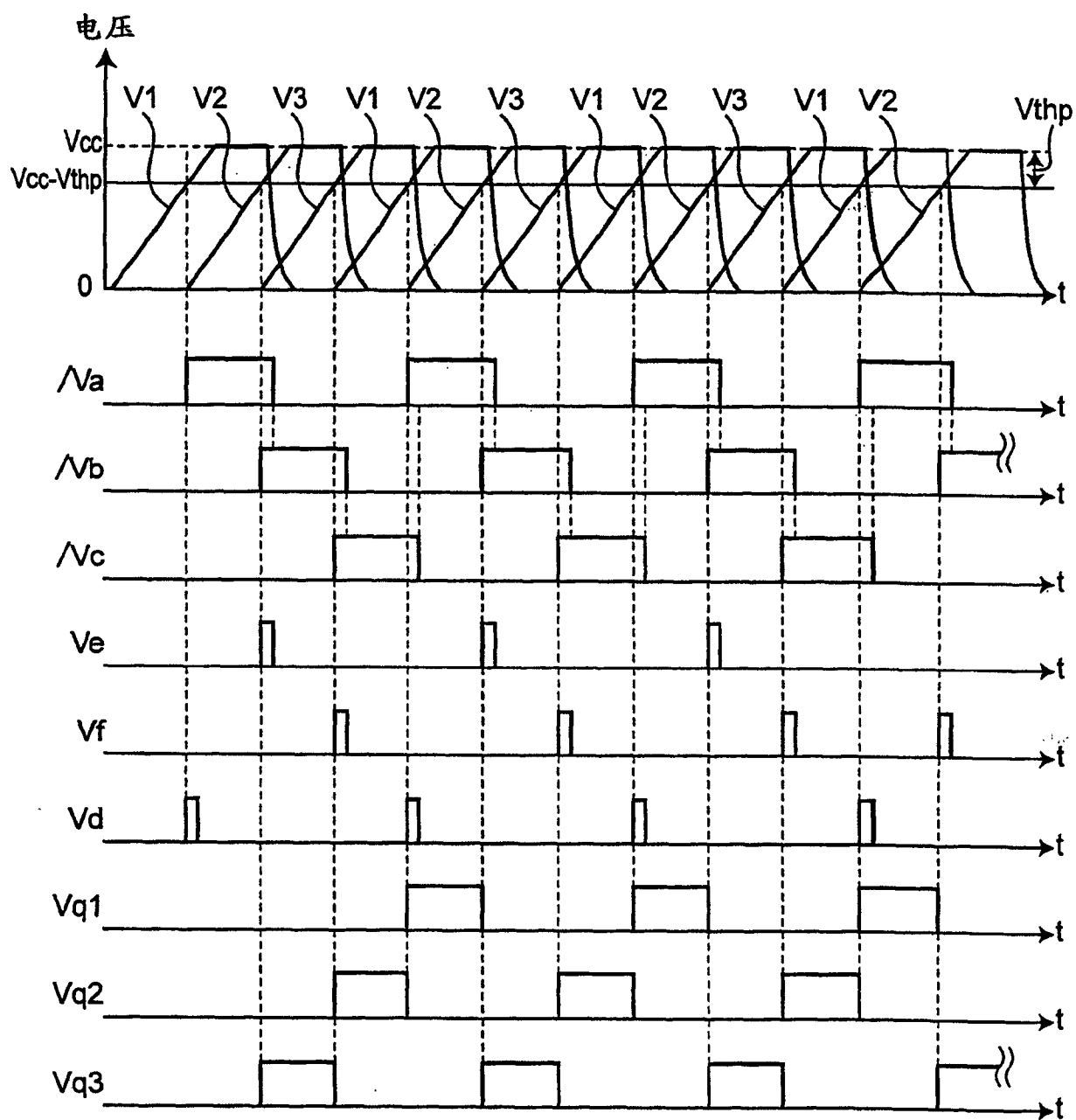


图 21

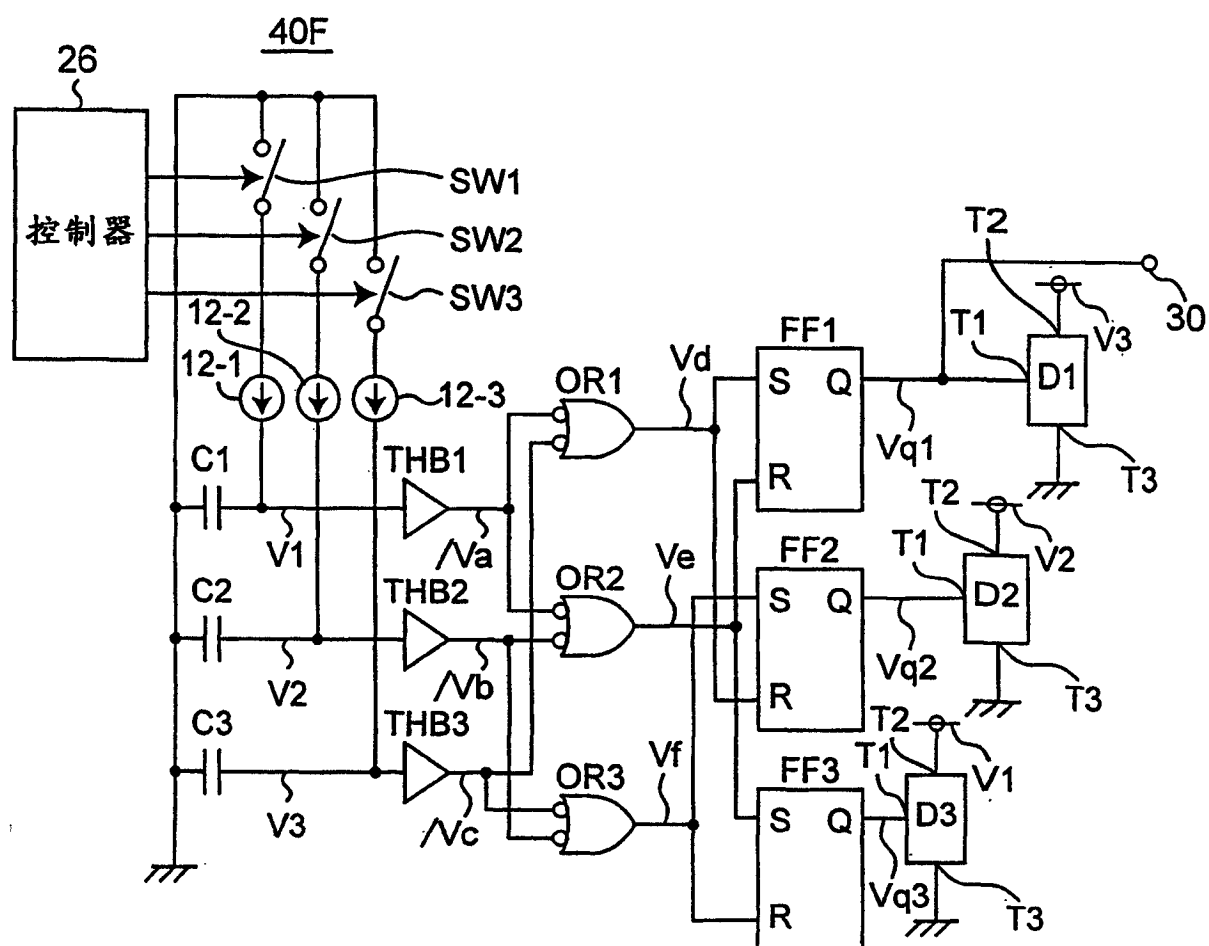


图 22

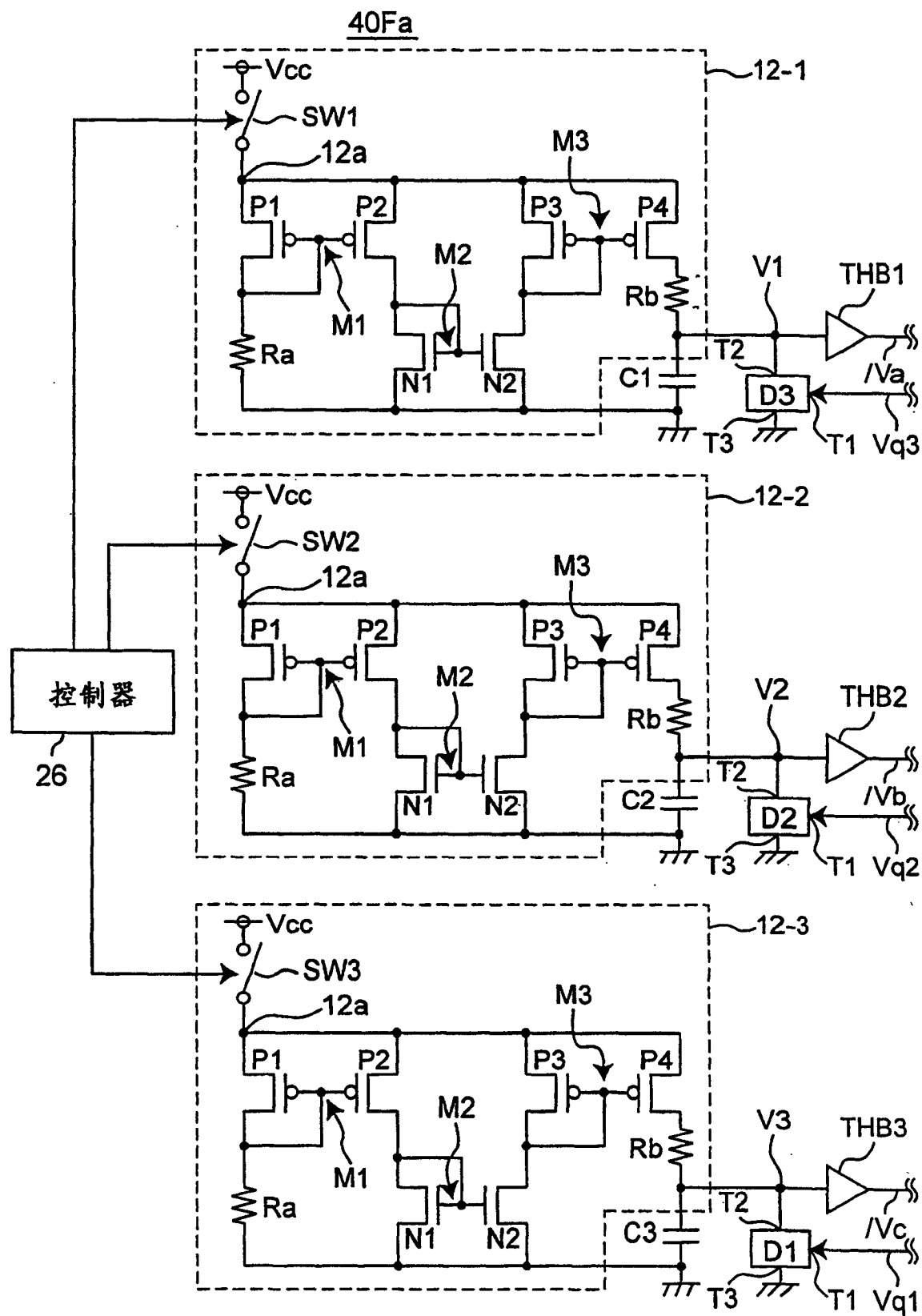


图 23

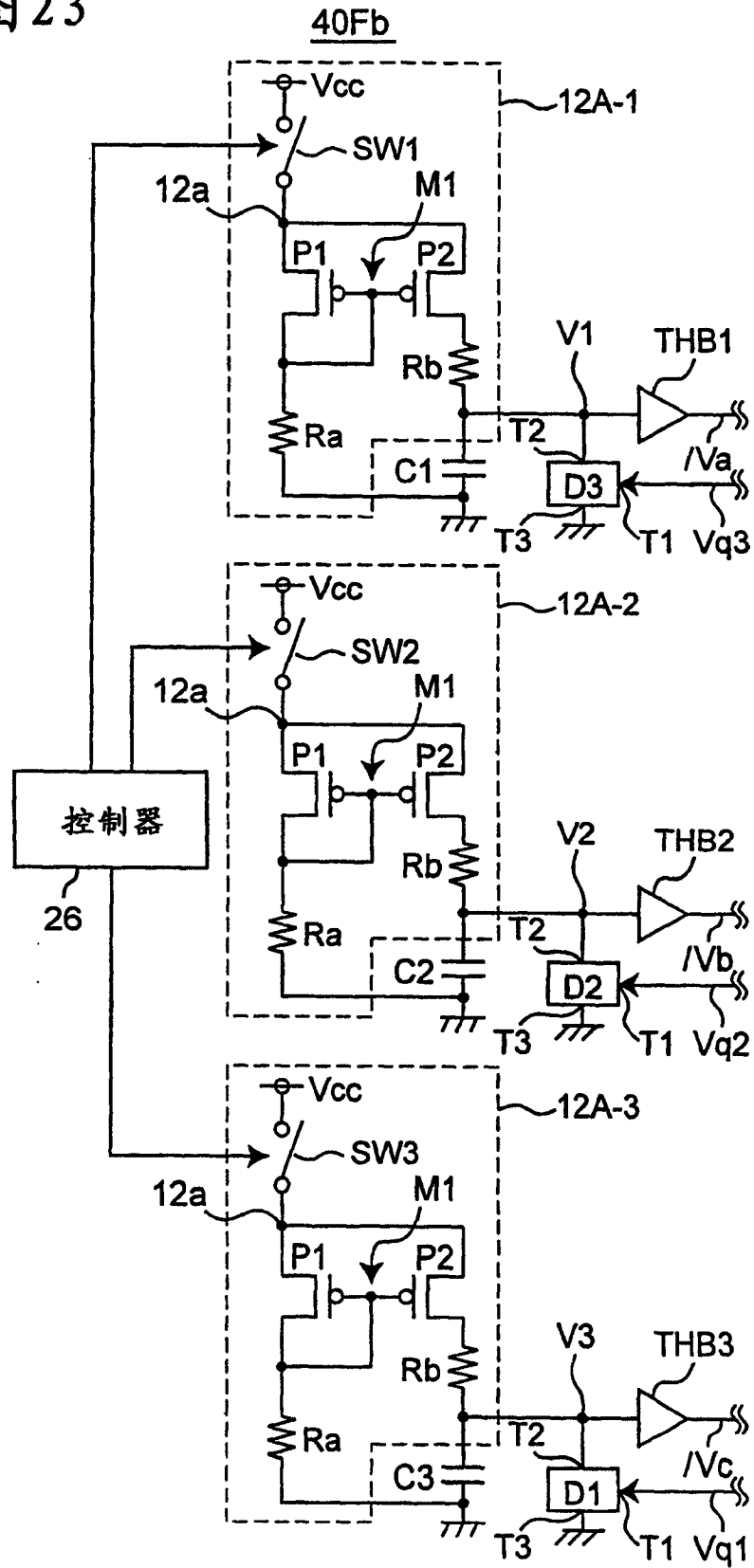


图 24

