

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4338060号
(P4338060)

(45) 発行日 平成21年9月30日(2009.9.30)

(24) 登録日 平成21年7月10日(2009.7.10)

(51) Int. Cl. F I
GO 1 R 33/09 (2006.01) GO 1 R 33/06 R
HO 1 L 43/08 (2006.01) HO 1 L 43/08 Z

請求項の数 4 (全 10 頁)

(21) 出願番号	特願平11-148441	(73) 特許権者	000237721
(22) 出願日	平成11年5月27日(1999.5.27)		F D K株式会社
(65) 公開番号	特開2000-338211(P2000-338211A)		東京都港区新橋5丁目36番11号
(43) 公開日	平成12年12月8日(2000.12.8)	(74) 代理人	100078961
審査請求日	平成18年1月20日(2006.1.20)		弁理士 茂見 穰
		(72) 発明者	林 智幸
			東京都港区新橋5丁目36番11号 富士電気化学株式会社内
		(72) 発明者	鈴木 保敏
			東京都港区新橋5丁目36番11号 富士電気化学株式会社内
		(72) 発明者	定行 勝
			東京都港区新橋5丁目36番11号 富士電気化学株式会社内

最終頁に続く

(54) 【発明の名称】 磁気センサの製造方法

(57) 【特許請求の範囲】

【請求項1】

4個のスピナルブ型磁気抵抗素子が単一基板上で菱形の頂点位置に配列形成されると共に、前記基板上でそれら各磁気抵抗素子間をループ状に接続する導電体層が形成されており、前記各磁気抵抗素子の磁界に応答し難いピン止め磁性層の磁化方向が、対角の位置関係にある磁気抵抗素子同士では平行、隣接する位置関係にある磁気抵抗素子同士では反平行となっている磁気センサを製造する方法であって、ストライプ状に多極着磁した永久磁石板の上に基板を載せ、対角の位置関係にある一対の磁気抵抗素子が同一のストライプ状領域の上に位置し、残りの2個の磁気抵抗素子が前記一対の磁気抵抗素子の両側の逆向きに着磁されたストライプ状領域の上にそれぞれ位置するように菱形の頂点に配列し、その上で磁気抵抗素子の成膜を行うことを特徴とする磁気センサの製造方法。

10

【請求項2】

4個のスピナルブ型磁気抵抗素子が単一基板上で菱形の頂点位置に配列形成されると共に、前記基板上でそれら各磁気抵抗素子間をループ状に接続する導電体層が形成されており、前記各磁気抵抗素子の磁界に応答し難いピン止め磁性層の磁化方向が、対角の位置関係にある磁気抵抗素子同士では平行、隣接する位置関係にある磁気抵抗素子同士では反平行となっている磁気センサを製造する方法であって、ストライプ状に多極着磁した永久磁石板の上に基板を載せ、対角の位置関係にある一対の磁気抵抗素子が同一のストライプ状領域の上に位置し、残りの2個の磁気抵抗素子が前記一対の磁気抵抗素子の両側の逆向きに着磁されたストライプ状領域の上にそれぞれ位置するように菱形の頂点に配列し、そ

20

の上で磁気抵抗素子の熱処理を行うことを特徴とする磁気センサの製造方法。

【請求項 3】

スピバルブ型磁気抵抗素子が、外部磁界に対し磁化の向きを自由に変えるフリー磁性層と、非磁性金属層と、外部磁界に対し応答し難いピン止め磁性層と、該ピン止め磁性層をピン止めする反強磁性層を積層した構造のスピバルブ型 GMR 素子である請求項 1 又は 2 記載の磁気センサの製造方法。

【請求項 4】

スピバルブ型磁気抵抗素子が、外部磁界に対し磁化の向きを自由に変えるフリー磁性層と、絶縁層と、外部磁界に対し応答し難いピン止め磁性層と、該ピン止め磁性層をピン止めする反強磁性層を積層した構造のスピバルブ型トンネル MR 素子である請求項 1 又は 2 記載の磁気センサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、4 個のスピバルブ型磁気抵抗素子を単一基板上で菱形の頂点に位置するように配列形成し、それらを導電体層でループ状に接続した構造の磁気センサの製造方法に関するものである。この磁気センサは、例えば地磁気の検出や微小位置決めセンサなどに有用である。

【0002】

【従来の技術】

微小な磁界を検知する超高感度磁気センサとして、NiFe、CoFe 膜の異方性磁気抵抗効果 (AMR) を利用するものがある。この種の磁気センサは、フォトリソグラフィ技術によって基板上に多数個形成するように、蒸着法あるいはスパッタ法などにより作製される。これらの磁性膜は、温度変化に敏感であるため、ブリッジを組んで差動出力をとるように構成する。

【0003】

軟磁性膜の異方性の制御方法としては、素子パターンの形状異方性を利用する方法と、永久磁石による磁界やコイルへの通電による磁界を印加しながら成膜して誘導磁気異方性を付与方法がある。異方性磁気抵抗効果 (AMR) を利用する磁気抵抗素子においては、膜の磁化方向と電流の流れる向きとの相対角度で抵抗が変化するため、零磁界から正負の磁界に対して抵抗は対称に変化する。磁界センサとしては、ブリッジ回路で差動出力を得るように結線するため、磁気抵抗素子にバイアス磁界を加え、磁界に対する応答を線形にしている。

【0004】

異方性磁気抵抗効果 (AMR) は、抵抗変化率 (= (抵抗変化量 / 抵抗値) × 100%) が 2 ~ 3% と低く、そこで、より高感度化の要求に対応するため GMR (巨大磁気抵抗効果) を利用したスピバルブ型 GMR 素子やスピントンネル現象を利用したスピバルブ型トンネル MR 素子を用いる磁気センサが提案されている。

【0005】

スピバルブ型 GMR 素子は、外部磁界に対し磁化の向きを自由に変えるフリー磁性層と、非磁性金属層と、外部磁界に対し応答し難いピン止め磁性層を積層した構造を有しており、2 つの磁性層の磁化の向きの相対角度に依存して電気抵抗が変化する現象を利用している。このようなスピバルブ型 GMR 素子は、磁界に対する線形性が優れ、且つ抵抗変化率が 5 ~ 10% と高い特性をもつ。

【0006】

スピバルブ型トンネル MR 素子は、外部磁界に対し磁化の向きを自由に変えるフリー磁性層と、絶縁層と、外部磁界に対し応答し難いピン止め磁性層を積層した構造を有しており、2 つの磁性層間に電圧を印加し、電子をトンネリングさせたときの 2 つの磁性層の磁化の向きの相対角度により、電子のトンネル確率が変化する現象を利用している。外部磁界に対する抵抗変化率の変化を大きくするため、強磁性層に隣接して反強磁性層 (FeM

10

20

30

40

50

n, NiMn)を積層する構成が提案されている(特開平9-106514号公報参照)。また、NiFe/Co/絶縁層(Al-Al₂O₃)/Co/NiFe/FeMnの積層構造において抵抗変化率が10%以上得られることが報告されている(「磁化固定層をもつ強磁性トンネル接合の磁気抵抗効果」佐藤重雄、小林和雄、日本応用磁気学会誌 21, 489-492(1997)参照)。

【0007】

これらのスピバルブ型磁気抵抗素子においては、ピン止め磁性層の磁化方向で磁界に対する線形動作方向を変化させることができる。このピン止め磁性層は反強磁性材料(FeMn, NiMn, IrMn, PdPtMn等)を隣接して積層することで磁化方向を固定する。

10

【0008】

【発明が解決しようとする課題】

4個のスピバルブ型磁気抵抗素子でブリッジを組み、磁界に対して差動出力を得るには、磁界に対して応答しにくいピン止め磁性層の磁化の向きを隣り合う素子同士で180度変えなければならない。ピン止め磁性層の磁化方向は、その上に成膜する反強磁性膜で決定される。その磁化方向は、成膜中の基板表面上に印加する磁界の向きによって規定されるし、反強磁性膜のネール温度付近からの磁界中熱処理における磁界方向によって規定される。

【0009】

成膜時や熱処理中の磁界は永久磁石や電磁石によって与えられ、基板には一方向の均一磁界が印加される。そのためピン止め磁性層の磁化の向きを180度変えたスピバルブ型磁気抵抗素子を同一基板上に混在させることができない。そこで、ブリッジを組んだ磁気センサは、通常、個々のスピバルブ型磁気抵抗素子を基板から取り出しリード線などで配線することで組み立てることになる。そうすると、配線などの工程が増え、小型化の妨げになるし、パッケージングの面でも難しくなる。

20

【0010】

このような問題を解決する技術として、同一基板上でブリッジを組んだ磁気センサ上に、絶縁体層を介して導電体層を形成し、この導電体層に通電して磁界を発生させることによりピン止め磁性層の磁化の向きを180度変える方法が提案されている(特開平8-226960号公報参照)。しかし、この方法は、構成が複雑になる問題がある。

30

【0011】

本発明の目的は、4個のスピバルブ型磁気抵抗素子を同一基板上に配列形成してブリッジを組んだ磁気センサの製造方法を提供することである。

【0012】

【課題を解決するための手段】

本発明は、4個のスピバルブ型磁気抵抗素子が単一基板上で菱形の頂点位置に配列形成されると共に、前記基板上でそれら各磁気抵抗素子間をループ状に接続する導電体層が形成されており、前記各磁気抵抗素子の磁界に応答し難いピン止め磁性層の磁化方向が、対角の位置関係にある磁気抵抗素子同士では平行、隣接する位置関係にある磁気抵抗素子同士では反平行となっている磁気センサである。4個のスピバルブ型磁気抵抗素子を、単一基板上で菱形の頂点位置に配列形成することにより、ピン止め磁性層の磁化方向を制御すると共に、基板上でそれら各磁気抵抗素子間を導電体層で接続することが可能となる。

40

【0013】

ここでスピバルブ型磁気抵抗素子は、外部磁界に対し磁化の向きを自由に変えるフリー磁性層と、非磁性金属層と、外部磁界に対し応答し難いピン止め磁性層と、該ピン止め磁性層をピン止めする反強磁性層を積層した構造のスピバルブ型GMR素子、あるいは外部磁界に対し磁化の向きを自由に変えるフリー磁性層と、絶縁層と、外部磁界に対し応答し難いピン止め磁性層と、該ピン止め磁性層をピン止めする反強磁性層を積層した構造のスピバルブ型トンネルMR素子である。

【0014】

50

このような磁気センサは、ピン止め磁性層の上に成膜する反強磁性層が IrMn や FeMn のような不規則格子の場合には、ストライプ状に多極着磁した永久磁石板の上に基板を載せ、対角の位置関係にある一对の磁気抵抗素子が同一のストライプ状領域の上に位置し、残りの2個の磁気抵抗素子が前記一对の磁気抵抗素子の両側の逆向きに着磁されたストライプ状領域の上にそれぞれ位置するようにし、その上で磁気抵抗素子の成膜を行うことで製造する。

【0015】

あるいは、ピン止め磁性層の上に成膜する反強磁性層が NiMn や PdPtMn 等の規則格子の場合には、ストライプ状に多極着磁した永久磁石板の上に基板を載せ、対角の位置関係にある一对の磁気抵抗素子が同一のストライプ状領域の上に位置し、残りの2個の磁気抵抗素子が前記一对の磁気抵抗素子の両側の逆向きに着磁されたストライプ状領域の上にそれぞれ位置するようにし、その上で磁気抵抗素子の熱処理を行うことにより製造する。

【0016】

【発明の実施の形態】

スピナルブ型磁気抵抗素子のピン止め磁性層、反強磁性層の成膜の際、あるいは熱処理の際、各磁気抵抗素子の形状に対応してストライプ状に微小着磁した永久磁石板を用いる。図1に示すように、永久磁石板10は、着磁方向が180度異なり同幅の細長いA領域とB領域（ここではA領域の真上には図面右向きの磁界Hが、B領域の真上には図面左向きの磁界Hが発生している）が交互に形成されたものである。本発明で用いる永久磁石板は、1枚の永久磁石平板を上記のように着磁したものでよいし、幅方向に着磁した細長い永久磁石を多数配列した構成でもよい。図2に示すように、4個の磁気抵抗素子12（素子1～4）でブリッジを組むとき、前記の永久磁石板10上に基板を載せ、図3に示すように、例えば素子1と素子4がA領域の真上に、素子2と素子3がそれに隣接するB領域の真上に位置するように、即ち各素子が菱形の頂点位置にくるように、基板にパターンニングし成膜するか、あるいはそのような状態で熱処理を行う。

【0017】

すると、素子1と4は図4の破線(a)で示すような抵抗変化を呈し、素子2と3は図4の実線(b)で示すような抵抗変化を呈することになる。そこで、これら各素子間をループ状に導電体膜で結線する。これにより、同一基板上に4個のスピナルブ型磁気抵抗素子を配列形成し且つ導電体膜でブリッジ結線することが可能となる。図5はスピナルブ型GMR素子を用いた配置例、図6はスピナルブ型トンネルMR素子を用いた配置例である。なお符号13は、導電体膜を示している。

【0018】

スピナルブ型GMR素子の基本膜構成の例を図7に示す。これは、基板20上に、下地層22（Ta, Zr膜）、フリー磁性層24（NiFe膜又はCoFe, Co, CoFeB膜）、非磁性金属層26（Cu膜）、固定層28（CoFe, Co, CoFeB膜又はNiFe膜からなるピン止め磁性層30、及びFeMn, IrMn, PtMn膜の反強磁性層32）、保護層34（Ta膜）をその順序で積層した構成である。これらの層は全てほぼ同じ矩形形状であり、同じ向きに積層されている。

【0019】

また、スピナルブ型トンネルMR素子の基本膜構成の例を図8に示す。これは、基板40上に、下地層42（Ta, Zr膜）、フリー磁性層44（NiFe膜又はCoFe, Co, CoFeB膜）、絶縁層46（ Al_2O_3 膜）、固定層48（CoFe, Co, CoFeB膜又はNiFe膜からなるピン止め磁性層50、及びFeMn, IrMn, PtMn膜の反強磁性層52）、保護層54（Ta膜）を積層した構成である。例えば、横向き細長状で中央が窄まったフリー磁性層44、円形の絶縁層46、縦向き細長状で中央が窄まった固定層48が積層されている。

【0020】

【実施例】

(実施例 1 - 1)

Si 基板上に絶縁層 SiO₂ を 2000 形成する。次に、各素子を菱形配置するためメタルマスクを取り付け、真空チャンバ内にセットする。そして、各素子の長手方向に同一方向に均一磁界が加わるように永久磁石板を配置する。その状態で、下地層 (Ta 膜) / フリー磁性層 (NiFe 膜) / 非磁性金属層 (Cu 膜) を順次成膜する。各膜の厚さは、下地層 Ta : 50 、フリー磁性層 NiFe : 120 、非磁性金属層 Cu : 30 である。

【0021】

次に基板をストライプ着磁した永久磁石上に配置して、真空チャンバ内にセットする。ここでは、予めストライプ着磁した永久磁石板を真空チャンバ内に設置しておき、その上に基板を載せる方法で行った。この状態でピン止め磁性層 (NiFe 膜) / 反強磁性層 (FeMn 膜) / 保護層 (Ta 膜) を順次成膜する。各膜の厚さは、ピン止め磁性層 NiFe : 30 、反強磁性層 FeMn : 90 、保護層 Ta : 50 である。そして、これらの素子間を接続するようにメタルマスクを施し、導電体層 (Ag 膜) を形成する。

10

【0022】

この試料の電圧印加端子 (図 1 の端子 1 及び 2) に電圧 V (100 mV) を印加して、出力電圧端子 (図 1 の端子 3 及び 4) 間で磁界に対するブリッジ出力電圧を測定した。その結果、図 9 に示すように、印加磁界に対して出力電圧が変化し、磁界センサとして機能していることが確認できた。

【0023】

20

(実施例 1 - 2)

Si 基板上に絶縁層 SiO₂ を 2000 形成する。次に、各素子を菱形配置するためメタルマスクを取り付け、真空チャンバ内にセットする。そして、各素子の長手方向に均一磁界が加わるように永久磁石板を配置する。その状態で、下地層 (Ta 膜) / フリー磁性層 (NiFe 膜) / 非磁性金属層 (Cu 膜) を順次成膜する。各膜の厚さは、下地層 Ta : 50 、フリー磁性層 NiFe : 120 、非磁性金属層 Cu : 30 である。

【0024】

次に、基板への磁界が 90 度異なるように向きを変えて真空チャンバ内にセットする。ここでは、予め 90 度回転させた永久磁石板を真空チャンバ内に設置しておき、その上に基板を載せる方法で行った。この状態でピン止め磁性層 (NiFe 膜) / 反強磁性層 (FeMn 膜) / 保護層 (Ta 膜) を順次成膜する。各膜の厚さは、ピン止め磁性層 NiFe : 30 、反強磁性層 FeMn : 90 、保護層 Ta : 50 である。そして、これらの素子間を接続するようにメタルマスクを施し、導電体層 (Ag 膜) を形成する。

30

【0025】

反強磁性層でピン止め磁性層を固定している場合は、反強磁性層のネール温度付近の温度から磁場中冷却を施すことにより、磁界方向にピン止め磁性層を固定できる。そこで、上記のように作製した試料を、真空中 200 で約 1 時間熱処理し徐冷する。磁界は、ストライプ状に着磁した永久磁石上に基板を配置することで印加する。永久磁石としては、200 においても磁界を発生できる 2 - 17 系 SmCo 磁石を用いた。

【0026】

40

この試料の電圧印加端子に電圧 V (100 mV) を印加し、出力電圧端子間で磁界に対するブリッジ出力電圧を測定した。その結果、図 9 に示すのと同様、印加磁界に対して出力電圧が変化し、磁界センサとして機能していることが確認できた。

【0027】

(実施例 2 - 1)

Si 基板上に絶縁層 SiO₂ を 2000 形成する。次に各素子を菱形配置するためメタルマスクを取り付け、真空チャンバ内にセットする。そして、各素子の長手方向に垂直に均一磁界が加わるように永久磁石板を配置する。その状態で下地層 (Ta 膜) / フリー磁性層 (NiFe 膜 + CoFe 膜) を順次成膜する。各膜の厚さは、下地層 Ta : 50 、フリー磁性層 NiFe : 120 、CoFe : 30 である。次に絶縁層を成膜する。基

50

板を一旦大気中に取り出し、絶縁層用のマスクに切り替え、真空チャンバ内にセットする。このとき磁界印加用の永久磁石は無くてもよい。ここでAl金属膜を13成膜する。そして大気中に取り出し、室温、大気中で240時間保持し、Al膜を酸化させてAl₂O₃膜にする。プラズマ酸化や高温酸化してもよい。

【0028】

その後、基板をストライプ着磁した永久磁石上に配置して、真空チャンバ内にセットする。ここでは、予めストライプ着磁した永久磁石板を真空チャンバ内に設置しておき、その上に基板を載せる方法で行った。この状態でピン止め磁性層(CoFe膜+NiFe膜)/反強磁性層(FeMn膜)/保護層(Ta膜)を順次成膜する。各膜の厚さは、ピン止め磁性層CoFe:30、NiFe:30、反強磁性層FeMn:90、保護層Ta:50である。そして、これらの素子間を接続するようにメタルマスクを施し、導電体層(Ag膜)を形成する。

10

【0029】

この試料の電圧印加端子に電圧V(100mV)を印加し、磁界に対してブリッジ出力電圧を測定した。その結果、図10に示すように、印加磁界に対して出力電圧が変化し、磁界センサとして機能していることが確認できた。

【0030】

(実施例2-2)

Si基板上に絶縁層SiO₂を2000形成する。次に各素子を菱形配置するためメタルマスクを取り付け、真空チャンバ内にセットする。そして、各素子の長手方向に垂直に均一磁界が加わるように永久磁石板を配置する。その状態で下地層(Ta膜)/フリー磁性層(NiFe膜+CoFe膜)を順次成膜する。各膜の厚さは、下地層Ta:50、フリー磁性層NiFe:120、CoFe:30である。次に絶縁層を成膜する。基板を一旦大気中に取り出し、絶縁層用のマスクに切り替え、真空チャンバ内にセットする。このとき磁界印加用の永久磁石は無くてもよい。ここでAl金属膜を13成膜する。そして大気中に取り出し、室温、大気中で240時間保持し、Al膜を酸化させてAl₂O₃膜にする。

20

【0031】

その後、基板への磁界が90度異なるように向きを変えて真空チャンバ内にセットする。ここでは、予め90度回転させた永久磁石板を真空チャンバ内に設置しておき、その上に基板を載せる方法で行った。この状態でピン止め磁性層(CoFe膜+NiFe膜)/反強磁性層(FeMn膜)/保護層(Ta膜)を順次成膜する。各膜の厚さは、ピン止め磁性層CoFe:30、NiFe:30、反強磁性層FeMn:90、保護層Ta:50である。そして、これらの素子間を接続するようにメタルマスクを施し、導電体層(Ag膜)を形成する。

30

【0032】

反強磁性層でピン止め磁性層を固定している場合は、反強磁性層のネール温度付近の温度から磁場中冷却を施すことにより、磁界方向にピン止め磁性層を固定できる。そこで、上記のように作製した試料を、真空中200で約1時間熱処理し徐冷する。磁界は、ストライプ状に着磁した永久磁石上に基板を配置することで印加する。永久磁石としては、200においても磁界を発生できる2-17系SmCo磁石を用いた。

40

【0033】

この試料の電圧印加端子に電圧V(100mV)を印加し、磁界に対してブリッジ出力電圧を測定した。その結果、図10に示すのと同様、印加磁界に対して出力電圧が変化し、磁界センサとして機能していることが確認できた。

【0034】

上記の各実施例においては、素子形成にメタルマスクを用いているが、フォトリソグラフィ技術により作製しても何ら問題はない。実際には、同一基板上に多数の磁気センサを一括して形成し、個々に切り出して製品とする。

【0035】

50

【発明の効果】

本発明は上記のように構成した磁気センサであるから、構造が複雑化することなく同一基板上に4個のスピバルブ型磁気抵抗素子を一括して配列形成してブリッジを組むことができ、小型化に適し、磁界応答性を高くできる。

【0036】

また本発明によれば、同一基板上に4個のスピバルブ型磁気抵抗素子を配列形成してブリッジを組んだ小型の磁気センサを、効率よく安価に製造することが可能となる。

【図面の簡単な説明】

【図1】本発明で用いるストライプ状に着磁した永久磁石板の説明図。

【図2】磁気センサにおけるブリッジ構成の説明図。

【図3】本発明におけるストライプ状に着磁した永久磁石板と各スピバルブ型磁気抵抗素子の位置関係を示す説明図。

【図4】各スピバルブ型磁気抵抗素子の外部磁界 - 抵抗値の特性説明図。

【図5】本発明に係るスピバルブ型GMR素子を用いた磁気センサの一例を示す配置接続説明図。

【図6】本発明に係るスピバルブ型トンネルMR素子を用いた磁気センサの一例を示す配置接続説明図。

【図7】スピバルブ型GMR素子の積層構造の一例を示す説明図。

【図8】スピバルブ型トンネルMR素子の積層構造の一例を示す説明図。

【図9】本発明に係るスピバルブ型GMR素子を用いた磁気センサの出力特性の一例を示す説明図。

【図10】本発明に係るスピバルブ型トンネルMR素子を用いた磁気センサの出力特性の一例を示す説明図。

【符号の説明】

10 永久磁石板

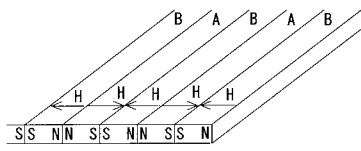
12 スピバルブ型磁気抵抗素子

14 導電体層

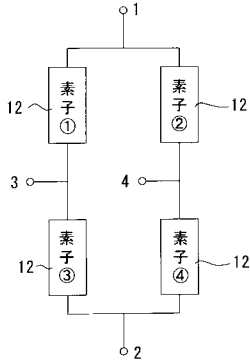
10

20

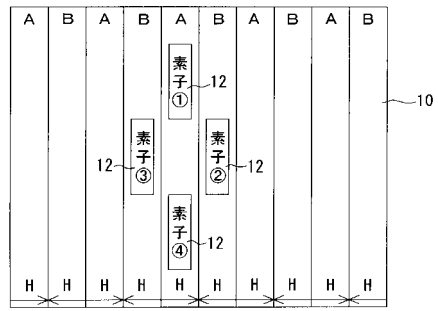
【図1】



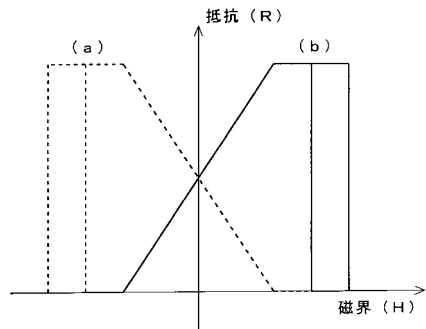
【図2】



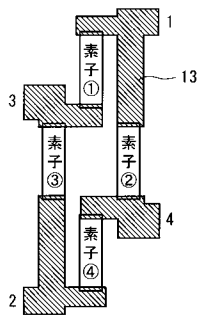
【図3】



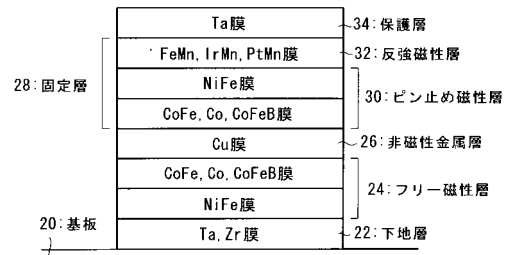
【図4】



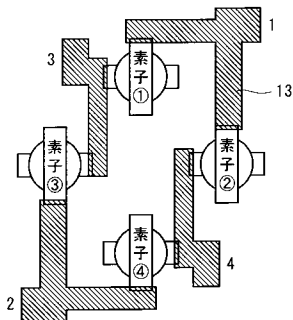
【図5】



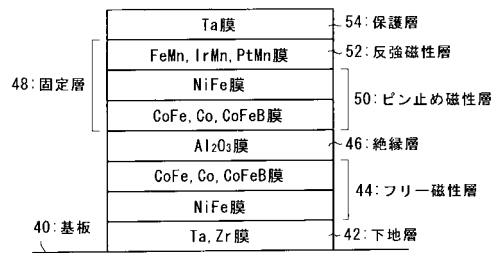
【図7】



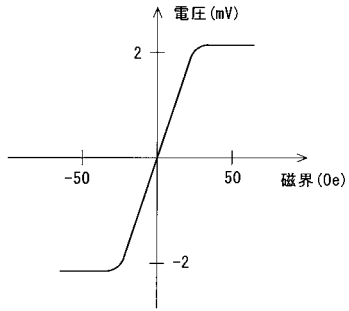
【図6】



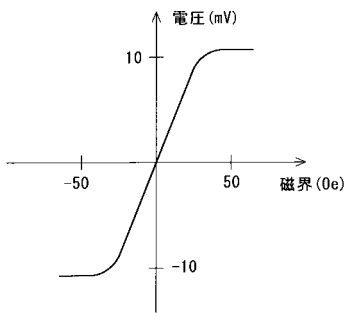
【図8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 中野 廣文

東京都港区新橋5丁目3番11号 富士電気化学株式会社内

審査官 藤原 伸二

(56)参考文献 特表平11-505966(JP,A)
特表平11-505932(JP,A)
特表平08-511873(JP,A)
特開平08-226960(JP,A)
特開平10-256620(JP,A)
特開平09-251621(JP,A)
特開2000-088941(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 33/00-33/26

H01L 43/00-43/14