



(12) 发明专利申请

(10) 申请公布号 CN 116830488 A

(43) 申请公布日 2023. 09. 29

(21) 申请号 202280007862.X

(51) Int. Cl.

(22) 申请日 2022.01.27

H04L 1/00 (2006.01)

(85) PCT国际申请进入国家阶段日
2023.06.01

(86) PCT国际申请的申请数据
PCT/CN2022/074361 2022.01.27

(87) PCT国际申请的公布数据
W02023/141890 ZH 2023.08.03

(71) 申请人 华为技术有限公司
地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

(72) 发明人 聂耳

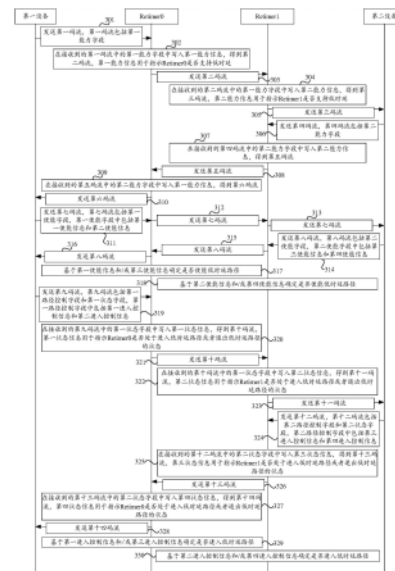
(74) 专利代理机构 北京润泽恒知识产权代理有限公司 11319
专利代理师 王洪

(54) 发明名称

重定时器的路径控制方法、装置及系统

(57) 摘要

本申请提供一种用于有线串行数据传输的重定时器的路径控制方法、装置及系统,所述方法包括:接收第一码流,所述第一码流包括第一字段,所述第一字段中包括重定时器的能力信息,所述能力信息用于指示所述重定时器是否支持低时延路径;向所述重定时器发送第二码流,所述第二码流包括第二字段,所述第二字段中包括第一进入控制信息,所述第一进入控制信息用于指示所述重定时器是否进入所述低时延路径,所述低时延路径为所述重定时器的数据传输路径中时延最小的路径。本申请能够实现对重定时器的路径的有效控制。



(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号

WO 2023/141890 A1

(43) 国际公布日
2023年8月3日 (03.08.2023)

(51) 国际专利分类号:
H04L 1/00 (2006.01)

(21) 国际申请号: PCT/CN2022/074361

(22) 国际申请日: 2022年1月27日 (27.01.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN).

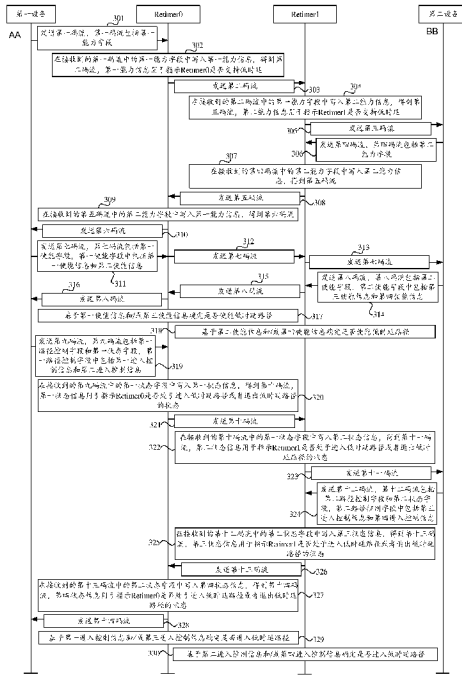
(72) 发明人: 聂耳(NIE, Er); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN).

(74) 代理人: 北京润泽恒知识产权代理有限公司 (BEIJING RUN ZEHENG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区中关村南大街甲18号北京国际C座6层606, Beijing 100081 (CN).

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: PATH CONTROL METHOD, APPARATUS AND SYSTEM FOR RETIMER

(54) 发明名称: 重定时器的路径控制方法、装置及系统



301 Send a first code stream, the first code stream comprising a first capability field
302 Write first capability information in the first capability field in the received first code stream to obtain a second code stream, the first capability information being used for indicating whether Retimer0 supports a low delay path
303 Send the second code stream
304 Write second capability information in a first capability field in the received second code stream to obtain a third code stream, the second capability information being used for indicating whether Retimer1 supports a low delay path
305 Send the third code stream
306 Send a fourth code stream, the fourth code stream comprising a second capability field
307 Write the second capability information in the second capability field in the received fourth code stream to obtain a fifth code stream
308 Send the fifth code stream
309 Write the first capability information in a second capability field in the received fifth code stream
310 Send a sixth code stream
311 Send a seventh code stream, the seventh code stream comprising a first enable field, and the first enable field comprising first enable information and second enable information
312 313 Send the seventh code stream
314 Send an eighth code stream, the eighth code stream comprising a second enable field, and the second enable field comprising third enable information and fourth enable information
315 316 Send the eighth code stream
317 Determine whether to enable a low-delay path on the basis of the first enable information and/or the third enable information
318 Determine whether to enable the low-delay path on the basis of the second enable information and/or the fourth enable information
319 Send a ninth code stream, the ninth code stream comprising a first path control field and a first state field, and the first path control field comprising first access control information and second access control information
320 Write first state information in the first state field in the received ninth code stream to obtain a tenth code stream, the first state information being used for indicating whether the Retimer0 is in the state of entering the low-delay path or exiting the low-delay path
321 Send the tenth code stream
322 Write second state information in a first state field in the received tenth code stream to obtain an eleventh code stream, the second state information being used for indicating whether the Retimer1 is in the state of entering the low-delay path or exiting the low-delay path
323 Send the eleventh code stream
324 Send a twelfth code stream, the twelfth code stream comprising a second path control field and a second state field, and the second path control field comprising third access control information and fourth access control information
325 Write third state information in the second state field in the received twelfth code stream to obtain a thirteenth code stream, the third state information being used for indicating whether the Retimer1 is in the state of entering the low-delay path or exiting the low-delay path
326 Send the thirteenth code stream
327 Write fourth state information in a second state field in the received thirteenth code stream to obtain a fourteenth code stream, the fourth state information being used for indicating whether the Retimer0 is in the state of entering the low-delay path or exiting the low-delay path
328 Send the fourteenth code stream
329 Determine whether to enter the low-delay path on the basis of the first access control information and/or the third access control information
330 Determine whether to enter the low-delay path on the basis of the second access control information and/or the fourth access control information
AA First device
BB Second device

图 7

(57) Abstract: The present application provides a path control method, apparatus and system for a retimer for wired serial data transmission. The method comprises: receiving a first code stream, wherein the first code stream comprises a first field, the first field comprises capability information of a retimer, and the capability information is used for indicating whether the retimer supports a low-delay path; and sending a second code stream to the retimer, wherein the second code stream comprises a second field, the second field comprises first access control information, the first access control information is used for indicating whether the retimer enters the



WO 2023/141890 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

low-delay path, and the low-delay path is a path of the minimum delay in a data transmission path of the retimer. According to the present application, effective control over the path of the retimer can be realized.

(57) 摘要: 本申请提供一种用于有线串行数据传输的重定时器的路径控制方法、装置及系统, 所述方法包括: 接收第一码流, 所述第一码流包括第一字段, 所述第一字段中包括重定时器的能力信息, 所述能力信息用于指示所述重定时器是否支持低时延路径; 向所述重定时器发送第二码流, 所述第二码流包括第二字段, 所述第二字段中包括第一进入控制信息, 所述第一进入控制信息用于指示所述重定时器是否进入所述低时延路径, 所述低时延路径为所述重定时器的数据传输路径中时延最小的路径。本申请能够实现对重定时器的路径的有效控制。

重定时器的路径控制方法、装置及系统

技术领域

5 本申请涉及通信技术领域，尤其涉及一种重定时器的路径控制方法、装置及系统。

背景技术

随着高速串行链路技术的发展，通信设备的插入损耗（Insertion Loss, IL）也越来越大。IL 过大会导致数据传输的损耗较大且链路抖动较大。目前通常在两个建立连接的通信设备之间串接重定时器（Retimer），重定时器对接收到的数据进行一系列处理，以对数据进行中继放大转发以及滤除通信链路的抖动。

重定时器对接收到的数据的一系列处理过程通常较为复杂，导致数据在重定时器中存在传输时延，进而影响数据传输效率。因此为了减小数据在重定时器中的传输时延，可以使用具有低时延路径的重定时器，以使得重定时器在低时延路径进行数据的转发。

15 对于具有低时延路径的重定时器，需要控制重定时器进入或者退出低时延路径，因此亟需一种有效控制重定时器的路径的方法。

发明内容

20 本申请提供一种重定时器的路径控制方法、装置及系统，实现了对重定时器的路径的有效控制。

第一方面，本申请提供一种用于有线串行数据传输的重定时器的路径控制方法，所述方法包括：接收第一码流，所述第一码流包括第一字段，所述第一字段中包括重定时器的能力信息，所述能力信息用于指示所述重定时器是否支持低时延路径；向所述重定时器发送第二码流，所述第二码流包括第二字段，所述第二字段中包括第一进入控制信息，所述第一进入控制信息用于指示所述重定时器是否进入所述低时延路径，所述低时延路径为所述重定时器的数据传输路径中时延最小的路径。

30 相关技术中，在通信链路建立阶段重定时器在进入低时延路径之前向连接的两个通信设备发送指示码流，指示两个通信设备保持在通信链路建立阶段，不要进入业务数据传输阶段。之后重定时器自主进入低时延路径。在通信链路建立完成后，重定时器通过低时延路径转发数据。以基于 PCIe 的有线串行数据传输为例，指示码流可以为非 PCIe 码流。但是相关技术中，部分通信设备在接收到重定时器发送的指示码流后会功能异常，从而影响通信过程。

35 本申请实施例提供的用于有线串行数据传输的重定时器的路径控制方法中，设备可以通过第一码流确定重定时器是否支持低时延路径，进而通过第二码流控制重定时器的路径，使得重定时器可以根据第二码流确定是否进入低时延路径，无需重定时器自主进入低时延路径，实现了对重定时器的路径的有效控制，且无需重定时器向通信设备发送指示码流，避免了设备由于指示码流而功能异常。

可选地，第一码流和第二码流均可以为训练码流块（Training Set Block, TSB），该码

流是在已有 TSB 基础上增加了字段得到的，没有改变已有 TSB 的格式，这样使得该方法可以应用于高速输入输出（Input Output, IO）协议，该方法所应用的装置可以直接拓展使用在高速串行接口，例如可以拓展使用在高速串行计算机扩展总线标准（peripheral component interconnect express, PCIe）接口和以太网接口，实现了与重定时器的原生对接，

5 对于具有不同类型低时延路径的重定时器均能够实现路径的有效控制，适用性较为广泛且不影响重定时器的其他功能特性。并且 TSB 不会导致第一设备或第二设备功能异常。

对于下述第二个实施例，前述第一码流相当于实施例中的第六码流，第一字段相当于第二能力字段。前述第二码流相当于实施例中的第九码流或第十五码流，第二字段相当于第一路径控制字段。

10 对于下述第三个实施例，前述第一码流相当于实施例中的第三码流，第一字段相当于第二能力字段。前述第二码流相当于实施例中的第七码流或第十一码流，第二字段相当于第一路径控制字段。

在一种可能的实现方式中，所述第二字段中还包括第一退出控制信息，所述第一退出控制信息用于指示所述重定时器是否退出所述低时延路径。这样使得重定时器可以根据第二码流确定是否退出低时延路径，当通信链路状态较差的时候可以控制重定时器退出低时延路径，进而可以重新进入链路建立阶段的均衡状态，并在均衡状态进行链路的负载均衡，即重做均衡特性，从而能够保证通信链路处于良好状态。

15

在一种可能的实现方式中，所述方法还包括：向所述重定时器发送第三码流，所述第三码流包括第三字段，所述第三字段中用于携带所述能力信息。

20 对于下述第二个实施例，前述第三码流相当于实施例中的第一码流，第三字段相当于第一能力字段。

对于下述第三个实施例，前述第三码流相当于实施例中的第一码流，第三字段相当于第一能力字段。

在一种可能的实现方式中，所述方法还包括：接收第四码流，所述第四码流包括第四字段，所述第四字段中包括第二进入控制信息和第二退出控制信息，所述第二进入控制信息用于指示所述重定时器是否进入所述低时延路径，所述第二退出控制信息用于指示所述重定时器是否退出所述低时延路径。

25

对于下述第二个实施例，前述第四码流相当于实施例中的第十四码流或第二十码流，第四字段相当于第二路径控制字段。

30 对于下述第三个实施例，前述第四码流相当于实施例中的第十码流或第十四码流，第四字段相当于第二路径控制字段。

在一种可能的实现方式中，所述第二码流还包括第五字段，所述第五字段用于携带状态信息，所述状态信息用于指示所述重定时器是否处于进入所述低时延路径或者退出所述低时延路径的状态。

35 对于下述第二个实施例，第五字段相当于第一状态字段。对于下述第三个实施例，第五字段相当于第一状态字段。

在一种可能的实现方式中，所述第四码流还包括第六字段，所述第六字段中包括所述状态信息。

对于下述第二个实施例，第六字段相当于第二状态字段。对于下述第三个实施例，第

六字段相当于第二状态字段。

在一种可能的实现方式中，所述方法还包括：当基于所述状态信息确定所述重定时器未处于进入所述低时延路径或者退出所述低时延路径的状态下，通过所述重定时器向对端设备发送业务数据。

5 本端设备可以通过接收到的第四码流中携带的状态信息确定重定时器是否完成进入低时延路径或退出低时延路径，对端设备也可以通过接收到的第二码流中携带的状态信息确定重定时器是否完成进入低时延路径或退出低时延路径，在重定时器的路径控制过程中，本端设备和对端设备需要等待重定时器进入或退出低时延路径，本端设备和对端设备可以通过各自接收到的状态信息确定是否结束该等待过程，并确定是否进行后续的业务数据的
10 传输或者是否重新进行链路建立过程，避免了本端设备和对端设备一直处于等待过程的情况发生，从而避免了本端设备和对端设备之间通信链路出现建立超时的情况。

在一种可能的实现方式中，所述第一码流还包括第七字段，所述第七字段中包括时长信息，所述时长信息用于指示所述重定时器进入或退出所述低时延路径的消耗时长。

对于下述第二个实施例，第七字段相当于第二时间字段。对于下述第三个实施例，第七
15 字段相当于第二时间字段。

在一种可能的实现方式中，在向所述重定时器发送第二码流之后，所述方法还包括：基于所述时长信息确定等待时长；在与起始时刻间隔所述等待时长后，在接收到第一数量的所述第四码流时通过所述重定时器向对端设备发送业务数据。

本端设备可以直接基于接收到的第一码流中携带的时长信息确定等待时长，在达到等
20 待时长后可以结束等待重定时器进入或退出低时延路径，避免了本端设备一直处于等待过程的情况发生，从而有效避免了本端设备和对端设备之间通信链路建立出现超时的情况。

在一种可能的实现方式中，所述方法还包括：向所述重定时器发送第五码流，所述第五码流包括第八字段，所述第八字段中包括第一使能信息，所述第一使能信息用于指示所述重定时器是否使能所述低时延路径。

25 对于下述第二个实施例，前述第五码流相当于实施例中的第七码流，第八字段相当于第一使能字段。对于下述第三个实施例，前述第五码流相当于实施例中的第五码流，第八字段相当于第一使能字段。

其中，使能低时延路径指的是执行进入低时延路径之前的准备工作，例如，校准以及上位对齐等。

30 在一种可能的实现方式中，所述方法还包括：接收第六码流，所述第六码流包括第九字段，所述第九字段中包括第二使能信息，所述第二使能信息用于指示是否使能所述低时延路径。

对于下述第二个实施例，前述第六码流相当于实施例中的第八码流，第九字段相当于第二使能字段。对于下述第三个实施例，前述第六码流相当于实施例中的第六码流，
35 第九字段相当于第二使能字段。

在本申请实施例中，前述第一使能信息和第二使能信息可以相同或不同。在一种可能的实现方式中，所述方法还包括：当所述第二使能信息与所述第一使能信息不同时，基于所述第二使能信息更新所述第一使能信息，得到更新后的第一使能信息，所述更新后的第一使能信息与所述第二使能信息相同；向所述重定时器发送更新后的第五码流，所述更新

重定时器的正常数据传输路径和低时延路径均包括两种传输方向分别对应的两条路径。当基于第一进入控制信息确定是否进入低时延路径时，可以基于第一进入控制信息确定是否统一进入两条低时延路径。

5 对于下述第二个实施例，前述第一码流相当于实施例中的第一码流或第二码流，第一字段相当于第一能力字段。前述第二码流相当于实施例中的第二码流或第三码流，当前述第一码流相当于实施例中的第一码流时，前述第二码流相当于实施例中的第二码流；当前述第一码流相当于实施例中的第二码流时，前述第二码流相当于实施例中的第三码流。前述第三码流相当于实施例中的第十二码流、第十三码流、第十八码流或第十九码流，第二字段相当于第二路径控制字段。

10 对于下述第三个实施例，前述第一码流相当于实施例中的第一码流，第一字段相当于第一能力字段。前述第二码流相当于实施例中的第二码流。前述第三码流相当于实施例中的第九码流或第十三码流，第二字段相当于第二路径控制字段。

15 在一种可能的实现方式中，所述第二字段中还包括第一退出控制信息，所述方法还包括：基于所述第一退出控制信息确定是否退出所述低时延路径。重定时器可以根据第二码流确定是否退出低时延路径，当通信链路状态较差的时候可以退出低时延路径，进而可以重新进入链路建立阶段的均衡状态，并在均衡状态进行链路的负载均衡，即重做均衡特性，从而能够保证通信链路处于良好状态。

20 在一种可能的实现方式中，所述方法还包括：接收所述第二设备发送的第四码流，所述第四码流包括第三字段；在所述第三字段中写入所述能力信息，得到第五码流；向所述第一设备发送所述第五码流；接收所述第一设备发送的第六码流，所述第六码流包括第四字段，所述第四字段中包括第二进入控制信息；所述基于所述第一进入控制信息确定是否进入所述低时延路径，包括：基于所述第一进入控制信息和所述第二进入控制信息确定是否进入所述低时延路径。

25 一种示例地，重定时器可以基于第一进入控制信息和第二进入控制信息确定是否统一进入两条低时延路径。可选地，重定时器可以对第一进入控制信息和第二进入控制信息进行逻辑与操作或者逻辑或操作，根据逻辑与操作或者逻辑或操作的结果确定是否统一进入两条低时延路径。

30 另一种示例地，重定时器可以基于第一进入控制信息和第二进入控制信息分别独立确定是否进入两条低时延路径。即重定时器可以基于第一进入控制信息确定是否进入一条低时延路径，基于第二进入控制信息确定是否进入另一条低时延路径。可选地，第一路径控制字段中还可以包括第一方向信息，第二路径控制字段中还可以包括第二方向信息，第一方向信息和第二方向信息不同。第一方向信息用于指示基于第一进入控制信息所进入的低时延路径对应的传输方向，第二方向信息用于指示基于第二进入控制信息所进入的低时延路径对应的传输方向。重定时器可以基于第一进入控制信息确定是否进入第一方向信息指示的传输方向所对应的低时延路径，基于第二进入控制信息确定是否进入第二方向信息指示的传输方向所对应的低时延路径。

35 又一可选地，重定时器可以直接基于第一进入控制信息确定是否进入第三码流的传输方向所对应的低时延路径，基于第二进入控制信息确定是否进入第六码流的传输方向所对应的低时延路径。

对于下述第二个实施例，前述第四码流相当于实施例中的第四码流或第五码流，第三字段相当于第二能力字段。前述第五码流相当于实施例中的第五码流或第六码流，当前述第四码流相当于实施例中的第四码流时，前述第五码流相当于实施例中的第五码流；当前述第四码流相当于实施例中的第五码流时，前述第五码流相当于实施例中的第六码流。前述第六码流相当于实施例中的第九码流、第十码流、第十五码流或第十六码流，第四字段相当于第一路径控制字段。

对于下述第三个实施例，前述第四码流相当于实施例中的第三码流，第三字段相当于第二能力字段。前述第五码流相当于实施例中的第四码流。前述第六码流相当于实施例中的第七码流或第十一码流，第四字段相当于第一路径控制字段。

在一种可能的实现方式中，所述第四字段中还包括第二退出控制信息，所述基于所述第一退出控制信息确定是否退出所述低时延路径，包括：基于所述第一退出控制信息和所述第二退出控制信息确定是否退出所述低时延路径。

在一种可能的实现方式中，所述第三码流还包括第五字段，所述第六码流还包括第六字段，所述方法还包括：在所述第五字段中写入状态信息，得到第七码流，所述状态信息用于指示所述重定时器是否处于进入所述低时延路径或者退出所述低时延路径的状态；向所述第一设备发送所述第七码流；在所述第六字段中写入所述状态信息，得到第八码流；向所述第二设备发送所述第八码流。

对于下述第二个实施例，第五字段相当于第二状态字段，第六字段相当于第一状态字段。前述第七码流相当于实施例中的第十三码流、第十四码流、第十九码流或第二十码流。当前述第三码流相当于实施例中的第十二码流时，前述第七码流相当于实施例中的第十三码流；当前述第三码流相当于实施例中的第十三码流时，前述第七码流相当于实施例中的第十四码流；当前述第三码流相当于实施例中的第十八码流时，前述第七码流相当于实施例中的第十九码流；当前述第三码流相当于实施例中的第十九码流时，前述第七码流相当于实施例中的第二十码流。

前述第八码流相当于实施例中的第十码流、第十一码流、第十六码流或第十七码流。当前述第六码流相当于实施例中的第九码流时，前述第八码流相当于实施例中的第十码流；当前述第六码流相当于实施例中的第十码流时，前述第八码流相当于实施例中的第十一码流；当前述第六码流相当于实施例中的第十五码流时，前述第八码流相当于实施例中的第十六码流；当前述第六码流相当于实施例中的第十六码流时，前述第八码流相当于实施例中的第十七码流。

对于下述第三个实施例，第五字段相当于第二状态字段，第六字段相当于第一状态字段。前述第七码流相当于实施例中的第十码流或第十四码流，前述第八码流相当于实施例中的第八码流或第十二码流。

重定时器在第五字段中写入状态信息之前，第五字段中可以包括默认状态信息。重定时器可以先解码接收到的第三码流，之后根据自身当前状态确定状态信息与默认状态信息是否相同。当状态信息与默认状态信息相同时，无需修改第五字段中的内容，此时得到的第七码流与第三码流相同。当状态信息与默认状态信息不同时，需要将第五字段中的内容修改为状态信息，此时第七码流与第三码流不同。

第一设备可以通过接收到的第七码流中携带的状态信息确定重定时器是否完成进入

低时延路径或退出低时延路径，第二设备也可以通过接收到的第八码流中携带的状态信息确定重定时器是否完成进入低时延路径或退出低时延路径，在重定时器的路径控制过程中，第一设备和第二设备需要等待重定时器进入或退出低时延路径，第一设备和第二设备可以通过各自接收到的状态信息确定是否结束该等待过程，并确定是否进行后续的业务数据的传输或者是否重新进行链路建立过程，避免了第一设备和第二设备一直处于等待过程的情况发生，从而避免了第一设备和第二设备之间通信链路建立超时的情况出现。

5 在一种可能的实现方式中，所述第一码流还包括第七字段，所述第四码流还包括第八字段；所述在所述第一字段中写入能力信息，得到第二码流，包括：在所述第一字段中写入所述能力信息以及在所述第七字段中写入时长信息，得到所述第二码流，所述时长信息用于指示所述重定时器进入或退出所述低时延路径的消耗时长；所述在所述第三字段中写入所述能力信息，得到第五码流，包括：在所述第三字段中写入所述能力信息以及在所述第八字段中写入所述时长信息，得到所述第五码流。

10 重定时器在第七字段中写入时长信息之前，第七字段中可以包括默认时长信息。重定时器可以先解码接收到的第一码流，之后确定时长信息与默认时长信息是否相同。当时长信息与默认第一时长信息相同时，无需修改默认时长信息。当时长信息与默认时长信息不同时，需要将默认时长信息修改为时长信息。

15 对于下述第二个实施例，第七字段相当于第一时间字段，第八字段相当于第二时间字段。对于下述第三个实施例，第七字段相当于第一时间字段，第八字段相当于第二时间字段。

20 在一种可能的实现方式中，所述方法还包括：接收所述第二设备发送的第九码流，所述第九码流包括第九字段，所述第九字段中包括第一使能信息；基于所述第一使能信息确定是否使能所述低时延路径。

25 重定时器的正常数据传输路径和低时延路径均包括两种传输方向分别对应的两条路径。当基于第一使能信息确定是否使能低时延路径时，可以基于第一使能信息确定是否统一使能两条低时延路径。

对于下述第二个实施例，前述第九码流相当于实施例中的第八码流，第九字段相当于第二使能字段。对于下述第三个实施例，前述第九码流相当于实施例中的第六码流，第九字段相当于第二使能字段。

30 在一种可能的实现方式中，所述方法还包括：接收所述第一设备发送的第十码流，所述第十码流包括第十字段，所述第十字段中包括第二使能信息；所述基于所述第一使能信息确定是否使能所述低时延路径，包括：基于所述第一使能信息和所述第二使能信息确定是否使能所述低时延路径。

35 一种示例地，重定时器可以基于第一使能信息和第二使能信息确定是否统一使能两条低时延路径。可选地，重定时器可以对第一使能信息和第二使能信息进行逻辑与操作或者逻辑或操作，根据逻辑与操作或者逻辑或操作的结果确定是否统一使能两条低时延路径。

另一种示例地，重定时器可以基于第一使能信息和第二使能信息分别独立确定是否使能两条低时延路径。即重定时器可以基于第一使能信息确定是否使能一条低时延路径，基于第二使能信息确定是否使能另一条低时延路径。可选地，第一使能字段中还可以包括第一方向信息，第二使能字段中还可以包括第二方向信息。重定时器可以基于第一使能信息

确定是否使能第一方向信息指示的传输方向所对应的低时延路径，基于第二使能信息确定是否使能第二方向信息指示的传输方向所对应的低时延路径。

又一可选地，重定时器可以直接基于第一使能信息确定是否使能第九码流的传输方向所对应的低时延路径，基于第二使能信息确定是否使能第十码流的传输方向所对应的低时延路径。

对于下述第二个实施例，前述第十码流相当于实施例中的第七码流，第十字段相当于第一使能字段。对于下述第三个实施例，第十码流相当于实施例中的第五码流，第十字段相当于第一使能字段。

第三方面，本申请提供一种用于有线串行数据传输的重定时器的路径控制装置，包括：一个或多个处理器；存储器，用于存储一个或多个计算机程序或指令；当所述一个或多个计算机程序或指令被所述一个或多个处理器执行，使得所述一个或多个处理器实现如第一方面中任一项所述的方法。

第四方面，本申请提供一种用于有线串行数据传输的重定时器的路径控制装置，包括：一个或多个处理器；存储器，用于存储一个或多个计算机程序或指令；当所述一个或多个计算机程序或指令被所述一个或多个处理器执行，使得所述一个或多个处理器实现如第二方面中任一项所述的方法。

第五方面，本申请提供一种用于有线串行数据传输的重定时器的路径控制装置，包括，处理器，用于执行如第一方面任一项所述的方法。

第六方面，本申请提供一种用于有线串行数据传输的重定时器的路径控制装置，包括，处理器，用于执行如第二方面任一项所述的方法。

第七方面，本申请提供一种计算机可读存储介质，包括计算机程序或指令，所述计算机程序或指令在计算机上被执行时，使得所述计算机执行第一方面和第二方面中任一项所述的方法。

第八方面，本申请提供一种用于有线串行数据传输的重定时器的路径控制系统，其特征在于，所述系统包括第一设备、第二设备和重定时器，所述第一设备或第二设备包括第三方面或第五方面所述的用于有线串行数据传输的重定时器的路径控制装置，所述重定时器包括第四方面或第六方面所述的用于有线串行数据传输的重定时器的路径控制装置。

附图说明

图 1 为本申请实施例提供的一种通信系统的结构示意图；

图 2 为本申请实施例提供的另一种通信系统的结构示意图；

图 3 为本申请实施例提供的一种 IO 主机控制器的结构示意图；

图 4 为本申请实施例提供的一种重定时器的物理层的结构示意图；

图 5 为本申请实施例提供的一种 TSB 的结构示意图；

图 6 为本申请实施例提供的一种用于有线串行数据传输的重定时器的路径控制方法的流程示意图；

图 7 为本申请实施例提供的另一种用于有线串行数据传输的重定时器的路径控制方法的流程示意图；

图 8 为本申请实施例提供的一种 DTSB 的结构示意图；

图 9 为本申请实施例提供的一种 CTSB 的结构示意图；

图 10 为本申请实施例提供的一种 RTSB 的结构示意图；

图 11 为本申请实施例提供的一种状态转换示意图；

5 图 12 为本申请实施例提供的另一种状态转换示意图；

图 13 为本申请实施例提供的再一种用于有线串行数据传输的重定时器的路径控制方法的流程图示意图；

图 14 为本申请实施例提供的又一种用于有线串行数据传输的重定时器的路径控制方法的流程图示意图；

10 图 15 为本申请实施例提供的又一种用于有线串行数据传输的重定时器的路径控制方法的流程图示意图；

图 16 为本申请实施例提供的一种用于有线串行数据传输的重定时器的路径控制装置的框图；

图 17 为本申请实施例提供的一种电子设备的结构示意图；

15 图 18 为本申请实施例提供的一种路径控制装置的结构示意图。

具体实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合本申请中的附图，对本申请中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

本申请说明书实施例和权利要求书及附图中的术语“第一”、“第二”等仅用于区分描述的目的，而不能理解为指示或暗示相对重要性，也不能理解为指示或暗示顺序。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元。方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

应当理解，在本申请中，“至少一个（项）”是指一个或者多个，“多个”是指两个或两个以上。“和/或”，用于描述关联对象的关联关系，表示可以存在三种关系，例如，“A 和/或 B”可以表示：只存在 A，只存在 B 以及同时存在 A 和 B 三种情况，其中 A，B 可以是单数或者复数。字符“/”一般表示前后关联对象是一种“或”的关系。“以下至少一项（个）”或其类似表达，是指这些项中的任意组合，包括单项（个）或复数项（个）的任意组合。例如，a，b 或 c 中的至少一项（个），可以表示：a，b，c，“a 和 b”，“a 和 c”，“b 和 c”，或“a 和 b 和 c”，其中 a，b，c 可以是单个，也可以是多个。

在有线串行数据传输（例如高速串行通道的有线串行数据传输）过程中，需要通过重定时器保证数据传输的质量。重定时器可以视为一个物理芯片，其串接于建立连接的两个通信设备之间并用于在两个通信设备之间转发数据。两个通信设备可以通过串行 IO 接口传输数据，数据在经过重定时器时，重定时器会对数据进行数据处理（例如异步和消除频偏处理、码块对齐、解扰和数据对齐等）、修改、加扰以及编码等一系列处理，以对数据进行中继放大转发以及滤除通信链路的抖动。

请参考图 1，图 1 为本申请实施例提供的一种通信系统的结构示意图，该通信系统 10 包括第一设备 101、第二设备 102 和至少一个重定时器，图 1 示出了第一重定时器 103 和第二重定时器 104。第一设备 101、至少一个重定时器和第二设备 102 之间可以进行有线串行数据传输。以基于 PCIe 的有线串行数据传输为例，第一设备 101 可以包括根复合体 5 (root complex, RC) 设备，第二设备 102 可以包括终端设备 (endpoint, EP)，RC 设备和 EP 设备之间可以通过高速串行 IO 传输数据。

可选地，第一设备 101 可以包括系统级芯片 (System on Chip, SOC)，第二设备 102 可以包括网卡。请参考图 2，图 2 为本申请实施例提供的另一种通信系统的结构示意图，图 2 示出了第一设备包括的 SOC 1011 以及第二设备 102 包括的网卡 1021。SOC 1011 与 10 网卡 1021 通过高速串行接口连接，以实现与外部网络的通信。

其中，SOC 1011 包括通过系统总线连接的第一 IO 主机控制器 (Host Controller)、直接存储器访问控制器 (Direct Memory Access Controller, DMAC)、中央处理器 (central processing unit, CPU) 和存储器 (Memory)。网卡 1021 包括第二 IO 主机控制器。第一 IO 主机控制器或第二 IO 主机控制器包括应用层 (Application Layer, AP)/传输层 (Transport 15 Layer, TL)/数据链路层 (Data Link Layer, DL)、物理层 (Physical Layer, PHY) 以及串行器/解串行器 (Serializer and Deserializer, Serdes)。第一 IO 主机控制器和第二 IO 主机控制器通过各自的 Serdes 连接。

第一设备 101 和第二设备 102 在进行数据传输的过程中，以数据从第一设备 101 向第二设备传输为例，多路并行数据依次经过第一 IO 主机控制器中的 AP/TL/DL、PHY 和 20 Serdes，Serdes 将多路并行数据转换为有线串行数据。有线串行数据依次经过第一重定时器 103 和第二重定时器 104 被传输至网卡 1021。网卡 1021 中的 Serdes 将有线串行数据转换为多路并行数据。随着 Serdes 的速率越来越高，第一设备 101 和第二设备 102 的 IL 也越来越大，当 IL 超过 Serdes 的驱动能力时，会导致数据传输的损耗和通信链路抖动均较大。第一重定时器 103 和第二重定时器 104 可以通过对接收到的数据的一系列处理，实现 25 数据的中继放大转发以及滤除通信链路的抖动。

重定时器对接收到的数据的一系列处理过程较为复杂，导致数据在重定时器中的传输时延较大，传输时延通常大于 40 纳秒 (nanosecond, ns)，导致数据传输效率较低，对延迟敏感场景的业务性能影响较大。目前通常使用具有低时延路径的重定时器，使得重定时器在低时延路径进行数据的转发，从而减小数据在重定时器中的传输时延。对于具有低时 30 延路径的重定时器，在通信链路建立阶段 (即业务数据传输之前)，需要控制重定时器进入或退出低时延路径。

相关技术中，在通信链路建立阶段重定时器在进入低时延路径之前向连接的两个通信设备发送指示码流，指示两个通信设备保持在通信链路建立阶段，不要进入业务数据传输阶段。之后重定时器自主进入低时延路径。在通信链路建立完成后，重定时器通过低时延 35 路径转发数据。以基于 PCIe 的有线串行数据传输为例，指示码流可以为非 PCIe 码流。

但是相关技术中，重定时器在进入低时延路径的过程中，两个通信设备无法进行交互，因此无法确定重定时器是否完成进入低时延路径或退出低时延路径，导致两个通信设备的等待过程耗时较长，从而可能导致两个通信设备之间的通信链路建立超时。并且部分通信设备在接收到重定时器发送的指示码流后会功能异常。此外，相关技术中重定时器在进入

低时延路径后会一直在低时延路径传输数据，即无法退出低时延路径，导致当通信链路状态较差时无法重新进入链路建立阶段的均衡状态，进而无法在均衡状态进行链路的负载均衡，即无法重做均衡特性。

本申请实施例提供了一种用于有线串行数据传输的重定时器的路径控制方法，可以在链路训练阶段通过码流有效控制重定时器进入或退出低时延路径，码流例如可以包括 TSB。该方法可以应用于图 1 或图 2 所示的通信系统，示例地，该方法可以应用于图 2 所示的第一 IO 主机控制器、第一重定时器 103、第二重定时器 104 和第二 IO 主机控制器这四个器件，例如可以应用于前述各个器件的物理层部分。以下对前述各个器件的物理层部分的结构进行说明。

请参考图 3，图 3 为本申请实施例提供的一种 IO 主机控制器的结构示意图，图 3 示出了 IO 主机控制器的数据链路层 (Data Link Layer, DL) 的部分结构和物理层的结构，第一 IO 主机控制器或第二 IO 主机控制器的结构均可以参考图 3。IO 主机控制器的 DL 包括 DL 发送器 (DL Transmitter, DL_TX) 和 DL 接收器 (DL, DL_RX)。IO 主机控制器的物理层包括数据分发 (Data Distribution) 组件、训练码流块生成 (Training Set Block generate, TSB_GEN) 组件、低时延重定时器能力配置 (Low latency retimer Capability configure, LTR_CAP_CFG) 寄存器组件、低时延控制 (Low latency retimer control, LTR_CTRL) 组件、训练码流块识别 (Training Set Block CHECK, TSB_CHECK) 组件、多路复用器 (Multiplexer, MUX)、扰码器 (SCRAMBER)、Serdes TX、Serdes RX、符号锁定/解扰 (Symbol Lock/De-scramber) 组件以及去偏斜 (Deskew) 组件。

以下以图 3 为例对本申请实施例提供的方法中第一 IO 主机控制器和第二 IO 主机控制器之间的交互过程进行说明。假设第一 IO 主机控制器和第二 IO 主机控制器之间在链路训练阶段通过 TSB 进行交互，TSB 可以在第一 IO 主机控制器和第二 IO 主机控制器的物理层之间传输。在链路训练阶段结束后，第一 IO 主机控制器和第二 IO 主机控制器之间传输业务数据。

对于第一 IO 主机控制器，Data Distribution 组件用于接收 DL_TX 发送的业务数据，对接收到的业务数据进行前向差错编码 (Forward error correction, FEC) 后分发传输至 MUX，以排布到各个物理通道 (Lane) 上。LTR_CTRL 组件用于控制第一 IO 主机控制器的状态。LTR_CAP_CFG 寄存器组件用于配置重定时器的低时延控制信息。TSB_GEN 组件用于根据 LTR_CTRL 组件所控制的状态确定待生成的 TSB 的类型，并根据 LTR_CAP_CFG 寄存器组件中配置的低时延控制信息生成该类型的 TSB，之后向 MUX 发送 TSB。MUX 用于在 LTR_CTRL 组件的控制下从输入的业务数据和 TSB 中选择一路数据发送至 SCRAMBER。SCRAMBER 用于对接收到的数据进行加扰，之后向 Serdes TX 发送加扰后的数据。Serdes TX 用于将接收到的并行的数据转换为串行的数据并向链路 (Link) 上发送串行的数据。

对于第二 IO 主机控制器，Serdes RX 用于从 Link 上接收串行的数据，将串行的数据转换为并行 TSB，之后向 Symbol Lock/De-scramber 组件发送并行的数据。Symbol Lock/De-scramber 组件用于对接收到的并行的数据进行进行帧定界和解扰处理。当 Symbol Lock/De-scramber 组件接收到的并行的数据为业务数据时，Symbol Lock/De-scramber 组件向 Deskew 组件发送处理后的并行业务数据。Deskew 组件用于对接收到的并行业务数据进行消除

Lane 之间偏斜处理，之后向 DL_RX 发送处理后的并行业务数据。当 Symbol Lock/De-scrambler 组件接收到的并行的数据为 TSB 时，Symbol Lock/De-scrambler 组件向 TSB_CHECK 组件发送并行 TSB。TSB_CHECK 组件用于对 Symbol Lock/De-scrambler 组件发送的数据进行识别得到 TSB，解析得到 TSB 中的低时延控制信息，之后向 LTR_CTRL 组件发送解析得到的低时延控制信息。LTR_CTRL 组件用于根据接收到的低时延控制信息控制第二 IO 主机控制器的状态，以使 TSB_GEN 组件确定待生成的 TSB 的类型。

之后第二 IO 主机控制器可以执行发送 TSB 或业务数据的过程，相应地第一 IO 主机控制器执行接收 TSB 或业务数据的过程。第二 IO 主机控制器所执行的发送 TSB 或业务数据的过程可以参考第一 IO 主机控制器所执行的发送 TSB 或业务数据的过程，第一 IO 主机控制器所执行的接收 TSB 或业务数据的过程可以参考第二 IO 主机控制器所执行的接收 TSB 或业务数据的过程，本申请实施例在此不做赘述。

需要说明的是，图 3 中的 Serdes TX 也可以接收 TSB 或业务数据，Serdes RX 也可以发送 TSB 或业务数据，本申请实施例对 Serdes TX 和 Serdes RX 的发送和接收不做限定。

可选地，在本申请实施例中，IO 主机控制器中的 LTR_CTRL 组件所控制的状态可以包括以下至少一种：Discovery 状态、Configuration 状态、Retrain 状态、均衡 (Equalization) 状态、链路活跃 (Link Active) 状态。其中，Discovery 状态、Configuration 状态、Retrain 状态和 Equalization 状态为链路建立阶段的状态，Link Active 状态为链路建立完成发送业务数据阶段的状态。Discovery 状态也可称为低时延能力声明交互状态，Configuration 状态也可称为低延迟切换握手确认状态，Retrain 状态也可称为等待低时延切换结束状态，Link Active 状态也可称为业务数据传输状态。

请参考图 4，图 4 为本申请实施例提供的一种重定时器的物理层的结构示意图，第一重定时器 103 和第二重定时器 104 的物理层结构均可以参考图 4。重定时器的物理层包括 Serdes RX、低时延切换控制 (Low_latency_switch_ctrl) 组件、TSB_CHECK/GEN 组件、正常数据路径 (Normal data path)、低时延路径 (low latency path)、MUX 以及 Serdes TX。其中，TSB_CHECK/GEN 组件位于 Normal data path 上。

其中，重定时器具有两种数据传输方向，例如第一重定时器 103 的数据传输方向包括从第一设备 101 传输至第二设备 102 的方向和从第二设备 102 传输至第一设备 101 的方向。相应地，重定时器包括两种数据传输方向分别对应的两条正常数据路径以及两种数据传输方向分别对应的两条低时延路径。重定时器用于通过接收到的数据的传输方向对应的正常数据路径或低时延路径转发数据。

以下以图 4 为例对本申请实施例提供的方法中重定时器接收第一 IO 主机控制器发送的数据并向第二 IO 主机控制器转发接收到的数据的过程进行说明。TSB 可以在第一 IO 主机控制器、重定时器和第二 IO 主机控制器的物理层之间传输。

当重定时器转发的为 TSB 时，重定时器中的 Serdes RX 用于将接收到的串行 TSB 转换为并行 TSB，之后向当前数据传输方向对应的正常数据路径上发送并行 TSB。并行 TSB 通过正常数据路径发送至 MUX，MUX 用于向 Serdes TX 发送并行 TSB。Serdes TX 用于将接收到的并行 TSB 转换为串行 TSB，并向第二 IO 主机控制器发送串行 TSB。此外 TSB_CHECK 组件用于识别 TSB，解析得到 TSB 中的控制信息，并根据控制信息确定后续业务数据的传输路径。TSB_GEN 组件用于生成 TSB，生成的 TSB 经过正常数据路径以

及 Serdes RX 发送至第一 IO 主机控制器，经过正常数据路径以及 Serdes TX 发送至第二 IO 主机控制器。

当重定时器转发的为业务数据时，重定时器中的 Serdes RX 用于将接收到的串行业务数据转换为并行业务数据，之后向当前数据传输方向对应的正常数据路径或低时延路径上发送并行业务数据。并行业务数据依次经过 MUX 和 Serdes TX 传输至第二 IO 主机控制器。该过程可以参考 TSB 的传输过程，本申请实施例在此不做赘述。

其中，Low_latency_switch_ctrl 组件相当于一个状态机，其用于在 TSB 或业务数据的传输过程中控制重定时器的状态。可选地，Low_latency_switch_ctrl 组件所控制的状态可以包括以下至少一种：在 Normal 路径下数据转发状态、低时延切换状态、在 low latency 路径下数据转发状态。

可选地，本申请实施例提供的用于有线串行数据传输的重定时器的路径控制方法中可以通过码流实现重定时器的路径控制，该码流可以包括 TSB，以下对 TSB 的结构进行说明。请参考图 5，图 5 为本申请实施例提供的一种 TSB 的结构示意图，该 TSB 包括 TSB 类型 (TYPE) 部分、至少一个 TSB 负载 (Payload) 部分 (图 5 示出了 2 个) 以及 TSB 循环冗余校验 (Cyclic Redundancy Check, CRC) 部分。其中，每个 TSB Payload 部分对应一个重定时器。

由前述描述可知，LTR_CTRL 组件用于控制 IO 主机控制器的状态，在不同的状态下，IO 主机控制器生成的 TSB 的类型不同。在不同类型的 TSB 中，TSB TYPE 部分和 TSB CRC 部分的含义相同，TSB Payload 部分的含义不同。TSB TYPE 部分用于携带指示当前 IO 主机控制器的状态的信息，不同类型的 TSB TYPE 中携带的信息不同。TSB Payload 部分用于携带重定时器的路径控制相关的信息，Payload 部分的长度可以为任意值，本申请实施例对此不做限定。TSB CRC 部分用于携带校验信息，校验信息用于校验 TSB 的正确性，避免错误的 TSB 的传输影响重定时器的路径控制。

本申请实施例提供了一种用于有线串行数据传输的重定时器的路径控制方法，该方法可以应用于前述图 1 或图 2 所示的通信系统。在第一个实施例中，以一个设备 (例如第一设备 101 或第二设备 102) 执行主体对该方法进行说明。请参考图 6，图 6 为本申请实施例提供的一种用于有线串行数据传输的重定时器的路径控制方法的流程示意图，图 6 对控制重定时器是否进入低时延路径的过程进行说明，该方法可以包括以下过程：

201、接收第一码流，第一码流包括第一字段，第一字段中包括重定时器的能力信息。

该能力信息用于指示重定时器是否支持低时延路径。

202、向重定时器发送第二码流，第二码流包括第二字段，第二字段中包括第一进入控制信息，第一进入控制信息用于指示重定时器是否进入低时延路径。

重定时器内部的数据传输路径包括正常数据路径和低时延路径，组成正常数据路径和低时延路径的器件不同，低时延路径为重定时器的数据传输路径中时延最小的路径。在转发接收到的数据时，Retimer0 可以通过正常数据路径或低时延路径进行数据的传输。

示例地，组成正常数据路径的器件可以包括串行到并行 (Serial to Parallel, S2P) 转换器、对齐、解码器及解扰器 (Alignment, Decoder 及 Descramber)、弹性缓冲器 (Elastic Buffer)、多协议训练控制块 (multi-protocol training control block)、分级缓冲器 (staging buffer)、MUX 以及转换器等。组成低时延路径的器件可以包括时钟和数据恢复 (clock data

recovery, CDR) 器件以及锁相环 (PhaseLockedLoop, PLL) 等。

综上所述, 本申请实施例提供的用于有线串行数据传输的重定时器的路径控制方法, 接收包括第一字段的第一码流, 第一字段中包括重定时器的能力信息, 之后基于能力信息向重定时器发送包括第二字段的第二码流, 第二字段中包括第一进入控制信息, 第一进入控制信息用于指示重定时器是否进入低时延路径, 设备可以通过第一码流确定重定时器是否支持低时延路径, 进而通过第二码流控制重定时器的路径, 使得重定时器可以根据第二码流确定是否进入低时延路径, 无需重定时器自主进入低时延路径, 实现了对重定时器的路径的有效控制, 且无需重定时器向通信设备发送指示码流, 避免了设备由于指示码流而功能异常。

10 在第二个实施例中, 以第一设备、第一重定时器 (以下称为 Retimer0)、第二重定时器 (以下称为 Retimer1) 以及第二设备为例对该路径控制方法进行说明。对重定时器的路径控制过程包括控制重定时器是否进入低时延路径和控制重定时器是否退出低时延路径, 请参考图 7, 图 7 为本申请实施例提供的另一种用于有线串行数据传输的重定时器的路径控制方法的流程示意图, 图 7 对控制重定时器是否进入低时延路径的过程进行说明, 且以控制 Retimer0 进入低时延路径以及控制 Retimer1 不进入低时延路径为例, 该方法可以包括以下过程:

301、第一设备向 Retimer0 发送第一码流, 第一码流包括第一能力字段。

第一码流可以包括 DTSB。示例地, 请参考图 8, 图 8 为本申请实施例提供的一种 DTSB 的结构示意图, DTSB 包括 TSB Type 字段、第一能力字段和 TSB CRC 字段。对应于图 5, 第一能力字段属于 TSB Payload 部分。第一能力字段包括位于第一设备和第二设备之间至少一个重定时器分别对应的低时延支持子字段。也即, 第一能力字段中包括的低时延支持子字段的个数至少等于第一设备和第二设备之间的重定时器的个数。本申请实施例中, 第一设备和第二设备之间包括 Retimer0 和 Retimer1, 则第一能力字段至少可以包括 Retimer0 低时延支持 (Retimer0 low latency support, RT0_LT_SP) 子字段和 Retimer1 低时延支持 (Retimer1 low latency support, RT1_LT_SP) 子字段。

DTSB 的长度可以为任意值, 本申请实施例对此不做限定。示例地, 当重定时器的数量为两个时, DTSB 可以为四个字节长度的码流, 该四个字节可以表示为符号 0(Symbol0)、Symbol1、Symbol2 和 Symbol3。TSB Type 字段占用 Symbol0, 第一能力字段占用 Symbol1, TSB CRC 字段占用 Symbol2 和 Symbol3。

30 示例地, 请参考表 1, 表 1 示出了 DTSB 所包括的各个字节的含义, 表 1 以 DTSB 为 Symbol0 至 Symbol3 四个字节的码流且以重定时器包括 Retimer0 和 Retimer1 为例进行说明。如表 1 所示, TSB Type 字段中包括的状态信息可以为 0xA0、0xB0、0xC0 或 0xD0, 0xA0 用于指示 Discovery 状态, 0xB0 用于指示 Configuration 状态, 0xC0 用于指示 Retrain 状态, 0xD0 用于指示 Equalization 状态。Symbol0 中除 TSB Type 字段所占用的比特位之外的比特位为保留 (Resvered) 比特位, 则如图 8 所示, DTSB 还可以包括第一 Resvered 字段, 第一 Resvered 字段占用 Symbol0 中的 Resvered 比特位。

35 第一能力字段占用 Symbol1 中的 2bit (Bit0 和 Bit1)。其中, RT0_LT_SP 子字段占用 Bit0, 当 Bit0 为 0 时, 指示 Retimer0 支持低时延; 当 Bit0 为 1 时, 指示 Retimer0 不支持低时延。RT1_LT_SP 子字段占用 Bit1, 当 Bit1 为 0 时, 指示 Retimer1 支持低时延; 当 Bit1

为 1 时，指示 Retimer1 不支持低时延。Bit0 和 Bit1 仅在当前端口为重定时器时有效，即仅当发送 DTSB 的端口为重定时器的端口时有效。Symbol1 中的 Bit2 和 Bit3 为 Resvered 比特位，则如图 8 所示，DTSB 还可以包括第二 Resvered 字段，第二 Resvered 字段占用 Symbol1 中的 Bit2 和 Bit3。

5 TSB CRC 字段占用 Symbol2 和 Symbol3 各自的 8bit, TSB CRC 字段中包括校验信息，校验信息用于校验 Symbol0 和 Symbol1 中各个比特位的正确性。

表 1

符号数字 (Symbol Number)	描述说明 (Description)
0	0xA0: Discovery
	0xB0: Configuration
	0xC0: Retrain
	0xD0: Equalization
	Other: Reserved
1	Bit0: Retimer0 low latency support (1'b0: Retimer0 support low latency 1'b1: Retimer0 not support low latency)
	Bit1: Retimer1 low latency support (1'b0: Retimer1 support low latency 1'b1: Retimer1 not support low latency)
	Bit[3:2]: Resvered
	Bit[5:4]: Retimer0 low latency switch time
	Bit[7:6]: Retimer1 low latency switch time
2	[7:0] for Symbol0-Symbol1
3	[15:8] for Symbol0-Symbol1

需要说明的是，前述图 8 所示的 DTSB 的结构和表 1 所示的 DTSB 中各个字节的含义均为示例性说明，并不对此进行限定，例如当第一设备和第二设备之间的重定时器的数量
10 较多时，DTSB 的第一能力字段包括的子字段随之增加，DTSB 的字节也要随之增大。

302、Retimer0 在接收到的第一码流中的第一能力字段中写入第一能力信息，得到第二码流，第一能力信息用于指示 Retimer0 是否支持低时延。

示例地，以前述过程 301 所述的 DTSB 码流为例，Retimer0 在第一能力字段中写入第一能力信息之前，第一能力字段中可以包括默认第一能力信息，例如 RT0_LT_SP 子字段
15 中的默认第一能力信息可以为 0。

Retimer0 在第一能力字段中写入第一能力信息时，可以先解码接收到的第一码流，之后根据自身是否支持低时延确定第一能力信息与默认第一能力信息是否相同。当第一能力信息与默认第一能力信息相同时，无需修改 RT0_LT_SP 子字段中的内容，此时得到的第二码流与第一码流相同。当第一能力信息与默认第一能力信息不同时，需要将 RT0_LT_SP
20 子字段中的内容修改为第一能力信息，此时第二码流与第一码流不同。假设 Retimer0 支持

低时延，RT0_LT_SP 子字段中的默认第一能力信息为 0，Retimer0 可以将 RT0_LT_SP 子字段中的值修改为 1。

可选地，第一码流还可以包括第一时间字段，Retimer0 还可以在第一时间字段中写入第一时长信息，得到第二码流，第一时长信息用于指示 Retimer0 进入或退出低时延路径的消耗时长。

Retimer0 在第一时间字段中写入第一时长信息之前，第一时间字段中可以包括默认第一时长信息，例如 RT0_LT_STM 子字段中的默认第一时长信息可以为 00。Retimer0 在第一时间字段中写入第一时长信息时，可以先解码接收到的第一码流，之后确定第一时长信息与默认第一时长信息是否相同。当第一时长信息与默认第一时长信息相同时，无需修改 RT0_LT_STM 子字段中的内容。当第一时长信息与默认第一时长信息不同时，需要将 RT0_LT_STM 子字段中的内容修改为第一时长信息。若 RT0_LT_SP 子字段和/或 RT0_LT_STM 子字段中的内容被修改，则得到的第二码流与第一码流不同；若 RT0_LT_SP 子字段和 RT0_LT_STM 子字段中的内容均未被修改，则得到的第二码流与第一码流相同。

示例地，如图 8 所示，DTSB 还包括第一时间字段，第一时间字段包括至少一个重定时器分别对应的低时延时间子字段，也即，第一时间字段中包括的低时延时间子字段的个数至少等于第一设备和第二设备之间的重定时器的个数。本申请实施例，重定时器包括 Retimer0 和 Retimer1，则第一时间字段可以至少包括 Retimer0 低时延切换时间 (Retimer0 low latency switch time, RT0_LT_STM) 子字段和 Retimer1 低时延时间 (Retimer1 low latency switch time, RT1_LT_STM) 子字段。

如前述表 1 所示，第一时间字段占用 Symbol1 中的 4bit (Bit4 至 Bit7)。其中，RT0_LT_STM 子字段占用 Bit4 和 Bit5，RT1_LT_STM 子字段占用 Bit6 和 Bit7。RT0_LT_STM 子字段和 RT1_LT_STM 子字段中包括的时长信息单位可以为毫秒 (millisecond, ms)。

303、Retimer0 向 Retimer1 发送第二码流。

示例地，Retimer0 向 Retimer1 发送的第二码流的第一能力字段中的 RT0_LT_SP 子字段中的值为 1。

304、Retimer1 在接收到的第二码流中的第一能力字段中写入第二能力信息，得到第三码流，第二能力信息用于指示 Retimer1 是否支持低时延。

示例地，以前述过程 301 所述的 DTSB 码流为例，Retimer1 在第一能力字段中写入第二能力信息之前，第一能力字段中可以包括默认第二能力信息，例如 RT1_LT_SP 子字段中的默认第二能力信息可以为 0。

Retimer1 在第一能力字段中写入第二能力信息时，可以先解码接收到的第二码流，之后根据自身是否支持低时延确定第二能力信息与默认第二能力信息是否相同。当第二能力信息与默认第二能力信息相同时，无需修改 RT1_LT_SP 子字段中的内容，此时得到的第三码流与第二码流相同。当第二能力信息与默认第二能力信息不同时，需要将 RT1_LT_SP 子字段中的内容修改为第二能力信息，此时第三码流与第二码流不同。例如，假设 Retimer1 不支持低时延，RT1_LT_SP 子字段中的默认第二能力信息为 0，Retimer1 无需修改 RT1_LT_SP 子字段中的值。

可选地，第二码流还可以包括第一时间字段，Retimer1 还可以在第一时间字段中写入

第二时长信息，得到第三码流。第二时长信息用于指示 Retimer1 进入或退出低时延路径的消耗时长。

Retimer1 在第一时间字段中写入第二时长信息之前，第一时间字段中可以包括默认第二时长信息，例如 RT1_LT_STM 子字段中的默认第二时长信息可以为 00。Retimer1 在第一时间字段中写入第二时长信息时，可以先解码接收到的第一码流，之后确定第二时长信息与默认第二时长信息是否相同。当第二时长信息与默认第二时长信息相同时，无需修改 RT1_LT_STM 子字段中的内容。当第二时长信息与默认第二时长信息不同时，需要将 RT1_LT_STM 子字段中的内容修改为第二时长信息。若 RT1_LT_SP 子字段和/或 RT1_LT_STM 子字段中的内容被修改，则得到的第三码流与第二码流不同；若 RT1_LT_SP 子字段和 RT1_LT_STM 子字段中的内容均未被修改，则得到的第三码流与第二码流相同。

该过程中 DTSB 的结构可以参考图 8，本申请实施例在此不做赘述。

305、Retimer1 向第二设备发送第三码流。

示例地，Retimer1 向第二设备发送的第三码流的第一能力字段中的 RT0_LT_SP 子字段中的值为 1，RT1_LT_SP 子字段中的值为 0。

306、第二设备向 Retimer1 发送第四码流，第四码流包括第二能力字段。

第四码流的结构与第一码流相同，其结构和相关说明可以参考图 8 所示的第一码流和表 1 的内容，本申请实施例在此不做赘述。

307、Retimer1 在接收到的第四码流中的第二能力字段中写入第二能力信息，得到第五码流。

该过程可以参考前述过程 304，本申请实施例在此不做赘述。

308、Retimer1 向 Retimer0 发送第五码流。

该过程中 Retimer1 向 Retimer0 发送的第五码流的第二能力字段中的 RT1_LT_SP 子字段中的值为 0。

309、Retimer0 在接收到的第五码流中的第二能力字段中写入第一能力信息，得到第六码流。

该过程可以参考前述过程 302，本申请实施例在此不做赘述。

310、Retimer0 向第一设备发送第六码流。

该过程中 Retimer0 向第一设备发送的第六码流的第二能力字段中的 RT1_LT_SP 子字段中的值为 0，RT0_LT_SP 子字段中的值为 1。

需要说明的是，前述过程 301 至 310 可以重复执行多次，即第一设备可以向 Retimer0 发送多个第一码流，第二设备可以向 Retimer1 发送多个第四码流。

311、第一设备向 Retimer0 发送第七码流，第七码流包括第一使能字段，第一使能字段中包括第一使能信息和第二使能信息。

第一使能信息用于指示是否使能 Retimer0 的低时延路径，第二使能信息用于指示是否使能 Retimer1 的低时延路径。

第三码流可以包括配置训练码流块（Configuration Training Set Block，CTSB）。示例地，请参考图 9，图 9 为本申请实施例提供的一种 CTSB 的结构示意图，CTSB 包括 TSB Type 字段、第一使能字段和 TSB CRC 字段。对应于图 5，第一使能字段属于 TSB Payload 部分。第一使能字段包括位于第一设备和第二设备之间至少一个重定时器分别对应的低时

延使能子字段。也即，第一使能字段中包括的低时延使能子字段的个数至少等于第一设备和第二设备之间的重定时器的个数。本申请实施例中，第一设备和第二设备之间包括 Retimer0 和 Retimer1，则第一使能字段至少可以包括 Retimer0 低时延使能 (Retimer0 low latency Enable, RT0_LT_EN) 子字段和 Retimer1 低时延使能 (Retimer1 low latency Enable, RT1_LT_EN) 子字段。RT0_LT_EN 子字段中包括第一使能信息，RT1_LT_EN 子字段中包括第二使能信息。

CTSB 的长度可以为任意值，本申请实施例对此不做限定。示例地，当重定时器的数量为两个时，CTSB 的字节可以参考前述 DTSB，TSB Type 字段占用 Symbol0，第一使能字段占用 Symbol1，TSB CRC 字段占用 Symbol2 和 Symbol3。

示例地，请参考表 2，表 2 示出了 CTSB 所包括的各个字节的含义，表 2 以 CTSB 为 Symbol0 至 Symbol3 四个字节的码流且以重定时器包括 Retimer0 和 Retimer1 为例进行说明，表 2 与前述表 1 中 Symbol0、Symbol2 和 Symbol3 的含义相同，因此 CTSB 还可以包括第一 Resvered 字段，本申请实施例在此对 Symbol0、Symbol2 和 Symbol3 的含义不做赘述。

第一使能字段占用 Symbol1 中的 2bit (Bit0 和 Bit1)。其中，RT0_LT_EN 子字段占用 Bit0，当 Bit0 为 0 时，指示使 Retimer0 的低时延路径无效，即不使能 Retimer0 的低时延路径；当 Bit0 为 1 时，指示使能 Retimer0 的低时延路径。RT1_LT_EN 子字段占用 Bit1，当 Bit1 为 0 时，指示使 Retimer1 的低时延路径无效，即不使能 Retimer1 的低时延路径；当 Bit0 为 1 时，指示使能 Retimer1 的低时延路径。Symbol1 中的 Bit2 至 Bit7 为 Resvered 比特位，则如图 9 所示，CTSB 还可以包括第二 Resvered 字段，第二 Resvered 字段占用 Symbol1 中的 Bit2 至 Bit7。

表 2

符号数字 (Symbol Number)	描述说明 (Description)
0	0xA0: Discovery
	0xB0: Configuration
	0xC0: Retrain
	0xD0: Equalization
	Other: Reserved
1	Bit0: Retimer0 low latency Enable (1'b0: Disable Retimer0 low latency path 1'b1: Enable Retimer0 low latency path)
	Bit1: Retimer1 low latency Enable (1'b0: Disable Retimer1 low latency path 1'b1: Enable Retimer1 low latency path)
	Bit[7:2] Resvered
2	[7:0]for Symbol0-Symbol1
3	[15:8]for Symbol0-Symbol1

需要说明的是，前述图 9 所示的 CTSB 的结构和表 2 所示的 CTSB 中各个字节的含义均为示例性说明，并不对此进行限定，例如当第一设备和第二设备之间的重定时器的数量较多时，CTSB 的第一使能字段包括的子字段随之增加，CTSB 的字节也要随之增大。

312、Retimer0 向 Retimer1 发送第七码流。

5 313、Retimer1 向第二设备发送第七码流。

314、第二设备向 Retimer1 发送第八码流，第八码流包括第二使能字段，第二使能字段中包括第三使能信息和第四使能信息。

第三使能信息用于指示是否使能 Retimer0 的低时延路径，第四使能信息用于指示是否使能 Retimer1 的低时延路径。

10 第八码流的结构与第七码流相同，其结构和相关说明可以参考图 9 所示的第七码流和表 2 的内容，本申请实施例在此不做赘述。

315、Retimer1 向 Retimer0 发送第八码流。

316、Retimer0 向第一设备发送第八码流。

317、Retimer0 基于第一使能信息和/或第三使能信息确定是否使能低时延路径。

15 第一使能信息和第三使能信息可以相同或不同。

前述过程 311 至 313 为第一设备向第二设备发送第七码流的过程，过程 314 至 316 为第二设备向第一设备发送第八码流的过程。第七码流和第八码流的发送过程无先后顺序，该两个发送过程可以同时执行。

20 由前述描述可知，重定时器的正常数据传输路径和低时延路径均包括两种传输方向分别对应的两条路径。

在一种实现方式中，Retimer0 可以基于第一使能信息和第三使能信息中的任意一个确定是否统一使能两条低时延路径。示例地，Retimer0 可以基于第七码流和第八码流中先接收到的码流中包括的使能信息确定是否统一使能两条低时延路径。例如，Retimer0 先接收到第八码流，可以基于第八码流中包括的第三使能信息确定是否统一使能两条低时延路径。
25 假设第三使能信息指示使能 Retimer0 的低时延路径（即 RT0_LT_EN 子字段的值为 1），则统一使能两条低时延路径。

该实现方式中，Retimer0 先接收到码流后即可执行该过程 317，转发接收到的码流的过程与过程 317 无先后顺序，这两个过程可以同时执行。例如，Retimer0 先接收到第八码流，在接收到第八码流后即可执行该过程 317，并同时执行过程 316。

30 在另一种实现方式中，Retimer0 可以基于第一使能信息和第三使能信息确定是否使能低时延路径。一种示例地，Retimer0 可以基于第一使能信息和第三使能信息确定是否统一使能两条低时延路径。可选地，Retimer0 可以对第一使能信息和第三使能信息进行逻辑与操作或者逻辑或操作，根据逻辑与操作或者逻辑或操作的结果确定是否统一使能两条低时延路径。

35 例如，假设第一使能信息指示使能 Retimer0 的低时延路径（即 RT0_LT_EN 子字段的值为 1），第三使能信息指示不使能 Retimer0 的低时延路径（即 RT1_LT_EN 子字段的值为 0）。Retimer0 对第一使能信息和第三使能信息进行与操作，从而确定不使能两条低时延路径。或者 Retimer0 对第一使能信息和第三使能信息进行或操作，从而确定使能两条低时延路径。

另一种示例地，Retimer0 可以基于第一使能信息和第三使能信息分别独立确定是否使能两条低时延路径。即 Retimer0 可以基于第一使能信息确定是否使能一条低时延路径，基于第三使能信息确定是否使能另一条低时延路径。可选地，第一使能字段中还可以包括第一方向信息，第二使能字段中还可以包括第二方向信息，第一方向信息和第二方向信息不同。第一方向信息用于指示基于第一使能信息所使能的低时延路径对应的传输方向，第二方向信息用于指示基于第三使能信息所使能的低时延路径对应的传输方向。Retimer0 可以基于第一使能信息确定是否使能第一方向信息指示的传输方向所对应的低时延路径，基于第三使能信息确定是否使能第二方向信息指示的传输方向所对应的低时延路径。例如，假设第一使能信息指示使能 Retimer0 的低时延路径（即 RT0_LT_EN 子字段的值为 1），第一方向信息指示第二设备至第一设备的传输方向，Retimer0 可以确定使能第二设备至第一设备的传输方向所对应的低时延路径。第三使能信息指示不使能 Retimer0 的低时延路径（即 RT1_LT_EN 子字段的值为 0），第二方向信息指示第一设备至第二设备的传输方向，Retimer0 可以确定不使能第一设备至第二设备的传输方向所对应的低时延路径。

又一可选地，Retimer0 可以直接基于第一使能信息确定是否使能第七码流的传输方向所对应的低时延路径，基于第三使能信息确定是否使能第八码流的传输方向所对应的低时延路径。例如，假设第一使能信息指示使能 Retimer0 的低时延路径（即 RT0_LT_EN 子字段的值为 1），Retimer0 可以确定使能第一设备至第二设备的传输方向所对应的低时延路径。第三使能信息指示不使能 Retimer0 的低时延路径（即 RT1_LT_EN 子字段的值为 0），Retimer0 可以确定不使能第二设备至第一设备的传输方向所对应的低时延路径。

该实现方式中，Retimer0 在接收到两个码流后即可执行该过程 317，转发接收到的码流的过程与过程 317 无先后顺序，这两个过程可以同时执行。例如，Retimer0 在接收到第七码流和第八码流后即可执行该过程 317，并同时执行过程 312 和过程 316。

318、Retimer1 基于第二使能信息和/或第四使能信息确定是否使能低时延路径。

该过程可以参考前述过程 317，本申请实施例在此不做赘述。

需要说明的是，前述过程 311 至 318 可以重复执行多次，即第一设备可以向 Retimer0 发送多个第七码流，第二设备可以向 Retimer1 发送多个第八码流。

对于第一设备发送的每个第七码流和第二设备发送的每个第八码流，第一设备需要确定第一使能信息和第二使能信息，第二设备需要确定第三使能信息和第四使能信息。

在一种实现方式中，第一设备可以根据接收到的第六码流中的第一能力信息确定第一使能信息，根据第六码流中的第二能力信息确定第二使能信息。第二设备根据接收到的第一码流中的第一能力信息确定第三使能信息，根据第二能力信息确定第四使能信息。示例地，若第一设备根据第一能力信息确定 Retimer0 支持低延，则可以确定用于指示使能 Retimer0 的低时延路径的第一使能信息。若第一设备根据第二能力信息确定 Retimer1 不支持低延，则可以确定用于指示不使能 Retimer1 的低时延路径的第二使能信息。

在该实现方式中，可选地，第一设备可以获取 Retimer0 的第一使能配置信息以及 Retimer1 的第一使能配置信息，Retimer0 的第一使能配置信息用于指示是否使能 Retimer0 的低时延功能，Retimer1 的第一使能配置信息用于指示是否使能 Retimer1 的低时延功能。之后第一设备根据第一能力信息和 Retimer0 的第一使能配置信息确定第一使能信息，根据第二能力信息和 Retimer1 的第一使能配置信息确定第二使能信息。Retimer0 的第一使

能配置信息或 Retimer1 的第一使能配置信息可以是预先配置在第一设备中的，例如如前述图 3 所示，可以预先配置在 LTR_CAP_CFG 组件中。第一设备可以将第一能力信息和 Retimer0 的第一使能配置信息进行逻辑与或者逻辑或操作，得到第一使能信息。或者将第二能力信息和 Retimer1 的第一使能配置信息进行逻辑与或者逻辑或操作，得到第二使能信息。

5 示例如地，若第一设备根据第一能力信息确定 Retimer0 支持低延，根据 Retimer0 的第一使能配置信息确定不使能 Retimer0 的低时延功能，则第一设备可以基于逻辑与操作确定用于指示不使能 Retimer0 的低时延路径的第一使能信息，或者基于逻辑或操作确定用于指示使能 Retimer0 的低时延路径的第一使能信息。

10 同理，第二设备也可以获取 Retimer0 的第二使能配置信息以及 Retimer1 的第二使能配置信息，Retimer0 的第二使能配置信息用于指示是否使能 Retimer0 的低时延功能，Retimer1 的第二使能配置信息用于指示是否使能 Retimer1 的低时延功能。第二设备确定第三使能信息和确定第四使能信息的过程可以参考前述第一设备确定第一使能信息和第二使能信息的过程，本申请实施例在此不做赘述。

15 可选地，Retimer0 的第一使能配置信息与 Retimer0 的第二使能配置信息可以不同，相应地，第一使能信息和第三使能信息也可以不同。Retimer1 的第一使能配置信息与 Retimer1 的第二使能配置信息可以不同，相应地，第二使能信息和第四使能信息也可以不同。

此时进一步地，可以将第一设备和第二设备中的一个设备视为主设备，将另一个设备视为从设备。例如假设将第一设备视为主设备，将第二设备视为从设备，第二设备在接收到第七码流之前发送的第八码流中的第三使能信息是基于第一能力信息和 Retimer0 的第二使能配置信息确定的，第四使能信息是基于第二能力信息和 Retimer1 的第二使能配置信息确定的。在接收到第七码流后，第二设备可以基于第七码流中包括的第一使能信息更新第三使能信息，得到更新后的第三使能信息，更新后的第三使能信息与第一使能信息相同。和/或基于第七码流中包括的第二使能信息更新第四使能信息，得到更新后的第四使能信息，更新后的第四使能信息与第三使能信息相同，从而得到更新后的第八码流。后续第二设备向 Retimer1 发送的均为更新后的第八码流，更新后的第八码流包括更新后的第二使能字段，更新后的第二使能字段中包括更新后的第三使能信息和更新后的第四使能信息。

25 更新后的第一使能信息与第二使能信息相同，即第七码流和第八码流中携带的使能信息一致，这样使得重定时器可以根据任一使能信息确定是否使能低时延路径，而无需在接收到第一使能信息和第二使能信息后才能开始确定是否使能低时延路径，从而提高了重定时器确定是否使能低时延路径的效率，进而提高了路径控制效率。

30 在另一种实现方式中，可以将第一设备和第二设备中的一个设备视为主设备，将另一个设备视为从设备。例如假设将第一设备视为主设备，将第二设备视为从设备，第一设备可以自主确定第一使能信息和第二使能信息，该过程可以参考前述实现方式，本申请实施例在此不做赘述。第二设备在接收到第七码流之前发送的第八码流中的第三使能信息和第四使能信息可以是默认的。在接收到第七码流后，第二设备可以基于第七码流中包括的第一使能信息更新第三使能信息，得到更新后的第三使能信息，更新后的第三使能信息与第一使能信息相同。和/或基于第七码流中包括的第二使能信息更新第四使能信息，得到更新后的第四使能信息，更新后的第四使能信息与第三使能信息相同，从而得到更新后的第八

码流, 后续第二设备向 Retimer1 发送的均为更新后的第八码流, 更新后的第八码流包括更新后的第二使能字段, 更新后的第一使能字段中包括更新后的第三使能信息和更新后的第四使能信息。

319、第一设备向 Retimer0 发送第九码流, 第九码流包括第一路径控制字段和第一状态字段, 第一路径控制字段中包括第一进入控制信息和第二进入控制信息。

第一进入控制信息用于指示 Retimer0 是否进入低时延路径, 第二进入控制信息用于指示 Retimer1 是否进入低时延路径。

前述过程 311 中, 第一设备向 Retimer0 发送了携带有第一使能信息的第七码流, 过程 314 中, 第二设备向 Retimer0 发送了携带有第三使能信息的第八码流, 第一使能信息和第三使能信息均指示是否使能 Retimer0 的低时延路径。以下对重定时器使能低时延路径和重定时器进入低时延路径的概念进行说明, 重定时器使能低时延路径指的是重定时器执行进入低时延路径之前的准备工作, 例如, 校准以及上位对齐等。如图 4 所示, 重定时器进入低时延路径指的是重定时器将 MUX 的输入端由正常数据路径切换为低时延路径。

第一设备可以根据第一使能信息确定第一进入控制信息, 根据第二使能信息确定第二进入控制信息。示例地, 若第一使能信息指示使能 Retimer0 的低时延路径, 则可以确定用于指示 Retimer0 进入低时延路径的第一进入控制信息。若第一使能信息指示不使能 Retimer0 的低时延路径, 则可以确定用于指示 Retimer0 不进入低时延路径的第一进入控制信息。

需要说明的是, 若第一设备更新过第一使能信息和第二使能信息, 则根据更新后的第一使能信息确定第一进入控制信息, 根据更新后的第二使能信息确定第二进入控制信息。

第九码流可以包括 RTSB。示例地, 请参考图 10, 图 10 为本申请实施例提供的一种 RTSB 的结构示意图, RTSB 包括 TSB Type 字段、第一路径控制字段、第一状态字段和 TSB CRC 字段。对应于图 5, 第一路径控制字段和第一状态字段属于 TSB Payload 部分。

第一路径控制字段包括位于第一设备和第二设备之间至少一个重定时器分别对应的进入低时延子字段。也即, 第一路径控制字段中包括的进入低时延子字段的个数至少等于第一设备和第二设备之间的重定时器的个数。本申请实施例中, 第一设备和第二设备之间包括 Retimer0 和 Retimer1, 则如图 10 所示, 第一路径控制字段至少可以包括 Retimer0 进入低时延 (Retimer0 Enter low latency, RT0_ENTER_LT) 子字段和 Retimer1 进入低时延 (Retimer1 Enter low latency, RT1_ENTER_LT) 子字段。RT0_ENTER_LT 子字段中包括第一进入控制信息, RT1_ENTER_LT 子字段中包括第二进入控制信息。

第一路径控制字段中还可以包括第一退出控制信息和第二退出控制信息。第一退出控制信息用于指示 Retimer0 是否退出低时延路径, 第二退出控制信息用于指示 Retimer1 是否退出低时延路径。则如图 10 所示, 第一路径控制字段还包括位于第一设备和第二设备之间至少一个重定时器分别对应的退出低时延子字段。也即, 第一路径控制字段中包括的退出低时延子字段的个数至少等于第一设备和第二设备之间的重定时器的个数。本申请实施例中, 第一设备和第二设备之间包括 Retimer0 和 Retimer1, 则第一路径控制字段至少可以包括 Retimer0 退出低时延 (Retimer0 Exit low latency, RT0_EXIT_LT) 子字段和 Retimer1 退出低时延 (Retimer1 Exit low latency, RT1_EXIT_LT) 子字段。RT0_EXIT_LT 子字段中包括第一退出控制信息, RT1_EXIT_LT 子字段中包括第二退出控制信息。

第一状态字段包括位于第一设备和第二设备之间至少一个重定时器分别对应的低时延切换状态子字段。也即，第一状态字段中包括的低时延切换状态子字段的个数至少等于第一设备和第二设备之间的重定时器的个数。本申请实施例中，第一设备和第二设备之间包括 Retimer0 和 Retimer1，则如图 10 所示，第一状态字段至少可以包括 Retimer0 低时延切换状态（Retimer0 low latency switch status, RT0_LT_SW）子字段和 Retimer1 低时延切换状态（Retimer1 low latency switch status, RT1_LT_SW）子字段。

RTSB 的长度可以为任意值，本申请实施例对此不做限定。示例地，当重定时器的数量为两个时，RTSB 的字节可以参考前述 DTSB，TSB Type 字段占用 Symbol0，第一路径控制字段和第一状态字段占用 Symbol1，TSB CRC 字段占用 Symbol2 和 Symbol3。

请参考表 3，表 3 示出了 RTSB 所包括的各个字节的含义，表 3 以 RTSB 为 Symbol0 至 Symbol3 四个字节的码流且以重定时器包括 Retimer0 和 Retimer1 为例进行说明，表 3 与前述表 1 中 Symbol0、Symbol2 和 Symbol3 的含义相同，因此 RTSB 还可以包括第一 Resvered 字段，本申请实施例在此对 Symbol0、Symbol2 和 Symbol3 的含义不做赘述。

第一路径控制字段占用 Symbol1 中的 4bit（Bit0 至 Bit3）。其中，RT0_ENTER_LT 子字段占用 Bit0，当 Bit0 为 0 时，指示 Retimer0 不直接进入低时延，即不进入低时延路径；当 Bit0 为 1 时，指示 Retimer0 直接进入低时延，即进入低时延路径。RT1_ENTER_LT 子字段占用 Bit1，当 Bit1 为 0 时，指示 Retimer1 不直接进入低时延，即不进入低时延路径；当 Bit1 为 1 时，指示 Retimer1 直接进入低时延，即进入低时延路径。

RT0_EXIT_LT 子字段占用 Bit2，当 Bit2 为 0 时，指示 Retimer0 不直接退出低时延，即不退出低时延路径；当 Bit2 为 1 时，指示 Retimer0 直接退出低时延，即退出低时延路径。RT1_EXIT_LT 子字段占用 Bit3，当 Bit3 为 0 时，指示 Retimer1 不直接退出低时延，即不退出低时延路径；当 Bit3 为 1 时，指示 Retimer1 直接退出低时延，即退出低时延路径。

第一状态字段占用 Symbol1 中的 2bit（Bit4 和 Bit5）。其中，RT0_LT_SW 子字段占用 Bit4，RT1_LT_SW 子字段占用 Bit5。当 Bit4 为 0 时，指示 Retimer0 未处于低时延切换状态下，即指示 Retimer0 未正在进入低时延或者未正在退出低时延；当 Bit4 为 1 时，指示 Retimer0 处于低时延切换状态下，即指示 Retimer0 正在进入低时延或者正在退出低时延。当 Bit5 为 0 时，指示 Retimer1 未处于低时延切换状态下；当 Bit5 为 1 时，指示 Retimer1 处于低时延切换状态下。

Symbol1 中的 Bit6 和 Bit7 为 Resvered 比特位，则如图 10 所示，RTSB 还可以包括第二 Resvered 字段，第二 Resvered 字段占用 Symbol1 中的 Bit6 和 Bit7。

表 3

符号数字 (Symbol Number)	描述说明 (Description)
0	0xA0: Discovery
	0xB0: Configuration
	0xC0: Retrain
	0xD0: Equalization
	Other: Reserved
1	Bit0: Retimer0 Enter low latency (1'b0: Not Direct Retimer0 Enter low latency 1'b1: Direct Retimer0 Enter low latency)
	Bit1: Retimer1 Enter low latency (1'b0: Not Direct Retimer1 Enter low latency 1'b1: Direct Retimer1 Enter low latency)
	Bit2: Retimer0 Exit low latency (1'b0: Not Direct Retimer0 Exit low latency 1'b1: Direct Retimer0 Exit low latency)
	Bit3: Retimer1 Exit low latency (1'b0: Not Direct Retimer1 Exit low latency 1'b1: Direct Retimer1 Exit low latency)
	Bit4: Retimer0 low latency switch status (1'b0: Retimer0 is not under low latency switch status 1'b1: Retimer0 is under low latency switch status)
	Bit5: Retimer1 low latency switch status (1'b0: Retimer1 is not under low latency switch 1'b1: Retimer1 is under low latency switch)
	Bit[7:6]: Resvered
2	[7:0] for Symbol0-Symbol1
3	[15:8] for Symbol0-Symbol1

需要说明的是，前述图 10 所示的 RTSB 的结构和表 3 所示的 RTSB 中各个字节的含义均为示例性说明，并不对此进行限定，例如当第一设备和第二设备之间的重定时器的数量较多时，RTSB 的第一路径控制字段和第一状态字段包括的子字段随之增加，RTSB 的

5

320、Retimer0 在接收到的第九码流中的第一状态字段中写入第一状态信息，得到第十码流，第一状态信息用于指示 Retimer0 是否处于进入低时延路径或者退出低时延路径的状态。

10 示例地，以前述过程 319 所述的 RTSB 码流为例，Retimer0 在第一状态字段中写入第一状态信息之前，第一状态字段中可以包括默认第一状态信息，例如 RT0_LT_SW 子字段

中的默认第一状态信息可以为 0。

Retimer0 在第一状态字段中写入第一状态信息时，可以先解码接收到的第九码流，之后根据自身当前状态确定第一状态信息与默认第一状态信息是否相同。当第一状态信息与默认第一状态信息相同时，无需修改 RT0_LT_SW 子字段中的内容，此时得到的第十码流与第九码流相同。当第一状态信息与默认第一状态信息不同时，需要将 RT0_LT_SW 子字段中的内容修改为第一状态信息，此时第十码流与第九码流不同。假设 Retimer0 当前状态为处于进入低时延路径的状态，RT0_LT_SW 子字段中的默认第一能力信息为 0，Retimer0 可以将 RT0_LT_SW 子字段中的值修改为 1。

321、Retimer0 向 Retimer1 发送第十码流。

10 示例地，Retimer0 向 Retimer1 发送的第十码流的第一状态字段中的 RT0_LT_SW 子字段中的值为 1。

322、Retimer1 在接收到的第十码流中的第一状态字段中写入第二状态信息，得到第十一码流，第二状态信息用于指示 Retimer1 是否处于进入低时延路径或者退出低时延路径的状态。

15 示例地，以前述过程 319 所述的 RTSB 码流为例，Retimer1 在第一状态字段中写入第二状态信息之前，第一状态字段中可以包括默认第二状态信息，例如 RT1_LT_SW 子字段中的默认第二状态信息可以为 0。

Retimer1 在第一状态字段中写入第二状态信息时，可以先解码接收到的第十码流，之后根据自身当前状态确定第二状态信息与默认第二状态信息是否相同。当第二状态信息与默认第二状态信息相同时，无需修改 RT1_LT_SW 子字段中的内容，此时得到的第十一码流与第十码流相同。当第二状态信息与默认第二状态信息不同时，需要将 RT1_LT_SW 子字段中的内容修改为第二状态信息，此时第十一码流与第十码流不同。假设 Retimer1 当前状态为未处于进入低时延路径的状态，RT1_LT_SW 子字段中的默认第一能力信息为 0，Retimer0 无需修改 RT0_LT_SW 子字段中的值。

25 323、Retimer1 向第二设备发送第十一码流。

示例地，Retimer1 向第二设备发送的第十一码流的第一状态字段中的 RT0_LT_SW 子字段中的值为 1，RT1_LT_SW 子字段中的值为 0。

324、第二设备向 Retimer1 发送第十二码流，第十二码流包括第二路径控制字段和第二状态字段，第二路径控制字段中包括第三进入控制信息和第四进入控制信息。

30 第三进入控制信息用于指示 Retimer0 是否进入低时延路径，第四进入控制信息用于指示 Retimer1 是否进入低时延路径。第二设备确定第三进入控制信息和第四进入控制信息的过程可以参考前述过程 319，本申请实施例在此不做赘述。

35 第二路径控制字段中还可以包括第三退出控制信息和第四退出控制信息。第三退出控制信息用于指示 Retimer0 是否退出低时延路径，第四退出控制信息用于指示 Retimer1 是否退出低时延路径。

第十二码流的结构与第九码流相同，其结构和相关说明可以参考图 10 所示的第九码流和表 3 的内容，本申请实施例在此不做赘述。

325、Retimer1 在接收到的第十二码流中的第二状态字段中写入第三状态信息，得到第十三码流，第三状态信息用于指示 Retimer1 是否处于进入低时延路径或者退出低时延

路径的状态。

该过程可以参考前述过程 322，本申请实施例在此不做赘述。

326、Retimer1 向 Retimer0 发送第十三码流。

5 示例地，该过程中 Retimer1 向 Retimer0 发送的第十三码流的第二状态字段中的 RT1_LT_SW 子字段中的值为 0。

327、Retimer0 在接收到的第十三码流中的第二状态字段中写入第四状态信息，得到第十四码流，第四状态信息用于指示 Retimer0 是否处于进入低时延路径或者退出低时延路径的状态。

该过程可以参考前述过程 320，本申请实施例在此不做赘述。

10 328、Retimer0 向第一设备发送第十四码流。

示例地，该过程中 Retimer0 向第一设备发送的第十四码流的第二状态字段中的 RT1_LT_SW 子字段中的值为 0，RT0LT_SW 子字段中的值为 1。

329、Retimer0 基于第一进入控制信息和/或第三进入控制信息确定是否进入低时延路径。

15 前述过程 319 至 323 为第一设备对 Retimer0 和 Retimer1 的路径控制过程，过程 324 至 328 为第二设备对 Retimer0 和 Retimer1 的路径控制过程，第一设备和第二设备对 Retimer0 和 Retimer1 的路径控制过程无先后顺序，这两个路径控制过程可以同时执行。

Retimer0 确定是否进入低时延路径的过程与前述过程 317 中 Retimer0 确定是否使能低时延路径的过程相对应。对应过程 317 的一种实现方式，Retimer0 可以基于第一进入控制信息和第三进入控制信息中的任意一个确定是否统一进入两条低时延路径。示例地，
20 Retimer0 可以基于第九码流和第十三码流中先接收到的码流中包括的进入控制信息确定是否统一进入两条低时延路径。例如，Retimer0 先接收到第九码流，可以基于第九码流中包括的第一进入控制信息确定是否统一进入两条低时延路径。假设第一进入控制信息指示 Retimer0 进入低时延路径（即 RT0_ENTER_LT 子字段的值为 1），则统一进入两条低
25 时延路径。

该实现方式中，Retimer0 先接收到码流后即可执行该过程 329，在码流中写入状态信息并转发接收到的码流的过程与过程 329 无先后顺序，这两个过程可以同时执行。例如，Retimer0 先接收到第九码流，在接收到第九码流后即可执行该过程 329，并同时执行过程 320 和 321。

30 对应过程 317 的另一种实现方式，Retimer0 可以基于第一进入控制信息和第三进入控制信息确定是否进入两条低时延路径。对应一种示例地，Retimer0 可以基于第一进入控制信息和第三进入控制信息确定是否统一进入两条低时延路径。可选地，Retimer0 可以对第一进入控制信息和第三进入控制信息进行逻辑与操作或者逻辑或操作，根据逻辑与操作或者逻辑或操作的结果确定是否统一进入两条低时延路径。逻辑操作的方式可以与过程 317
35 中的逻辑操作方式统一。

例如，假设第一进入控制信息指示 Retimer0 进入低时延路径（即 RT0_ENTER_LT 子字段的值为 1），第三进入控制信息指示 Retimer0 不进入低时延路径（即 RT0_ENTER_LT 子字段的值为 0）。Retimer0 对第一进入控制信息和第三进入控制信息进行与操作，从而确定不进入两条低时延路径。或者 Retimer0 对第一进入控制信息和第三

进入控制信息进行或操作，从而确定进入两条低时延路径。

对应前述过程 317 的另一种示例地，Retimer0 可以基于第一进入控制信息和第三进入控制信息分别独立确定是否进入两条低时延路径。即 Retimer0 可以基于第一进入控制信息确定是否进入一条低时延路径，基于第三进入控制信息确定是否进入另一条低时延路径。

5 可选地，第一路径控制字段中还可以包括第一方向信息，第二路径控制字段中还可以包括第二方向信息，第一方向信息和第二方向信息不同。第一方向信息用于指示基于第一进入控制信息所进入的低时延路径对应的传输方向，第二方向信息用于指示基于第三进入控制信息所进入的低时延路径对应的传输方向。Retimer0 可以基于第一进入控制信息确定是否进入第一方向信息指示的传输方向所对应的低时延路径，基于第三进入控制信息确定是否进入第二方向信息指示的传输方向所对应的低时延路径。例如，假设第一进入控制信息指示进入 Retimer0 的低时延路径（即 RT0_LT_EN 子字段的值为 1），第一方向信息指示第二设备至第一设备的传输方向，Retimer0 可以确定进入第二设备至第一设备的传输方向所对应的低时延路径。第三进入控制信息指示不进入 Retimer0 的低时延路径（即 RT1_LT_EN 子字段的值为 0），第二方向信息指示第一设备至第二设备的传输方向，
10 Retimer0 可以确定不进入第一设备至第二设备的传输方向所对应的低时延路径。
15

对应前述过程 317 的又一可选地，Retimer0 可以直接基于第一进入控制信息确定是否进入第九码流的传输方向所对应的低时延路径，基于第三进入控制信息确定是否进入第十三码流的传输方向所对应的低时延路径。例如，假设第一进入控制信息指示使能 Retimer0 的低时延路径（即 RT0_LT_EN 子字段的值为 1），Retimer0 可以确定进入第一设备至第二设备的传输方向所对应的低时延路径。第三进入控制信息指示不进入 Retimer0 的低时延路径（即 RT1_LT_EN 子字段的值为 0），Retimer0 可以确定不进入第二设备至第一设备的传输方向所对应的低时延路径。
20

该实现方式中，Retimer0 在接收到两个码流后即可执行该过程 329，在码流中写入状态信息并转发接收到的码流的过程与过程 329 无先后顺序，这两个过程可以同时执行。例如，Retimer0 在接收到第九码流和第十三码流后即可执行该过程 328，并同时执行过程 320、
25 321、327 以及 328。

330、Retimer1 基于第二进入控制信息和/或第四进入控制信息确定是否进入低时延路径。

该过程可以参考前述过程 329，本申请实施例在此不做赘述。

30 需要说明的是，前述过程 319 至 330 可以重复执行多次，即第一设备可以向 Retimer0 发送多个第九码流，第二设备可以向 Retimer1 发送多个第十二码流。

第一设备在基于接收到的任一第十四码流确定重定时器（包括 Retimer0 和 Retimer1）均未处于进入低时延路径或者退出低时延路径的状态时，确定链路建立过程结束，此时可以开始通过重定时器向第二设备发送业务数据。同理，第二设备在基于接收到的任一第十一码流确定重定时器（包括 Retimer0 和 Retimer1）均未处于进入低时延路径或者退出低时延路径的状态时，确定链路建立过程结束，此时可以开始通过重定时器向第一设备发送业务数据。
35

可选地，前述过程中，假设任一重定时器（例如 Retimer0）根据第一进入控制信息和第三进入控制信息确定进入两条低时延路径，之后开始进入两条低时延路径。在进入两条

低时延路径的过程中，Retimer0 可以先停止向 Retimer1 发送第十码流以及停止向第一设备发送第十四码流，自主生成第十五码流，并向第一设备和第二设备发送第十五码流。第十五码流可以为 RTSB，其结构和相关说明可以参考图 10 和表 3，本申请实施例在此不做赘述。在 Retimer0 完成进入低时延路径的过程后，可以开始向 Retimer1 发送第十码流第十码流以及开始向第一设备发送第十四码流。

若 Retimer0 或 Retimer1 在前述过程中进入了低时延路径，则在低时延路径转发业务数据；若 Retimer0 或 Retimer1 在前述过程中未进入低时延路径，则在正常数据路径转发业务数据。

需要说明的是，由于第一设备发送第九码流和第二设备发送第十二码流的时间和频率相差较小，因此第一设备和第二设备几乎是同时确定链路建立过程结束的，第一设备和第二设备可以通过重定时器传输业务数据。

可选地，若第一设备接收到的第六码流中包括第一时长信息和第二时长信息，则第一设备可以基于第一时长信息和第二时长信息确定第一等待时长。在与第一起始时刻间隔第一等待时长后，第一设备在接收到第一数量的第十四码流时确定链路建立过程结束，并通过重定时器向第二设备发送业务数据。第一起始时刻可以为第一设备发送首个第九码流的时刻，或者为第一设备接收到首个第十四码流的时刻，本申请实施例对此不做限定。第一等待时长可以为 $(1+N\%)*T$ ，其中 N 为自定义系数，T 为第一时长信息或第二时长信息，例如 T 可以为第一时长信息和第二时长信息中的最大值。

第二设备也可以根据接收到的第三码流中包括的第一时长信息和第二时长信息确定第二等待时长，并在与第二起始时刻间隔第二等待时长后，第二设备在接收到第二数量的第十一码流时确定链路建立过程结束，并通过重定时器向第一设备发送业务数据。第二起始时刻可以为第二设备发送首个第十二码流的时刻，或者为第二设备接收到首个第十一码流的时刻，本申请实施例对此不做限定。第二等待时长的确定过程可以参考前述内容，本申请实施例在此不做赘述。

如前述图 3 所示，LTR_CTRL 组件用于在前述方法过程中控制第一设备或第二设备的状态。示例地，请参考图 11，图 11 为本申请实施例提供的一种状态转换示意图，本申请实施例以图 11 为例对前述整个方法过程中第一设备或第二设备的状态进行说明，如图 11 所示，第一设备或第二设备的状态转换如下：Discovery 状态→Configuration 状态→Retrain 状态→Link Active 状态。

如前述图 4 所示，Low_latency_switch_ctrl 组件用于在前述方法过程中控制重定时器（包括 Retimer0 和 Retimer1）的状态。示例地，请参考图 12，图 12 为本申请实施例提供的另一种状态转换示意图，本申请实施例以图 12 为例对前述整个方法过程中第一设备、Retimer0、Retimer1 和第二设备的状态进行说明，且假设控制 Retimer0 进入低时延路径和控制 Retimer1 不进入低时延路径。

如图 12 所示，在过程 301 至 310 的执行中，第一设备和第二设备均处于低时延能力声明交互状态，Retimer0 和 Retimer1 均处于在 Normal 路径下数据转发状态。当第一设备接收到第三数量的第六码流时由低时延能力声明交互状态转换为低延迟切换握手确认状态。当第二设备接收到第三数量的第三码流时由低时延能力声明交互状态转换为低延迟切换握手确认状态。

在过程 311 至 318 的执行中，第一设备和第二设备均处于低延迟切换握手确认状态，Retimer0 和 Retimer1 均处于在 Normal 路径下数据转发状态。当第一设备接收到第四数量的第八码流时由低延迟切换握手确认状态转换为等待低时延切换结束状态。当第二设备接收到第四数量的第七码流时由低延迟切换握手确认状态转换为等待低时延切换结束状态。

5 第一设备或第二设备转换为等待低时延切换结束状态的同时 Retimer0 由在 Normal 路径下数据转发状态转换为低时延切换状态，Retimer1 依旧处于在 Normal 路径下数据转发状态。

在过程 319 至 330 的执行中，第一设备和第二设备均处于等待低时延切换结束状态，Retimer0 处于低时延切换状态，Retimer1 处于在 Normal 路径下数据转发状态。当第一设备接收到第五数量的第十四码流时由等待低时延切换结束状态转换为业务数据传输状态。

10 当第二设备接收到第五数量的第十一码流时由等待低时延切换结束状态转换为业务数据传输状态。Retimer0 在进入低时延路径结束后可以由低时延切换状态转换为在 low latency 路径下数据转发状态。Retimer1 依旧处于在 Normal 路径下数据转发状态。

可选地，第一设备也可以在与第一起始时刻间隔第一等待时长后，在接收到第一数量的第十四码流时由等待低时延切换结束状态转换为业务数据传输状态。第二设备也可以在与第二起始时刻间隔第二等待时长后，在接收到第二数量的第十一码流时由等待低时延切换结束状态转换为业务数据传输状态。第一起始时刻、第一等待时长、第二起始时刻和第二等待时长可以参考前述内容，本申请实施例在此不做赘述。

15

本申请实施例提供的方法的先后顺序可以进行适当调整，过程也可以根据情况进行相应增减。例如前述过程 301 和过程 306 可以同时执行，过程 311 和过程 314 可以同时执行，过程 319 和过程 324 可以同时执行，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化的方法，都应涵盖在本申请的保护范围之内，本申请实施例对此不做限定。

20

请参考图 13，图 13 为本申请实施例提供的再一种用于有线串行数据传输的重定时器的路径控制方法的流程示意图，在通过前述过程 301 至过程 330 控制部分或全部重定时器进入低时延路径后，若需要重新进行链路建立过程（例如接收到退出指令或链路出现故障），需要先进行链路建立过程控制已经进入低时延路径的重定时器退出低时延路径，再重新确定需要进入低时延路径的重定时器，并控制重定时器进入低时延路径。本申请实施例以图 13 为例对控制重定时器是否退出低时延路径的过程进行说明，且以控制 Retimer0 退出低时延路径以及控制 Retimer1 不退出低时延路径为例，该方法可以包括以下过程：

25

30 401、第一设备向 Retimer0 发送第十五码流，第十五码流包括第一路径控制字段和第一状态字段，第一路径控制字段中包括第一退出控制信息和第二退出控制信息。

第一退出控制信息用于指示 Retimer0 是否退出低时延路径，第二退出控制信息用于指示 Retimer1 是否退出低时延路径。

若基于接收到的退出指令重新进行链路建立过程，则可以基于退出指令确定需要退出的重定时器和不需要退出的重定时器，进而确定第一退出控制信息和第二退出控制信息。若由于链路出现故障重新进行链路建立过程，则可以控制之前已经处于低时延路径的重定时器退出低时延路径，进而确定第一退出控制信息和第二退出控制信息。

35

第十五码流的结构和相关说明可以参考前述图 10 和表 3，本申请实施例在此不做赘述。在本申请实施例中，RT0_EXIT_LT 子字段中的值可以为 1，RT1_EXIT_LT 子字

段中的值可以为 0。

402、Retimer0 在接收到的第十五码流中的第一状态字段中写入第一状态信息，得到第十六码流，第一状态信息用于指示 Retimer0 是否处于进入低时延路径或者退出低时延路径的状态。

5 该过程可以参考前述过程 320，本申请实施例在此不做赘述。

403、Retimer0 向 Retimer1 发送第十六码流。

404、Retimer1 在接收到的第十六码流中的第一状态字段中写入第二状态信息，得到第十七码流，第二状态信息用于指示 Retimer1 是否处于进入低时延路径或者退出低时延路径的状态。

10 该过程可以参考前述过程 322，本申请实施例在此不做赘述。

405、Retimer1 向第二设备发送第十七码流。

406、第二设备向 Retimer1 发送第十八码流，第十八码流包括第二路径控制字段和第二状态字段，第二路径控制字段中包括第三退出控制信息和第四退出控制信息。

15 第三退出控制信息用于指示 Retimer0 是否退出低时延路径，第四退出控制信息用于指示 Retimer1 是否退出低时延路径。第二设备确定第三退出控制信息和第四退出控制信息的过程可以参考前述过程 401，本申请实施例在此不做赘述。

第十八码流的结构和相关说明可以参考图 10 所示的第五码流和表 3 的内容，本申请实施例在此不做赘述。

20 407、Retimer1 在接收到的第十八码流中的第二状态字段中写入第三状态信息，得到第十九码流，第三状态信息用于指示 Retimer1 是否处于进入低时延路径或者退出低时延路径的状态。

该过程可以参考前述过程 322，本申请实施例在此不做赘述。

408、Retimer1 向 Retimer0 发送第十九码流。

25 409、Retimer0 在接收到的第十九码流中的第二状态字段中写入第四状态信息，得到第二十码流，第四状态信息用于指示 Retimer0 是否处于进入低时延路径或者退出低时延路径的状态。

该过程可以参考前述过程 320，本申请实施例在此不做赘述。

410、Retimer0 向第一设备发送第二十码流。

30 411、Retimer0 基于第一退出控制信息和/或第三退出控制信息确定是否退出低时延路径。

前述过程 401 至 405 为第一设备对 Retimer0 和 Retimer1 的路径控制过程，过程 406 至 410 为第二设备对 Retimer0 和 Retimer1 的路径控制过程，第一设备和第二设备对 Retimer0 和 Retimer1 的路径控制过程无先后顺序，这两个路径控制过程可以同时执行。

35 Retimer0 确定是否退出低时延路径的过程与前述过程 317 中 Retimer0 确定是否使能低时延路径的过程相对应。对应过程 317 的一种实现方式，Retimer0 可以基于第一退出控制信息和第三退出控制信息中的任意一个确定是否统一退出两条低时延路径。

该实现方式中，Retimer0 先接收到码流后即可执行该过程 411，在码流中写入状态信息并转发接收到的码流的过程与过程 411 无先后顺序，这两个过程可以同时执行。例如，Retimer0 先接收到第十五码流，在接收到第十五码流后即可执行该过程 411，并同时执行

过程 402 和 403。

对应过程 317 的另一种实现方式，Retimer0 可以基于第一退出控制信息和第三退出控制信息确定是否退出两条低时延路径。对应一种示例地，Retimer0 可以基于第一退出控制信息和第三退出控制信息确定是否统一退出两条低时延路径。可选地，Retimer0 可以对第一退出控制信息和第三退出控制信息进行逻辑与操作或者逻辑或操作，根据逻辑与操作或者逻辑或操作的结果确定是否统一退出两条低时延路径。逻辑操作的方式可以与过程 317 中的逻辑操作方式统一。

例如，假设第一退出控制信息指示 Retimer0 退出低时延路径（即 RT0_EXIT_LT 字段的值为 1），第三退出控制信息指示 Retimer0 不退出低时延路径（即 RT0_EXIT_LT 字段的值为 0）。Retimer0 对第一退出控制信息和第三退出控制信息进行与操作，从而确定不退出两条低时延路径。或者 Retimer0 对第一退出控制信息和第三退出控制信息进行或操作，从而确定退出两条低时延路径。

对应前述过程 317 的另一种示例地，Retimer0 可以基于第一退出控制信息和第三退出控制信息分别独立确定是否退出两条低时延路径。即 Retimer0 可以基于第一退出控制信息确定是否退出一条低时延路径，基于第三退出控制信息确定是否退出另一条低时延路径。

该实现方式中，Retimer0 在接收到两个码流后即可执行该过程 411，在码流中写入状态信息并转发接收到的码流的过程与过程 411 无先后顺序，这两个过程可以同时执行。例如，Retimer0 在接收到第十五码流和第十九码流后即可执行该过程 411，并同时执行过程 402、403、409 以及过程 410。

本申请实施例中以 Retimer0 退出两条低时延路径为例，此时 Retimer0 需要开始退出低时延路径。如图 4 所示，Retimer0 可以将 MUX 的输入端由低时延路径切换为正常数据路径。

412、Retimer1 基于第二退出控制信息和/或第四退出控制信息确定是否退出低时延路径。

该过程可以参考前述过程 411，本申请实施例在此不做赘述。

需要说明的是，前述过程 401 至 412 可以重复执行多次，即第一设备可以向 Retimer0 发送多个第十五码流，第二设备可以向 Retimer1 发送多个第十八码流。

该过程 401 至过程 412 可以参考过程 319 至 330，本申请实施例在此不做赘述。

第一设备在基于接收到的任一第二十码流确定重定时器（包括 Retimer0 和 Retimer1）均未处于退出低时延路径的状态时，可以重新执行前述过程 301 至 330，或者直接通过重定时器向第二设备发送业务数据。同理，第二设备在基于接收到的任一第十七码流确定重定时器（包括 Retimer0 和 Retimer1）均未处于退出低时延路径的状态时，可以重新执行前述过程 301 至 330，或者直接通过重定时器向第一设备发送业务数据。

可选地，第一设备也可以在与第一起始时刻间隔第一等待时长后，在接收到第一数量的第二十码流时重新执行前述过程 301 至 330，或者直接通过重定时器向第二设备发送业务数据。第二设备也可以在与第二起始时刻间隔第二等待时长后，在接收到第二数量的第十七码流时重新执行前述过程 301 至 330，或者直接通过重定时器向第一设备发送业务数据。该过程可以参考前述内容，本申请实施例在此不做赘述。

如图 12 所示，在过程 401 至 412 的执行中，第一设备和第二设备均处于等待低时延

切换结束状态，Retimer0 处于低时延切换状态，Retimer1 处于在 Normal 路径下数据转发状态。当第一设备接收到第五数量的第二码流时由等待低时延切换结束状态转换为低时延能力声明交互状态（即重新执行前述过程 301 至 330）或者业务数据传输状态（即通过重定时器向第二设备发送业务数据）。当第二设备接收到第五数量的第十七码流时由等待低时延切换结束状态转换为低时延能力声明交互状态或者业务数据传输状态。Retimer0 在退出低时延路径结束后可以由低时延切换状态转换为在 Normal 路径下数据转发状态。Retimer1 依旧处于在 Normal 路径下数据转发状态。

可选地，第一设备也可以在与第一起始时刻间隔第一等待时长后，在接收到第一数量的第二码流时由等待低时延切换结束状态转换为低时延能力声明交互状态或者业务数据传输状态。第二设备也可以在与第二起始时刻间隔第二等待时长后，在接收到第二数量的第十七码流时由等待低时延切换结束状态转换为低时延能力声明交互状态或者业务数据传输状态。该过程可以参考前述内容，本申请实施例在此不做赘述。

本申请实施例提供的方法的先后顺序可以进行适当调整，过程也可以根据情况进行相应增减。例如前述过程 401 和过程 406 可以同时执行，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化的方法，都应涵盖在本申请的保护范围之内，本申请实施例对此不做限定。

前述过程 301 至 330 以及过程 401 至 412 以控制两个重定时器（包括 Retimer0 和 Retimer1）的路径为例进行说明的，本申请实施例中，还可以控制一个重定时器或者两个以上重定时器的路径。在第三个实施例中，以第一设备、一个重定时器（以下称为 Retimer）和第二设备为例对该路径控制方法进行说明。请参考图 14，图 14 为本申请实施例提供的又一种用于有线串行数据传输的重定时器的路径控制方法的流程示意图，图 14 对控制重定时器是否进入低时延路径的过程进行说明，该方法可以包括以下过程：

501、第一设备向 Retimer 发送第一码流，第一码流包括第一能力字段。

502、Retimer 在接收到的第一码流中的第一能力字段中写入能力信息，得到第二码流，能力信息用于指示 Retimer 是否支持低时延。

503、Retimer 向第二设备发送第二码流。

504、第二设备向 Retimer 发送第三码流，第三码流包括第二能力字段。

505、Retimer 在接收到的第三码流中的第二能力字段中写入能力信息，得到第四码流。

506、Retimer 向第一设备发送第四码流。

507、第一设备向 Retimer 发送第五码流，第五码流包括第一使能字段，第一使能字段中包括第一使能信息。

508、Retimer 向第二设备发送第五码流。

509、第二设备向 Retimer 发送第六码流，第六码流包括第二使能字段，第二使能字段中包括第二使能信息。

510、Retimer 向第一设备发送第六码流。

511、Retimer 基于第一使能信息和/或第二使能信息确定是否使能低时延路径。

512、第一设备向 Retimer 发送第七码流，第七码流包括第一路径控制字段和第一状态字段，第一路径控制字段中包括第一进入控制信息。

513、Retimer 在接收到的第七码流中的第一状态字段中写入第一状态信息，得到第八

码流，第一状态信息用于指示 Retimer 是否处于进入低时延路径或者退出低时延路径的状态。

514、Retimer 向第二设备发送第八码流。

515、第二设备向 Retimer 发送第九码流，第九码流包括第二路径控制字段和第二状态
5 字段，第二路径控制字段中包括第二进入控制信息。

516、Retimer 在接收到的第九码流中的第二状态字段中写入第二状态信息，得到第十
码流，第二状态信息用于指示 Retimer 是否处于进入低时延路径或者退出低时延路径的
状态。

517、Retimer 向第一设备发送第十码流。

10 518、Retimer 基于第一进入控制信息和/或第二进入控制信息确定是否进入低时延路
径。

该过程 501 至 518 可以参考前述过程 301 至 330 相关内容，本申请实施例在此不做赘
述。

15 本申请实施例提供的方法的先后顺序可以进行适当调整，过程也可以根据情况
进行相应增减。例如前述过程 501 和过程 504 可以同时执行，过程 507 和过程 509
可以同时执行，过程 512 和过程 515 可以同时执行，任何熟悉本技术领域的技术人
员在本申请揭露的技术范围内，可轻易想到变化的方法，都应涵盖在本申请的保护
范围之内，本申请实施例对此不做限定。

20 请参考图 15，图 15 为本申请实施例提供的又一种用于有线串行数据传输的重定时器
的路径控制方法的流程示意图，在通过前述过程 501 至过程 518 控制重定时器进入低时延
路径后，若需要重新进行链路建立过程（例如接收到退出指令或链路出现故障），需要
先进入链路建立过程控制已经重定时器退出低时延路径，再重新控制重定时器进入低
时延路径。本申请实施例以图 15 为例对控制重定时器是否退出低时延路径的过程进行
说明，该方法可以包括以下过程：

25 601、第一设备向 Retimer 发送第十一码流，第十一码流包括第一路径控制字段和第一
状态字段，第一路径控制字段中包括第一退出控制信息。

602、Retimer 在接收到的第十一码流中的第一状态字段中写入第一状态信息，得到第
十二码流，第一状态信息用于指示 Retimer 是否处于进入低时延路径或者退出低时延路
径的状态。

30 603、Retimer 向第二设备发送第十二码流。

604、第二设备向 Retimer 发送第十三码流，第十三码流包括第二路径控制字段和第二
状态字段，第二路径控制字段中包括第二退出控制信息。

35 605、Retimer 在接收到的第十三码流中的第二状态字段中写入第二状态信息，得到第
十四码流，第二状态信息用于指示 Retimer 是否处于进入低时延路径或者退出低时延路
径的状态。

606、Retimer 向第一设备发送第十三码流。

607、Retimer 基于第一退出控制信息和/或第二退出控制信息确定是否退出低时延路
径。

该过程 601 至 607 可以参考前述过程 401 至 412 的相关内容，本申请实施例在此不做

赘述。

本申请实施例提供的方法的先后顺序可以进行适当调整，过程也可以根据情况进行相应增减。例如前述过程 601 和过程 604 可以同时执行，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化的方法，都应涵盖在本申请的保护范围之内，本申请实施例对此不做限定。

综上所述，本申请实施例提供的用于有线串行数据传输的重定时器的路径控制方法，第一设备通过至少一个重定时器向第二设备发送包括第一能力字段的码流，至少一个重定时器在向第二设备转发接收到的码流时在第一能力字段中写入能力信息。第二设备通过至少一个重定时器向第一设备发送包括第二能力字段的码流，至少一个重定时器在向第一设备转发接收到的码流时在第二能力字段中写入能力信息。第一设备基于接收到的码流中携带的能力信息确定至少一个重定时器分别对应的使能信息，通过至少一个重定时器向第二设备发送包括第一使能字段的码流，第一使能字段中包括至少一个重定时器分别对应的使能信息。第二设备基于接收到的码流中携带的能力信息确定至少一个重定时器分别对应的使能信息，通过至少一个重定时器向第一设备发送包括第二使能字段的第四码流，第二使能字段中包括至少一个重定时器分别对应的使能信息。重定时器基于接收到的第一设备和/或第二设备发送的码流中携带的对应的使能信息确定是否使能低时延路径。之后第一设备通过至少一个重定时器向第二设备发送包括第一路径控制字段的码流，第一路径控制字段中包括至少一个重定时器分别对应的进入控制信息。第二设备通过至少一个重定时器向第一设备发送包括第二路径控制字段的码流，第二路径控制字段中包括至少一个重定时器分别对应的进入控制信息。重定时器基于接收到的第一设备和/或第二设备发送的码流中携带的对应的进入控制信息确定是否进入低时延路径。进一步地，第一设备可以通过码流中的第一路径控制字段控制重定时器是否退出低时延路径，第二设备可以通过码流中的第二路径控制字段控制重定时器是否退出低时延路径。第一设备和第二设备可以通过码流的交互实现对至少一个重定时器的路径控制，且无需重定时器向通信设备发送指示码流，避免了设备由于指示码流而功能异常。当通信链路状态较差的时候可以控制重定时器退出低时延路径，进而可以重新进入链路建立阶段的均衡状态，并在均衡状态进行链路的负载均衡，即重做均衡特性，从而能够保证通信链路处于良好状态。

第一设备和第二设备之间交互的码流可以为 TSB，该码流是在已有 TSB 基础上增加了字段得到的，没有改变已有 TSB 的格式，这样使得该方法可以应用于高速 IO 协议，该方法所应用的装置可以直接拓展使用在高速串行接口（例如 PCIe 接口和以太网接口）上，实现了与重定时器的原生对接，对于具有不同类型低时延路径的重定时器均能够实现路径的有效控制，适用性较为广泛且不影响重定时器的其他功能特性。并且 TSB 不会导致第一设备或第二设备功能异常。

并且，当第一设备和第二设备之间存在多个重定时器时，第一设备和第二设备可以通过码流实现对每个重定时器的路径的单独控制，即可以灵活控制哪些重定时器进入低时延路径或退出低时延路径，提高了控制过程的灵活性。

此外，包括第一路径控制字段的码流还可以包括第一状态字段，重定时器在确定是否进入低时延路径后还可以在第二状态字段中写入状态信息，之后向第二设备转发写入有状态信息的码流，状态信息用于指示重定时器是否处于进入低时延路径或者退出低时延路径

的状态。包括第二路径控制字段的码流还可以包括第二状态字段，重定时器在确定是否进入低时延路径后还可以在第二状态字段中写入状态信息，之后向第一设备转发写入有状态信息的码流。第一设备可以通过接收到的码流中携带的第二状态信息确定重定时器是否完成进入低时延路径或退出低时延路径，第二设备也可以通过接收到的码流中携带的第一状态信息确定重定时器是否完成进入低时延路径或退出低时延路径，在重定时器的路径控制过程中，本端设备和对端设备需要等待重定时器进入或退出低时延路径，本端设备和对端设备可以通过各自接收到的状态信息确定是否结束该等待过程，并确定是否进行后续的业务数据的传输或者是否重新进行链路建立过程，避免了本端设备和对端设备一直处于等待过程的情况发生，从而避免了第一设备和第二设备之间通信链路建立超时的情况出现。

上述主要从设备之间交互的角度对本申请实施例提供的用于有线串行数据传输的重定时器的路径控制方法进行了介绍。可以理解的是，各个设备为了实现上述功能，其包含了执行各个功能相应的硬件结构和/或软件模块。本领域技术人员应该很容易意识到，结合本文中所公开的实施例描述的各示例的算法步骤，本申请能够以硬件或硬件和计算机软件的结合形式来实现。某个功能究竟以硬件还是计算机软件驱动硬件的方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

本申请实施例可以根据上述方法示例对各个设备进行功能模块的划分，例如，可以对应各个功能划分各个功能模块，也可以将两个或两个以上的功能集成在一个处理模块中。上述集成的模块既可以采用硬件的形式实现，也可以采用软件功能模块的形式实现。需要说明的是，本申请实施例中对模块的划分是示意性的，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式。

图 16 为本申请实施例提供的一种用于有线串行数据传输的重定时器的路径控制装置的框图，在采用对应各个功能划分各个功能模块的情况下，该路径控制装置 700 可以包括收发模块 701 和处理模块 702。示例性地，该路径控制装置可以是第一设备、第二设备或重定时器，也可以是其中的芯片或者其他具有上述路径控制装置功能的组合器件、部件等。当该路径控制装置 700 是第一设备、第二设备或重定时器时，收发模块 701 可以是收发器，收发器可以包括天线和射频电路等；处理模块 702 可以是处理器（或者，处理电路），例如基带处理器，基带处理器中可以包括一个或多个中央处理器（central processing unit, CPU）。当该路径控制装置 700 是具有上述功能的器件或部件时，收发模块 701 可以是射频单元；处理模块 702 可以是处理器（或者，处理电路），例如基带处理器。当该路径控制装置 700 是芯片系统时，收发模块 701 可以是芯片（例如基带芯片）的输入输出接口；处理模块 702 可以是芯片系统的处理器（或者，处理电路），可以包括一个或多个中央处理单元。应理解，本申请实施例中的收发模块 701 可以由收发器或收发器相关电路组件实现；处理模块 702 可以由处理器或处理器相关电路组件（或者，称为处理电路）实现。

例如，当该路径控制装置 700 为第一设备或第二设备的芯片或功能单元时，收发模块 701 可以用于执行图 6、图 7、图 13、图 14 或图 15 所示的实施例中由第一设备或第二设备所执行的全部收发操作，和/或用于支持本文所描述的技术的其它过程；处理模块 702 可以用于执行图 6、图 7、图 13、图 14 或图 15 所示的实施例中由第一设备或第二设备所执行的除了收发操作之外的全部操作，和/或用于支持本文所描述的技术的其它过程。

收发模块 701 可以包括发送模块和/或接收模块，分别用于执行图 6、图 7、图 13、图 14 或图 15 所示的实施例中由第一设备或第二设备所执行的发送和接收的操作，所述路径控制装置包括：

收发模块，用于接收第一码流，所述第一码流包括第一字段，所述第一字段中包括重
5 定时器的能力信息，所述能力信息用于指示所述重定时器是否支持低时延路径；

所述收发模块，还用于向所述重定时器发送第二码流，所述第二码流包括第二字段，
所述第二字段中包括第一进入控制信息，所述第一进入控制信息用于指示所述重定时器是
否进入所述低时延路径，所述低时延路径为所述重定时器的数据传输路径中时延最小的路
径。

10 结合上述方案，所述第二字段中还包括第一退出控制信息，所述第一退出控制信息
用于指示所述重定时器是否退出所述低时延路径。

结合上述方案，所述收发模块，还用于向所述重定时器发送第三码流，所述第三码流
包括第三字段，所述第三字段中携带所述能力信息。

15 结合上述方案，所述收发模块，还用于接收第四码流，所述第四码流包括第四字段，
所述第四字段中包括第二进入控制信息和第二退出控制信息，所述第二进入控制信息用于
指示所述重定时器是否进入所述低时延路径，所述第二退出控制信息用于指示所述重定
时器是否退出所述低时延路径。

结合上述方案，所述第二码流还包括第五字段，所述第五字段用于携带状态信息，所
20 述状态信息用于指示所述重定时器是否处于进入所述低时延路径或者退出所述低时延路
径的状态。

结合上述方案，所述第四码流还包括第六字段，所述第六字段中包括所述状态信息。

结合上述方案，所述收发模块，还用于当基于所述状态信息确定所述重定时器未处
于进入所述低时延路径或者退出所述低时延路径的状态下，通过所述重定时器向对端设备
发送业务数据。

25 结合上述方案，所述第一码流还包括第七字段，所述第七字段中包括时长信息，所述
时长信息用于指示所述重定时器进入或退出所述低时延路径的消耗时长。

结合上述方案，所述路径控制装置还包括：处理模块，用于基于所述时长信息确定等
待时长；所述收发模块，还用于在与起始时刻间隔所述等待时长后，在接收到第一数量的
所述第四码流时通过所述重定时器向对端设备发送业务数据。

30 结合上述方案，所述收发模块，还用于向所述重定时器发送第五码流，所述第五码流
包括第八字段，所述第八字段中包括第一使能信息，所述第一使能信息用于指示所述重定
时器是否使能所述低时延路径。

结合上述方案，所述收发模块，还用于接收第六码流，所述第六码流包括第九字段，
所述第九字段中包括第二使能信息，所述第二使能信息用于指示是否使能所述低时延路径。

35 结合上述方案，所述处理模块，还用于当所述第二使能信息与所述第一使能信息不
同时，基于所述第二使能信息更新所述第一使能信息，得到更新后的第一使能信息，所述
更新后的第一使能信息与所述第二使能信息相同；所述收发模块，还用于向所述重定时器
发送更新后的第五码流，所述更新后的第五码流包括更新后的第一使能字段，所述更新后
的第一使能字段中包括所述更新后的第一使能信息。

结合上述方案，所述收发模块，具体用于在第一状态下接收所述第一码流；在所述第一状态下向所述重定时器发送所述第三码流；所述处理模块，还用于当接收到第二数量的所述第一码流时，从所述第一状态跳转到第二状态；所述收发模块，具体用于在所述第二状态下向所述重定时器发送所述第五码流；在所述第二状态下接收所述第六码流；所述处理模块，还用于当接收到第三数量的所述第六码流时，从所述第二状态跳转到第三状态；所述收发模块，具体用于在所述第三状态下向所述重定时器发送所述第二码流；在所述第三状态下接收所述第四码流。

结合上述方案，所述处理模块，还用于获取所述重定时器的使能配置信息，所述使能配置信息用于指示是否使能所述重定时器的低时延功能；根据所述能力信息和所述使能配置信息确定所述第一进入控制信息。

例如，当该路径控制装置 700 为重定时器的芯片或功能单元时，收发模块 701 可以用于执行图 6、图 7、图 13、图 14 或图 15 所示的实施例中由重定时器所执行的全部收发操作，和/或用于支持本文所描述的技术的其它过程；处理模块 702 可以用于执行图 6、图 7、图 13、图 14 或图 15 所示的实施例中由重定时器所执行的除了收发操作之外的全部操作，和/或用于支持本文所描述的技术的其它过程。

收发模块 701 可以包括发送模块和/或接收模块，分别用于执行图 6、图 7、图 13、图 14 或图 15 所示的实施例中由重定时器所执行的发送和接收的操作，所述路径控制装置包括：

收发模块，用于接收第一设备发送的第一码流，所述第一码流包括第一字段；

处理模块，用于在所述第一字段中写入能力信息，得到第二码流，所述能力信息用于指示所述重定时器是否支持低时延，所述低时延路径为所述重定时器的数据传输路径中时延最小的路径；

所述收发模块，还用于向第二设备发送所述第二码流；

所述收发模块，还用于接收所述第二设备发送的第三码流，所述第三码流包括第二字段，所述第二字段中包括第一进入控制信息；

所述处理模块，还用于基于所述第一进入控制信息确定是否进入所述低时延路径。

结合上述方案，所述第二字段中还包括第一退出控制信息，所述处理模块，还用于基于所述第一退出控制信息确定是否退出所述低时延路径。

结合上述方案，所述收发模块，还用于接收所述第二设备发送的第四码流，所述第四码流包括第三字段；所述处理模块，还用于在所述第三字段中写入所述能力信息，得到第五码流；所述收发模块，还用于向所述第一设备发送所述第五码流；接收所述第一设备发送的第六码流，所述第六码流包括第四字段，所述第四字段中包括第二进入控制信息；所述处理模块，具体用于基于所述第一进入控制信息和所述第二进入控制信息确定是否进入所述低时延路径。

结合上述方案，所述第四字段中还包括第二退出控制信息，所述处理模块，具体用于基于所述第一退出控制信息和所述第二退出控制信息确定是否退出所述低时延路径。

结合上述方案，所述第三码流还包括第五字段，所述第六码流还包括第六字段，所述处理模块，还用于在所述第五字段中写入状态信息，得到第七码流，所述状态信息用于指示所述重定时器是否处于进入所述低时延路径或者退出所述低时延路径的状态；所述收发

模块，还用于向所述第一设备发送所述第七码流；所述处理模块，还用于在所述第六字段中写入所述状态信息，得到第八码流；所述收发模块，还用于向所述第二设备发送所述第八码流。

5 结合上述方案，所述第一码流还包括第七字段，所述第四码流还包括第八字段；所述在第一字段中写入能力信息，得到第二码流，包括：所述处理模块，具体用于在所述第一字段中写入所述能力信息以及在所述第七字段中写入时长信息，得到所述第二码流，所述时长信息用于指示所述重定时器进入或退出所述低时延路径的消耗时长；在所述第三

10 字段中写入所述能力信息以及在所述第八字段中写入所述时长信息，得到所述第五码流。结合上述方案，所述收发模块，还用于接收所述第二设备发送的第九码流，所述第九码流包括第九字段，所述第九字段中包括第一使能信息；所述处理模块，还用于基于所述

15 第一使能信息确定是否使能所述低时延路径。结合上述方案，所述收发模块，还用于接收所述第一设备发送的第十码流，所述第十码流包括第十字段，所述第十字段中包括第二使能信息；所述处理模块，具体用于基于所述

15 第一使能信息和所述第二使能信息确定是否使能所述低时延路径。图 17 为本申请实施例提供的一种电子设备的结构示意图，该电子设备 800 可以为第一设备、第二设备或重定时器；也可以为第一设备、第二设备或重定时器中的芯片或者功能模块。如图 17 所示，该电子设备 800 包括处理器 801，收发器 802 以及通信线路 803。

20 其中，处理器 801 用于执行如图 6、图 7、图 13、图 14 或图 15 所示的方法实施例中的任一步骤，且在执行诸如发送第一码流等访问过程时，可选择调用收发器 802 以及通信线路 803 来完成相应操作。

进一步的，该电子设备 800 还可以包括存储器 804。其中，处理器 801，存储器 804 以及收发器 802 之间可以通过通信线路 803 连接。

25 其中，处理器 801 是 CPU、通用处理器网络处理器（network processor, NP）、数字信号处理器（digital signal processing, DSP）、微处理器、微控制器、可编程逻辑器件（programmable logic device, PLD）或它们的任意组合。处理器 801 还可以是其它具有处理功能的装置，例如电路、器件或软件模块，不予限制。

收发器 802, 用于与其他设备或其它通信网络进行通信, 其它通信网络可以为以太网, 无线接入网 (radio access network, RAN), 无线局域网 (wireless local area networks, WLAN) 等。收发器 802 可以是模块、电路、收发器或者任何能够实现通信的装置。

30 收发器 802 主要用于码流的收发，可以包括发射器和接收器，分别进行码流的发送和接收；除码流收发之外的操作由处理器实现，如信息处理，计算等。

通信线路 803，用于在电子设备 800 所包括的各部件之间传送信息。

在一种设计中，可以将处理器看做逻辑电路，收发器看做接口电路。

存储器 804，用于存储指令。其中，指令可以是计算机程序。

35 存储器 804 可以是易失性存储器或非易失性存储器，或可包括易失性和非易失性存储器两者。其中，非易失性存储器可以是只读存储器（read-only memory, ROM）、可编程只读存储器（programmable ROM, PROM）、可擦除可编程只读存储器（erasable PROM, EPROM）、电可擦除可编程只读存储器（electrically EPROM, EEPROM）或闪存。易失性存储器可以是随机存取存储器（random access memory, RAM），其用作外部高速缓存。

通过示例性但不是限制性说明，许多形式的 RAM 可用，例如静态随机存取存储器（static RAM, SRAM）、动态随机存取存储器（dynamic RAM, DRAM）、同步动态随机存取存储器（synchronous DRAM, SDRAM）、双倍数据速率同步动态随机存取存储器（double data rate SDRAM, DDR SDRAM）、增强型同步动态随机存取存储器（enhanced SDRAM, ESDRAM）、同步连接动态随机存取存储器（synchlink DRAM, SLD RAM）和直接内存总线随机存取存储器（direct rambus RAM, DR RAM）。存储器 804 还可以是只读光盘（compact disc read-only memory, CD-ROM）或其他光盘存储、光碟存储（包括压缩光碟、激光碟、光碟、数字通用光碟、蓝光光碟等）、磁盘存储介质或其他磁存储设备等。应注意，本文描述的系统和方法的存储器旨在包括但不限于这些和任意其它适合类型的存储器。

5 需要指出的是，存储器 804 可以独立于处理器 801 存在，也可以和处理器 801 集成在一起。存储器 804 可以用于存储指令或者程序代码或者一些数据等。存储器 804 可以位于电子设备 800 内，也可以位于电子设备 800 外，不予限制。处理器 801，用于执行存储器 804 中存储的指令，以实现本申请上述实施例提供的方法。

在一种示例中，处理器 801 可以包括一个或多个 CPU，例如图 17 中的 CPU0 和 CPU1。

15 可选地，电子设备 800 包括多个处理器，例如，除图 17 中的处理器 801 之外，还可以包括处理器 807。

可选地，电子设备 800 还包括输出设备 805 和输入设备 806。输入设备 806 是键盘、鼠标、麦克风或操作杆等设备，输出设备 805 是显示屏、扬声器（speaker）等设备。

20 电子设备 800 可以是芯片系统或有图 17 中类似结构的设备。其中，芯片系统可以由芯片构成，也可以包括芯片和其他分立器件。本申请的各实施例之间涉及的动作、术语等均可以相互参考，不予限制。本申请的实施例中各个设备之间交互的消息名称或消息中的参数名称等只是一个示例，具体实现中也可以采用其他的名称，不予限制。此外，图 17 中示出的组成结构并不构成对该电子设备 800 的限定，除图 17 所示部件之外，该电子设备 800 可以包括比图 17 所示更多或更少的部件，或者组合某些部件，或者不同的部件布置。

25 本申请中描述的处理器和收发器可实现在集成电路（integrated circuit, IC）、模拟 IC、射频集成电路、混合信号 IC、专用集成电路（application specific integrated circuit, ASIC）、印刷电路板（printed circuit board, PCB）、电子设备等上。该处理器和收发器也可以用各种 IC 工艺技术来制造，例如互补金属氧化物半导体（complementary metal oxide semiconductor, CMOS）、N 型金属氧化物半导体（nMetal-oxide-semiconductor, NMOS）、P 型金属氧化物半导体（positive channel metal oxide semiconductor, PMOS）、双极结型晶体管（Bipolar Junction Transistor, BJT）、双极 CMOS（BiCMOS）、硅锗（SiGe）、砷化镓（GaAs）等。

35 作为又一种可实现方式，图 16 中的收发模块 701 可以由图 17 中的收发器 802 代替，该收发器 802 可以集成收发模块 701 的功能；处理模块 702 可以由处理器 807 代替，该处理器 807 可以集成处理模块 702 的功能。进一步的，图 16 所示路径控制装置 700 还可以包括存储器（图中未示出）。当收发模块 701 由收发器 802 代替，处理模块 702 由处理器 807 代替时，本申请实施例所涉及的路径控制装置 700 可以为图 17 所示的电子设备 800。

图 18 为本申请实施例提供的一种路径控制装置的结构示意图。该路径控制装置可适用于上述方法实施例所示出的场景中。为了便于说明，图 18 仅示出了路径控制装置的主要部件，包括处理器、存储器、控制电路、以及输入输出装置。处理器主要用于对通信协

议以及通信数据进行处理，执行软件程序，处理软件程序的数据。存储器主要用于存储软件程序和数据。控制电路主要用于供电及各种电信号的传递。输入输出装置主要用于接收用户输入的数据以及对用户输出数据。

5 根据本申请实施例提供的方法，本申请还提供一种计算机程序产品，该计算机程序产品包括计算机程序代码，当计算机程序代码在计算机上运行时，使得计算机执行本申请实施例任一所述的方法。

10 本申请实施例还提供了一种计算机可读存储介质。上述方法实施例中的全部或者部分流程可以由计算机或者具有信息处理能力的装置执行计算机程序或指令，以控制相关的硬件完成，该计算机程序或该组指令可存储于上述计算机可读存储介质中，该计算机程序或该组指令在执行时，可包括如上述各方法实施例的流程。计算机可读存储介质可以是前述任一实施例的第一设备、第二设备或重定时器的内部存储单元，例如上述各个设备的硬盘或内存。上述计算机可读存储介质也可以是上述各个设备的外部存储设备，例如上述各个设备上配备的插接式硬盘，智能存储卡(smart media card, SMC)，安全数字(secure digital, SD)卡，闪存卡(flash card)等。进一步地，上述计算机可读存储介质还可以既包括上述
15 各个设备的内部存储单元也包括外部存储设备。上述计算机可读存储介质用于存储上述计算机程序或指令以及上述各个设备所需的其他程序和数据。上述计算机可读存储介质还可以用于暂时地存储已经输出或者将要输出的数据。

20 本领域普通技术人员可以意识到，结合本文中所公开的实施例描述的各示例的单元及算法步骤，能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

25 所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的系统、装置和单元的具体工作过程，可以参考前述方法实施例中的对应过程，在此不再赘述。

30 在本申请所提供的几个实施例中，应该理解到，所揭露的系统、装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

35 另外，在本申请各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。

所述功能如果以软件功能单元的形式实现并作为独立的产品销售或使用时，可以存储在一个计算机可读取存储介质中。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备(个人计算机，

服务器，或者网络设备等)执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U 盘、移动硬盘、ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

5 以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1. 一种用于有线串行数据传输的重定时器的路径控制方法，其特征在于，所述方法包括：

5 接收第一码流，所述第一码流包括第一字段，所述第一字段中包括重定时器的能力信息，所述能力信息用于指示所述重定时器是否支持低时延路径；

向所述重定时器发送第二码流，所述第二码流包括第二字段，所述第二字段中包括第一进入控制信息，所述第一进入控制信息用于指示所述重定时器是否进入所述低时延路径，所述低时延路径为所述重定时器的数据传输路径中时延最小的路径。

10 2. 根据权利要求1所述的方法，其特征在于，所述第二字段中还包括第一退出控制信息，所述第一退出控制信息用于指示所述重定时器是否退出所述低时延路径。

3. 根据权利要求1或2所述的方法，其特征在于，所述方法还包括：

向所述重定时器发送第三码流，所述第三码流包括第三字段，所述第三字段中携带所述能力信息。

15 4. 根据权利要求3所述的方法，其特征在于，所述方法还包括：

接收第四码流，所述第四码流包括第四字段，所述第四字段中包括第二进入控制信息和第二退出控制信息，所述第二进入控制信息用于指示所述重定时器是否进入所述低时延路径，所述第二退出控制信息用于指示所述重定时器是否退出所述低时延路径。

20 5. 根据权利要求4所述的方法，其特征在于，所述第二码流还包括第五字段，所述第五字段用于携带状态信息，所述状态信息用于指示所述重定时器是否处于进入所述低时延路径或者退出所述低时延路径的状态。

6. 根据权利要求5所述的方法，其特征在于，所述第四码流还包括第六字段，所述第六字段中包括所述状态信息。

7. 根据权利要求6所述的方法，其特征在于，所述方法还包括：

25 当基于所述状态信息确定所述重定时器未处于进入所述低时延路径或者退出所述低时延路径的状态下，通过所述重定时器向对端设备发送业务数据。

8. 根据权利要求4至7任一项所述的方法，其特征在于，所述第一码流还包括第七字段，所述第七字段中包括时长信息，所述时长信息用于指示所述重定时器进入或退出所述低时延路径的消耗时长。

30 9. 根据权利要求8所述的方法，其特征在于，在向所述重定时器发送第二码流之后，所述方法还包括：

基于所述时长信息确定等待时长；

在与起始时刻间隔所述等待时长后，在接收到第一数量的所述第四码流时通过所述重定时器向对端设备发送业务数据。

10. 根据权利要求4至9任一项所述的方法，其特征在于，所述方法还包括：

35 向所述重定时器发送第五码流，所述第五码流包括第八字段，所述第八字段中包括第一使能信息，所述第一使能信息用于指示所述重定时器是否使能所述低时延路径。

11. 根据权利要求10所述的方法，其特征在于，所述方法还包括：

接收第六码流，所述第六码流包括第九字段，所述第九字段中包括第二使能信息，所

述第二使能信息用于指示是否使能所述低时延路径。

12. 根据权利要求 11 所述的方法，其特征在于，所述方法还包括：

当所述第二使能信息与所述第一使能信息不同时，基于所述第二使能信息更新所述第一使能信息，得到更新后的第一使能信息，所述更新后的第一使能信息与所述第二使能信息相同；

向所述重定时器发送更新后的第五码流，所述更新后的第五码流包括更新后的第一使能字段，所述更新后的第一使能字段中包括所述更新后的第一使能信息。

13. 根据权利要求 12 所述的方法，其特征在于，所述接收第一码流，包括：

在第一状态下接收所述第一码流；

10 所述向所述重定时器发送第三码流，包括：

在所述第一状态下向所述重定时器发送所述第三码流；

所述方法还包括：

当接收到第二数量的所述第一码流时，从所述第一状态跳转到第二状态；

所述向所述重定时器发送第五码流，包括：

15 在所述第二状态下向所述重定时器发送所述第五码流；

所述接收第六码流，包括：

在所述第二状态下接收所述第六码流；

所述方法还包括：

当接收到第三数量的所述第六码流时，从所述第二状态跳转到第三状态；

20 所述向所述重定时器发送第二码流，包括：

在所述第三状态下向所述重定时器发送所述第二码流；

所述接收第四码流，包括：

在所述第三状态下接收所述第四码流。

14. 根据权利要求 1 至 13 任一项所述的方法，其特征在于，所述方法还包括：

25 获取所述重定时器的使能配置信息，所述使能配置信息用于指示是否使能所述重定时器的低时延功能；

根据所述能力信息和所述使能配置信息确定所述第一进入控制信息。

15. 一种用于有线串行数据传输的重定时器的路径控制方法，其特征在于，所述方法包括：

30 接收第一设备发送的第一码流，所述第一码流包括第一字段；

在所述第一字段中写入能力信息，得到第二码流，所述能力信息用于指示所述重定时器是否支持低时延，所述低时延路径为所述重定时器的数据传输路径中时延最小的路径；

向第二设备发送所述第二码流；

35 接收所述第二设备发送的第三码流，所述第三码流包括第二字段，所述第二字段中包括第一进入控制信息；

基于所述第一进入控制信息确定是否进入所述低时延路径。

16. 根据权利要求 15 所述的方法，其特征在于，所述第二字段中还包括第一退出控制信息，所述方法还包括：

基于所述第一退出控制信息确定是否退出所述低时延路径。

17. 根据权利要求 16 所述的方法，其特征在于，所述方法还包括：
接收所述第二设备发送的第四码流，所述第四码流包括第三字段；
在所述第三字段中写入所述能力信息，得到第五码流；
向所述第一设备发送所述第五码流；
- 5 接收所述第一设备发送的第六码流，所述第六码流包括第四字段，所述第四字段中包括第二进入控制信息；
所述基于所述第一进入控制信息确定是否进入所述低时延路径，包括：
基于所述第一进入控制信息和所述第二进入控制信息确定是否进入所述低时延路径。
18. 根据权利要求 17 所述的方法，其特征在于，所述第四字段中还包括第二退出控制信息，所述基于所述第一退出控制信息确定是否退出所述低时延路径，包括：
10 基于所述第一退出控制信息和所述第二退出控制信息确定是否退出所述低时延路径。
19. 根据权利要求 17 或 18 所述的方法，其特征在于，所述第三码流还包括第五字段，所述第六码流还包括第六字段，所述方法还包括：
在所述第五字段中写入状态信息，得到第七码流，所述状态信息用于指示所述重定时器是否处于进入所述低时延路径或者退出所述低时延路径的状态；
15 向所述第一设备发送所述第七码流；
在所述第六字段中写入所述状态信息，得到第八码流；
向所述第二设备发送所述第八码流。
20. 根据权利要求 17 至 19 任一项所述的方法，其特征在于，所述第一码流还包括第七字段，所述第四码流还包括第八字段；
20 所述在所述第一字段中写入能力信息，得到第二码流，包括：
在所述第一字段中写入所述能力信息以及在所述第七字段中写入时长信息，得到所述第二码流，所述时长信息用于指示所述重定时器进入或退出所述低时延路径的消耗时长；
所述在所述第三字段中写入所述能力信息，得到第五码流，包括：
25 在所述第三字段中写入所述能力信息以及在所述第八字段中写入所述时长信息，得到所述第五码流。
21. 根据权利要求 15 至 20 任一项所述的方法，其特征在于，所述方法还包括：
接收所述第二设备发送的第九码流，所述第九码流包括第九字段，所述第九字段中包括第一使能信息；
30 基于所述第一使能信息确定是否使能所述低时延路径。
22. 根据权利要求 21 所述的方法，其特征在于，所述方法还包括：
接收所述第一设备发送的第十码流，所述第十码流包括第十字段，所述第十字段中包括第二使能信息；
所述基于所述第一使能信息确定是否使能所述低时延路径，包括：
35 基于所述第一使能信息和所述第二使能信息确定是否使能所述低时延路径。
23. 一种用于有线串行数据传输的重定时器的路径控制装置，其特征在于，包括：
一个或多个处理器；
存储器，用于存储一个或多个计算机程序或指令；
当所述一个或多个计算机程序或指令被所述一个或多个处理器执行，使得所述

一个或多个处理器实现如权利要求 1 至 14 中任一项所述的方法。

24. 一种用于有线串行数据传输的重定时器的路径控制装置，其特征在于，包括：
一个或多个处理器；

存储器，用于存储一个或多个计算机程序或指令；

5 当所述一个或多个计算机程序或指令被所述一个或多个处理器执行，使得所述一个或多个处理器实现如权利要求 15 至 22 中任一项所述的方法。

25. 一种计算机可读存储介质，其特征在于，包括计算机程序或指令，所述计算机程序或指令在计算机上被执行时，使得所述计算机执行权利要求 1 至 22 中任一项所述的方法。

10 26. 一种用于有线串行数据传输的重定时器的路径控制系统，其特征在于，所述系统包括第一设备、第二设备和重定时器，所述第一设备或第二设备包括权利要求 23 所述的用于有线串行数据传输的重定时器的路径控制装置，所述重定时器包括权利要求 24 所述的用于有线串行数据传输的重定时器的路径控制装置。

15

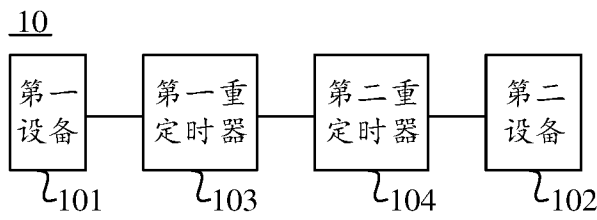


图 1

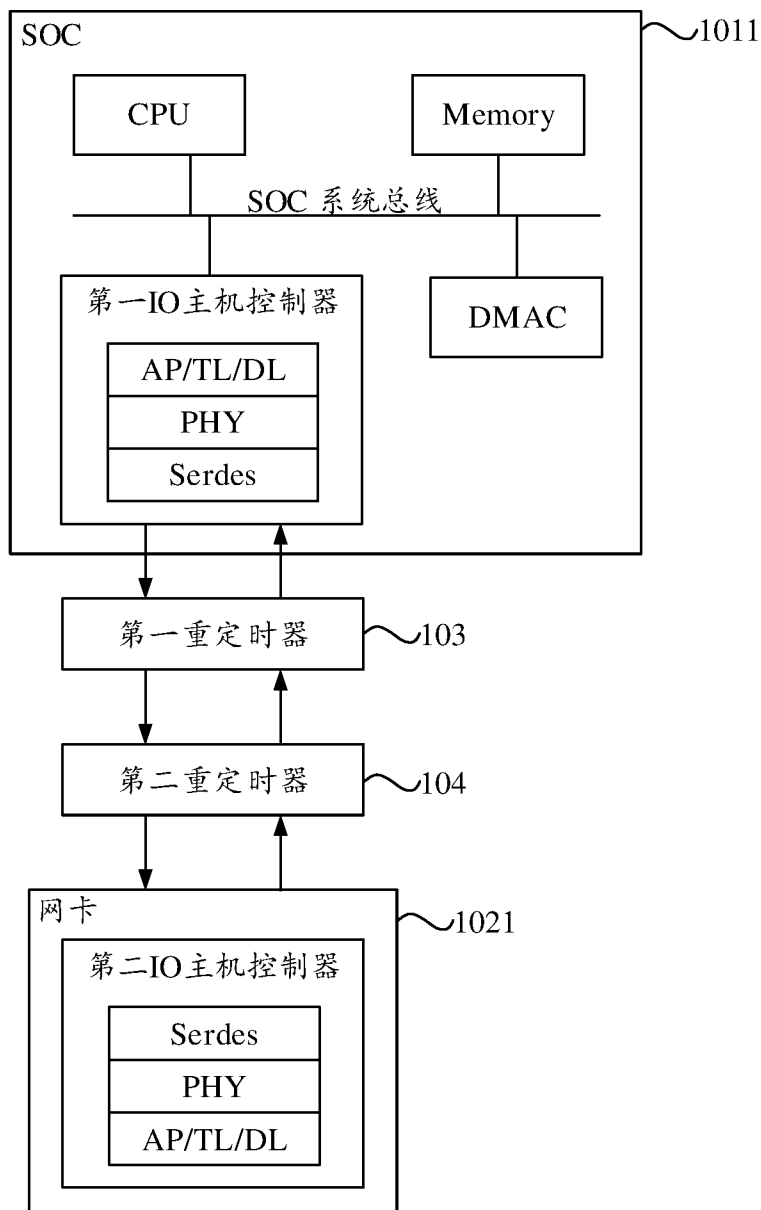


图 2

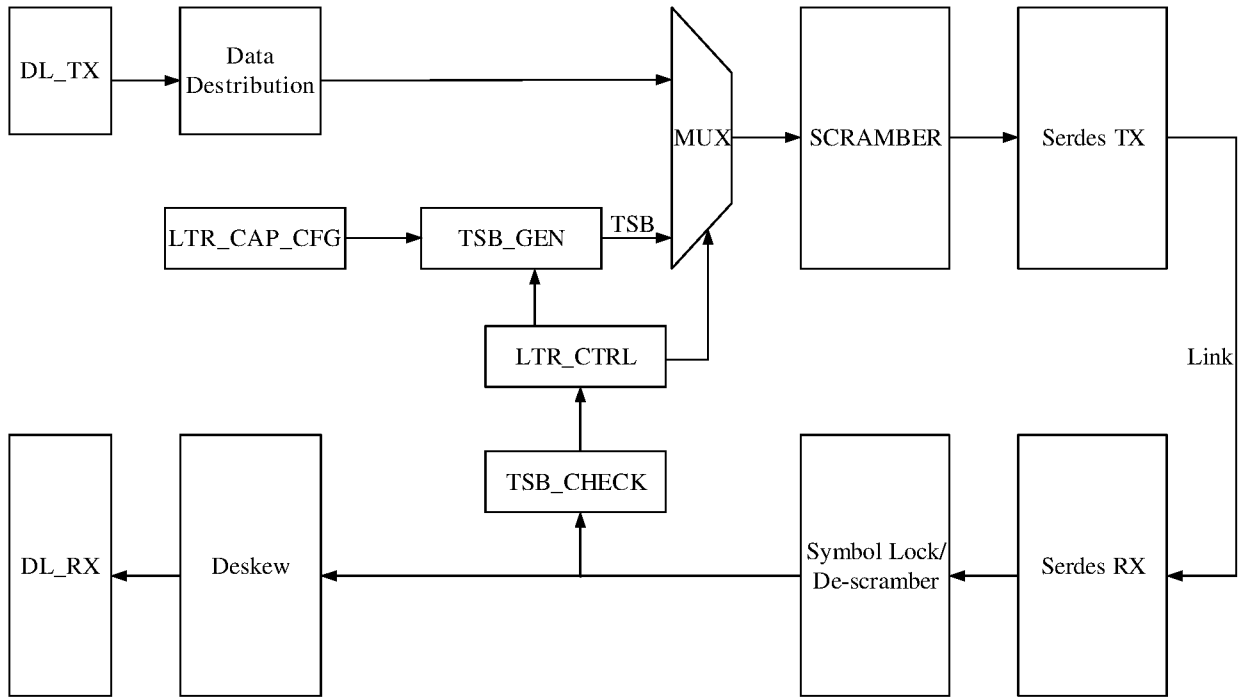


图 3

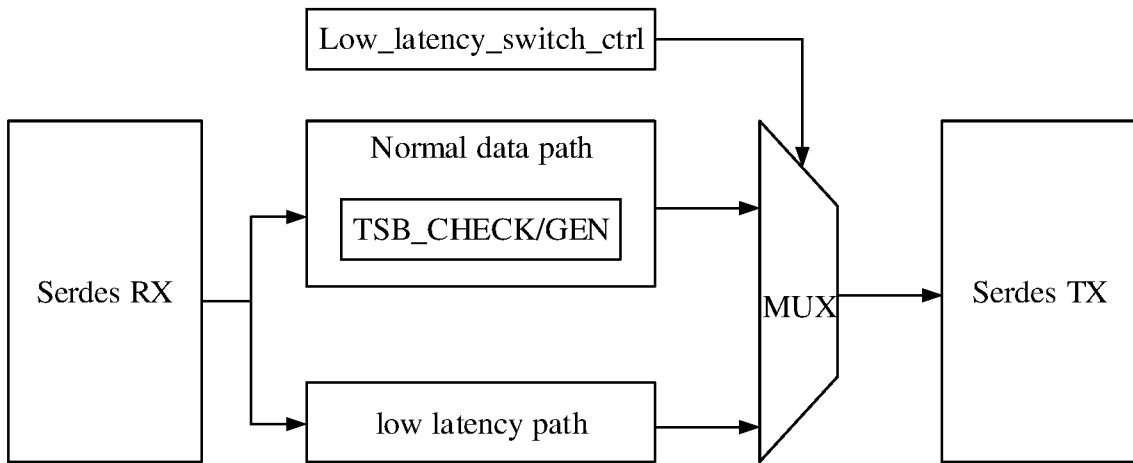


图 4

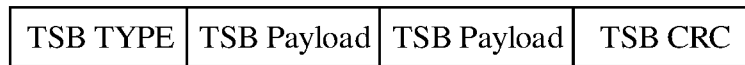


图 5

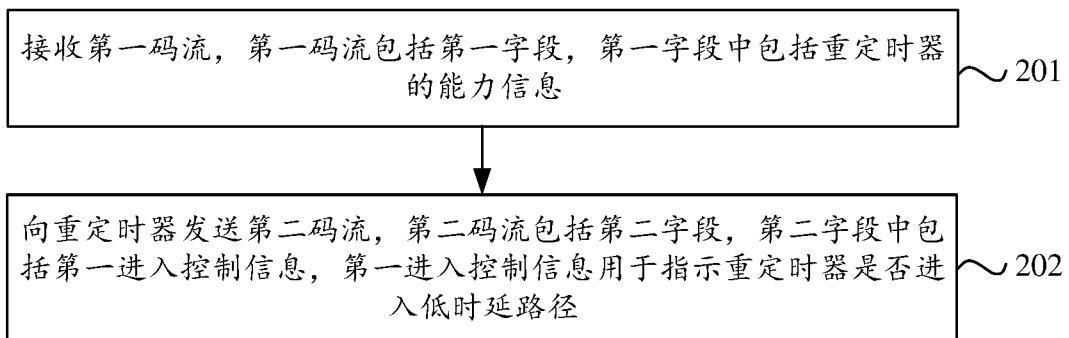


图 6

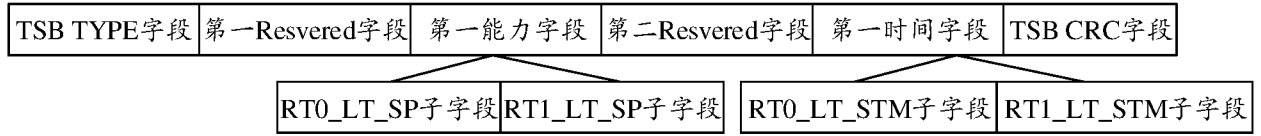


图 8

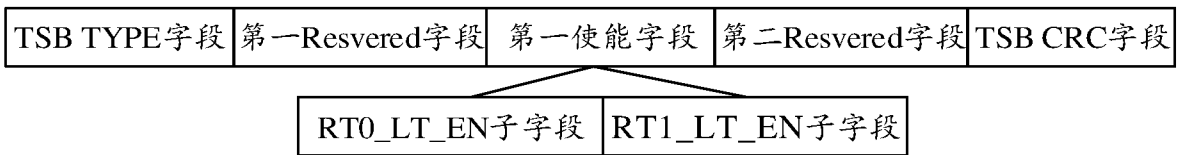


图 9

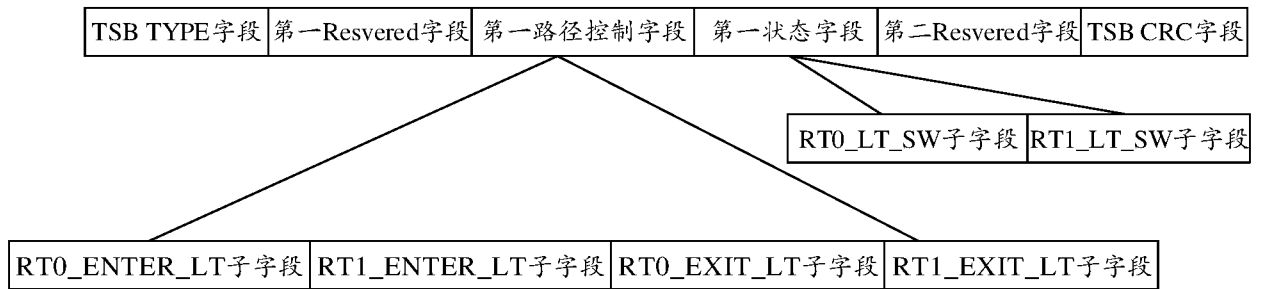


图 10

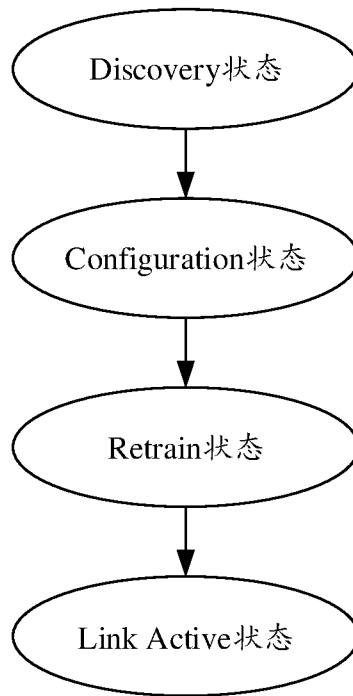


图 11

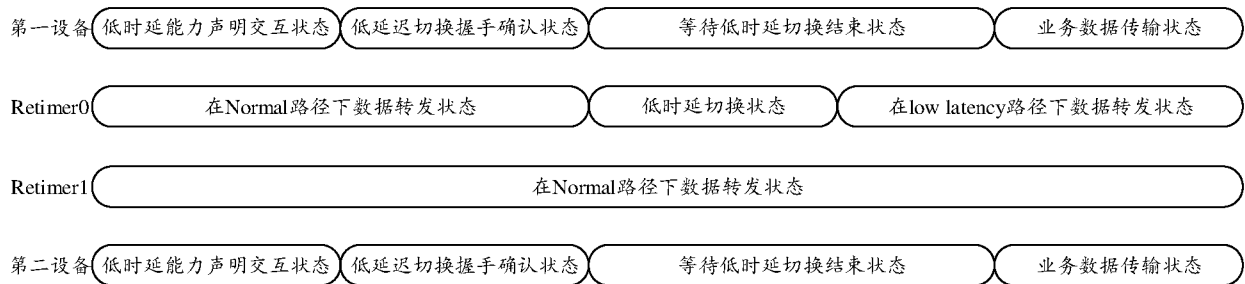


图 12

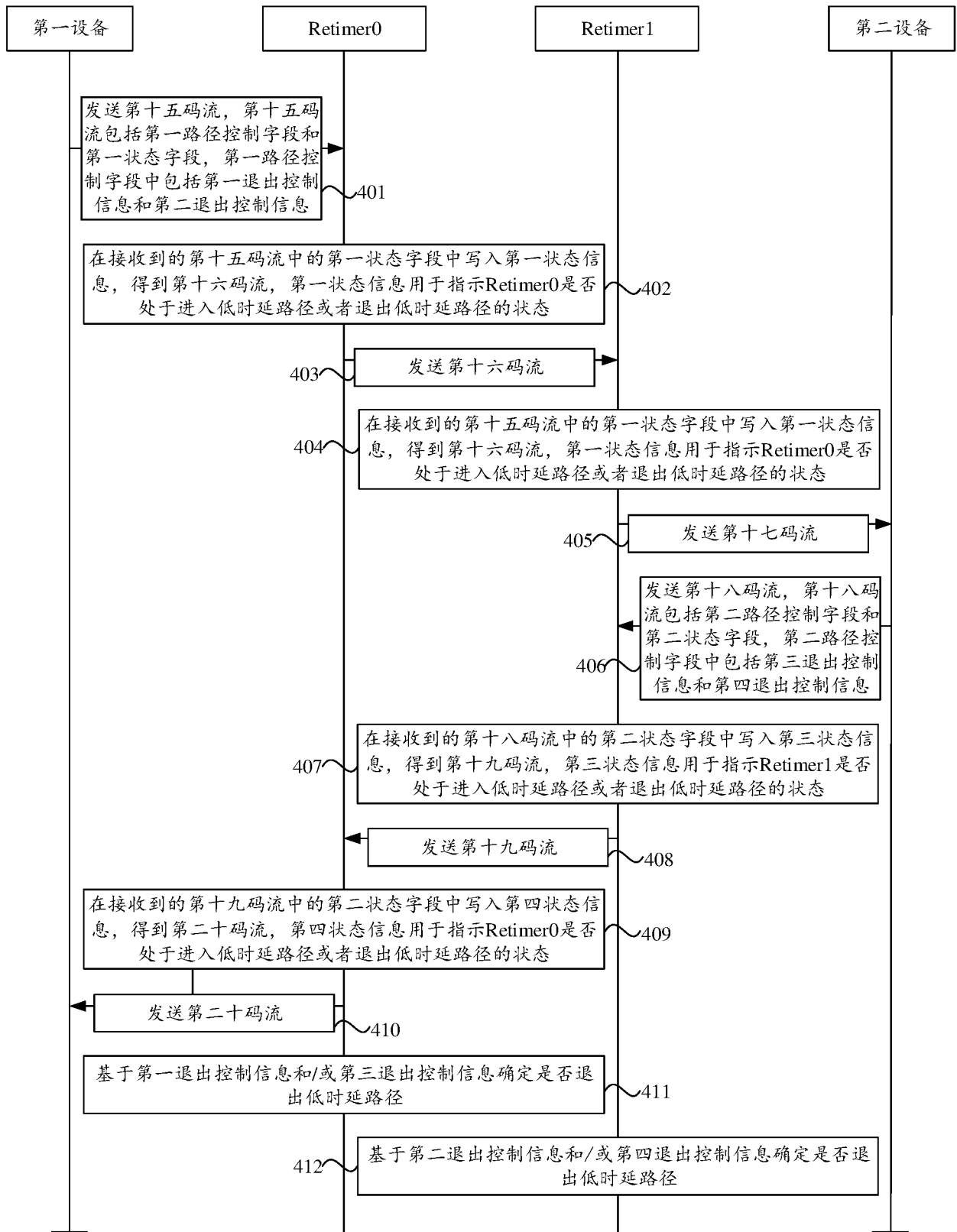


图 13

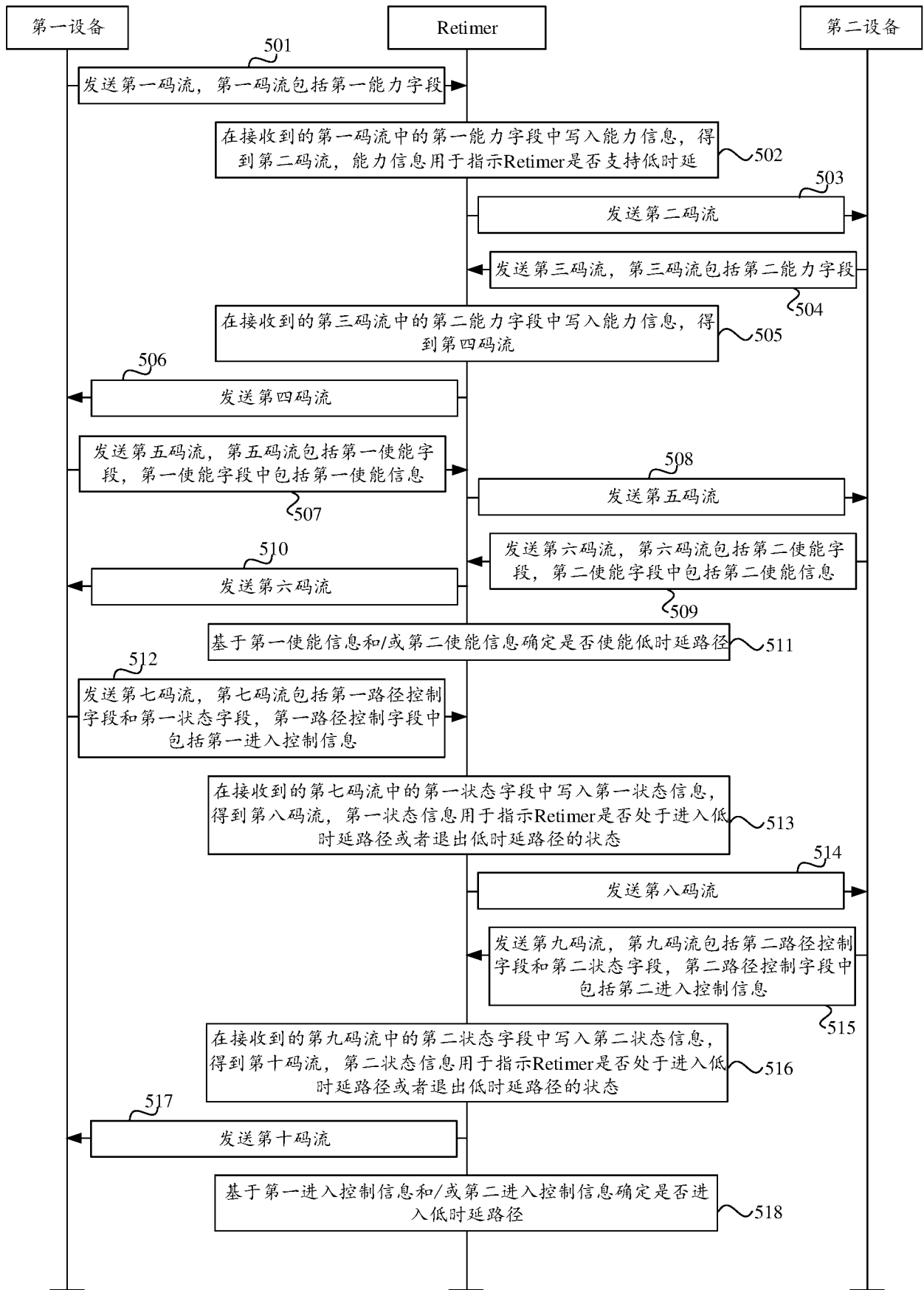


图 14

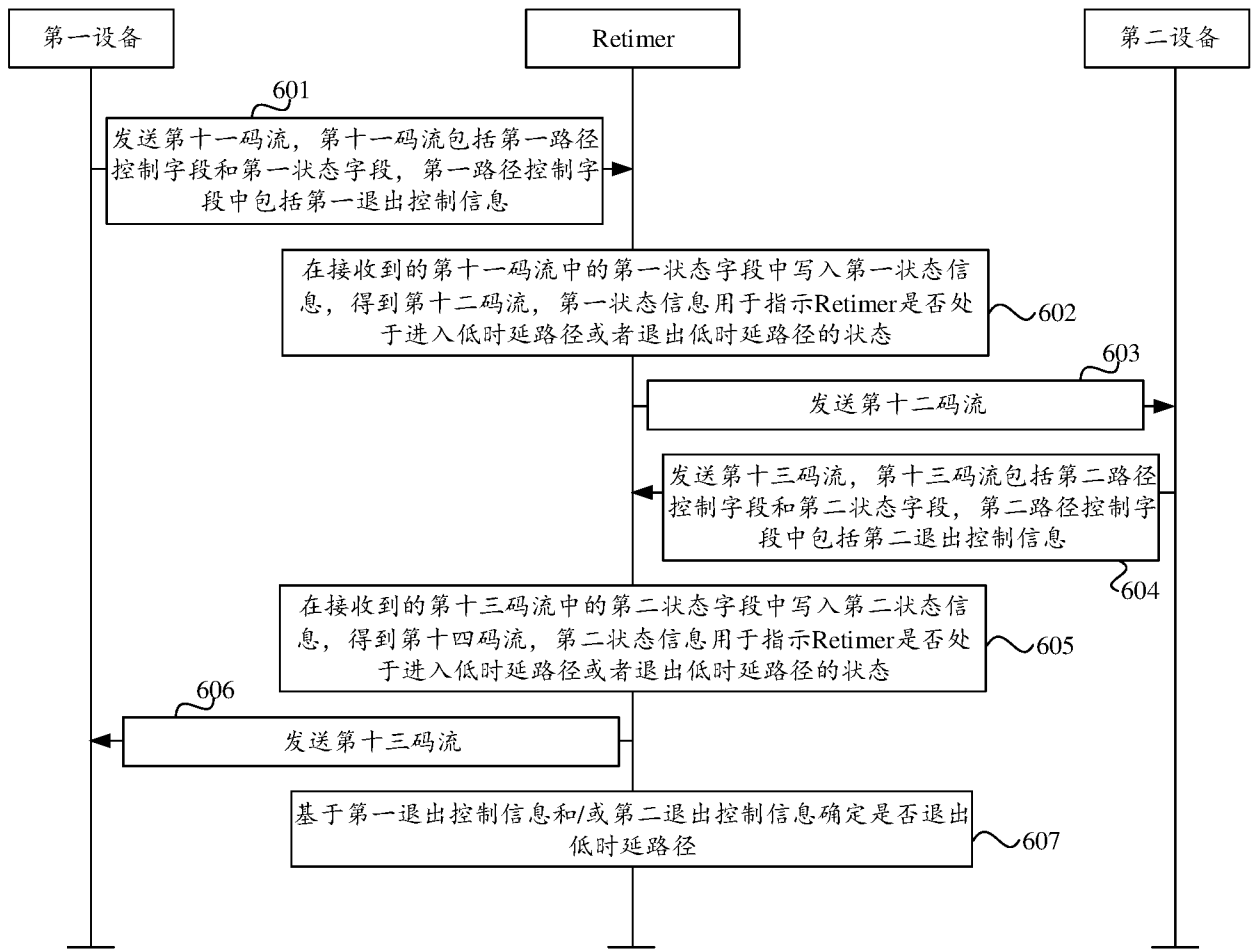


图 15

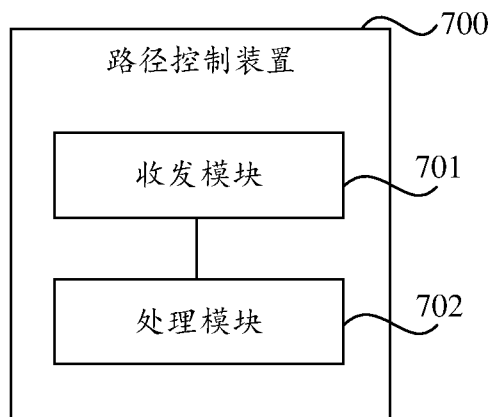


图 16

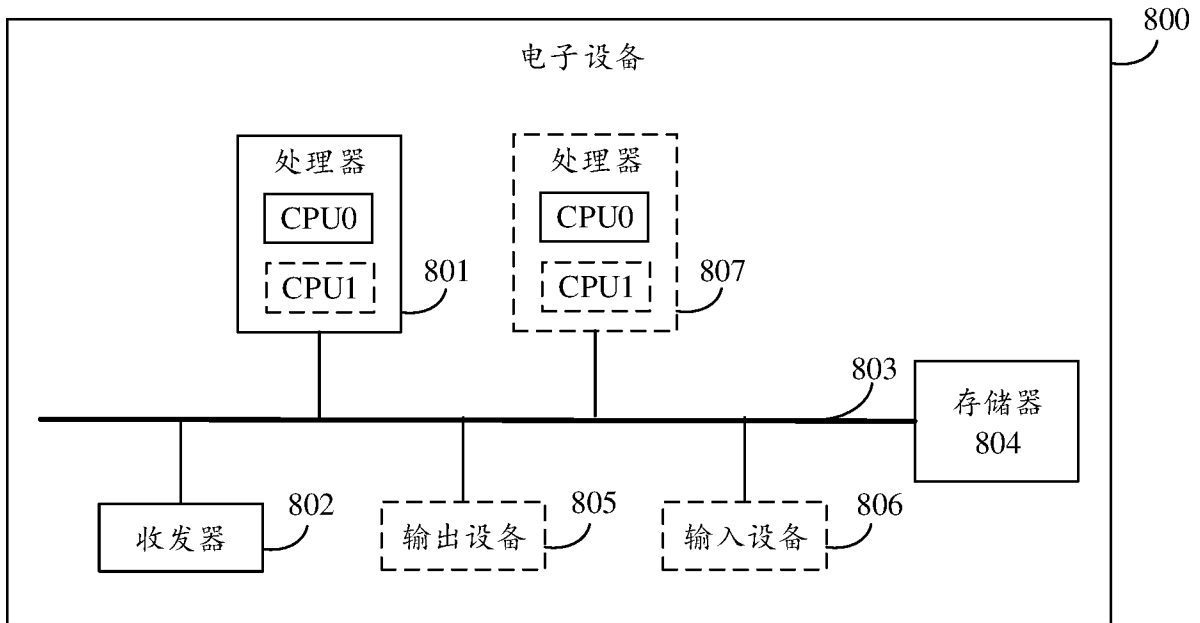


图 17

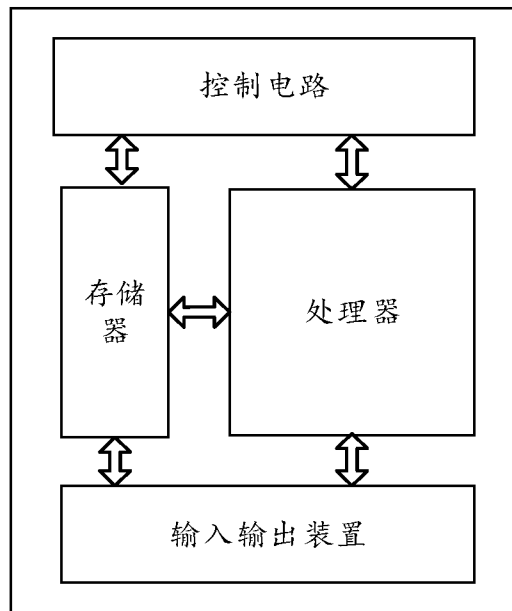


图 18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/074361

A. CLASSIFICATION OF SUBJECT MATTER		
H04L 1/00(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H04W; H04Q; H04L; H04M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNTXT; WOTXT; USTXT; CNABS; VEN; CNKI; 3GPP: 串行, 重定时器, 低时延, 链路, 协商, 能力, 商量, retimer, low, latency, link, negotiat+, fec, capabilitiy, multiple, proto+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2020280428 A1 (INTEL CORP.) 03 September 2020 (2020-09-03) description, paragraphs [0038]-[0065]	1-26
A	CN 112840593 A (HUAWEI TECHNOLOGIES CO., LTD.) 25 May 2021 (2021-05-25) entire document	1-26
A	CN 109154927 A (INTEL CORP.) 04 January 2019 (2019-01-04) entire document	1-26
A	CN 113515384 A (INTEL CORP.) 19 October 2021 (2021-10-19) entire document	1-26
A	WO 2019005391 A1 (INTEL CORP.) 03 January 2019 (2019-01-03) entire document	1-26
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
18 April 2022		28 April 2022
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/074361

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2020280428	A1	03 September 2020	DE	102020122301	A1	22 April 2021
CN	112840593	A	25 May 2021	None			
CN	109154927	A	04 January 2019	US	2017371831	A1	28 December 2017
				US	2018253397	A1	06 September 2018
				DE	112017003209	T5	28 March 2019
				WO	2018004811	A1	04 January 2018
CN	113515384	A	19 October 2021	DE	102018005759	A1	28 February 2019
				US	2021311800	A1	07 October 2021
				CN	109426566	A	05 March 2019
				US	2019065272	A1	28 February 2019
WO	2019005391	A1	03 January 2019	US	2021399982	A1	23 December 2021
				DE	112018003355	T5	05 March 2020
				US	2019007310	A1	03 January 2019

国际检索报告

国际申请号

PCT/CN2022/074361

<p>A. 主题的分类</p> <p>H04L 1/00 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H04W; H04Q; H04L; H04M</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNXTX; WOTXT; USTXT; CNABS; VEN; CNKI; 3GPP: 串行, 重定时器, 低时延, 链路, 协商, 能力, 商量, retimer, low, latency, link, negotiat+, fec, capabilitiy, multiple, proto+</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2020280428 A1 (英特尔公司) 2020年9月3日 (2020 - 09 - 03) 说明书第[0038]-[0065]段</td> <td>1-26</td> </tr> <tr> <td>A</td> <td>CN 112840593 A (华为技术有限公司) 2021年5月25日 (2021 - 05 - 25) 全文</td> <td>1-26</td> </tr> <tr> <td>A</td> <td>CN 109154927 A (英特尔公司) 2019年1月4日 (2019 - 01 - 04) 全文</td> <td>1-26</td> </tr> <tr> <td>A</td> <td>CN 113515384 A (英特尔公司) 2021年10月19日 (2021 - 10 - 19) 全文</td> <td>1-26</td> </tr> <tr> <td>A</td> <td>WO 2019005391 A1 (英特尔公司) 2019年1月3日 (2019 - 01 - 03) 全文</td> <td>1-26</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	US 2020280428 A1 (英特尔公司) 2020年9月3日 (2020 - 09 - 03) 说明书第[0038]-[0065]段	1-26	A	CN 112840593 A (华为技术有限公司) 2021年5月25日 (2021 - 05 - 25) 全文	1-26	A	CN 109154927 A (英特尔公司) 2019年1月4日 (2019 - 01 - 04) 全文	1-26	A	CN 113515384 A (英特尔公司) 2021年10月19日 (2021 - 10 - 19) 全文	1-26	A	WO 2019005391 A1 (英特尔公司) 2019年1月3日 (2019 - 01 - 03) 全文	1-26
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	US 2020280428 A1 (英特尔公司) 2020年9月3日 (2020 - 09 - 03) 说明书第[0038]-[0065]段	1-26																		
A	CN 112840593 A (华为技术有限公司) 2021年5月25日 (2021 - 05 - 25) 全文	1-26																		
A	CN 109154927 A (英特尔公司) 2019年1月4日 (2019 - 01 - 04) 全文	1-26																		
A	CN 113515384 A (英特尔公司) 2021年10月19日 (2021 - 10 - 19) 全文	1-26																		
A	WO 2019005391 A1 (英特尔公司) 2019年1月3日 (2019 - 01 - 03) 全文	1-26																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2022年4月18日</p>		<p>国际检索报告邮寄日期</p> <p>2022年4月28日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>王菊</p> <p>电话号码 86-(010)-62411392</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/074361

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2020280428	A1	2020年9月3日	DE	102020122301	A1	2021年4月22日
CN	112840593	A	2021年5月25日	无			
CN	109154927	A	2019年1月4日	US	2017371831	A1	2017年12月28日
				US	2018253397	A1	2018年9月6日
				DE	112017003209	T5	2019年3月28日
				WO	2018004811	A1	2018年1月4日
CN	113515384	A	2021年10月19日	DE	102018005759	A1	2019年2月28日
				US	2021311800	A1	2021年10月7日
				CN	109426566	A	2019年3月5日
				US	2019065272	A1	2019年2月28日
WO	2019005391	A1	2019年1月3日	US	2021399982	A1	2021年12月23日
				DE	112018003355	T5	2020年3月5日
				US	2019007310	A1	2019年1月3日