

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和4年3月16日(2022.3.16)

【国際公開番号】WO2020/255656

【出願番号】特願2021-527512(P2021-527512)

【国際特許分類】

H 01 L 21/8244(2006.01)

【F I】

H 01 L 27/11

10

【手続補正書】

【提出日】令和3年12月9日(2021.12.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

20

1ポートSRAMセルを含む半導体記憶装置であって、

前記1ポートSRAMセルは、

一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートがワード線にそれぞれ接続された第5トランジスタと、

一方のノードが前記第1ビット線と相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記ワード線にそれぞれ接続された第6トランジスタと

を備え、

前記第3～第6トランジスタは、それぞれ、第1層に形成された、第1導電型の立体構造トランジスタからなり、

前記第1および第2トランジスタは、それぞれ、前記第1層と異なる第2層に形成された前記第1導電型と異なる第2導電型の立体構造トランジスタからなり、

前記第1トランジスタを構成する立体構造トランジスタの数は、前記第3トランジスタを構成する立体構造トランジスタの数よりも少なく、

前記第2トランジスタを構成する立体構造トランジスタの数は、前記第4トランジスタを構成する立体構造トランジスタの数よりも少なく、

前記第1トランジスタは、少なくとも一部が、前記第3トランジスタと平面視において重なり、

前記第2トランジスタは、少なくとも一部が、前記第4トランジスタと平面視において重なっている

ことを特徴とする半導体記憶装置。

【請求項2】

50

請求項 1 記載の半導体記憶装置において、

前記第 3 および第 4 トランジスタは、それぞれ、前記第 1 ~ 第 6 トランジスタのチャネル部が延びる方向である第 1 方向と垂直をなす第 2 方向に並んで形成された第 1 および第 2 立体構造トランジスタを含むことを特徴とする半導体記憶装置。

【請求項 3】

請求項 2 記載の半導体記憶装置において、

前記第 5 および第 6 トランジスタは、それぞれ、前記第 2 方向に並んで形成された第 3 および第 4 立体構造トランジスタを含むことを特徴とする半導体記憶装置。

【請求項 4】

請求項 3 記載の半導体記憶装置において、

前記第 3 トランジスタにおける前記第 1 および第 2 立体構造トランジスタは、前記第 5 トランジスタにおける前記第 3 および第 4 立体構造トランジスタと、前記第 1 方向にそれぞれ並んで形成されており、

前記第 4 トランジスタにおける前記第 1 および第 2 立体構造トランジスタは、前記第 6 トランジスタにおける前記第 3 および第 4 立体構造トランジスタと、前記第 1 方向にそれぞれ並んで形成されている

ことを特徴とする半導体記憶装置。

10

【請求項 5】

請求項 1 記載の半導体記憶装置において、

前記第 2 層は、前記第 1 層よりも上層にあることを特徴とする半導体記憶装置。

20

【請求項 6】

請求項 1 記載の半導体記憶装置において、

前記第 2 層は、前記第 1 層よりも下層にあることを特徴とする半導体記憶装置。

【請求項 7】

請求項 2 記載の半導体記憶装置において、

前記第 5 および第 6 トランジスタは、それぞれ、第 3 立体構造トランジスタからなり、

前記第 5 トランジスタにおける前記第 3 立体構造トランジスタは、前記第 3 トランジスタにおける前記第 1 および第 2 立体構造トランジスタのいずれか一方と、前記第 1 方向に並んで形成されており、

前記第 6 トランジスタにおける前記第 3 立体構造トランジスタは、前記第 4 トランジスタにおける前記第 1 および第 2 立体構造トランジスタのいずれか一方と、前記第 1 方向に並んで形成されている

ことを特徴とする半導体記憶装置。

30

【請求項 8】

請求項 7 記載の半導体記憶装置において、

前記第 2 层は、前記第 1 层よりも上層にあることを特徴とする半導体記憶装置。

【請求項 9】

請求項 1 記載の半導体記憶装置において、

前記第 1 および第 3 トランジスタは、ゲートに同一のゲート配線である、第 1 ゲート配線が直接接続されており、

前記第 2 および第 4 トランジスタは、ゲートに同一のゲート配線である、第 2 ゲート配線が直接接続されていることを特徴とする半導体記憶装置。

40

【請求項 10】

1 ポート S R A M セルを含む半導体記憶装置であって、

前記 1 ポート S R A M セルは、

一方のノードが第 1 電圧を供給する第 1 電源に、他方のノードが第 1 ノードに、ゲートが第 2 ノードにそれぞれ接続された第 1 トランジスタと、

一方のノードが前記第 1 電源に、他方のノードが前記第 2 ノードに、ゲートが前記第 1 ノードにそれぞれ接続された第 2 トランジスタと、

一方のノードが前記第 1 ノードに、他方のノードが前記第 1 電圧と異なる第 2 電圧を供給

50

する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートがワード線にそれぞれ接続された第5トランジスタと、一方のノードが前記第1ビット線と相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記ワード線にそれぞれ接続された第6トランジスタとを備え、

前記第3および第4トランジスタは、それぞれ、

10

第1層に形成された第1導電型の立体構造トランジスタである、第1立体構造トランジスタと、

少なくとも一部が、前記第1立体構造トランジスタと平面視で重なるように、前記第1層より上層の第2層に形成された前記第1導電型の立体構造トランジスタである、第2立体構造トランジスタとを含み、

前記第5および第6トランジスタは、それぞれ、前記第1および第2層の少なくともいずれか一方に形成された前記第1導電型の立体構造トランジスタを含み、

前記第1および第2トランジスタは、それぞれ、前記第2層に形成された前記第1導電型と異なる第2導電型の立体構造トランジスタを含み、

前記第1トランジスタを構成する立体構造トランジスタの数は、前記第3トランジスタを構成する立体構造トランジスタの数よりも少なく、

20

前記第2トランジスタを構成する立体構造トランジスタの数は、前記第4トランジスタを構成する立体構造トランジスタの数よりも少ない

ことを特徴とする半導体記憶装置。

【請求項11】

請求項10記載の半導体記憶装置において、

前記第5および第6トランジスタは、それぞれ、

前記第1層に形成された第3立体構造トランジスタと、

少なくとも一部が、前記第3立体構造トランジスタと平面視で重なるように、前記第2層に形成された第4立体構造トランジスタとを含む

30

ことを特徴とする半導体記憶装置。

【請求項12】

請求項11記載の半導体記憶装置において、

前記第3トランジスタにおける前記第1および第2立体構造トランジスタは、前記第5トランジスタにおける前記第3および第4立体構造トランジスタと、前記第1～第6トランジスタのチャネル部が延びる方向である第1方向に、それぞれ並んで形成されており、

前記第4トランジスタにおける前記第1および第2立体構造トランジスタは、前記第6トランジスタにおける前記第3および第4立体構造トランジスタと、前記第1方向にそれぞれ並んで形成されている

ことを特徴とする半導体記憶装置。

40

【請求項13】

請求項11記載の半導体記憶装置において、

前記第3および第4トランジスタのそれぞれにおいて、

前記第1立体構造トランジスタは、前記第1～第6トランジスタのチャネル部が延びる方向である第1方向と垂直をなす第2方向に並んで形成された複数の第1立体構造トランジスタを含むことを特徴とする半導体記憶装置。

【請求項14】

請求項13記載の半導体記憶装置において、

前記第1トランジスタは、少なくとも一部が、前記第3トランジスタにおける前記複数の第1立体構造トランジスタのいずれかと平面視で重なっており、

50

前記第2トランジスタは、少なくとも一部が、前記第4トランジスタにおける前記複数の第1立体構造トランジスタのいずれかと平面視で重なっていることを特徴とする半導体記憶装置。

【請求項15】

請求項13記載の半導体記憶装置において、

前記第5トランジスタにおける前記第3立体構造トランジスタは、前記第3トランジスタにおける前記複数の第1立体構造トランジスタのうちのいずれかと、前記第1方向に並んで形成されており、

前記第6トランジスタにおける前記第3立体構造トランジスタは、前記第4トランジスタにおける前記複数の第1立体構造トランジスタのうちのいずれかと、前記第1方向に並んで形成されている

10

ことを特徴とする半導体記憶装置。

【請求項16】

請求項10記載の半導体記憶装置において、

前記1ポートS R A Mセルは、

前記第1層に形成された前記第1導電型の立体構造トランジスタである、第1ダミートランジスタと、

前記第1層に形成された前記第1導電型の立体構造トランジスタである、第2ダミートランジスタと

をさらに備え、

前記第5および第6トランジスタは、それぞれ、前記第2層に形成された立体構造トランジスタを含み、かつ、少なくとも一部が、前記第1および第2ダミートランジスタとそれ平面視で重なっている

20

ことを特徴とする半導体記憶装置。

【請求項17】

請求項16記載の半導体記憶装置において、

前記第5および第6トランジスタは、前記第3および第4トランジスタにおける前記第2立体構造トランジスタと、前記第1～第6トランジスタのチャネル部が延びる方向である第1方向に、それぞれ並んで形成されており、

前記第1および第2ダミートランジスタは、前記第3および第4トランジスタにおける前記第1立体構造トランジスタと前記第1方向にそれぞれ並んで形成されている

30

ことを特徴とする半導体記憶装置。

【請求項18】

請求項10記載の半導体記憶装置において、

前記第5トランジスタは、前記第3トランジスタにおける前記第1および第2立体構造トランジスタの少なくとも一方と、前記第1～第6トランジスタのチャネル部が延びる方向である第1方向に並んで形成されており、

前記第6トランジスタは、前記第4トランジスタにおける前記第1および第2立体構造トランジスタの少なくとも一方と前記第1方向に並んで形成されている

40

ことを特徴とする半導体記憶装置。

【請求項19】

請求項10記載の半導体記憶装置において、

前記第5および第6トランジスタは、それぞれ、前記第1層に形成された立体構造トランジスタを含み、

前記第5トランジスタは、前記第3トランジスタにおける前記第1立体構造トランジスタと、前記第1～第6トランジスタのチャネル部が延びる方向である第1方向に並んで形成されており、

前記第6トランジスタは、前記第4トランジスタにおける前記第1立体構造トランジスタと前記第1方向に並んで形成されている

50

ことを特徴とする半導体記憶装置。

【請求項 20】

請求項 10 記載の半導体記憶装置において、

前記第 3 トランジスタにおける前記第 1 および第 2 立体構造トランジスタは、ゲートに同一のゲート配線である、第 1 ゲート配線が直接接続されており、

前記第 4 トランジスタにおける前記第 1 および第 2 立体構造トランジスタは、ゲートに同一のゲート配線である、第 2 ゲート配線が直接接続されていることを特徴とする半導体記憶装置。

10

20

30

40

50