

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 4 年 3 月 16 日(2022.3.16)

【国際公開番号】WO2020/255656

【出願番号】特願 2021-527512(P2021-527512)

【国際特許分類】

H 0 1 L 2 1 / 8 2 4 4 ( 2 0 0 6 . 0 1 )

【 F I 】

H 0 1 L 2 7 / 1 1

10

【手続補正書】

【提出日】令和 3 年 12 月 9 日(2021.12.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

20

1 ポート S R A M セルを含む半導体記憶装置であって、

前記 1 ポート S R A M セルは、

一方のノードが第 1 電圧を供給する第 1 電源に、他方のノードが第 1 ノードに、ゲートが第 2 ノードにそれぞれ接続された第 1 トランジスタと、

一方のノードが前記第 1 電源に、他方のノードが前記第 2 ノードに、ゲートが前記第 1 ノードにそれぞれ接続された第 2 トランジスタと、

一方のノードが前記第 1 ノードに、他方のノードが前記第 1 電圧と異なる第 2 電圧を供給する第 2 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 3 トランジスタと、

一方のノードが前記第 2 ノードに、他方のノードが前記第 2 電源に、ゲートが前記第 1 ノードにそれぞれ接続された第 4 トランジスタと、

30

一方のノードが第 1 ビット線に、他方のノードが前記第 1 ノードに、ゲートがワード線にそれぞれ接続された第 5 トランジスタと、

一方のノードが前記第 1 ビット線と相補ビット線対を構成する第 2 ビット線に、他方のノードが前記第 2 ノードに、ゲートが前記ワード線にそれぞれ接続された第 6 トランジスタと

を備え、

前記第 3 ~ 第 6 トランジスタは、それぞれ、第 1 層に形成された、第 1 導電型の立体構造トランジスタからなり、

前記第 1 および第 2 トランジスタは、それぞれ、前記第 1 層と異なる第 2 層に形成された前記第 1 導電型と異なる第 2 導電型の立体構造トランジスタからなり、

40

前記第 1 トランジスタを構成する立体構造トランジスタの数は、前記第 3 トランジスタを構成する立体構造トランジスタの数よりも少なく、

前記第 2 トランジスタを構成する立体構造トランジスタの数は、前記第 4 トランジスタを構成する立体構造トランジスタの数よりも少なく、

前記第 1 トランジスタは、少なくとも一部が、前記第 3 トランジスタと平面視において重なり、

前記第 2 トランジスタは、少なくとも一部が、前記第 4 トランジスタと平面視において重なっている

ことを特徴とする半導体記憶装置。

【請求項 2】

50

請求項 1 記載の半導体記憶装置において、

前記第 3 および第 4 トランジスタは、それぞれ、前記第 1 ～ 第 6 トランジスタのチャネル部が延びる方向である第 1 方向と垂直をなす第 2 方向に並んで形成された第 1 および第 2 立体構造トランジスタを含むことを特徴とする半導体記憶装置。

【請求項 3】

請求項 2 記載の半導体記憶装置において、

前記第 5 および第 6 トランジスタは、それぞれ、前記第 2 方向に並んで形成された第 3 および第 4 立体構造トランジスタを含むことを特徴とする半導体記憶装置。

【請求項 4】

請求項 3 記載の半導体記憶装置において、

前記第 3 トランジスタにおける前記第 1 および第 2 立体構造トランジスタは、前記第 5 トランジスタにおける前記第 3 および第 4 立体構造トランジスタと、前記第 1 方向にそれぞれ並んで形成されており、

前記第 4 トランジスタにおける前記第 1 および第 2 立体構造トランジスタは、前記第 6 トランジスタにおける前記第 3 および第 4 立体構造トランジスタと、前記第 1 方向にそれぞれ並んで形成されている

ことを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 記載の半導体記憶装置において、

前記第 2 層は、前記第 1 層よりも上層にあることを特徴とする半導体記憶装置。

【請求項 6】

請求項 1 記載の半導体記憶装置において、

前記第 2 層は、前記第 1 層よりも下層にあることを特徴とする半導体記憶装置。

【請求項 7】

請求項 2 記載の半導体記憶装置において、

前記第 5 および第 6 トランジスタは、それぞれ、第 3 立体構造トランジスタからなり、

前記第 5 トランジスタにおける前記第 3 立体構造トランジスタは、前記第 3 トランジスタにおける前記第 1 および第 2 立体構造トランジスタのいずれか一方と、前記第 1 方向に並んで形成されており、

前記第 6 トランジスタにおける前記第 3 立体構造トランジスタは、前記第 4 トランジスタにおける前記第 1 および第 2 立体構造トランジスタのいずれか一方と、前記第 1 方向に並んで形成されている

ことを特徴とする半導体記憶装置。

【請求項 8】

請求項 7 記載の半導体記憶装置において、

前記第 2 層は、前記第 1 層よりも上層にあることを特徴とする半導体記憶装置。

【請求項 9】

請求項 1 記載の半導体記憶装置において、

前記第 1 および第 3 トランジスタは、ゲートに同一のゲート配線である、第 1 ゲート配線が直接接続されており、

前記第 2 および第 4 トランジスタは、ゲートに同一のゲート配線である、第 2 ゲート配線が直接接続されていることを特徴とする半導体記憶装置。

【請求項 10】

1 ポート S R A M セルを含む半導体記憶装置であって、

前記 1 ポート S R A M セルは、

一方のノードが第 1 電圧を供給する第 1 電源に、他方のノードが第 1 ノードに、ゲートが第 2 ノードにそれぞれ接続された第 1 トランジスタと、

一方のノードが前記第 1 電源に、他方のノードが前記第 2 ノードに、ゲートが前記第 1 ノードにそれぞれ接続された第 2 トランジスタと、

一方のノードが前記第 1 ノードに、他方のノードが前記第 1 電圧と異なる第 2 電圧を供給

10

20

30

40

50

する第 2 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 3 トランジスタと、  
一方のノードが前記第 2 ノードに、他方のノードが前記第 2 電源に、ゲートが前記第 1 ノードにそれぞれ接続された第 4 トランジスタと、  
一方のノードが第 1 ビット線に、他方のノードが前記第 1 ノードに、ゲートがワード線にそれぞれ接続された第 5 トランジスタと、  
一方のノードが前記第 1 ビット線と相補ビット線対を構成する第 2 ビット線に、他方のノードが前記第 2 ノードに、ゲートが前記ワード線にそれぞれ接続された第 6 トランジスタと  
を備え、

前記第 3 および第 4 トランジスタは、それぞれ、  
第 1 層に形成された第 1 導電型の立体構造トランジスタである、第 1 立体構造トランジスタと、

10

少なくとも一部が、前記第 1 立体構造トランジスタと平面視で重なるように、前記第 1 層より上層の第 2 層に形成された前記第 1 導電型の立体構造トランジスタである、第 2 立体構造トランジスタとを含み、

前記第 5 および第 6 トランジスタは、それぞれ、前記第 1 および第 2 層の少なくともいずれか一方に形成された前記第 1 導電型の立体構造トランジスタを含み、

前記第 1 および第 2 トランジスタは、それぞれ、前記第 2 層に形成された前記第 1 導電型と異なる第 2 導電型の立体構造トランジスタを含み、

前記第 1 トランジスタを構成する立体構造トランジスタの数は、前記第 3 トランジスタを構成する立体構造トランジスタの数よりも少なく、

20

前記第 2 トランジスタを構成する立体構造トランジスタの数は、前記第 4 トランジスタを構成する立体構造トランジスタの数よりも少ない

ことを特徴とする半導体記憶装置。

#### 【請求項 1 1】

請求項 1\_0 記載の半導体記憶装置において、

前記第 5 および第 6 トランジスタは、それぞれ、

前記第 1 層に形成された第 3 立体構造トランジスタと、

少なくとも一部が、前記第 3 立体構造トランジスタと平面視で重なるように、前記第 2 層に形成された第 4 立体構造トランジスタとを含む

30

ことを特徴とする半導体記憶装置。

#### 【請求項 1 2】

請求項 1\_1 記載の半導体記憶装置において、

前記第 3 トランジスタにおける前記第 1 および第 2 立体構造トランジスタは、前記第 5 トランジスタにおける前記第 3 および第 4 立体構造トランジスタと、前記第 1 ~ 第 6 トランジスタのチャンネル部が延びる方向である第 1 方向に、それぞれ並んで形成されており、

前記第 4 トランジスタにおける前記第 1 および第 2 立体構造トランジスタは、前記第 6 トランジスタにおける前記第 3 および第 4 立体構造トランジスタと、前記第 1 方向にそれぞれ並んで形成されている

ことを特徴とする半導体記憶装置。

40

#### 【請求項 1 3】

請求項 1\_1 記載の半導体記憶装置において、

前記第 3 および第 4 トランジスタのそれぞれにおいて、

前記第 1 立体構造トランジスタは、前記第 1 ~ 第 6 トランジスタのチャンネル部が延びる方向である第 1 方向と垂直をなす第 2 方向に並んで形成された複数の第 1 立体構造トランジスタを含むことを特徴とする半導体記憶装置。

#### 【請求項 1 4】

請求項 1\_3 記載の半導体記憶装置において、

前記第 1 トランジスタは、少なくとも一部が、前記第 3 トランジスタにおける前記複数の第 1 立体構造トランジスタのいずれかと平面視で重なっており、

50

前記第 2 トランジスタは、少なくとも一部が、前記第 4 トランジスタにおける前記複数の第 1 立体構造トランジスタのいずれかと平面視で重なっていることを特徴とする半導体記憶装置。

【請求項 15】

請求項 13 記載の半導体記憶装置において、

前記第 5 トランジスタにおける前記第 3 立体構造トランジスタは、前記第 3 トランジスタにおける前記複数の第 1 立体構造トランジスタのうちのいずれかと、前記第 1 方向に並んで形成されており、

前記第 6 トランジスタにおける前記第 3 立体構造トランジスタは、前記第 4 トランジスタにおける前記複数の第 1 立体構造トランジスタのうちのいずれかと、前記第 1 方向に並んで形成されている

10

ことを特徴とする半導体記憶装置。

【請求項 16】

請求項 10 記載の半導体記憶装置において、

前記 1 ポート S R A M セルは、

前記第 1 層に形成された前記第 1 導電型の立体構造トランジスタである、第 1 ダミートランジスタと、

前記第 1 層に形成された前記第 1 導電型の立体構造トランジスタである、第 2 ダミートランジスタと

をさらに備え、

20

前記第 5 および第 6 トランジスタは、それぞれ、前記第 2 層に形成された立体構造トランジスタを含み、かつ、少なくとも一部が、前記第 1 および第 2 ダミートランジスタとそれぞれ平面視で重なっている

ことを特徴とする半導体記憶装置。

【請求項 17】

請求項 16 記載の半導体記憶装置において、

前記第 5 および第 6 トランジスタは、前記第 3 および第 4 トランジスタにおける前記第 2 立体構造トランジスタと、前記第 1 ~ 第 6 トランジスタのチャンネル部が延びる方向である第 1 方向に、それぞれ並んで形成されており、

前記第 1 および第 2 ダミートランジスタは、前記第 3 および第 4 トランジスタにおける前記第 1 立体構造トランジスタと前記第 1 方向にそれぞれ並んで形成されている

30

ことを特徴とする半導体記憶装置。

【請求項 18】

請求項 10 記載の半導体記憶装置において、

前記第 5 トランジスタは、前記第 3 トランジスタにおける前記第 1 および第 2 立体構造トランジスタの少なくとも一方と、前記第 1 ~ 第 6 トランジスタのチャンネル部が延びる方向である第 1 方向に並んで形成されており、

前記第 6 トランジスタは、前記第 4 トランジスタにおける前記第 1 および第 2 立体構造トランジスタの少なくとも一方と前記第 1 方向に並んで形成されている

ことを特徴とする半導体記憶装置。

40

【請求項 19】

請求項 10 記載の半導体記憶装置において、

前記第 5 および第 6 トランジスタは、それぞれ、前記第 1 層に形成された立体構造トランジスタを含み、

前記第 5 トランジスタは、前記第 3 トランジスタにおける前記第 1 立体構造トランジスタと、前記第 1 ~ 第 6 トランジスタのチャンネル部が延びる方向である第 1 方向に並んで形成されており、

前記第 6 トランジスタは、前記第 4 トランジスタにおける前記第 1 立体構造トランジスタと前記第 1 方向に並んで形成されている

ことを特徴とする半導体記憶装置。

50

## 【請求項 20】

請求項 10 記載の半導体記憶装置において、

前記第 3 トランジスタにおける前記第 1 および第 2 立体構造トランジスタは、ゲートに同一のゲート配線である、第 1 ゲート配線が直接接続されており、

前記第 4 トランジスタにおける前記第 1 および第 2 立体構造トランジスタは、ゲートに同一のゲート配線である、第 2 ゲート配線が直接接続されていることを特徴とする半導体記憶装置。

10

20

30

40

50