



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 ³ G10G 1/00, 3/04	A1	(11) 国際公開番号 WO 82/01783	(43) 国際公開日 1982年5月27日 (27. 05. 82)
(21) 国際出願番号 PCT/JP81/00336 (22) 国際出願日 1981年11月17日 (17. 11. 81) (31) 優先権主張番号 特願昭55-162601 (32) 優先日 1980年11月20日 (20. 11. 80) (33) 優先権主張国 JP (71) 出願人 (米国を除くすべての指定国について) リコー時計株式会社 (RICOH WATCH CO., LTD.) [JP/JP] 〒461 愛知県名古屋市中区泉2丁目28番24号 Aichi, Aichi, (JP) (72) 発明者; および (75) 発明者/ 出願人 (米国についてののみ) 勝岡 律 (KATSUOKA, Ritsu) [JP/JP] 〒509-72 岐阜県恵那郡長島町中野1218-2 リコー時計株式会社内 Gifu, (JP) (74) 代理人 弁理士 足立 勉 (ADACHI, Tsutomu) 〒460 愛知県名古屋市中区錦2丁目9番27号 名古屋繊維ビル Aichi, (JP) (81) 指定国 DE, GB, US. 添付公開書類 国際調査報告書 補正書			

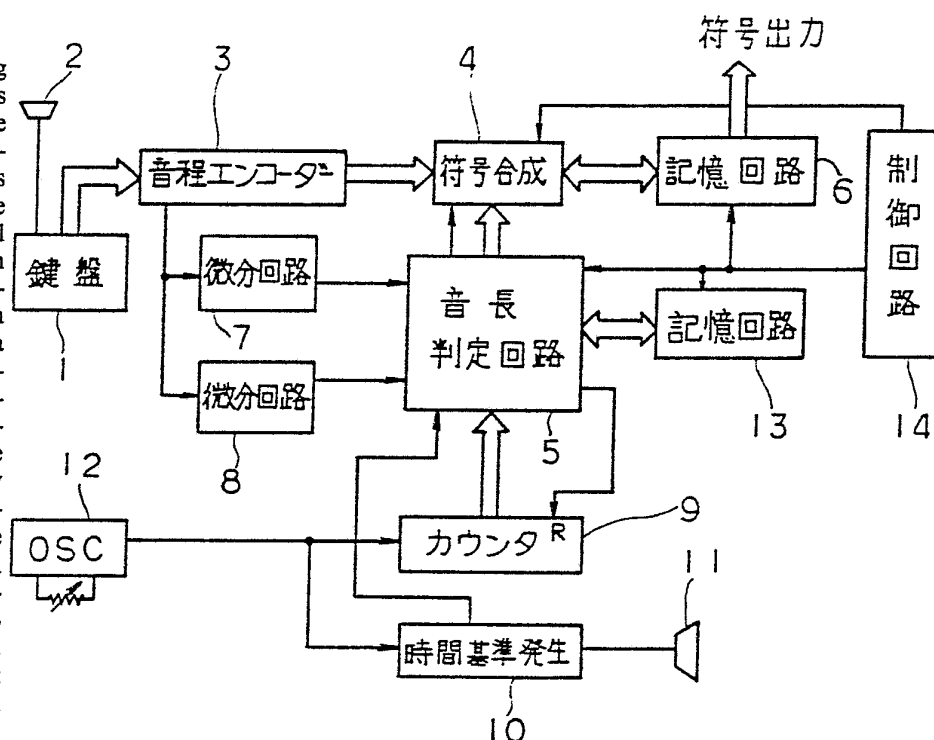
(54) Title: KEYBOARD INPUT CODING DEVICE AND MUSICAL NOTE DISPLAYING DEVICE

(54) 発明の名称 鍵盤入力符号化装置及び音符表示装置

(57) Abstract

A musical note displaying device which codes the signals obtained by pushing keys, while additionally correcting the signals according to estimates made from the relation of the note-length between sequential notes to agree with the intention of the player, and displaying sequential eighth or sixteenth notes or the like in the form of a chain of notes if a given condition is satisfied. A musical interval encoder makes musical interval codes in response to the keys pushed and simultaneously a note-length discriminating circuit compares to discriminate the key-pushing duration with the data of partitioning a musical section generated by a reference time generating circuit and produces a musical note having a length which best agrees with the intention of the player,

monitoring the length of sequential notes, and then the musical interval codes and the musical notes with the thus-discriminated length are combined for coding. A CRT-display gives the note-pattern display, in which sequential eighth notes or the like are displayed in a chained note pattern by using an additional note-chaining circuit and a character ROM.



(57) 要約

鍵を押すことにより得られる信号を、演奏者の意図に合致するように前後の音長の関係から推定して修正を加えて符号化し、見易くするため隣り合った8分音符もしくは16分音符等は、一定の条件のもとで連桁で結んだ形で表示する音符表示装置。音程エンコーダにより押鍵に応じた音程コードを作成する一方、音長判定回路により押鍵時間と時間基準発生回路から得られる小節区切りデータを比較判定し、前後の音長を参照して演奏者の意図に最も合致する音長の音符を得て、これらを合成することにより符号化する。画像表示は、CRTディスプレイにより行い、8分音符などが連続するときは、連桁用補助回路とキャラクタROMを利用して、音符を連桁で結んだ形で表示する。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を固定するために使用されるコード

AT	オーストリア	KP	朝鮮民主主義人民共和国
AU	オーストラリア	LI	リヒテンシュタイン
BR	ブラジル	LU	ルクセンブルグ
CF	中央アフリカ共和国	MC	モナコ
CG	コンゴ	MG	マダガスカル
CH	スイス	MW	マラウイ
CM	カメルーン	NL	オランダ
DE	西ドイツ	NO	ノールウエー
DK	デンマーク	RO	ルーマニア
FI	フィンランド	SE	スウェーデン
FR	フランス	SN	セネガル
GA	ガボン	SU	ソヴィエト連邦
GB	イギリス	TD	チャード
HU	ハンガリー	TC	トーゴ
JP	日本	US	米国

明 細 書

鍵盤入力符号化装置及び音符表示装置

技術分野

この発明は、鍵盤を押すことにより得られる信号を画像表示あるいは楽譜のための音符として符号化するようにした鍵盤入力符号化装置及び音符表示装置に関するものである。

背景技術

従来、この種の符号化装置としては、鍵盤のキーを押している期間をリアルタイムに音長データとして符号化するようにしていた。このため演奏者の意図した音符とかけ離れた音符となってしまう欠点があった。

例えば第1図(A)のaに示すような時間基準1パルス(音で出力)が4分音符1拍分であるとき、♪を連続して演奏しようとして第1図(A)のbのようなパターンでキー入力を与えると、キー入力の「H」(キー押し)、「L」(キー離し)の各期間 $t_1 \sim t_7$ を拾ってそのまま符号化した場合、意図した音符が第1図(A)のcのように4分音符となるものが、第1図(A)のdのように極めて不合理的な音符のコード化がなされてしまう。

また、第1図(B)のaに示すように時間基準1パルスが4分音符1拍分であるとき、第1図(B)のcに示



2

す如き 3 連音符を意図した場合、1 拍分待って 1 拍中にほぼ同音長の音符（4 分音符）が 3 個ある場合に始めて 3 連音符であると判定できる性格のものであるから、第 1 図 (B) の b のようなパターンのキー入力期間をリアルタイムに符号化しても、そのコード出力は第 1 図 (B) の d のようになってしまい、3 連音符検出は極めて困難となる。

また、鍵盤入力を音符信号を画像として表示する場合、例えば音符キャラクターが符詞（はた）の付いた 8 分音符、16 分音符等から構成されると、これらを 1 音符毎に表示させた場合、第 2 図 (A) に示すような楽譜となり、極めて見にくいものになってしまう欠点があった。

この発明の目的は、演奏者の意図に最も合致する音長の音符を、前後の音長の関係から推定してキー入力期間データに修正を加え符号化するようにした鍵盤入力符号化装置を提供するにある。

更にもう一つの目的は、前記符号化装置で符号化した、隣合った 8 分音符もしくは 16 分音符等を一定の条件のもとで連符として表示し、見易い音符画像を可能にした音符表示装置を提供することにある。

発明の開示

この発明は押鍵操作により信号を発生する鍵盤装置と、この鍵盤装置からの信号の立ち上がりおよび立ち下がりを検出する手段と、前記鍵盤信号の ON および



OFF 期間を計数するカウンタと、前記鍵盤装置のキーに応じた音程コードを作成するエンコーダと、前記検出手段からの信号に基づいて前記カウンタからの計数値を取込み音長を判定する音長判定回路と、この音長判定回路との間で音符長データの授受を行う音長データ記憶回路と、前記音長判定回路に小節区切りのデータを供給する時間基準発生回路および処理制御回路とを有し、前記音長の判定は前記記憶回路に登録されたデータにより前後の音長を参照しながら演奏者の意図に最も合致する音長の音符を、前後の音長の関係から推定してキー入力期間データに修正を加え符号化するようにした鍵盤入力符号化装置及びCRTディスプレイ、キャラクタROM、ビデオRAMおよびこれらのタイミング回路を有する音符表示装置において、前記鍵盤入力符号化装置より出力された音符データを隣合う2音符間の連符データ(音程)と音符データ中の連符パターン選択データとを取込んで音符位置に対応した連符パターンを発生させる連符用補助回路を設け、この連符用補助回路から発生する連符パターンデータと前記キャラクタROMの音符パターンとを重台することで連音符とするようにして、音符を見易い画像で表示する音符表示装置に関するものである。

図面の簡単な説明

第1図(A)、(B)は従来装置により音符をコード化したときの説明図、第2図(A)、(B)は音符の表示例



を示す説明図、第3図はこの発明にかかる鍵盤入力符号化装置の一例を示すブロック図、第4図はこの発明における音程エンコーダの具体的回路図、第5図は同じくこの発明における符号合成回路の具体的回路図、第6図はこの発明の微分回路におけるタイムチャート、第7図はこの発明のメインルーチンの構成例を示すフローチャート、第8図(A)、(B)、(C)はそれぞれ音符、休符および小節線割込みルーチンのフローチャート、第9図(A)、(B)は上記割込みルーチンにおけるサブルーチンSUB A、Bのフローチャート、第10図(A)、(B)は第9図における処理ルーチンASINの具体的処理フローを示すフローチャート、第11図はこの発明にかかる音符表示装置の一例を示すブロック図、第12図はこの発明装置におけるビデオRAMアドレスと表示画面上の位置関係を示す説明図、第13図は最高音キャラクターと最低音キャラクターの譜表上での位置関係を示す説明図、第14図は音符コードの構成例を示すフォーマット、第15図は音符キャラクターの構成例を示す説明図、第16図は連符パターンの各種例を示す概略図、第17図(A)、(B)、(C)はこの発明装置による連音符パターンの表示例を示す説明図である。

発明を実施するための最良の形態

以下、この発明の実施例を図面について説明する。

第3図はこの発明にかかる鍵盤入力符号化装置の一



例を示すブロック図であって、1は鍵盤装置であり、この鍵盤装置1の押鍵操作による楽音は、鍵盤装置内蔵の楽音発生手段を介してスピーカ2から発生されるようになっている。3は前記鍵盤装置1の各鍵に応じた音程コードを作成する音程エンコーダで、例えば31鍵の場合は、第4図に示すように8入力から3ビットの符号化を行うエンコーダ3a～3dを4個組合せたものからなり、その入力端子T0～T31には鍵盤の各鍵が対応されているとともに、T0～T31の32入力に対して出力端子A₀～A₄に5ビットの音程コードを出力するようになっている。なお、第4図において、EIはイネーブル入力、EO₁～EO₄はイネーブル出力、GS₁～GS₄はEIがイネーブル状態でそれぞれの入力端子のいずれかに鍵盤入力があったとき“L”レベルが出力される端子である。

4は前記音程エンコーダ3で得られた5ビットの音程データと後述する音長判定回路5で得られた音長データを合成する符号合成回路で、9ビットのデータ構成となるように第5図に示す如き回路からなり、その上位4ビットのラインには音長判定回路5の出力端子W、B₀～B₂（W：3連符を構成するデータ、B₀～B₂：音長データ）に出力される音長データが、また、下位5ビットのラインには音程エンコーダ3の出力端子A₀～A₄に出力される音程データがそれぞれ加えられるようになっており、そして符号合成回路4からの合

成データ、すなわち符号データは音程データを記憶する記憶回路6を介して後述する音符画像表示手段などに送出されるようになっている。また、上記音長判定回路5からは符号合成回路4に対し休符判定信号が送出されるようになっており、この休符判定信号が第5図に示すようにノットゲートNOTを介して音程データのラインに接続したアンドゲートAND₀～AND₄に入力されたとき、音程データ出力b₃～b₇をすべて“L”にし、音符データと区別するようになっている。

音長データは音符、休符とも同一である。なお、前記記憶回路6を設ける理由は、3連音符の処理等において2～3個の音符をまとめて出力するノンリアルタイム処理を可能にするためである。

前記音程エンコーダ3の出力端子GSには、鍵盤装置1の押鍵操作により得られる信号の立ち上がりまたは立ち下がりで動作する立ち上がり微分回路7および立ち下がり微分回路8が接続されており、この各微分回路7、8の出力信号は音長処理のための信号として前記音長判定回路5に入力されるようになっている。

音程エンコーダ3の出力端子GSからは押鍵操作により第6図aに示す如き波形の信号が送出されるもので、“H”レベルがキーを押している期間であり、“L”レベルはキーを離している期間である。そして、この信号の立ち上がり時点で微分回路7から第6図bに示すような微分信号PEが送出され、立ち下がり時



点で微分回路 8 から第 6 図 c に示すような微分信号 N E が送出される。したがって信号 P E から信号 N E までの期間をカウンタ 9 で計数することにより第 6 図 a の t_1 、 t_3 、 t_5 で示す音符長の原データが得られ、また、信号 N E から信号 P E までの期間を計数することにより t_2 、 t_4 で示す休符長の原データが得られることになる。すなわち音長判定回路 5 は、信号 P E を受けたときはカウンタ 9 の計数値をキー入力休止期間として取込んだ後、カウンタ 9 をリセットして次の計数を開始させ、また信号 N E を受けたときカウンタ 9 の計数値をキー入力期間として取込みリセット信号を出力するものである。

以上のことから、立ち上がり微分回路 7、立ち下がり微分回路 8 の出力は、それぞれキー入力の O N および O F F のエッジで出力され、音長判定回路 5 に休符および音符に応じた処理を行わせるための記込み信号となる。

また、前記音長判定回路 5 には、カウンタ 9 の計数動作で得られる音長の原データの他に時間基準発生回路 10 からの信号が入力されるようになっている。この時間基準発生回路 10 は、前記カウンタ 9 と共用するクロック信号発生回路 11 からの出力を適当に分周することで 4 分音符 1 拍分に対して 1 発のパルスを送出するもので、メトロノームとして機能し、そして上記パルスは小節区切りのデータとして音長判定回路 5

に供給されるようになっているほか、スピーカ 1 2 に供給され、このスピーカ 1 2 より時間基準音を発生させるようにしてある。

上述のように 4 分音符 1 拍分に対し 1 発のパルスが送出されとした場合、カウンタ 9 の計数値が 6 4 カウントしたとき 1 発の時間基準信号が出力されるようになり、これを基準にして考えると、音長の原データとカウンタ計数値の関係は表 - 1 のようになる。

表 - 1

計数値	8 ~ 15	16 ~ 23	24 ~ 31	32 ~ 39	40 ~ 47
音符長		 /3		 /3	

48 ~ 63	64 ~ 95	96 ~ 127	128 ~ 191	192 ~ 256
				

上記表 - 1 は音符の場合であるが、休符の場合も全く同様に計数値に音符に割当て得る。ただし、鍵盤のキー入力 は 音符から音符に移る時必ず休止期間を持つ。これを 1 6 分休符 () あるいは 3 2 分休符 () として判定することを防ぐため、7 以下、すなわち計数値 15 以下の休符は音長判定回路 5 にて無視するよう構成する。また、1 6 分音符以下の計数値が関係してくる     といった音符および休符もまぎらわしさを避けるために表 - 1 のいずれか近い計数値をも

った音符または休符に近似させる。

前記音長判定回路 5 には記憶回路 1 3 が付加され、この記憶回路 1 3 にはカウンタ 9 から取込んだ音長の原データおよび音長判定の確定されたデータが記憶されるようになっており、これにより音長判定回路 5 では取込まれたカウンタ 9 の計数値と記憶回路 2 の内容（前のカウンタ計数値）から音長符号を判定し、表 2 に示すような符号割出しを行う。

表 2

音 長	B ₀	B ₁	B ₂	W
	0	0	0	
	1	0	0	1/0
	0	1	0	
	1	1	0	1/0
	0	0	1	
	1	0	1	
	0	1	1	
	1	1	1	

ここで、B₀ ~ B₂ は  ~  までの各音符長に対応した 3 ビットコードであり、W はその音が 3 連音符を構成する 1 音符であることを示し、 または  のコードに対してのみ付加される。

なお、1 4 は符号合成回路 4、音長判定回路 5、記

憶回路 6 および 13 を制御する制御回路（中央処理装置 CPU に相当）である。

次に上記のように構成されたこの発明装置の符号化動作について説明する。

まず、メインルーチンは、第 7 図に示す如くステップ S1 においてリセットまたは電源の ON によりスタートさせると、ステップ S2 に移行してシステム（記憶回路の内容）のイニシャライズが行われる。その後鍵盤装置のキー操作によりキー入力が入ると、音程エンコード 3 でコード化され、ステップ S3 で音程コードを入力し、ステップ S4 で音程コードを記憶回路 6 に記憶される。以下、ステップ S3、S4 の処理を繰返しながらかち上がり微分回路 7 または立ち下がり微分回路 8 からの出力の割込みを待つ。この割込みには前述したように時間基準発生回路 10 からの小節線割込み、立ち上がり微分回路 7 からの休符割込みおよび、立ち下がり微分回路 8 からの音符割込みがある。この各割込みルーチンは第 8 図の構成とする。

第 8 図 (A) は音符割込みルーチンであり、また、同図 (B) は休符割込みルーチンを、同図 (C) は小節線割込みルーチンを示しており、そして SUB A は音符符号化ルーチンを、SUB B は休符符号化ルーチンを示し、その各処理フローは第 9 図の (A)、(B) のような構成とする。

すなわち、立ち下がり微分回路 8 から音長測定回路



5 に割込み信号が入ると、音長判定回路 5 は音符符号化処理フローとなり、第 9 図 (A) に示す如く休符判定ビット - 0 として音符長割当てを行い、音符長判定の処理ルーチン S A I N を実行する。そして音長判定回路 5 で判定された現時点でのカウンタ 9 からの計数値 X を、これより 1 回前のサンプリングで記憶回路 13 に記憶されているカウンタ計数値 $X - 1$ と置換する。

この処理が完了するとリターンされ、音程コード入力ステップに戻る。

また、立ち上がり微分回路 8 から割込み信号が入ると、音長判定回路 5 は休符符号化ルーチン S U B B となり、第 9 図 (B) の処理フローを実行する。この処理フローにおいて、まず、休符長が $X < 16$ であるかを判定し、 $X < 16$ の場合は無視してリターンさせ、16 分休符以下の細かい休符を除去する。また、 $X \geq 16$ であれば休符判定ビット = 1 (休符) として音符長割当てを行い、音符長割当ての処理ルーチン S A I N を実行し、そして音長判定回路 5 で判定された現時点でのカウンタ 9 からの計数値 X を、これより 1 回前のサンプリングで記憶回路 13 に記憶されているカウンタ計数値 $X - 1$ と置換する。この処理が完了するとリターンされ、再び音程コード入力ステップに戻る。

また、時間基準発生回路 10 から小節線割込み信号が音長判定回路 5 に導入されると、音長判定回路 5 は

第8図(C)の処理フローとなり、例えば $\frac{4}{4}$ 拍子であれば、4拍で小節線が入ると言う処理がなされるとともに、小節内の音符の蓄積点が0、すなわち $N=0$ となり、記憶回路6の音符、休符符号化データストアのアドレス $A=0$ となる。この場合、押鍵操作を行っている途中で小節線割込みが入ると、音符か休符かの判断ができない。そこでキー入力信号が“H”であるか否かを判定し、キー入力信号=“H”のときは、サブルーチンSUB Aを実行し、また、キー入力信号が“H”でない場合はサブルーチンSUB Bを実行する。

次に前記音符長割当て処理ルーチンASINの動作を第10図(A)、(B)について説明する。同図において、

N：小節内における16分音符単位の拍数（記憶回路13にストア）

A：小節内の音符、休符、符号化データストアアドレス（記憶回路6にストア）

X：カウンタ計数值

X-1：1回前のカウンタ計数值

WA：3連音符判定補助フラグA

カウンタ計数值が16～23の場合、 $\frac{3}{4}$ の可能性があるため、4分音符単位の拍の最初で16～23が検出された時 $WA=1$ 、2回続けて検出された時 $WA=2$ 、その他は $WA=0$ として3連符（）検出の補助に用いる。

W B : 3 連 符 判 定 補 助 フ ラ グ B

カウンタ計数值が 3 2 ~ 3 9 の場合 ♪ / 3 の可能性があるので、4 分音符単位の拍の最初で 3 2 ~ 3 9 が検出された時 W B = 1、2 回続けて検出されたとき W B = 2、その他は W B = 0 として 3 連音符 () 検出の補助に用いる。

一例として、X = 1 8 がカウンタ計数值として検出された場合、第 1 0 図 (A) に示す如くステップ ①において $X < 24$ が判定され、かつ 4 分音符単位の最初であるか否かをチェックする。Y e s であれば 3 連音符の可能性があるので W A = 1 とし、♪ のコードを記憶回路 6 に登録する。また拍の最初でなく、しかも W A = 1 が立っていれば、3 連音符の可能性のある音符が 2 回続いたわけであるから W A = 2 として ♪ コードを登録する (② のルート)。いずれの場合も 3 連音符の最後の音符が確認されるまでは拍が決められないため、N の設定は行わない。

ここで、ステップ ③ で示す「♪ → (A)」なる処理は、♪ コードをアドレス A で示される記憶回路 6 に登録する処理を示す。この場合、処理を受けるのは符号データのうち音長データ b 0、b 1、b 2 および W のみであり、音程データ b 3 ~ b 7 はそのまま前の状態に保たれる。

「出力」⑤のステップは前述の要領で合成された符号データ b 0 ~ b 7、W を記憶回路 6 から外部へ出力

する処理を示す。この時同時に A は $+1$ される。

また、拍の最初でもなく ($N/4 \neq 0$)、 $WA = 0$ の場合は $X = 18$ なるデータが 3 連音符の 1 音である可能性が少ないと判定して非 3 連音符の処理 (④のルート) に入る。この場合は、 N が必ずいずれかの値に設定され、必要に応じて $A - 1$ 、 $A - 2$ のアドレスの音長データが書き換えられ順次出力される。各 N の設定処理の横に記された音符記号は、その処理ルーチンでは音符の組合わせを音符記号で示したパターンであると判定していることを示す。この判定には X および $X - 1$ の数値が判定規準となる。

例えば、今の例 ($X = 18$) の場合、 $WB = 0$ のとき、この音符のみが ,  のいずれかの誤りと判定され、 $X \geq 20$ の時は  (103)、 $X < 20$ の時は  (102) の設定処理ルーチンに入る。また、 $WB \neq 1$ の時は、前の音長データも 3 連音符の偽変音である可能性は少ない。何故ならば WB が 1 または 2 にセットされる計数値 X は、表 1 で示す如く 32 ~ 39 であり $X < 24$ とはかけ離れているためである。そこでこの場合は記憶回路 13 の $A - 1$ もしくは $A - 2$ のアドレスに登録されている音長データを書き換える必要がある。このとき、書き換えるデータの判定基準は 1 回前の X 値、 $X - 1$ である。今の例 ($X = 18$) の場合 $WB = 1$ であったとすると、⑥のルートに入り、 A を -1 した後、 $X - 1$ の数値を検定する。 $X \geq 36$ であれば、1 つ



前の音符は  であると判定、 $X < 36$ の時は、1つ前の音符は  であると判定する。さらに現在の X データも前記と同様に $X \geq 20$ 、 $X < 20$ で振り分けられ、結局 , , ,  の4つのいずれかのパターンとして登録され出力される。

今の例において、処理ルートが①→②→③というルートであったとすると、 $WA = 2$ となり、あと一回 $16 \leq X < 24$ が入れば  が完成する。次に入力された X が実際に $16 \leq X < 24$ であったとすると、⑩で示すルートを通して  が登録され出力される。ところが $X < 16$ であったとした場合、 $X - 1$ と X が接近した値であることから前の2つが正しく、新たな入力データ X が3連音符のまちがいであると判断する。

ただし、 $X - 1$ が20以上の場合は  なるパターンと見なした方がより妥当であるとする。上記の処理ルートは第10図(B)に示す⑦→⑧→⑨もしくは⑦→⑧→⑩の処理ルートとなる。

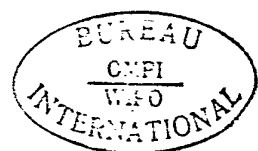
上記第10図(A)は8分音符までの判定処理のみを示しているが、②③以降全く同様な判定基準および処理をもって , , , , ,  の各音符長コードが判定されることになる。

そして又、第11図はこの発明にかかる音符表示装置の一例を示す。同図においては、21はビデオRAMで、このビデオRAM21はタイミング回路22からのアドレススキッピング信号によって前記符号化装置

等からの音符データの書き込み、読出しを行うものであり、CRTディスプレイ23の画面上の1キャラクタ分の表示位置がそのままビデオRAM21の1番地に対応している。この実施例における画面は横64文字×縦4行から構成され、ビデオRAM21のアドレスと画面上の位置関係は第12図に示すようになっている。また、ビデオRAM21の各アドレスに記憶される音符データは音程（最高音から最低音まで）および音長（16分音符から全音符まで）の全キャラクタの番号に対応した音符コードとなり、例えば音程域を第13図に示すように上第3間の4分音符と下第3間の4分音符の範囲とすると、音程コードは19種（ $\sharp$ ， $\flat$ を含まない）音長コードは ♪ ， ♩ ， ♪ ， ♫ ， ♬ ， ♭ ， ♮ ， ♯ の8種となる。したがって、音程コードを5ビット、音長コードを3ビットすると音符データは第14図に示すように8ビットのコードで構成できる。

なお、この場合、音程コードに5ビット用意しているため、最大32種のコードが可能となり、19種に対し余裕がある。そこで、特定の音程コード、例えば「0000」を休符コードと定義すれば、音長コード A_0 ， A_1 ， A_2 との組合せにより各種の休符の表現が可能となる。さらに音程コードの余り分を利用して $\sharp$ ， $\flat$ ， ♩ ， ♪ ， ♫ ，小節線等の譜号表現も可能になる。

また、上記音符データには連符パターン選択コード4ビットがビデオRAMデータとして必要になり、し



たがってビデオ R A M データとしては、第 1 4 図に示す如く音符コードに 4 ビット連符パターン選択コードを加えた 1 2 ビットのデータ構成となる。

第 1 1 図において、2 4 はキャラクター R O M で、このキャラクター R O M 2 4 は前記ビデオ R A M 2 1 から送出されるデータのうち音符コードをアドレス信号とし、これにしたがって音符パターンを表示データとして出力するものである。このときのキャラクターの一例を第 1 5 図に示す。この第 1 5 図から明らかなように 1 キャラクタは、横 1 0 × 縦 6 4 のドットで構成され、0 ~ 6 3 の縦方向の番号を R O W アドレスと称し、ビデオの走査線とタイミングを合わせて順次上からスキヤニングを行う。ビデオ R A M 2 1 から出力される音符コードはキャラクター R O M 2 4 の上位アドレスに、タイミング回路 2 2 から出力される R O W アドレススキヤニング信号は下位アドレスに相当することになる。

また、前記キャラクター R O M 2 4 からの表データはゲート回路 (O R ゲート群からなる) 2 5 を介してビデオ信号合成回路 2 6 に入力されるようになっており、このビデオ信号合成回路 2 6 ではキャラクター R O M 2 4 からの表示データと、タイミング回路 2 2 からの水平、垂直同期信号等を合成し、シリアルデータとして C R T ディスプレイ 2 3 に送出することで音符を表示させるようになっている。

2 7 は連符を表示させるための連符用補正回路で、



補助ビデオRAM 28、減算器 29 および補助ROM 30 とから構成されており、前記補助ビデオRAM 28 は前記ビデオRAM 21 と同様に 256 ワード×6 ビットで構成され、そしてそのアドレススキニング信号は前記タイミング回路 22 から加えられるようになっており、これによるアドレス指定はビデオRAM 21 と同一の画面位置に対応するものであり、連符表示がなされるべきアドレスには入力されるべき連符データが書き込まれ、連符表示がなされないアドレスにはROWアドレスの最大値（本実施例では63）を書き込むようになっている。また、第2図(B)に示すように隣接した2音符を接続する連符の高さ方向の位置は、音符の高さ、すなわち音程に依存するものであり、したがってこのつなぎ位置のデータはROWアドレスに対応した縦方向アドレスデータとして補助ビデオRAMに書き込まれるものである。

前記減算器 29 には補助ビデオRAMからの縦方向アドレスデータ、すなわち高さデータBおよびタイミング回路 22 からのROWアドレス信号Rが導入されるようになっており、 $R - B = S$ のデータが連符パターンを発生させるべきROWアドレスのスタート番地として補助ROM 30 に入力されるようになっている。

また補助ROM 30 にはビデオRAM 21 から連符パターン選択コードが導入されるようになっており、連符パターン発生ROWアドレスデータと連符パター



ン選択データによって5線上の音符の位置に対応した連符パターンをゲート回路25を介してビデオ信号合成回路26に送出するようになっている。

また、連符パターン発生の条件としては、下記に述べる条件が全て満足されたとき発生する。

- (a) 16分音符又は8分音符が2個連続したとき
- (b) 16分音符連続の場合は、先の音符が16分音符単位の拍数の奇数番目であること
- (c) 8分音符連続の場合は、上記(b)同様先の音符が4分音符単位の拍数の頭に位置すること
- (d) 2音の音程が3度以内であること
- (e) 2音の音高が第3線に関して同じ側に位置すること（ハタの向き同じであること）
- (f) 後の音には＃，♭，♮がついていないこと

したがって上記条件から補助ROM30に記憶されるべき連符パターンは表-3に示す12種類が必要となる。表-3において、「先」とは連符パターンと重なる音符が先の音符であることを示し（第17図(A)のアドレスA1側参照）、「後」とは後の音符であることを示す（第17図(A)のアドレスA2側参照）。

またそれぞれの連符パターン選択コードは表-3のように設定される。この連符パターン選択コードは、前述の補助ROM30，ROWアドレスデータに対して上位アドレスとして定義され、前述のビデオRAM21の出力の上位4ビットから供給される。そして、

表－３における各連符パターンは第１６図のようになる。

表－３

音 符	先／後	方 向	選択コード
16分音符	先	上	0 0 0 0
〃	〃	平	0 0 0 1
〃	〃	下	0 0 1 0
〃	後	上	0 1 0 0
〃	〃	平	0 1 0 1
〃	〃	下	0 1 1 0
8分音符	先	上	1 0 0 0
〃	〃	平	1 0 0 1
〃	〃	下	1 0 1 0
〃	後	上	1 1 0 0
〃	〃	平	1 1 0 1
〃	〃	下	1 1 1 0

次に動作について説明する。

外部の判定回路等において、上述する(a)～(f)の連符表示の条件が満足されたことを判定すると、連符表示がなされるべきビデオRAMのアドレスには8分音符または16分音符の代りに4分音符の音符データが書き込まれる。同時にビデオRAMデータの上位4ビットには表－３の中のいずれかの連符選択データが書き



21

込まれ、前記4分音符パターンに重ね合わせるべき連符パターンを選択する。また同時に補助ビデオRAMには連符パターンを発生すべきROWアドレスデータが書き込まれる。

例えば、第17図において、ビデオRAM21のアドレスA1, A2の音符パターンが第17図(B)のような音高であったとすると、この音符パターン(B)に重ね合わせるべき補助ROM30の先頭番地(これをB1, B2とする)は、 $B1 = 26$, $B2 = 29$ と設定してやれば、同図(C)の表示パターンが得られる。

すなわち、アドレスA1における補助ビデオRAM出力を26, アドレスA2における補助ビデオRAM出力を29となるように補助ビデオRAM28へ連符データを書き込んでおき、補助ビデオRAM出力を減算器29においてROWアドレスデータから減算してやれば、アドレスA1においては、

$$\text{ROWアドレス} \geq 26$$

で減算出力は正となり、ROWアドレスの増加に伴い $S = 1, 2, 3, \dots$ と順次増加していく。またアドレスA2においては、

$$\text{ROWアドレス} \geq 29$$

で減算出力は正となり、ROWアドレスの増加に伴い $S = 1, 2, 3, \dots$ と順次増加していく。従って、減算出力Sを補助ROM30のROWアドレスデータとすれば、補助ROM30の連符パターンの基本キャ



ラクタ R O M パターンに対する相対位置がコントロールできることになる。

また、減算出力が負の間は、補助 R O M 3 0 はパターンを発生していないため、減算器 2 9 の桁上出力 C_o を用いて補助 R O M の出力を禁止する。前述のように連符パターンを発生させないアドレスにおいては最大 R O W アドレス = 6 3 が補助ビデオ R A M から出力されないため、減算出力は常に負であり、補助 R O M は出力を出さない。

上述のように補助ビデオ R A M に連符パターンを発生すべき R O W アドレスデータが書き込まれた状態で、タイミング回路 2 2 から発生される R A M アドレス信号が所定のアドレスになると、ビデオ R A M 1 は 4 分音符の音符データと連符パターン選択データを、補助ビデオ R A M は連符パターン発生用 R O W アドレスデータをそれぞれ出力し、前述の如くキャラクタ R O M 2 4 は 4 分音符位に対応した連符パターンを発生する。

そしてこのキャラクタ R O M 2 4 および補助 R O M 3 0 の出力の各ビットの和を取ってビデオ信号合成回路 2 6 により合成すれば、4 分音符と連符パターンが重ね合わされ、第 1 7 図 (C) に示す如き連音符パターンが得られることになる。

産業上の利用可能性

以上のようにこの発明の薄盤入力符号化装置は、記憶回路を設けることにより、常に前後の音符の誤係か



23

らその音長データの信憑性をチェックし、最を妥当と考えられる音符列に設定するようにしたため、押鍵操作に伴うキー入力を使用者の意図する音符入りに忠実に符号化することが可能で、さらに3連音符の検出も高い信憑性をもって行うことが可能なシンセサイザー等の電子楽器類に利用できまた、この鍵盤入力符号化装置から出力される音符信号を利用した音符表示装置は、音符データのうち、隣合った8分音符もしくは16分音符等を一定条件のもとに連符として接続し表示させるようにしたので、CRTディスプレイ等に表示される音符画像、すなわち楽譜の見やすい作曲用の装置等に利用できる。



請求の範囲

1 押鍵操作により信号を発生する鍵盤装置と、この鍵盤装置からの信号の立ち上がりおよび立ち下がりを検出する手段と、前記鍵盤信号の ON および OFF 期間を計数するカウンタと、前記鍵盤装置のキーに応じた音程コードを作成するエンコーダと、前記検出手段からの信号に基いて前記カウンタからの計数値を取込み音長を判定する音長判定回路と、この音長判定回路との間で音符長データの授受を行う音長データ記憶回路と、前記音長判定回路に小節区切りのデータを供給する時間基準発生回路および処理制御回路とを有し、前記音長の判定は前記記憶回路に登録されたデータにより前後の音長を参照しながらなされるようにしたことを特徴とする鍵盤入力符号化装置。

2 音程エンコーダが、各音程に対応する鍵盤に接続された 8 つの入力から 3 ビットのエンコード信号を出力するエンコーダを複数個並列的に配置し、前記鍵盤の操作によってどのエンコーダが選択されたかを示す信号線と、各エンコーダの 3 ビットの信号線がそれぞれ並列入力されいずれかのエンコーダのエンコード信号があった場合にそれを出力するゲート回路からなる特許請求の範囲第 1 項に記載の鍵盤入力符号化装置。

3 基準時間発生回路にメトロノーム用信号音を発生するスピーカが備えられた特許請求の範囲第 1 項に記載の鍵盤入力符号化装置。



4 制御回路が中央処理装置CPUによってプログラム制御される制御回路である特許請求の範囲第1項に記載の鍵盤入力符号化装置。

5 CRTディスプレイ、キャラクタROM、ビデオRAMおよびこれらのタイミング回路を有する音符表示装置において、隣合う2音符間の連符データ（音程）と音符データ中の連符パターン選択データとを取込んで音符位置に対応した連符パターンを発生させる連符用補助回路を設け、この連符用補助回路から発生する連符パターンデータと前記キャラクタROMの音符パターンとを重合することで連音符とするようにしたことを特徴とする音符表示装置。

6 前記連符用補助回路が、連符データをROWアドレスに対応した縦方向アドレスデータとして書込む補助ビデオRAMと、この補助ビデオRAM出力をタイミング回路からのROWアドレスデータから減算する減算器およびこの減算器からの出力をROWアドレスデータとする連符パターン用の補助ROMとから構成したことを特徴とする特許請求の範囲第5項記載の音符表示装置。

補正された請求の範囲

〔国際事務局により1982年4月28日(28.04.82)受理〕

1. (補正後) 押鍵操作により信号を発生する鍵盤装置とこの鍵盤装置からの信号の立ち上り及び立ち下がりを検出する手段と、前記鍵盤信号のON及びOFF期間を計数するカウンタと前記検出手段とからの信号に基づいて前記カウンタからの計数値Xを取り込み、音長を判定する音長判定手段と、音長符号化用データの記憶回路と、制御回路とを有し、3連符候補の音長判定が前記音長符号化用データの記憶回路に登録された予め設定された比較データにより符号化され、前記音長符号化用データ記憶回路に逐次取り込まれて記憶されている3連符判定用データにより補正されるようにしたことを特徴とする鍵盤入力符号化装置。

2. (追加) 制御回路が、符号データ記憶回路を有し、3連符候補として、判定されたデータを記憶すると共にこの連符データが1拍分蓄積された時、連符符号を出力するようにした特許請求の範囲第1項に記載の鍵盤符号化装置。

3. (追加) 音長符号化用記憶回路に逐次取り込まれて記憶されているデータが、判定すべき音長の原データXの1つの前のデータX-1と、拍の最初から音符の数に対応するデータである特許請求の範囲第2項に記載の鍵盤入力符号化装置。

4. (追加) 制御回路が、音長の原データXについて予め定められた比較データによって3連符の音長に符号化される時、拍の最初ならそのまま音符データ記



憶回路に登録し、拍の最初でなければ、 $X-1$ が、同様の3連符音長に符号化された時のみ、連音符候補データとして前記音符データ記憶回路に登録するように作動する特許請求の範囲第3項に記載の鍵盤入力符号化装置。

5. (元の請求の範囲の番号2) 音程エンコーダが、各音程に対応する鍵盤に接続された8つの入力から3ビットのエンコード信号を出力するエンコーダを複数個並列的に配置し、前記鍵盤の操作によってどのエンコーダが選択されたかを示す信号線と、各エンコーダの3ビットの信号線がそれぞれ並列入力されいずれかのエンコーダのエンコード信号があった場合にそれを出力するゲート回路からなる特許請求の範囲第1項に記載の鍵盤入力化信号装置。

6. (元の請求の範囲の番号3) 基準時間発生回路にメトロノーム用信号音を発生するスピーカが備えられた特許請求の範囲第1項に記載の鍵盤入力符号化装置。

7. (元の請求の範囲の番号4) 制御回路が中央処理装置CPUによってプログラム制御される制御回路である特許請求の範囲第1項に記載の鍵盤入力符号化装置。

8. (元の請求の範囲の番号5) CRTディスプレイ、キャラクタROM、ビデオRAM及びこれらのタイミング回路を有する音符表示装置において、隣合う



2 音符間の連符データ（音程）と音符データ中の連符パターン選択データとを取り込んで音符位置に対応した連符パターンを発生させる連符用補助回路を設け、この連符用補助回路から発生する連符パターンデータと前記キャラクタROMの音符パターンとを重合することで連音符とするようにしたことを特徴とする音符表示装置。

9. （元の請求の範囲の番号6） 前記連符用補助回路が、連符データをROMアドレスに対応した縦方向アドレスデータとして書き込む補助ビデオRAMと、この補助ビデオRAM出力をタイミング回路からのROWアドレスデータから減算する減算器及びこの減算器からの出力をROWアドレスデータとする連符パターン用の補助ROMとから構成したことを特徴とする特許請求の範囲第8項に記載の音符表示装置。

10. （追加） CRTディスプレイ、キャラクタROM、ビデオRAM及びこれらのタイミング回路を有する音符表示装置において、以下の条件の全てが満足された事を判定する判定手段の出力によって、ビデオラムのアドレスを書きかえ2連符表示に適したパターンを選択するようにした音符表示装置。

（a）16分音符又は8分音符が2個連続したとき

（b）16分音符連続の場合は、先の音符が16分音符単位の拍数の奇数番目であること

（c）8分音符連続の場合は、上記（b）同様先の



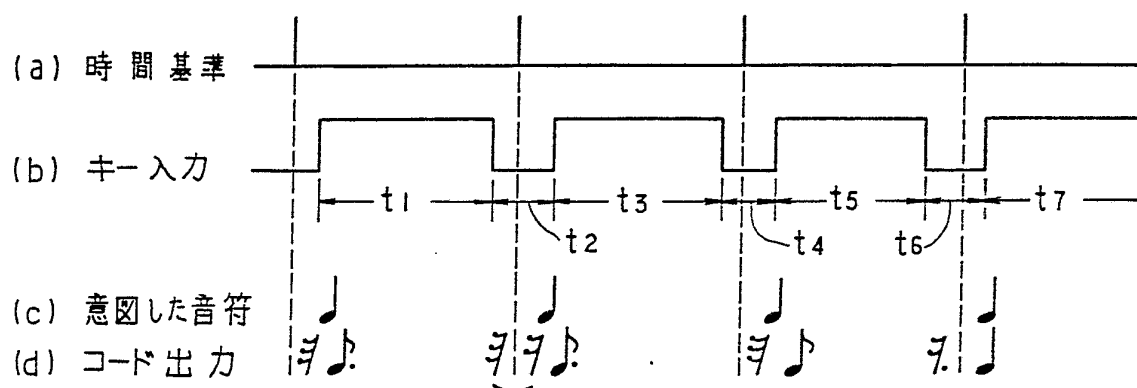
音符が4分音符単位の拍数の頭に位置すること

(d) 後の音には#、b、hがついていないこと



1 Fig. 1

(A)



(B)

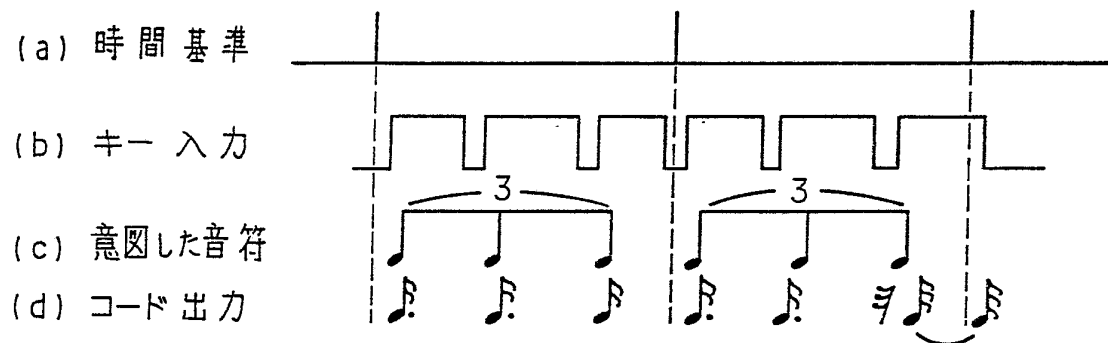


Fig. 2

(A)



(B)



Fig.3

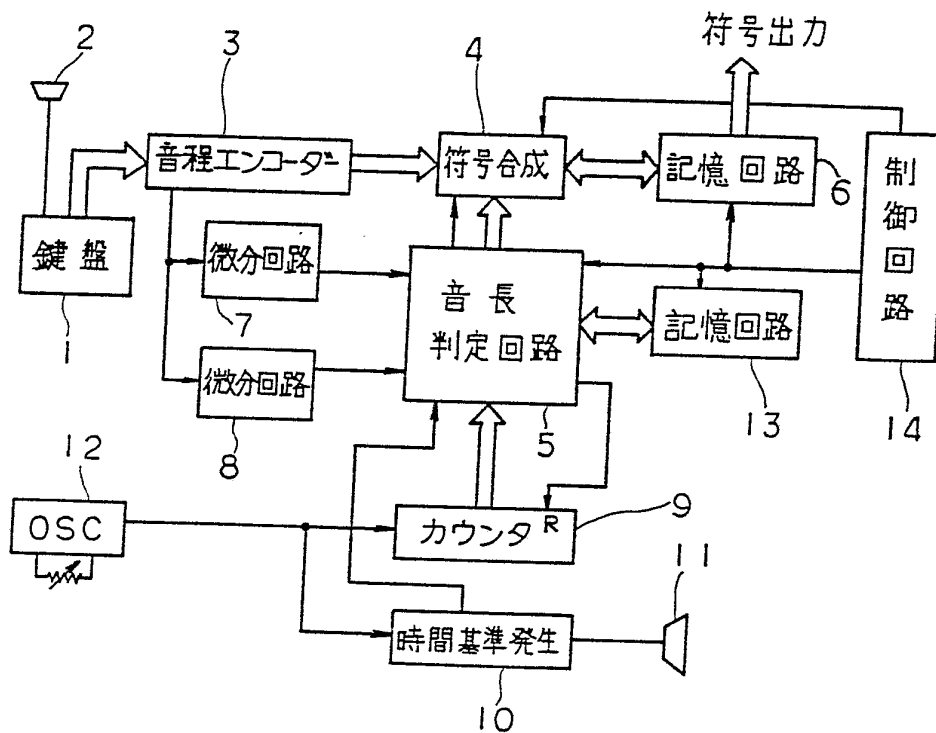


Fig.4

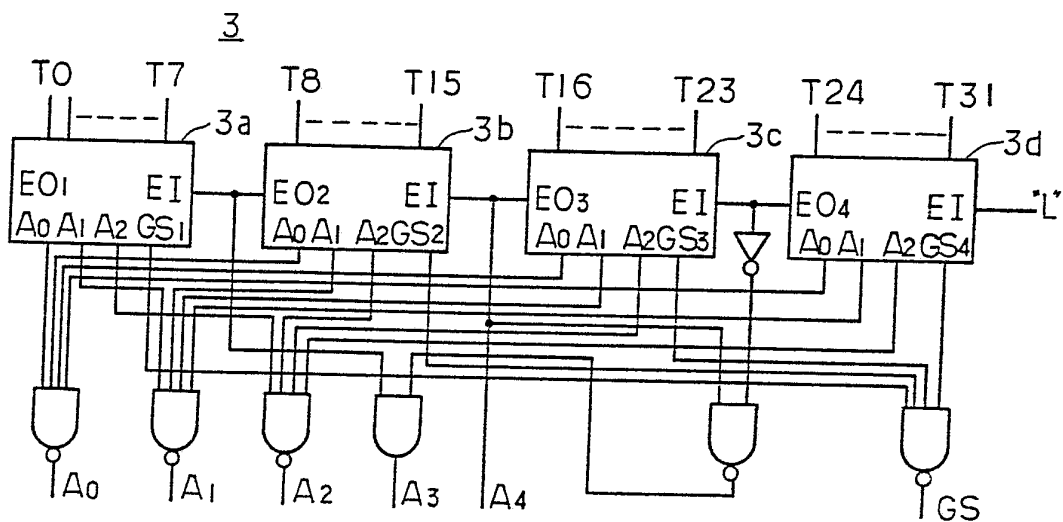


Fig.5

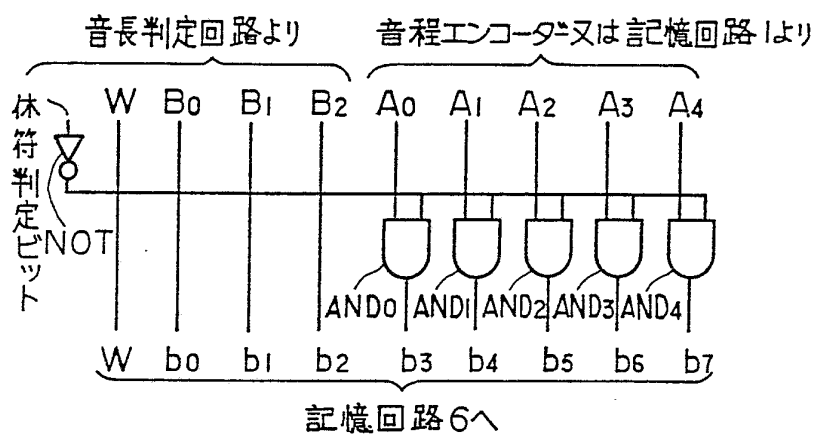


Fig.6

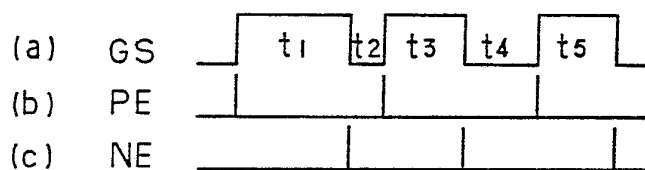


Fig.7

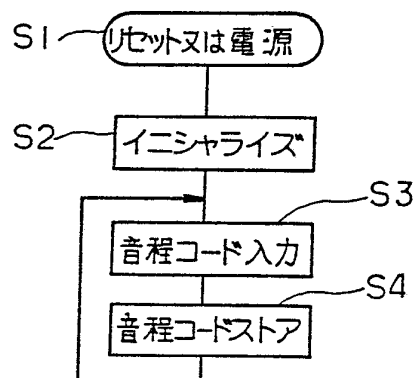


Fig. 8

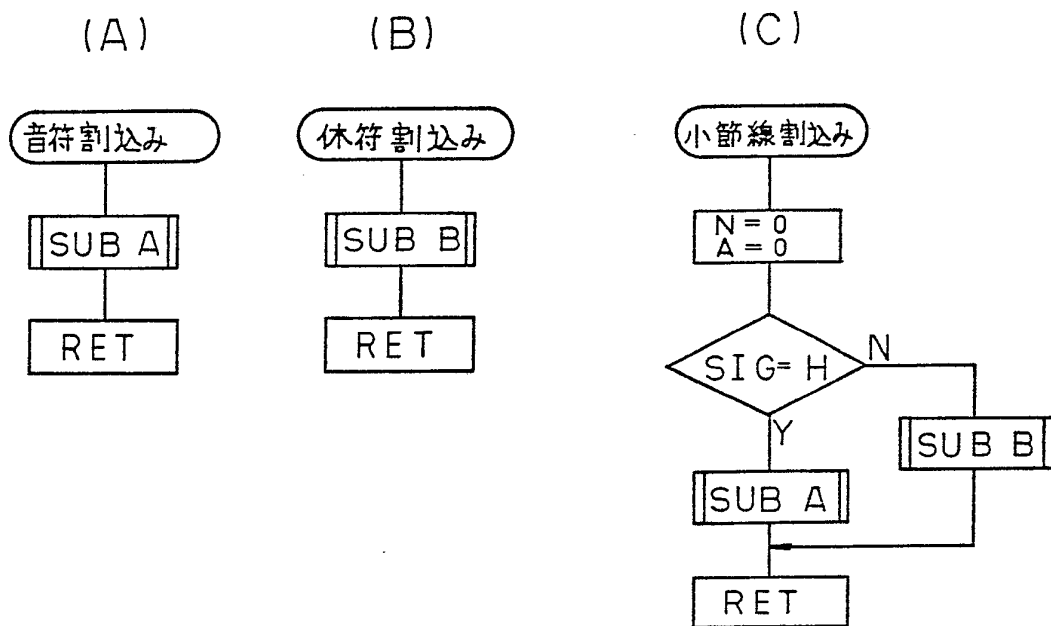


Fig. 9

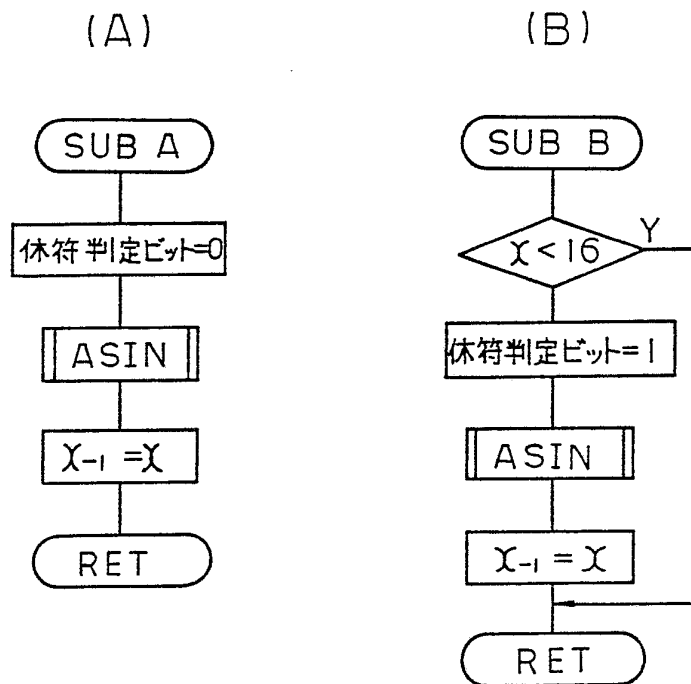


Fig. 10 (A)

Fig.11

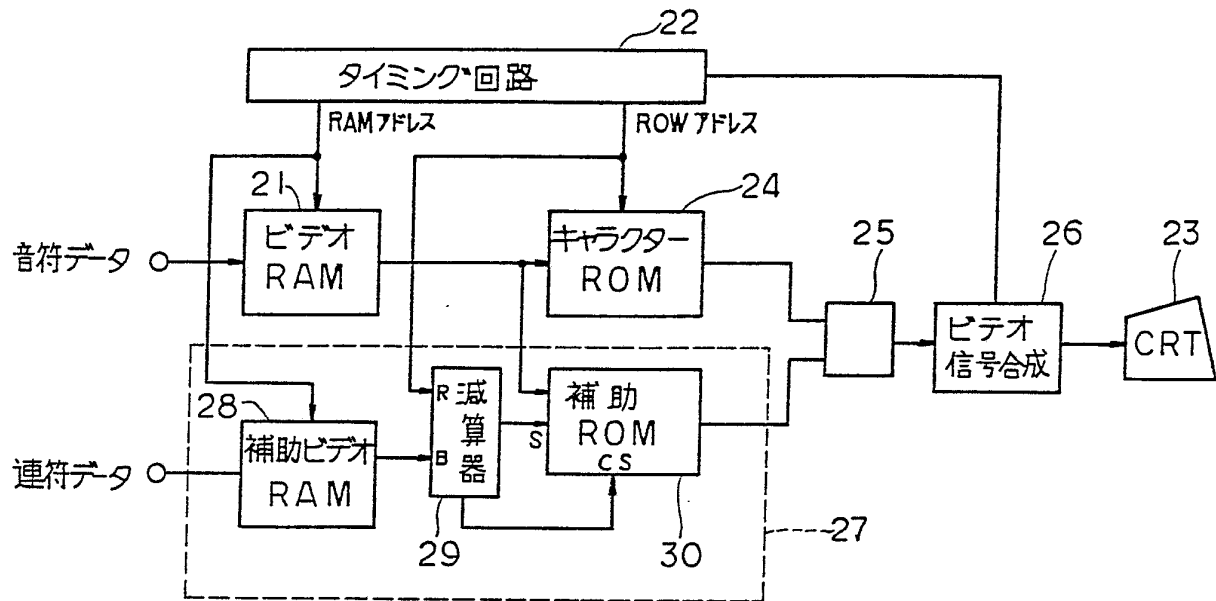


Fig.12

192	128	64	0
193	129	65	1
↓ ↓ ↓ ↓			
254	190	126	62
255	191	127	63

Fig.13



Fig.14

b0	b1	b2	b3	b4	b5	b6	b7	b8	b9	b10	b11
A0	A1	A2	B0	B1	B2	B3	B4	C0	C1	C2	C3
音長コード			音程コード					連符選択データ			

Fig.15

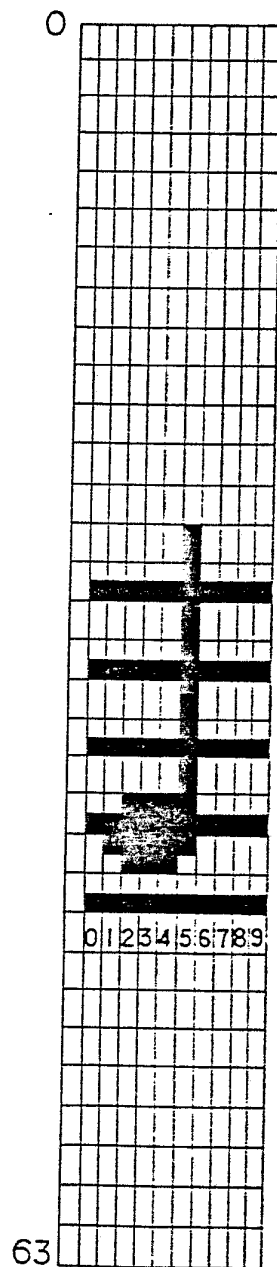
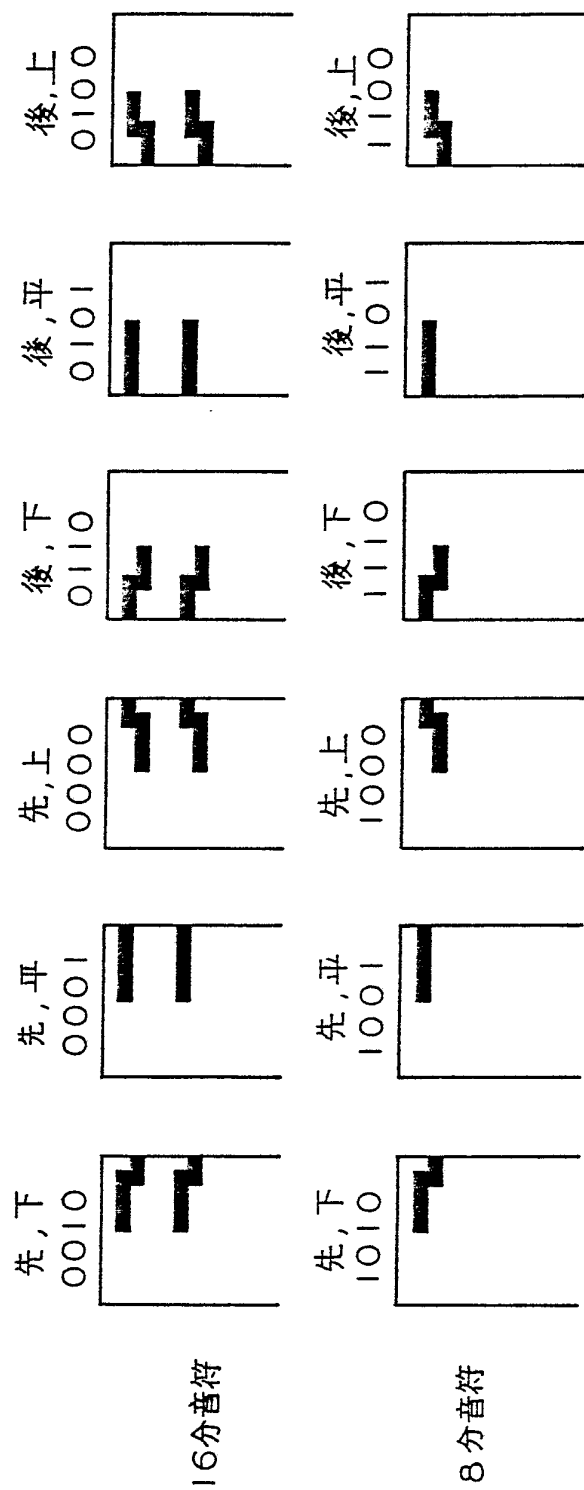
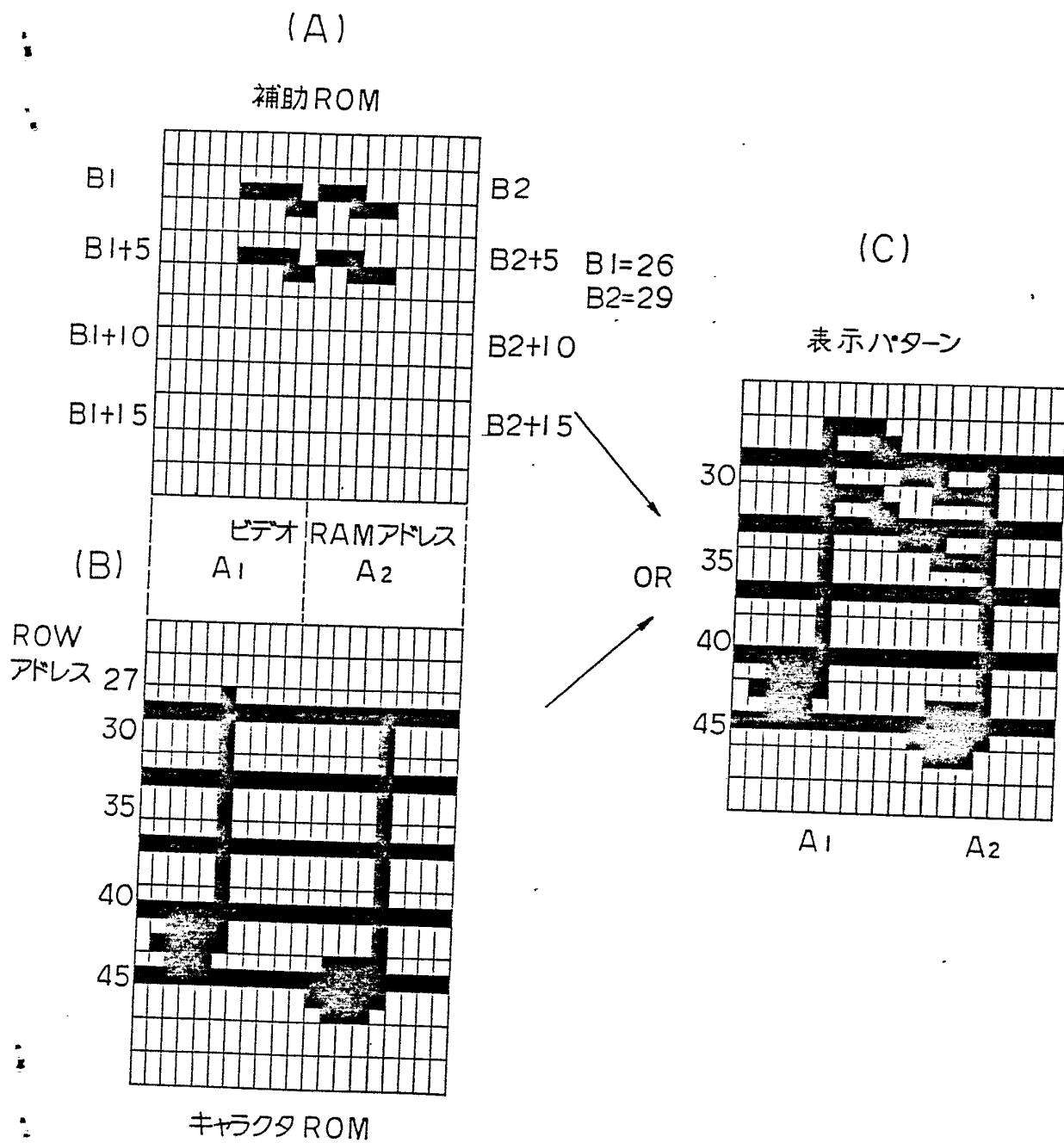


Fig.16



10

Fig.17



INTERNATIONAL SEARCH REPORT

International Application No PCT/JP81/00336

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ³ According to International Patent Classification (IPC) or to both National Classification and IPC Int. Cl.³ G10G1/00, G10G3/04																				
II. FIELDS SEARCHED Minimum Documentation Searched ⁴ <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 25%; padding: 5px;">Classification System</th> <th style="padding: 5px;">Classification Symbols</th> </tr> <tr> <td style="text-align: center; padding: 10px 0;">I P C</td> <td style="padding: 10px 0;">G10G1/00, G10G3/04, G09B15/00, G09G1/06</td> </tr> </table> Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵ <table style="width: 100%;"> <tr> <td style="width: 50%; padding: 5px;">Jitsuyo Shinan Koho</td> <td style="width: 50%; padding: 5px;">1926 - 1981</td> </tr> <tr> <td style="padding: 5px;">Kokai Jitsuyo Shinan Koho</td> <td style="padding: 5px;">1971 - 1981</td> </tr> </table>			Classification System	Classification Symbols	I P C	G10G1/00, G10G3/04, G09B15/00, G09G1/06	Jitsuyo Shinan Koho	1926 - 1981	Kokai Jitsuyo Shinan Koho	1971 - 1981										
Classification System	Classification Symbols																			
I P C	G10G1/00, G10G3/04, G09B15/00, G09G1/06																			
Jitsuyo Shinan Koho	1926 - 1981																			
Kokai Jitsuyo Shinan Koho	1971 - 1981																			
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴ <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 10%; padding: 5px;">Category *</th> <th style="width: 70%; padding: 5px;">Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷</th> <th style="width: 20%; padding: 5px;">Relevant to Claim No. ¹⁸</th> </tr> <tr> <td style="text-align: center; padding: 5px;">A</td> <td style="padding: 5px;">JP,A, 55-22705 (Yokogawa Electric Works, Ltd.) 18, February, 1980 (18.02.80)</td> <td style="text-align: center; padding: 5px;">1, 4</td> </tr> <tr> <td style="text-align: center; padding: 5px;">A</td> <td style="padding: 5px;">JP,A, 55-45040 (Matsushita Electric Industrial Co., Ltd.) 29, March, 1980 (29.03.80)</td> <td style="text-align: center; padding: 5px;">1, 3, 4</td> </tr> <tr> <td style="text-align: center; padding: 5px;">P</td> <td style="padding: 5px;">JP,A, 56-11490 (Nippon Hammond Kabushiki Kaisha) 4, February, 1981 (04.02.81)</td> <td style="text-align: center; padding: 5px;">1, 4</td> </tr> <tr> <td></td> <td style="padding: 5px;">"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td></td> </tr> <tr> <td></td> <td style="padding: 5px;">"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table>			Category *	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸	A	JP,A, 55-22705 (Yokogawa Electric Works, Ltd.) 18, February, 1980 (18.02.80)	1, 4	A	JP,A, 55-45040 (Matsushita Electric Industrial Co., Ltd.) 29, March, 1980 (29.03.80)	1, 3, 4	P	JP,A, 56-11490 (Nippon Hammond Kabushiki Kaisha) 4, February, 1981 (04.02.81)	1, 4		"A" document defining the general state of the art which is not considered to be of particular relevance			"P" document published prior to the international filing date but later than the priority date claimed	
Category *	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸																		
A	JP,A, 55-22705 (Yokogawa Electric Works, Ltd.) 18, February, 1980 (18.02.80)	1, 4																		
A	JP,A, 55-45040 (Matsushita Electric Industrial Co., Ltd.) 29, March, 1980 (29.03.80)	1, 3, 4																		
P	JP,A, 56-11490 (Nippon Hammond Kabushiki Kaisha) 4, February, 1981 (04.02.81)	1, 4																		
	"A" document defining the general state of the art which is not considered to be of particular relevance																			
	"P" document published prior to the international filing date but later than the priority date claimed																			
* Special categories of cited documents: ¹⁵ "A" document defining the general state of the art "E" earlier document but published on or after the international filing date "L" document cited for special reason other than those referred to in the other categories "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but on or after the priority date claimed "T" later document published on or after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention "X" document of particular relevance																				
IV. CERTIFICATION <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%; padding: 5px;"> Date of the Actual Completion of the International Search ² February 15, 1982 (15.02.82) </td> <td style="width: 50%; padding: 5px;"> Date of Mailing of this International Search Report ² March 1, 1982 (01.03.82) </td> </tr> <tr> <td style="padding: 5px;"> International Searching Authority ¹ Japanese Patent Office </td> <td style="padding: 5px;"> Signature of Authorized Officer ²⁰ </td> </tr> </table>			Date of the Actual Completion of the International Search ² February 15, 1982 (15.02.82)	Date of Mailing of this International Search Report ² March 1, 1982 (01.03.82)	International Searching Authority ¹ Japanese Patent Office	Signature of Authorized Officer ²⁰														
Date of the Actual Completion of the International Search ² February 15, 1982 (15.02.82)	Date of Mailing of this International Search Report ² March 1, 1982 (01.03.82)																			
International Searching Authority ¹ Japanese Patent Office	Signature of Authorized Officer ²⁰																			

国 際 調 査 報 告

国際出願番号 PCT/JP 81/ 00336

I. 発明の属する分野の分類			
国際特許分類 (IPC) G10G 1/00, G10G 3/04			
II. 国際調査を行った分野			
調 査 を 行 っ た 最 小 限 資 料			
分類体系	分類記号		
I P C	G10G 1/00, G10G 3/04, G09B 15/00, G09G 1/06		
最小限資料以外の資料で調査を行ったもの			
日本国実用新案公報		1926-1981年	
日本国公開実用新案公報		1971-1981年	
III. 関連する技術に関する文献			
引用文献の カテゴリー *	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		請求の範囲の番号
A	JP, A, 55-22705 (株式会社横河電機製作所) 18、2月、1980 (18、02、80)		1, 4
A	JP, A, 55-45040 (松下電器産業株式会社) 29、3月、1980 (29、03、80)		1, 3, 4
P	JP, A, 56-11490 (日本ヘモンド株式会社) 4、2月、1981 (04、02、81)		1, 4
※ 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの ※ 「P」 国際出願日前でかつ優先権の主張の基礎となる出願の日の後に公表された文献			
*引用文献のカテゴリー 「A」 一般的技術水準を示す文献 「P」 国際出願日前でかつ優先権の主張の基礎となる出願の日の後に公表された文献 「E」 先行文献ではあるが国際出願日以後に公表されたもの 「T」 国際出願日又は優先日以後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「L」 他のカテゴリーに該当しない文献 「X」 特に関連のある文献 「O」 口頭による開示、使用、展示等而言及する文献			
IV. 認 証			
国際調査を完了した日 15.02.82		国際調査報告の発送日 01.03.82	
国際調査機関 日本国特許庁 (ISA/JP)		権限のある職員 特許庁審査官 江 頭 信 彦	5 D 6 9 1 2 