

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年8月25日(25.08.2022)



(10) 国際公開番号

WO 2022/176341 A1

(51) 国際特許分類:
H01L 21/60 (2006.01)

大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).

(21) 国際出願番号: PCT/JP2021/045454

(72) 発明者: 玉利 健 (TAMARI Takeru). 糸井 清一 (ITOI Kiyokazu). 櫻井 大輔 (SAKURAI Daisuke).

(22) 国際出願日: 2021年12月10日(10.12.2021)

(25) 国際出願の言語: 日本語

(74) 代理人: 鎌田 健司, 外 (KAMATA Kenji et al.); 〒5406207 大阪府大阪市中央区城見2丁目1番61号 パナソニックIPマネジメント株式会社内 Osaka (JP).

(26) 国際公開の言語: 日本語

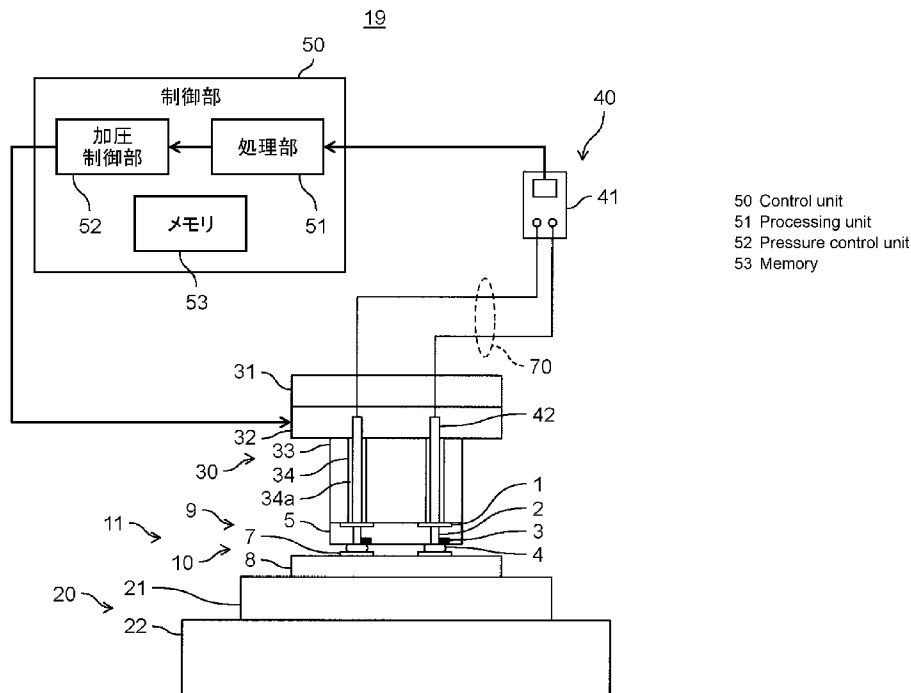
(30) 優先権データ:
特願 2021-023322 2021年2月17日(17.02.2021) JP

(71) 出願人: パナソニックIPマネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: DEVICE, DEVICE MANUFACTURING APPARATUS, AND DEVICE MANUFACTURING METHOD

(54) 発明の名称: デバイス、デバイス製造装置、及びデバイス製造方法



(57) Abstract: This device is provided with a chip which is bonded via a plurality of bumps, and a substrate which faces the chip. The device is provided with: multiple through-electrodes which pass through the chip and/or the substrate, and each of which has a first end connected to one corresponding bump of the plurality of bumps, and a second end opposite of the first end; a distortion sensor which is provided on the chip and which is electrically connected to the plurality of through-electrodes; and multiple external connection electrodes which are connected to the second ends of each of the

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

through-electrodes and which are contacted by a probe which applies a voltage to the distortion sensor.

(57) 要約: デバイスは、複数のバンプを介して接合されるチップとチップに対向する基板とを備える。デバイスは、チップ及び基板の少なくとも一方を貫通し、それぞれが複数のバンプの対応する1つに接続された第1端部と第1端部とは反対の第2端部とを有する複数の貫通電極と、チップに設けられ、複数の貫通電極と電氣的に接続されている歪みセンサと、複数の貫通電極のそれぞれの第2端部に接続されるとともに、歪みセンサに電圧を印加するプローブが接触する複数の外部接続電極と、を備える。

明 細 書

発明の名称：

デバイス、デバイス製造装置、及びデバイス製造方法

技術分野

[0001] 本開示は、デバイス、デバイス製造装置、及びデバイス製造方法に関する。

背景技術

[0002] 特許文献 1 には、 bumps を介して接合されるチップとチップに対向する基板とを備えるデバイスを製造するデバイス製造方法が開示されている。

[0003] 特許文献 1 に開示されているデバイスは、チップに設けられている抵抗値測定用微小回路と、抵抗値測定用微小回路と電氣的に接続されている複数の bumps とを備える。

[0004] 特許文献 1 に開示されているデバイス製造方法では、加圧機構によってチップが基板に向けて押圧されるときに、複数の bumps に電圧を印加することによって測定される抵抗値が所定の閾値を超えた場合、チップの基板への接合が完了する。

[0005] bumps の抵抗値は、縦歪み方向に対する強度を反映しているため、押圧される bumps の抵抗値を測定し、抵抗値を適切に管理することで、チップの基板への安定した接合が可能になる。

[0006] bumps へ電圧の印加は、bumps が対応する基板上の電極パッドに接続されているプローブによって行われる。

先行技術文献

特許文献

[0007] 特許文献 1：特許第 4 4 7 1 7 4 6 号公報

発明の概要

[0008] 本開示の一実施例に係るデバイスは、複数の bumps を介して接合されるチップと前記チップに対向する基板とを備えるデバイスであって、前記チップ

及び前記基板の少なくとも一方を貫通し、それぞれが前記複数のバンプの対応する 1 つに接続された第 1 端部と前記第 1 端部とは反対の第 2 端部とを有する複数の貫通電極と、前記チップに設けられ、前記複数の貫通電極と電氣的に接続されている歪みセンサと、前記複数の貫通電極のそれぞれの前記第 2 端部に接続されるとともに、前記歪みセンサに電圧を印加するプローブが接触する複数の外部接続電極と、を備える。

[0009] 本開示の一実施例に係るデバイス製造装置は、複数のバンプを介して接合されるチップと前記チップに対向する基板とを備えるデバイスを製造するデバイス製造装置であって、前記基板を保持するステージと、前記チップを保持する保持部と、前記保持部を駆動することによって前記チップを前記基板に押し付ける加圧部と、前記加圧部によって前記基板に前記チップが押し付けられるとき、前記チップに設けられている歪みセンサと電氣的に接続され前記チップ及び前記基板の少なくとも一方を貫通し、それぞれが前記複数のバンプの対応する 1 つに接続された第 1 端部と前記第 1 端部とは反対の第 2 端部とを有する複数の貫通電極の、それぞれの前記第 2 端部に接続される複数の外部接続電極に接触するプローブを介して、前記歪みセンサの歪みを測定する測定部と、を備える。

[0010] 本開示の一実施例に係るデバイス製造方法は、複数のバンプを介して接合されるチップと前記チップに対向する基板とを備えるデバイスを製造するデバイス製造方法であって、前記チップを保持する保持部を駆動することによって、前記チップをステージに保持されている前記基板に押し付けるステップと、前記基板に前記チップが押し付けられるとき、前記チップに設けられている歪みセンサと電氣的に接続され前記チップ及び前記基板の少なくとも一方を貫通し、それぞれが前記複数のバンプの対応する 1 つに接続された第 1 端部と前記第 1 端部とは反対の第 2 端部とを有する複数の貫通電極の、それぞれの前記第 2 端部に接続される複数の外部接続電極に接触するプローブを介して、前記歪みセンサの歪みを測定するステップと、を含む。

図面の簡単な説明

[0011] [図1]本開示の実施の形態1におけるデバイス11の構成図

[図2]歪みセンサ3の歪みを測定するための回路を表す図

[図3]本開示の実施の形態1におけるデバイス製造装置19の構成図

[図4]デバイス製造装置19の動作を説明するためのフローチャート

[図5]本開示の実施の形態2におけるデバイス製造装置19Aの構成図

発明を実施するための形態

[0012] 特許文献1の従来技術では、チップが基板に向けて押圧される工程を開始するときに、基板上の電極パッドへのプローブの位置決めが必要になり、位置決め作業時間が必要になる。また、電極パッドにプローブが接触した後、接触状態が安定するまでの時間が必要になる。従って、デバイスの生産性のより一層の向上が望まれていた。

[0013] 本開示の非限定的な実施例は、生産性のより一層の向上を図ることができるデバイス、デバイス製造装置、及びデバイス製造方法の提供に資する。

[0014] 本開示の一実施例によれば、生産性のより一層の向上を図ることができるデバイス、デバイス製造装置、及びデバイス製造方法を提供できる。

[0015] 本開示の一実施例における更なる利点及び効果は、明細書及び図面から明らかにされる。かかる利点及び／又は効果は、いくつかの実施の形態並びに明細書及び図面に記載された特徴によってそれぞれ提供されるが、1つ又はそれ以上の同一の特徴を得るために必ずしも全てが提供される必要はない。

[0016] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお本明細書及び図面において、実質的に同一の機能を有する構成要素については、同一の符号を付することにより重複説明を省略する。以下の図において、それぞれに示される構成部材の形状、厚み、長さなどは、図面の作成上、実際の構成部材の形状、厚み、長さなどと異なる。さらに、各構成部材の材質は、本実施の形態に記載される材質に限定されるものではない。

[0017] [実施の形態1]

図1を参照して本開示の実施の形態1におけるデバイス11の構成例を説

明する。図 1 は本開示の実施の形態 1 におけるデバイス 11 の構成図である。

[0018] デバイス 11 は、半導体を伴う電気部品で構成される装置、半導体を伴わない電気部品で構成される装置などである。本実施の形態では、半導体を伴う電気部品で構成される装置を、デバイス 11 として説明する。

[0019] デバイス 11 は、複数のバンプ 4、チップ 9 及び基板 10 を備えている。複数のバンプ 4 を介して接合されるチップ 9 と、チップに対向する基板 10 とは、超音波接合、熱圧着工法などにより、一体に構成されている。

[0020] (バンプ 4)

バンプ 4 は、基板 10 上に形成されている配線リード、又はチップ 9 の表面に形成されている突起状の接続電極である。バンプ 4 の材料は、金、銀、銅、タングステンなどである。

[0021] バンプ 4 は、チップ 9 の表面の内、基板 10 と向かい合う部分に設けられている。

[0022] (チップ 9)

チップ 9 は、チップ基材 5、複数の外部接続電極 1、複数の貫通電極 2、及び歪みセンサ 3 を備えている。

[0023] (チップ基材 5)

チップ基材 5 は、例えばシリコンなどで形成されている板状の部材である。

[0024] (外部接続電極 1)

外部接続電極 1 は、チップ基材 5 のバンプ 4 側とは反対側の面に設けられている。外部接続電極 1 の材料は、金、銀、銅、タングステンなどである。

[0025] (貫通電極 2)

貫通電極 2 は、外部接続電極 1 からバンプ 4 に向けて延伸する電極である。貫通電極 2 の材料は、金、銀、銅、タングステンなどである。

[0026] 貫通電極 2 のバンプ 4 側の端部（第 1 端部）は、バンプ 4 に接続されている。貫通電極 2 のバンプ 4 側とは反対側の端部 2a（第 2 端部）は、外部接

続電極 1 に接続されている。

[0027] 貫通電極 2 は、歪みセンサ 3 にも接続されている。このため、歪みセンサ 3 は、貫通電極 2 を介して、外部接続電極 1 と電氣的に接続されている。貫通電極 2 の歪みセンサ 3 への接続の詳細は後述する。

[0028] (歪みセンサ 3)

歪みセンサ 3 は、例えばシリコンに、ボロン、リンなどの不純物を拡散することによって、チップ基材 5 の内部に形成されている半導体型の歪みゲージである。

[0029] 歪みセンサ 3 は、その抵抗値がピエゾ抵抗効果による機械的歪み量に応じて変化する。

[0030] 例えば、公知の 4 端子法によって、歪みセンサ 3 に一定の値の電流を供給したときに、歪みセンサ 3 に発生する電圧と、供給した電流とに基づき、歪みセンサ 3 の抵抗値を測定することができる。

[0031] 歪みセンサ 3 の抵抗値は、歪みセンサ 3 の歪み量に対応して変化するため、抵抗値の変化量を測定することによって、歪みセンサ 3 の近傍に配置されているバンプ 4 の変形量を推定することができる。

[0032] (歪みセンサ 3 の寸法)

なお、歪みセンサ 3 の垂直方向の幅は、歪みセンサ 3 の垂直方向と直交する方向の幅よりも狭くすることが好ましい。

[0033] 例えば、歪みセンサ 3 の垂直方向と直交する方向の幅が 10 [nm] ~ 900 [nm] に設定されている場合、歪みセンサ 3 の垂直方向の幅は、10 [nm] ~ 500 [nm] に設定される。

[0034] このように垂直方向の幅を狭くすることにより、基板 10 に対してチップ 9 を垂直方向に押し付けるときに生じる、歪みセンサ 3 の歪みの測定感度を、高めることができる。

[0035] なお、歪みセンサ 3 は、前述した半導体型の歪みゲージに限定されず、金属型の半導体歪みゲージでもよい。

[0036] 金属型の歪みゲージは、一般的には Cu-Ni 系合金、Ni-Cr 系合金

などで形成されている。プラチナ金属、ニッケルなどで形成されている金属型の半導体型の歪みゲージを用いることで、Cu-Ni系合金、Ni-Cr系合金などで形成されている場合に比べて、歪みの測定感度を高めることができる。

[0037] なお、半導体型の歪みゲージは、一般的に、歪みの測定感度が金属型の歪みゲージに比べて数十倍程度高い。このため、歪みセンサ3は、半導体型の歪みゲージを用いることが好ましい。

[0038] なお、半導体には、拡散する不純物の種類によって、p型半導体（ボロンなどを拡散）、n型半導体（リンなどを拡散）が存在する。p型半導体は、垂直方向と直交する方向の歪みを測定することができ、n型半導体は、垂直方向の歪みを測定することができる。

[0039] このため、p型半導体で形成された歪みセンサ3と、n型半導体で形成された歪みセンサ3とを、チップ基材5に配置した場合、バンプ4の変形量を高い精度で推定することが可能となる。

[0040] また、単結晶シリコンを用いた歪みセンサ3を利用することによって、歪みの測定感度を高めることができる。単結晶シリコンは、広く流通している材料であるため、歪みセンサ3の製造コストを低減することもできる。

[0041] （基板10）

基板10は、基板基材8及び接合パッド7を備えている。

[0042] （基板基材8）

基板基材8は、ガラスエポキシ、セラミック、シリコンなどで形成されている。

[0043] （接合パッド7）

接合パッド7は、基板基材8のチップ9と対向する面に形成されている電極である。接合パッド7は、例えば、金、アルミ、銅などで形成されている。

[0044] 次に図2を参照して歪みセンサ3の歪みを測定するための回路に関して説明する。図2は歪みセンサ3の歪みを測定するための回路を表す図である。

- [0045] 図2に示すように、チップ基材5は、歪みセンサ3の歪みを測定するための回路として、歪みセンサ3に接続される4つの内部配線3a、3b、3c、3dと、4つの貫通電極2-1、2-2、2-3、2-4とを備えている。
- [0046] 当該回路は、チップ9が本来有している機能、例えばチップ9の演算処理機能を構成する回路とは、独立した回路である。
- [0047] 4つの内部配線3a、3b、3c、3dのそれぞれの一端は、歪みセンサ3に接続されている。
- [0048] 内部配線3aの他端は、貫通電極2-1に接続されている。内部配線3bの他端は、貫通電極2-2に接続されている。
- [0049] 内部配線3cの他端は、貫通電極2-3に接続されている。内部配線3dの他端は、貫通電極2-4に接続されている。
- [0050] 4つの貫通電極2-1、2-2、2-3、2-4のそれぞれは、図1に示す外部接続電極1に接続されている。これらの外部接続電極1に、後述するプローブを接触させることによって、4端子法により、歪みセンサ3の歪みを測定することができる。
- [0051] 具体的には、貫通電極2-1から貫通電極2-4に電流が供給されると、貫通電極2-2と貫通電極2-3との間に電位差が生じる。この電位差、すなわち貫通電極2-2と貫通電極2-3との間に発生する電圧を測定することによって、歪みセンサ3の歪み量を測定することができる。
- [0052] このように、歪みセンサ3の歪みを測定するための回路を、前述した演算処理機能を構成する回路から独立させることによって、チップ9の演算処理機能に影響を与えることなく、歪みセンサ3の歪みを測定することができる。
- [0053] また、4端子法によって、歪みセンサ3の歪みを測定した場合、歪み測定の精度が低下する原因となる、配線中の抵抗、配線間の接触抵抗などの影響を軽減でき、歪みの測定精度を高めることができる。
- [0054] 配線中の抵抗は、例えば、4つの内部配線3a、3b、3c、3dの抵抗

、４つの貫通電極２－１、２－２、２－３、２－４の抵抗、４つの貫通電極２－１、２－２、２－３、２－４のそれぞれに接続される外部接続電極１の抵抗、配線７０の抵抗などである。

[0055] 配線間の接触抵抗は、例えば、内部配線３ａと貫通電極２－１との接触抵抗、貫通電極２－１と外部接続電極１との接触抵抗などである。

[0056] (デバイス製造装置１９)

次に図３を参照して本開示の実施の形態１におけるデバイス製造装置１９の構成例について説明する。図３は本開示の実施の形態１におけるデバイス製造装置１９の構成図である。

[0057] デバイス製造装置１９は、デバイス１１を製造する装置である。本実施の形態では、半導体を伴う電気部品で構成される装置を製造する装置を、デバイス製造装置１９として説明する。

[0058] デバイス製造装置１９は、ヘッド３０、ステージ部２０、測定部４０、及び制御部５０を備えている。

[0059] (ヘッド３０)

ヘッド３０は、チップ９を所定の実装位置に移動する移動機構３１と、チップ９を保持する保持部３３と、保持部３３を加圧する加圧部３２とを備えている。

[0060] (保持部３３)

保持部３３には、プローブ４２を挿入するための貫通孔３４が形成されている。

[0061] (貫通孔３４)

貫通孔３４は、保持部３３の加圧部３２側の面から、保持部３３のステージ２１側の面に向かって延伸している。

[0062] 貫通孔３４を形成している壁面と、プローブ４２の外周面との間には、隙間３４ａが形成されている。

[0063] (隙間３４ａ)

隙間３４ａは、真空吸着によって、保持部３３がチップ９を保持する際、

保持部３３とチップ９との間に負圧を発生させる空間として機能する。

[0064] 例えば、保持部３３が不図示のトレイに収納されているチップ９を持ち上げるときに、保持部３３に接続されている不図示のポンプを駆動することで、隙間３４aに負圧を発生させることによって、保持部３３にチップ９が吸着する。

[0065] なお、プローブ４２の外部接続電極１と対向する面の幅は、保持部３３の位置決め精度（±５〔μm〕程度）を考慮して、外部接続電極１のプローブ４２と対向する面の幅よりも、１０〔μm〕程度小さくすることが好ましい。

[0066] これにより、外部接続電極１とプローブ４２との接触面積が一定に保たれるため、実装プロセス毎、すなわち１つのチップ９を基板１０に実装する工程毎に発生する、歪み測定のはらつきを抑制できる。

[0067] （ステージ部２０）

ステージ部２０は、基板１０を保持するステージ２１と、基板１０を所定位置に移動する移動機構２２とを備えている。

[0068] （測定部４０）

測定部４０は、測定器４１と、チップ９の外部接続電極１に接触するプローブ４２とを備えている。

[0069] 測定器４１には配線７０の一端が接続されている。配線７０の他端はプローブ４２に接続されている。

[0070] 測定器４１は、前述した４端子法によって、歪みセンサ３の抵抗値をリアルタイムに測定し、測定した抵抗値を示すデータを、制御部５０に送信する。

[0071] （制御部５０）

制御部５０は、処理部５１、加圧制御部５２、及びメモリ５３を備えている。

[0072] （処理部５１）

処理部５１は、測定部４０から送信される抵抗値を示すデータを受信し、

当該データに基づき、歪みセンサ 3 の歪み量を計算する。処理部 5 1 は、計算した歪みセンサ 3 の歪み量に基づき、加圧部 3 2 を制御するための制御指令を生成する。

[0073] (加圧制御部 5 2)

処理部 5 1 から送信される制御指令に基づき、加圧部 3 2 の制御を行う。

[0074] (メモリ 5 3)

メモリ 5 3 は、例えば、処理部 5 1 で計算された歪み量の初期値が記録される。

[0075] なお、制御部 5 0 は、ステージ 2 1 の動きを制御する制御回路などを備えるように構成してもよい。

[0076] 次に図 4 を参照してデバイス製造装置 1 9 の動作について説明する。図 4 はデバイス製造装置 1 9 の動作を説明するためのフローチャートである。

[0077] ステップ S 1 において、基板 1 0 がステージ 2 1 に移動されて、ステージ 2 1 上に設置された後、ステップ S 2 の処理が実行される。

[0078] ステップ S 2 において、保持部 3 3 は、不図示のトレイに収納されているチップ 9 を真空吸着により保持する。

[0079] このとき、保持部 3 3 の貫通孔 3 4 に挿入されているプローブ 4 2 が、チップ 9 の外部接続電極 1 に接触するように保持される。

[0080] これにより、プローブ 4 2、外部接続電極 1、貫通電極 2、及び歪みセンサ 3 が電氣的に接続される。

[0081] ステップ S 3 において、移動機構 3 1 と移動機構 2 2 によって、基板 1 0 に対するチップ 9 の位置合わせが行われる。その後、ステップ S 4 の処理が実行される。

[0082] ステップ S 4 において、処理部 5 1 は、歪みセンサ 3 の歪み量の初期値を計算し、計算した歪み量の初期値をメモリ 5 3 に保存する。

[0083] ステップ S 5 において、加圧制御部 5 2 が加圧部 3 2 を制御することによって、チップ 9 が基板 1 0 に向かって下降する。

[0084] 下降するチップ 9 に設けられているバンプ 4 が、基板 1 0 の接合パッド 7

に接触した後、さらに加圧部 32 によってチップ 9 が基板 10 に向けて押圧されることにより、バンプ 4 と接合パッド 4 との金属接合が進展する。

[0085] 金属接合が進展することによって、チップ 9 は基板 10 に対して強固に接続される。

[0086] なお、加圧制御部 52 は、チップ 9 と基板 10 との接合強度を向上させるために、加圧に加えて、超音波振動、熱などを与えてもよい。

[0087] ステップ S6 において、処理部 51 は、チップ 9 が基板 10 に押圧されているとき、すなわち実装プロセス中に、測定器 41 でリアルタイムに測定される抵抗値を示すデータを受信する。

[0088] 処理部 51 は、受信した抵抗値を示すデータに基づき、公知の歪み量計算方法によって、バンプ 4 の歪み量を計算する。その後、ステップ S7 の処理が実行される。

[0089] ステップ S7 において、処理部 51 は、チップ 9 と基板 10 との接合強度が所望の接合強度に達したか否かを判定する。

[0090] 例えば、歪み量の初期値と歪み量の変化量と接合強度とを対応付けた対応情報を、メモリ 53 に保存されている場合、処理部 51 は、実装プロセス中に対応情報を参照し、計算したバンプ 4 の歪み量に対応する接合強度を読み出す。

[0091] 処理部 51 は、読み出した接合強度が所望の接合強度に達したか否かを判定する。これにより、実装プロセス中に要求されるバンプ 4 の接合パッド 7 への接合品質を保証することができる。

[0092] 処理部 51 は、接合強度が所望の接合強度に達していない場合、接合が完了していないと判定する。この場合（ステップ S7, NO）、ステップ S8 の処理が実行される。

[0093] ステップ S8 において、処理部 51 は、接合パッド 7 の破損などによって接合異常が生じているか否かを判定する。例えば、ひずみセンサの歪み量と、接合パッド強度（接合パッドの限界歪み量）とを事前に紐づけて、閾値を設定しておき、接合中に、ひずみセンサの歪み量が、設定した閾値を超えた場

合、処理部 5 1 は、接合パッド破壊が起きたと判定し、接合異常が起きたと判定する。

[0094] 接合異常が生じていない場合（ステップ S 8, N O）、ステップ S 5 以降の処理が繰り返される。

[0095] 接合異常が生じている場合（ステップ S 8, Y E S）、ステップ S 9 の処理が実行される。

[0096] ステップ S 9 において、チップ 9 には、接合異常が生じていることを示すエラーマークが付与される。当該マークは、不図示にマーク付与機構によって実行される。その後、一連の処理が終了する。

[0097] チップ 9 にエラーマークを付与することによって、出荷検査において、エラーマークが付与されているチップ 9 を確認することができるため、接合異常が生じているチップ 9 が市場に流出することを防止できる。

[0098] ステップ S 7 に戻り、処理部 5 1 は、接合強度が所望の接合強度に達している場合、接合が完了したと判定する。この場合（ステップ S 7, Y E S）、処理部 5 1 は、ステップ S 1 0 の処理を実行する。

[0099] ステップ S 1 0 において、処理部 5 1 は、加圧制御部 5 2 に対して、実装プロセスの終了を指示する指示信号を送信する。

[0100] 当該指示信号を受信した加圧制御部 5 2 は、加圧部 3 2 によるチップ 9 の押圧動作を停止させ、さらに保持部 3 3 を上昇させる。これにより実装プロセスが終了し、その後、ステップ S 1 1 の処理が実行される。

[0101] ステップ S 1 1 において、チップ 9 が実装された基板 1 0 は、ステージ 2 1 から搬送される。これにより、一連の処理が終了する。

[0102] なお、ステップ S 4 において、処理部 5 1 は、歪み量の初期値を計算するとき、チップ 9 が本来有している機能を構成している回路の状態を、プローブ 4 2 を用いて検査するように構成してもよい。これにより、当該機能が正常なチップ 9 のみを基板 1 0 に実装することができるため、当該機能に異常が生じているチップ 9 が実装されることによる基板 1 0 のロスを軽減できる。

- [0103] なお、デバイス製造装置 19 は、ステップ S 1 ～ステップ S 11 までの実装プロセスにおいて、接合完了までに要する時間などの特徴量を抽出して、この特徴量について公知の統計的品質管理（例えば $\bar{X}$ - R 管理図など）を用いて、デバイス製造装置 19 の状態を管理することが好ましい。
- [0104] これにより、デバイス製造装置 19 の経年劣化、突発的な故障など検知して、作業者にアラームを通知することができる。また、デバイス製造装置 19 は、デバイス製造装置 19 の経年劣化、突発的な故障など検知した場合、自動で実装条件を最適化することで、接合品質の低下を抑制でき、また基板 10 のロスを抑制できる。さらにデバイス製造装置 19 の定期的な状態確認作業などの工数の増加を抑制できる。
- [0105] 以上に説明したように、本開示の実施の形態 1 に係るデバイス製造装置 19 は、チップ 9 を基板 10 に接合する実装プロセス中に、チップ 9 に設けられている歪みセンサ 3 の歪み量を計算することによって、バンプ 4 の接合パッド 7 への接合品質を保証するように構成されている。
- [0106] この構成により、接合が不十分であるにも関わらず接合動作が終了してしまうことを防止でき、安定した接合強度が得られる。
- [0107] また、デバイス製造装置 19 によれば、過剰に接合動作が行われることを防止でき、接合パッド 7 の損傷を抑制できる。
- [0108] また、本実施の形態に係るデバイス製造装置 19 は、チップ 9 のピックアップ時、位置決め時などに、歪み量の初期値の測定を実施することによって、デバイス 11 の生産性を低下させることなく、実装プロセス中の歪み測定と、バンプ 4 の接合パッド 7 への接合品質が可能となる。
- [0109] また、本実施の形態に係るデバイス 11 は、従来技術のように抵抗値測定用微小回路を利用していないため、プローブ 42 からチップ基材 5 までの経路を短くすることができる。従って、デバイス製造装置 19 の実装プロセスにおいて発生するノイズが当該経路へ浸入し難くなり、ノイズによる歪み量の測定精度の低下を抑制できる。
- [0110] また、デバイス製造装置 19 において、超音波実装工法によって、チップ

9を基板10に実装する場合、保持部33が例えば60[kHz]の振動周波数で振動すると、保持部33の温度が上昇する。

[0111] 前述した隙間34aを形成することによって、保持部33の熱がプローブ42に伝わり難くなるため、プローブ42の温度上昇によって、測定部40で測定される抵抗値が変動することを抑制することができる。

[0112] [実施の形態2]

次に図5を参照して本開示の実施の形態2に係るデバイス製造装置19Aの構成例について説明する。

[0113] 図5は本開示の実施の形態2におけるデバイス製造装置19Aの構成図である。

[0114] デバイス製造装置19Aは、前述したデバイス11、ステージ部20及びヘッド30の代わりに、デバイス11A、ステージ部20A、及びヘッド30Aを備えている。

[0115] (デバイス11A)

デバイス11Aは、チップ9及び基板10の代わりに、チップ9A及び基板10Aを備えている。

[0116] (チップ9A)

チップ9Aは、チップ基材5及び歪みセンサ3を備えている。歪みセンサ3は、不図示の内部回線を介して、歪みセンサ3と電氣的に接続されている。

[0117] (基板10A)

基板10Aは、基板基材8及び接合パッド7に加えて、複数の貫通電極12及び複数の外部接続電極13を備えている。

[0118] (貫通電極12)

貫通電極12は、接合パッド7から外部接続電極13に向けて延伸する電極である。貫通電極12の接合パッド7側の端部(第1端部)は、接合パッド7に接続されている。

[0119] 貫通電極12の接合パッド7側とは反対側の端部12a(第2端部)は、

外部接続電極 1 3 に接続されている。貫通電極 1 2 の材料は、金、銀、銅、タングステンなどである。

[0120] (外部接続電極 1 3)

外部接続電極 1 3 は、基板基材 8 のステージ 2 1 A 側の面に設けられている。外部接続電極 1 3 の材料は、金、銀、銅、タングステンなどである。

[0121] 外部接続電極 1 3 は、貫通電極 1 2、接合パッド 7、及びバンプ 4 を介して、歪みセンサ 3 と電氣的に接続されている。

[0122] ヘッド 3 0 A は、保持部 3 3 の代わりに、保持部 3 3 A を備えている。保持部 3 3 A は、図 3 に示す貫通孔 3 4 が省かれている。

[0123] ステージ部 2 0 A は、ステージ 2 1 の代わりにステージ 2 1 A を備えている。ステージ 2 1 A には、プローブ 4 2 を挿入するための貫通穴 2 3 が形成されている。

[0124] 貫通穴 2 3 は、ステージ 2 1 A の移動機構 2 2 側の面から、ステージ 2 1 A の保持部 3 3 A 側の面に向かって延伸している。

[0125] 貫通穴 2 3 に挿入されているプローブ 4 2 は、チップ 9 A の外部接続電極 1 3 に接触している。

[0126] 貫通穴 2 3 を形成している壁面と、プローブ 4 2 の外周面との間には、隙間 2 3 a が形成されている。

[0127] このように構成されているデバイス製造装置 1 9 A において、プローブ 4 2 が外部接続電極 1 3 と接触するように、基板 1 0 A がステージ部 2 0 A 上に設置される。

[0128] これにより、プローブ 4 2 は、外部接続電極 1 3、貫通電極 1 2、及び接合パッド 7 を介して、歪みセンサ 3 と電氣的に接続される。従って、プローブ 4 2 に接続されている測定部 4 0 は、歪みセンサ 3 の抵抗値を測定することができる。

[0129] このように構成されているデバイス製造装置 1 9 A において、超音波実装工法によって、チップ 9 A を基板 1 0 A に実装する場合、保持部 3 3 A が例えば 6 0 [k H z] の振動周波数で振動する。

- [0130] デバイス製造装置 19 Aでは、プローブ 4 2がステージ 2 1 Aに設けられているため、このような高周波振動が保持部 3 3 Aに加えられた場合でも、プローブ 4 2と外部接続電極 1 3との間に摩擦が発生しない。従って、プローブ 4 2が摩耗することを防止できる。
- [0131] また、デバイス製造装置 19 Aにおいて、ローカルリフロー接合工法によって、チップ 9 Aを基板 1 0 Aに実装する場合、1つのチップ A 9毎に保持部 3 3 Aの高速昇温冷却が繰り返される。
- [0132] デバイス製造装置 19 Aでは、プローブ 4 2がステージ 2 1 Aに設けられているため、この高速昇温冷却に起因する熱衝撃がプローブ 4 2に伝わらず、プローブ 4 2の劣化を抑制することができる。
- [0133] 本開示は、添付図面を参照しながら好ましい実施形態に関連して十分に記載されているが、この技術の熟練した人々にとっては種々の変形や修正は明白である。そのような変形や修正は、添付した特許請求の範囲による本開示の範囲から外れない限りにおいて、その中に含まれると理解されるべきである。また、実施形態における要素の組み合わせや順序の変化は、本開示の範囲及び思想を逸脱することなく実現し得るものである。

産業上の利用可能性

- [0134] 本開示の一実施例は、デバイス、デバイス製造装置、及びデバイス製造方法に好適である。

符号の説明

- [0135] 1 外部接続電極
 2 貫通電極
 2－1 貫通電極
 2－2 貫通電極
 2－3 貫通電極
 2－4 貫通電極
 2 a 端部
 3 歪みセンサ

- 3 a 内部配線
- 3 b 内部配線
- 3 c 内部配線
- 3 d 内部配線
- 4 バンプ
- 5 チップ基材
- 7 接合パッド
- 8 基板基材
- 9 チップ
- 9 A チップ
- 10 基板
- 10 A 基板
- 11 デバイス
- 11 A デバイス
- 12 貫通電極
- 12 a 端部
- 13 外部接続電極
- 19 デバイス製造装置
- 19 A デバイス製造装置
- 20 ステージ部
- 20 A ステージ部
- 21 ステージ
- 21 A ステージ
- 22 移動機構
- 23 貫通穴
- 23 a 隙間
- 30 ヘッド
- 30 A ヘッド

- 3 1 移動機構
- 3 2 加圧部
- 3 3 保持部
- 3 3 A 保持部
- 3 4 貫通孔
- 3 4 a 隙間
- 4 1 測定器
- 4 2 プローブ
- 5 0 制御部
- 5 1 処理部
- 5 2 加圧制御部
- 5 3 メモリ
- 7 0 配線

請求の範囲

- [請求項1] 複数のバンプを介して接合されるチップと前記チップに対向する基板とを備えるデバイスであって、
- 前記チップ及び前記基板の少なくとも一方を貫通し、それぞれが前記複数のバンプの対応する1つに接続された第1端部と前記第1端部とは反対の第2端部とを有する複数の貫通電極と、
- 前記チップに設けられ、前記複数の貫通電極と電氣的に接続されている歪みセンサと、
- 前記複数の貫通電極のそれぞれの前記第2端部に接続されるとともに、前記歪みセンサに電圧を印加するプローブが接触する複数の外部接続電極と、
- を備えるデバイス。
- [請求項2] 4つの前記外部接続電極を備える、請求項1に記載のデバイス。
- [請求項3] 複数のバンプを介して接合されるチップと前記チップに対向する基板とを備えるデバイスを製造するデバイス製造装置であって、
- 前記基板を保持するステージと、
- 前記チップを保持する保持部と、
- 前記保持部を駆動することによって前記チップを前記基板に押し付ける加圧部と、
- 前記加圧部によって前記基板に前記チップが押し付けられるとき、前記チップに設けられている歪みセンサと電氣的に接続され前記チップ及び前記基板の少なくとも一方を貫通し、それぞれが前記複数のバンプの対応する1つに接続された第1端部と前記第1端部とは反対の第2端部とを有する複数の貫通電極の、それぞれの前記第2端部に接続される複数の外部接続電極に接触するプローブを介して、前記歪みセンサの歪みを測定する測定部と、
- を備える、デバイス製造装置。
- [請求項4] 前記プローブは、前記ステージ及び前記保持部の少なくとも一方に

形成されている貫通孔に挿入され、

前記プローブの表面と前記貫通孔を形成している壁面との間には隙間が形成されている、請求項3に記載のデバイス製造装置。

[請求項5]

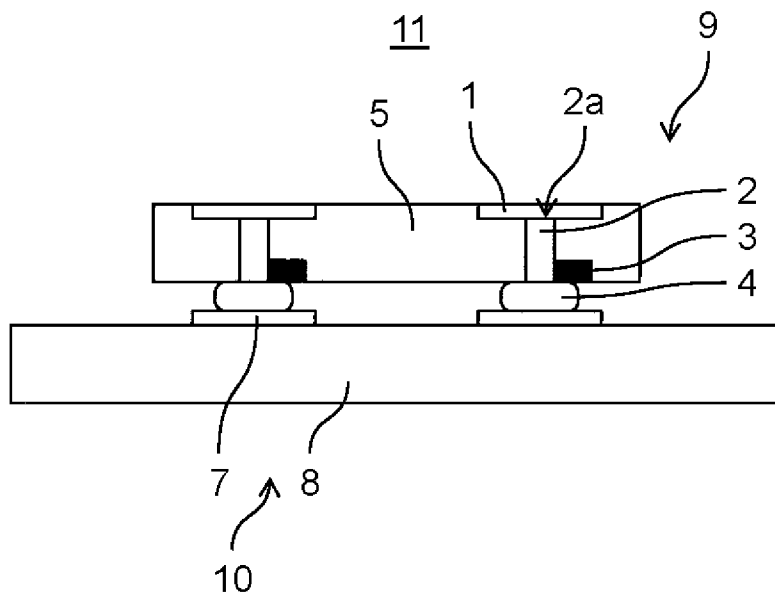
複数のバンプを介して接合されるチップと前記チップに対向する基板とを備えるデバイスを製造するデバイス製造方法であって、

前記チップを保持する保持部を駆動することによって、前記チップをステージに保持されている前記基板に押し付けるステップと、

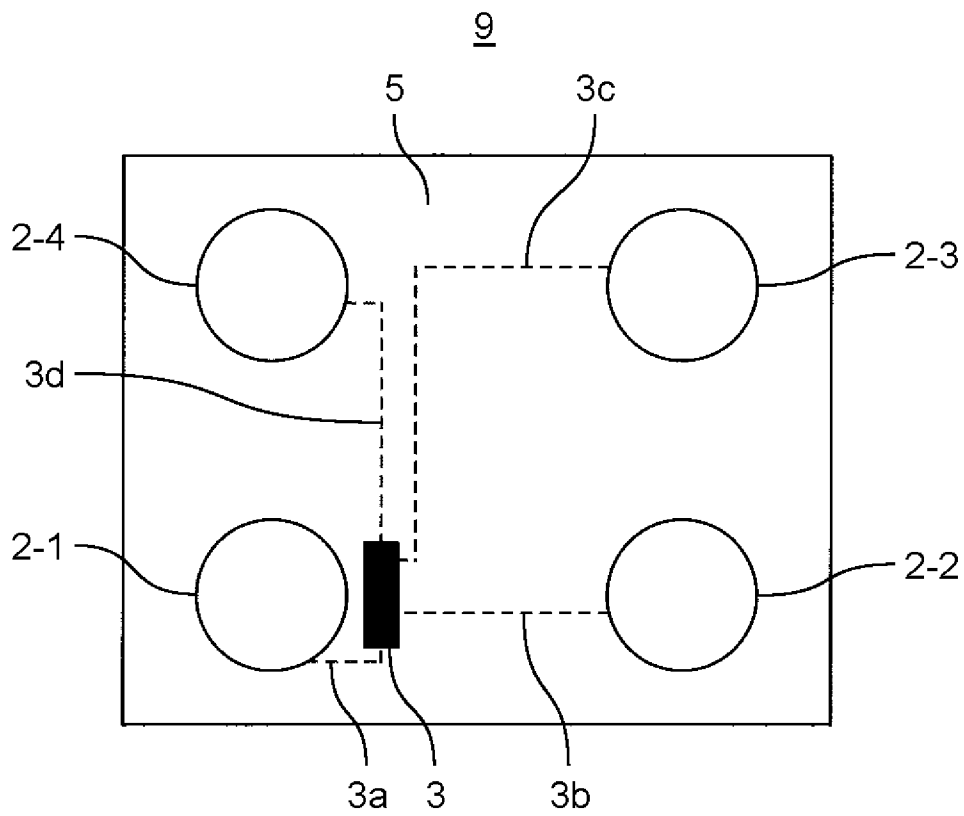
前記基板に前記チップが押し付けられるとき、前記チップに設けられている歪みセンサと電氣的に接続され前記チップ及び前記基板の少なくとも一方を貫通し、それぞれが前記複数のバンプの対応する1つに接続された第1端部と前記第1端部とは反対の第2端部とを有する複数の貫通電極の、それぞれの前記第2端部に接続される複数の外部接続電極に接触するプローブを介して、前記歪みセンサの歪みを測定するステップと、

を含む、デバイス製造方法。

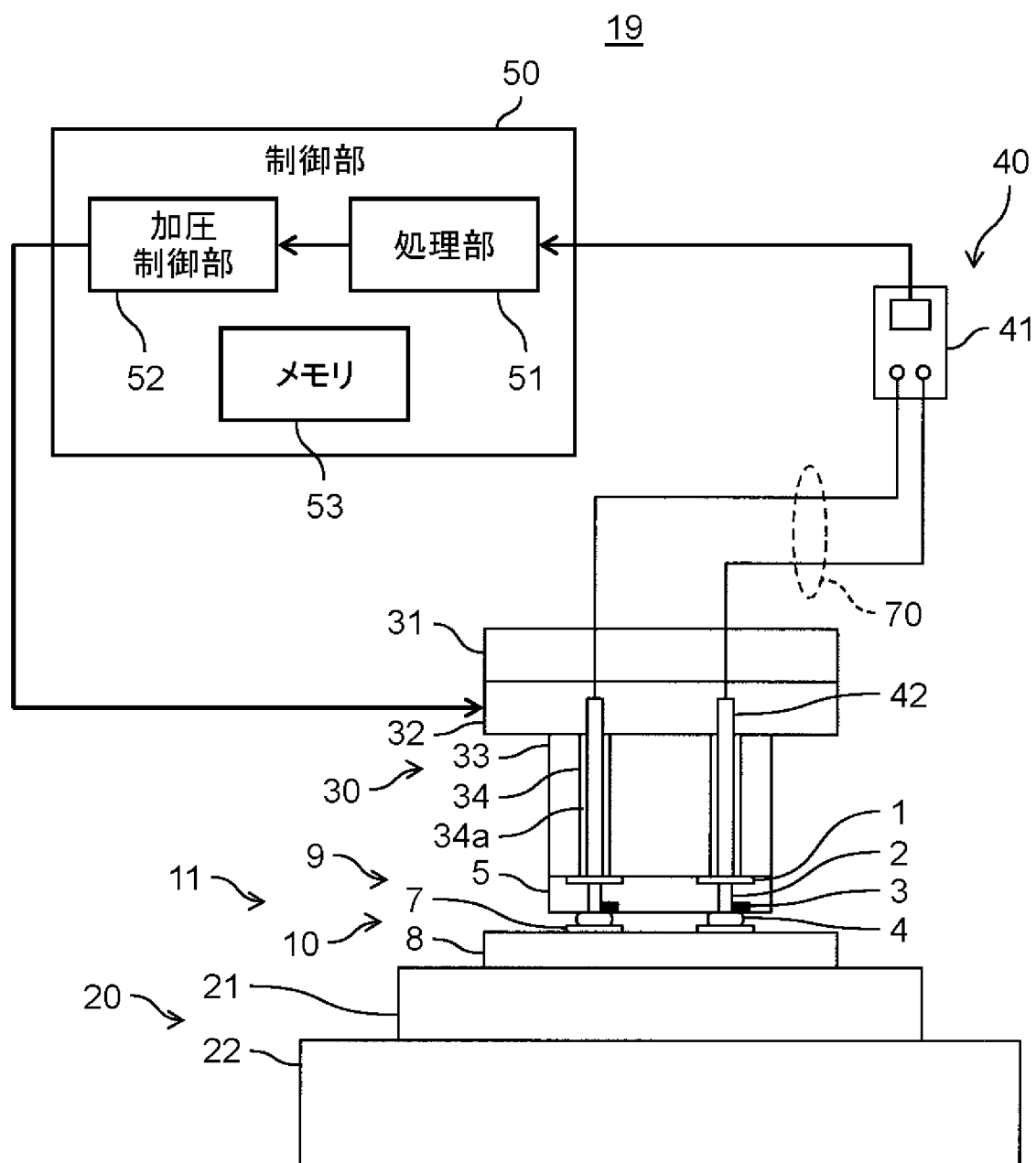
[図1]



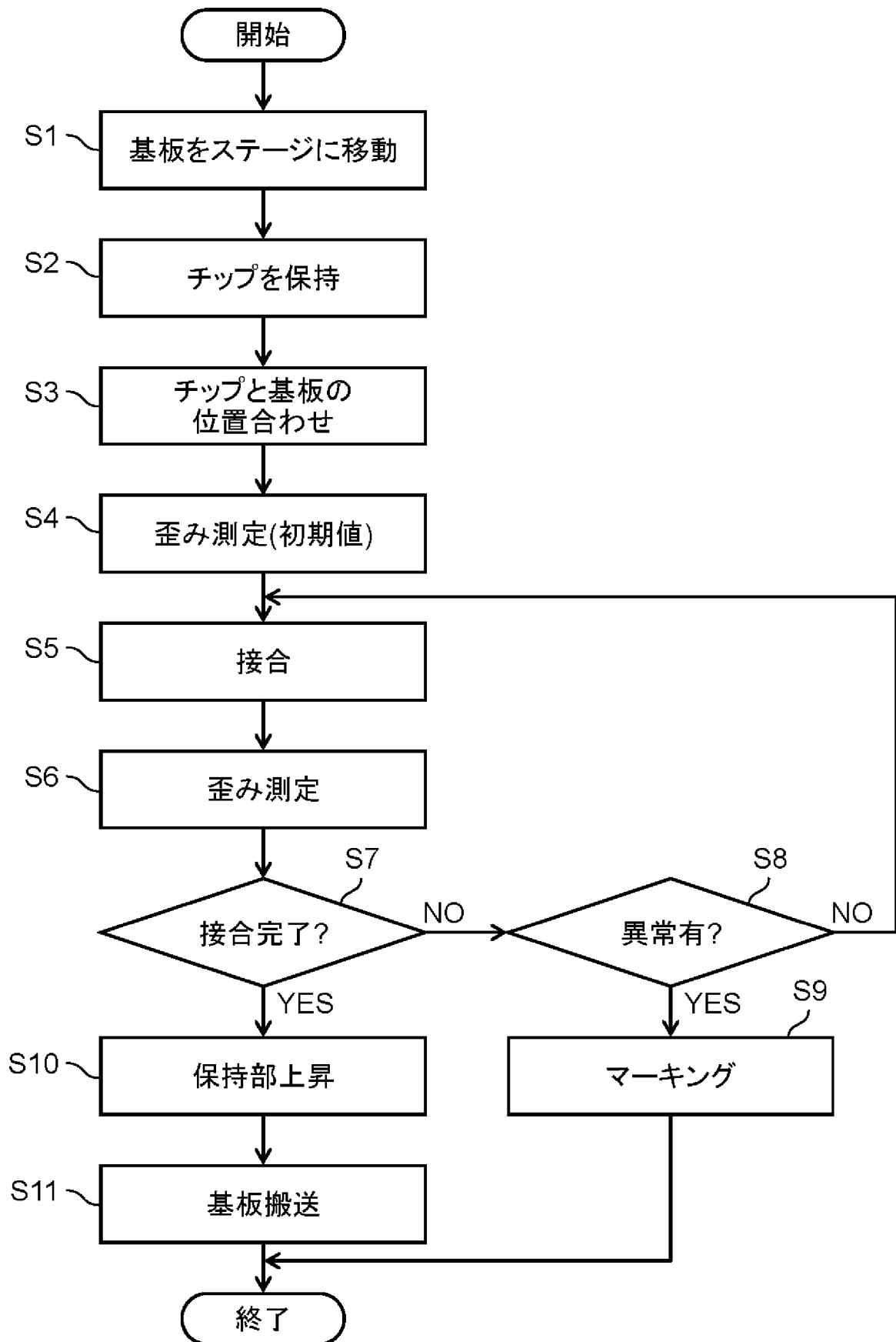
[図2]



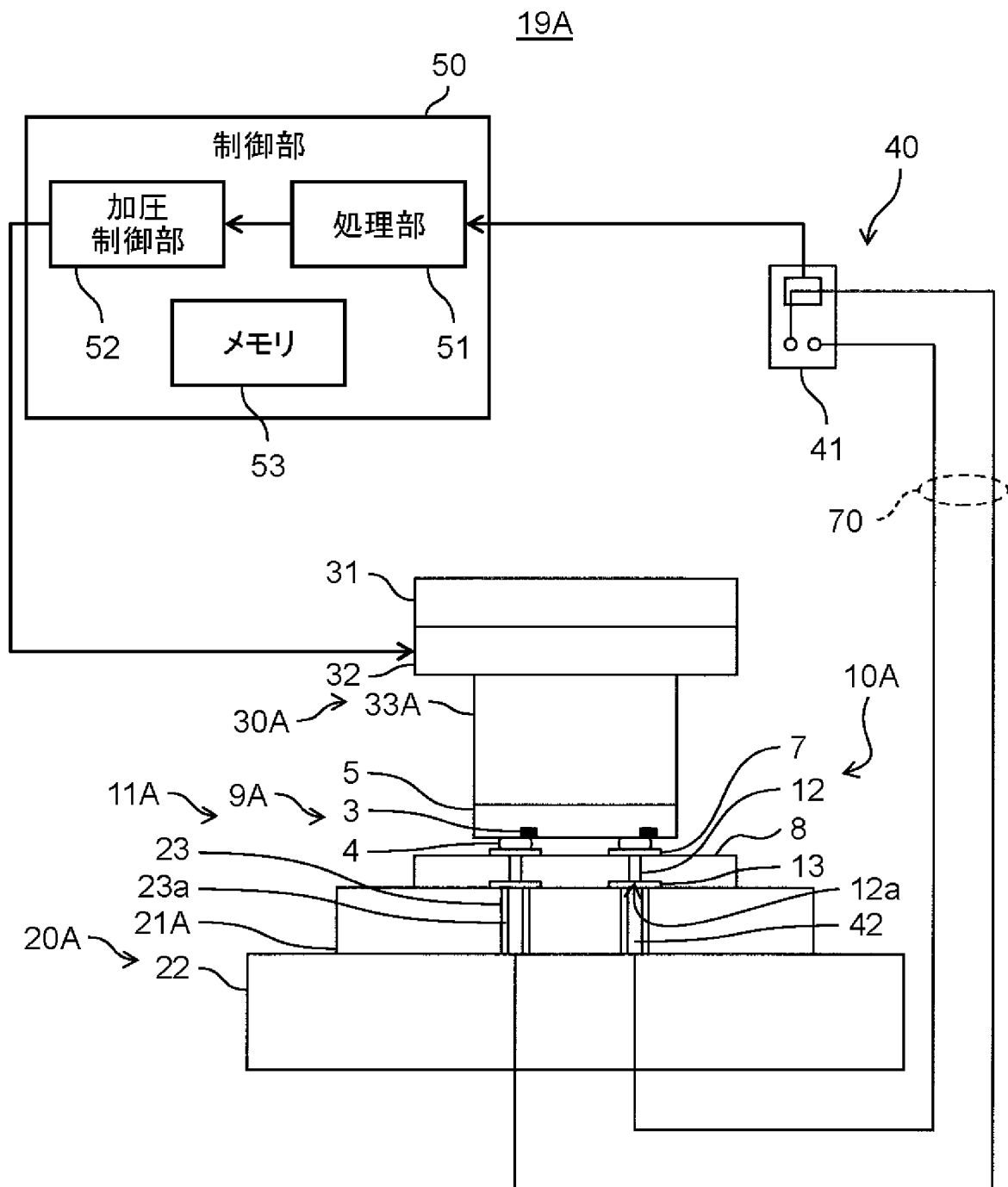
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/045454

A. CLASSIFICATION OF SUBJECT MATTER H01L 21/60 (2006.01)i FI: H01L21/92 604T; H01L21/60 311T; H01L21/60 321Y; H01L21/60 311Z According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/60 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-13074 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 12 January 2006 (2006-01-12) paragraphs [0012]-[0026], fig. 1-4	1-3, 5
A		4
X	JP 2003-23039 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 24 January 2003 (2003-01-24) paragraphs [0001], [0009]-[0024], fig. 1-5	1-3, 5
A		4
A	JP 2005-228820 A (RENESAS TECHNOLOGY CORP.) 25 August 2005 (2005-08-25) paragraphs [0008], [0036]-[0064], fig. 1-7	1-5
A	JP 2007-157970 A (SONY CORP.) 21 June 2007 (2007-06-21) paragraphs [0001], [0052]-[0079], fig. 1-4	1-5
A	JP 2007-178311 A (NIDEC-READ CORP.) 12 July 2007 (2007-07-12) paragraphs [0001], [0060]-[0062], fig. 10	1-5
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 02 February 2022		Date of mailing of the international search report 15 February 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/045454

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2006-13074	A	12 January 2006	(Family: none)	
JP	2003-23039	A	24 January 2003	(Family: none)	
JP	2005-228820	A	25 August 2005	(Family: none)	
JP	2007-157970	A	21 June 2007	(Family: none)	
JP	2007-178311	A	12 July 2007	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/60(2006.01)i FI: H01L21/92 604T; H01L21/60 311T; H01L21/60 321Y; H01L21/60 311Z		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L21/60		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2006-13074 A（松下電器産業株式会社）12.01.2006（2006-01-12） 段落[0012]-[0026]，図1-4	1-3, 5 4
X A	JP 2003-23039 A（松下電器産業株式会社）24.01.2003（2003-01-24） 段落[0001]，[0009]-[0024]，図1-5	1-3, 5 4
A	JP 2005-228820 A（株式会社ルネサステクノロジ）25.08.2005（2005-08-25） 段落[0008]，[0036]-[0064]，図1-7	1-5
A	JP 2007-157970 A（ソニー株式会社）21.06.2007（2007-06-21） 段落[0001]，[0052]-[0079]，図1-4	1-5
A	JP 2007-178311 A（日本電産リード株式会社）12.07.2007（2007-07-12） 段落[0001]，[0060]-[0062]，図10	1-5
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 02.02.2022		国際調査報告の発送日 15.02.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小池 英敏 5F 8396 電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/045454

引用文献			公表日	パテントファミリー文献	公表日
JP	2006-13074	A	12.01.2006	(ファミリーなし)	
JP	2003-23039	A	24.01.2003	(ファミリーなし)	
JP	2005-228820	A	25.08.2005	(ファミリーなし)	
JP	2007-157970	A	21.06.2007	(ファミリーなし)	
JP	2007-178311	A	12.07.2007	(ファミリーなし)	