

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6254259号
(P6254259)

(45) 発行日 平成29年12月27日(2017.12.27)

(24) 登録日 平成29年12月8日(2017.12.8)

(51) Int.Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H
HO 1 L 27/04 (2006.01)	HO 1 L 21/88 J
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 T
HO 1 L 21/768 (2006.01)	
HO 1 L 23/522 (2006.01)	

請求項の数 15 (全 20 頁)

(21) 出願番号	特願2016-512918 (P2016-512918)	(73) 特許権者	507364838
(86) (22) 出願日	平成26年4月23日 (2014. 4. 23)		クアルコム、インコーポレイテッド
(65) 公表番号	特表2016-526285 (P2016-526285A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成28年9月1日 (2016. 9. 1)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2014/035076		イブ 5775
(87) 国際公開番号	W02014/182449	(74) 代理人	100108453
(87) 国際公開日	平成26年11月13日 (2014. 11. 13)		弁理士 村山 靖彦
審査請求日	平成29年2月13日 (2017. 2. 13)	(74) 代理人	100163522
(31) 優先権主張番号	13/887, 723		弁理士 黒田 晋平
(32) 優先日	平成25年5月6日 (2013. 5. 6)	(72) 発明者	ヴィディヤ・ラマチャンドラン
(33) 優先権主張国	米国 (US)		アメリカ合衆国・カリフォルニア・921
早期審査対象出願			21-1714・サン・ディエゴ・モアハ
			ウス・ドライブ・5775
			最終頁に続く

(54) 【発明の名称】 静電放電ダイオード

(57) 【特許請求の範囲】

【請求項 1】

デバイスの製造方法であって、前記方法が、

前記デバイスの基板（102）の裏面を薄くするステップであって、前記基板（102）を貫通して延在するかまたは部分的に貫通して延在する第1のビア（112）の部分および第2のビア（114）の部分を露出させる、ステップと、

前記基板（102）の前記裏面上に堆積された分離層（126）を含むデバイスの層を形成するステップであって、前記層が前記基板（102）とは別個である、ステップと、

第2のダイオード（128）を形成するためのステップであって、n型半導体材料が、前記第2のビア（114）上に形成され、前記層が前記n型半導体材料と前記基板（102）の前記裏面との間に配置されている、ステップと、

前記基板（102）の前記裏面に第1のダイオード（132）を形成し、前記n型半導体材料に第2のダイオード（128）を形成するステップであって、前記第1のダイオード（132）が、前記第1のビア（112）に結合されている、ステップと、
をこの順に含む、方法。

【請求項 2】

前記層の開口部を選択的にパターン化するステップであって、前記開口部が前記基板（102）に接触する、ステップと、

前記開口部内に再配線層（134）を堆積させるステップであって、前記第1のダイオード（132）が、前記開口部内の前記基板（102）と接触する前記再配線層（134

10

20

）に基づいて形成され、前記再配線層（１３４）が前記第１のダイオード（１３２）を前記第１のビア（１１２）に結合する、ステップと
をさらに含む、請求項１に記載の方法。

【請求項３】

前記第２のダイオード（１２８）が前記第２のビア（１１４）に結合されており、前記半導体材料がｎ型半導体材料を含む、請求項１に記載の方法。

【請求項４】

前記第２のビア（１１４）上に前記ｎ型半導体材料を堆積させるステップと、
前記ｎ型半導体材料上に再配線層（１３４）を堆積させるステップであって、前記第２のダイオード（１２８）が、前記ｎ型半導体材料と接触する前記再配線層（１３４）に基づいて形成される、ステップと
をさらに含む、請求項３に記載の方法。

10

【請求項５】

前記第１のダイオード（１３２）および前記第２のダイオード（１２８）が、実質的に反対の極性を有する、請求項１に記載の方法。

【請求項６】

前記第１のダイオード（１３２）が、ショットキーバリアダイオードである、請求項１に記載の方法。

【請求項７】

前記第１のダイオード（１３２）が、静電放電イベントに応答して前記基板（１０２）内に電流を提供するように構成される、請求項１に記載の方法。

20

【請求項８】

基板（１０２）と、
前記基板（１０２）の裏面から延在する第１のビア（１１２）と、
前記基板（１０２）の前記裏面の第１のダイオード（１３２）であって、前記第１のビア（１１２）に結合されており、静電放電イベントに応答して前記基板（１０２）内に電流を提供するように構成されている、第１のダイオード（１３２）と、
前記基板（１０２）とは別個である層と、
前記基板（１０２）の前記裏面から延在する第２のビア（１１４）と、
半導体材料を含む第２のダイオード（１２８）であって、前記第２のダイオード（１２８）が前記第２のビア（１１４）上に形成されており、前記層が前記第２のダイオード（１２８）と前記基板（１０２）の前記裏面との間に配置されている、第２のダイオード（１２８）と
を備え、

30

前記層が前記基板（１０２）上に堆積された分離層（１２６）を含む、デバイス。

【請求項９】

前記第１のダイオード（１３２）が、前記層の開口部内で前記基板（１０２）と接触する再配線層（１３４）を介して形成されている、請求項８に記載のデバイス。

【請求項１０】

前記第１のダイオード（１３２）が、ショットキーバリアダイオードを含む、請求項８に記載のデバイス。

40

【請求項１１】

前記第１のダイオード（１３２）および前記第２のダイオード（１２８）が、少なくとも１つの半導体ダイに組み込まれている、請求項８に記載のデバイス。

【請求項１２】

前記第２のダイオード（１２８）が、前記第２のビア（１１４）に結合されており、別の静電放電イベントに応答して前記基板（１０２）内に正極性を有する電流を提供するように構成されており、前記半導体材料が、ｎ型半導体材料を含む、請求項８に記載のデバイス。

【請求項１３】

50

前記第2のダイオード(128)が、前記第2のビア(114)に結合された前記n型半導体材料と接触する再配線層(134)を介して形成されている、請求項12に記載のデバイス。

【請求項14】

前記第1のビア(112)および前記第2のビア(114)が、金属で充填されたビアである、請求項8に記載のデバイス。

【請求項15】

前記基板(102)が、p型埋込み式基板(102)を含む、請求項13に記載のデバイス。

【発明の詳細な説明】

10

【技術分野】

【0001】

関連出願の相互参照

本出願は、その内容全体が参照により本明細書に明示的に組み込まれている、2013年5月6日に出願した、所有者が共通する米国非仮特許出願第13/887,723号から優先権を主張するものである。

【0002】

本開示は、概して、静電放電ダイオードに関する。

【背景技術】

【0003】

20

技術の進歩は、より小さく、強力なコンピューティングデバイスをもたらした。たとえば、小型で、軽量で、ユーザーによって容易に運ばれるポータブルワイヤレス電話、携帯情報端末(PDA)、およびページングデバイスのようなワイヤレスコンピューティングデバイスを含む様々なポータブルパーソナルコンピューティングデバイスが現在存在する。より具体的には、携帯電話およびインターネットプロトコル(IP)電話などのポータブルワイヤレス電話は、ワイヤレスネットワークを通じて音声およびデータパケットを通信することができる。さらに、多くのそのようなワイヤレス電話は、内部に組み込まれている他のタイプのデバイスを含む。たとえば、ワイヤレス電話は、デジタルスチルカメラ、デジタルビデオカメラ、デジタルレコーダ、およびオーディオファイルプレーヤをも含み得る。また、そのようなワイヤレス電話は、ウェブブラウザアプリケーションなど、インターネットにアクセスするために使用され得るソフトウェアアプリケーションを含む実行可能な命令を処理することができる。したがって、これらのワイヤレス電話は、かなりのコンピューティング能力を含むことができる。

30

【0004】

ワイヤレス通信デバイスで使用するための半導体デバイスは、シリコンチップの間の電氣的接続を提供するために、スルーシリコンビア(TSV)技術を使用して形成され得る。たとえば、シリコンチップは、垂直接続のためにシリコンウェハ内に製造されたTSVを使用して相互接続された集積回路を含むことができる。集積回路の垂直接続は、三次元集積回路を形成するために使用され得る。三次元集積回路は、複数のシリコンウェハを使用して形成されているので、これらのシリコンチップ(または、各シリコンチップ内の回路)を互いに、またはパッケージ基板に相互接続するために使用される組み立てプロセスは、各チップ上の回路までTSVを通過し、回路に損傷をもたらす高電圧静電気を生じる可能性がある。

40

【0005】

シリコンチップの前面(すなわち、活性層)に結合された静電放電ダイオードは、静電気またはノイズから生じる電荷を放散するために使用され得る。たとえば、シリコンチップの前面に結合された静電放電ダイオードは、電荷をシリコンウェハの基板中に放散することができる。しかしながら、シリコンウェハの前面に静電放電ダイオードを配置することは、そうでなければ能動回路(すなわち、能動集積回路)のために使用され得る大きいダイ面積を消費する可能性がある。

50

【発明の概要】

【課題を解決するための手段】

【0006】

本開示は、他のシリコンチップと相互接続するためにスルーシリコンビア（TSV）技術を使用するシリコンチップの特定の実施形態を提示する。静電放電ダイオードは、静電荷をシリコンチップのシリコン基板中に放散するために、シリコンチップの裏面上に形成され得る。たとえば、金属再配線層は、チップのシリコン基板と接触するとき、ショットキーバリアダイオードを形成し得る。ショットキーバリアダイオードは、負の電圧（たとえば、負極性を有する静電荷）に応答して活性化することができ、静電荷をシリコン基板中に放散することができる。加えて、逆の極性を有するダイオードは、シリコンウェハの裏面上に、酸化インジウムまたは酸化インジウムスズのようなn型半導体材料と接触して金属再配線層を配置することによって形成され得る。ダイオードは、正の電圧（たとえば、正極性を有する静電荷）に応答して活性化することができ、静電荷をシリコン基板中に放散することができる。

10

【0007】

特定の実施形態では、方法は、基板に形成された第1のビアの一部を露出させるために、基板の背面を薄くするステップを含む。方法は、基板の裏面に第1のダイオードを形成するステップも備える。第1のダイオードは、第1のビアに結合されている。

【0008】

別の特定の実施形態では、デバイスは、基板と、基板の裏面から延在する第1のビアを含む。デバイスは、基板の裏面に第1のダイオードも含む。第1のダイオードは、第1のビアに結合され、静電荷を基板中に放散する。

20

【0009】

別の特定の実施形態では、装置は、スルーシリコンビア（TSV）ウェハの基板中に負極性を有する静電荷を放散するための手段を含む。負極性を有する静電荷を放散するための手段は、基板の裏面に配置されている。装置は、正極性を有する静電荷を基板中に放散するための手段も含む。正極性を有する静電荷を放散するための手段は、基板の裏面に配置されている。

【0010】

本開示の実施形態の少なくとも1つによって提供される1つの特定の利点は、静電荷を基板中に放散するために基板の裏面にダイオードを形成することによって、基板の前部の追加のダイ面積が、能動回路のために潜在的に使用され得ることである。本開示の他の態様、利点、および特徴は、以下のセクションを含む本出願全体、すなわち、図面の簡単な説明、詳細な説明、および特許請求の範囲の再検討の後に明らかになるであろう。

30

【図面の簡単な説明】

【0011】

【図1】基板の裏面に静電放電ダイオードを含むスルーシリコンビア（TSV）ウェハの特定の例示的な実施形態の図である。

【図2】図1のTSVウェハを形成する特定の段階を示す図である。

【図3】図1のTSVウェハを形成する別の特定の段階を示す図である。

40

【図4】図1のTSVウェハを形成する別の特定の段階を示す図である。

【図5】図1のTSVウェハを形成する別の特定の段階を示す図である。

【図6】図1のTSVウェハを形成する別の特定の段階を示す図である。

【図7】図1のTSVウェハを形成する別の特定の段階を示す図である。

【図8】図1のTSVウェハの別の特定の例示的な実施形態を示す図である。

【図9】図1のTSVウェハの別の特定の例示的な実施形態を示す図である。

【図10】図1のTSVウェハの別の特定の例示的な実施形態を示す図である。

【図11】TSVウェハの基板の裏面に静電放電ダイオードを形成する方法の特定の例示的な実施形態のフローチャートである。

【図12】TSVウェハの基板の裏面に静電放電ダイオードを形成する方法の別の特定の

50

例示的な実施形態のフローチャートである。

【図 1 3】基板の裏面に静電放電ダイオードを含む T S V ウェハを含むワイヤレス通信デバイスのブロック図である。

【図 1 4】基板の裏面に静電放電ダイオードを含む T S V ウェハを含む電子デバイスを製造するプロセスの特定の例示的な実施形態のデータフロー図である。

【発明を実施するための形態】

【 0 0 1 2 】

基板の裏面に静電放電ダイオードを有するウェハおよび製造方法の特定の実施形態が、本開示で提示される。しかしながら、静電放電ダイオードの設計と、静電放電ダイオードを製造する方法とに関する特定の実施形態に適用される概念および見識は、様々な状況で具体化され得ることが理解されるべきである。提示されている特定の実施形態は、静電放電ダイオードを設計および作製する特定の方法の単なる例示であり、本開示の範囲を限定しない。

10

【 0 0 1 3 】

本開示は、特定の状況での特定の実施形態を説明する。しかしながら、特定の実施形態に従って説明されている機能、方法、構造、または特徴は、また、1つまたは複数の他の実施形態を形成するために、適切な方法で組み合わせられ得る。加えて、図面は、機能、方法、構造、または特徴間の相対的な関係を示すために使用され、したがって、縮尺通りに描かれていない可能性がある。「裏面」、「前面」などのような方向の用語は、説明されている図面の向きに関して使用される。本開示の構成要素は、多数の異なる向きに配置され得る。そのように、方向の用語は、例示の目的のために使用され、限定することを意図されていない。

20

【 0 0 1 4 】

図 1 を参照すると、基板の裏面に静電放電ダイオードを含むスルーシリコンビア (T S V) ウェハの特定の例示的な実施形態が示されている。図 1 は、静電ダイオードを含む T S V ウェハの一部の断面図を示す。

【 0 0 1 5 】

T S V ウェハは、前面および裏面を含む。T S V ウェハは、基板 1 0 2 を含む。基板 1 0 2 は、p 型埋込み式基板であり得る。特定の実施形態では、基板 1 0 2 は、シリコン (S i) 基板である。T S V ウェハは、基板 1 0 2 を貫通して延在する第 1 のビア 1 1 2 と、基板 1 0 2 を貫通して延在する第 2 のビア 1 1 4 と、基板 1 0 2 を貫通して延在する第 3 のビア 1 1 6 と、基板 1 0 2 を貫通して延在する第 4 のビア 1 1 8 とを含むことができる。図 2 ~ 図 3 に関連して説明されているように、ビア 1 1 2 ~ 1 1 8 は、基板 1 0 2 の裏面を薄くするエッチングプロセスの前に、基板 1 0 2 を部分的に貫通して延在してもよい。特定の実施形態では、ビア 1 1 2 ~ 1 1 8 は、スルーシリコンビア (T S V) であり、ビア 1 1 2 ~ 1 1 8 は、金属で充填され得る。特定の実施形態では、金属は、銅 (C u) 、タングステン (W) 、銀 (A g) 、または金 (A u) のうちの少なくとも 1 つを含む。

30

【 0 0 1 6 】

T S V ウェハの前面は、活性層 1 0 4 を含むことができる。活性層 1 0 4 は、第 1 のアルミニウム金属化部分 1 0 6 と、第 2 のアルミニウム金属化部分 1 0 8 とを含むことができる。特定の実施形態では、T S V ウェハの入力および出力 (I / O) は、第 1 および第 2 のアルミニウム金属化部分 1 0 6 、 1 0 8 に形成され得る。基板 1 0 2 へのコンタクト 1 1 0 も、活性層 1 0 4 に含まれ得る。第 2 のビア 1 1 4 の部分 1 2 0 は、活性層 1 0 4 内に延在することができる。コンタクト 1 1 0 は、第 2 のビア 1 1 4 の部分 1 2 0 に結合され得、コンタクト 1 1 0 は、活性層 1 0 4 内に延在する。以下に説明するように、コンタクト 1 1 0 は、正極性を有する静電荷を基板 1 0 2 内に放散することができる。

40

【 0 0 1 7 】

T S V ウェハの裏面は、基板 1 0 2 上に形成された分離層 1 2 6 を含むことができる。分離層 1 2 6 は、基板 1 0 2 の選択された部分を金属コンタクトから分離することができ

50

る。特定の実施形態では、分離層 126 は、二酸化シリコン (SiO_2)、窒化シリコン (Si_3N_4)、酸窒化シリコン (SiO_xN_y)、五酸化タンタル (Ta_2O_5)、酸化アルミニウム (Al_2O_3)、および窒化アルミニウム (AlN)、ならびに、ポリイミドのような高分子絶縁材料のうちの少なくとも 1 つを含む。

【0018】

T S V ウェハの裏面は、分離層 126 上に形成された再配線層 134 も含むことができる。特定の実施形態では、再配線層 134 は、アルミニウム (Al)、銅 (Cu)、銀 (Ag)、およびタングステン (W) のうちの少なくとも 1 つを含む。特定の実施形態では、再配線層 134 は、主金属の下にアンダーバンプメタライゼーション (UBM) 層を有することができる。UBM 層は、チタン (Ti)、チタンタングステン (TiW)、窒化タンタル (Ta₂N)、または他のそのような金属およびそれらの多層のうちの少なくとも 1 つを含むことができる。図 6 に関連して説明されているように、分離層 126 は、再配線層 134 の一部が基板 102 と接触する (たとえば、直接接触する) ことを可能にする開口部を含むことができる。再配線層 134 が基板 102 に接触したとき、第 1 のダイオード 132 は、基板 102 内に静電荷を放散するように構成され得る。たとえば、再配線層 134 からの金属 (たとえば、銅 (Cu)) をシリコン (たとえば、基板 102) と直接接触して配置することは、ショットキーバリアダイオード (たとえば、第 1 のダイオード 132) を形成することができる。第 1 のダイオード 132 は、低 (たとえば、接地または負) 電圧にตอบสนองして活性化することができる。たとえば、第 1 のダイオード 132 は、負極性を有する静電荷にตอบสนองして活性化し、静電荷を基板 102 内に放散することができる。

【0019】

T S V ウェハの裏面は、正極性を有する静電荷を基板 102 内に放散するために、第 2 のダイオード 128 を含むこともできる。たとえば、n 型半導体材料は、第 2 のビア 114 上に配置され得る。再配線層 134 が n 型半導体材料と接触したとき、第 2 のダイオード 128 は、第 2 のビア 114 およびコンタクト 110 を介して基板 102 内に静電荷を放散するように形成され得る。たとえば、正極性を有する静電荷は、第 2 のダイオード 128 を活性化することができ、コンタクト 110 まで第 2 のビア 114 を通過することができる。コンタクト 110 は、静電荷を基板 102 に放散することができる。特定の実施形態では、n 型半導体材料は、酸化インジウム (In_2O_3) またはインジウムスズ酸化物 (ITO) のうちの少なくとも 1 つである。

【0020】

T S V ウェハの裏面は、再配線層 134 上にパターン化されたマイクロバンプ 138 を含むことができる。マイクロバンプ 138 は、T S V ウェハと別の T S V または非 T S V ウェハ (図示せず) との間の相互接続のために使用され得る。マイクロバンプ 138 は、T S V ウェハの部分と別のウェハとの間の導電性を可能にすることができる。たとえば、導電性は、ビア 112 ~ 118 と、再配線層 134 と、マイクロバンプ 138 とを備える導電性経路を介して、T S V ウェハのアルミニウム金属化部分 106、108 から別の T S V ウェハに流れることができる。特定の実施形態では、マイクロバンプ 138 は、T S V ウェハが反転されたとき、T S V ウェハを他の T S V ウェハに接続させるために使用される。T S V ウェハの裏面は、再配線層 134 を外部要素から電氣的に分離するために再配線層 134 上にパターン化された誘電体層 136 を含むこともできる。

【0021】

図 3 に関連して説明されているように、T S V ウェハは、反転され得、キャリアウェハ 124 上に配置され得る。接着層 122 は、T S V ウェハを定位置に保持するために、キャリアウェハ 124 上に配置され得る。

【0022】

動作中、静電荷は、T S V ウェハの相互接続中に作成され得る。たとえば、静電荷は、T S V ウェハを他の T S V ウェハに接続したときの温度および電圧変動に起因して、マイクロバンプ 138 およびビア 112 ~ 118 で生成され得る。第 1 および第 2 のダイオード

ド 1 3 2、1 2 8 は、静電荷を基板 1 0 2 内に放散することができる。たとえば、負極性を有する静電荷（たとえば、負電荷）に応答して、第 1 のダイオード 1 3 2（すなわち、ショットキーバリアダイオード）は、活性化し、静電荷を基板 1 0 2 内に放散することができる。代替的には、またはそれに加えて、正極性を有する静電荷（たとえば、正電荷）に応答して、第 2 のダイオード 1 2 8 は、活性化し、静電荷を基板 1 0 2 内に放散することができる。たとえば、活性化の際に、第 2 のダイオード 1 2 8 は、静電荷を、コンタクト 1 1 0 まで第 2 のビア 1 1 4 を通過させることができ、コンタクト 1 1 0 は、静電荷を基板 1 0 2 内に放散することができる。

【 0 0 2 3 】

静電荷を基板 1 0 2 内に放散するために T S V ウェハの裏面に第 1 および第 2 のダイオード 1 3 2、1 2 8 を形成することは、設計の柔軟性を改善し得ることが理解されるであろう。たとえば、T S V ウェハの前面のダイ面積は、静電放電ダイオードのためではなく、能動回路のために使用され得る。再配線層 1 3 4 および基板 1 0 2 を使用して第 1 のダイオード 1 3 2（すなわち、ショットキーバリアダイオード）を形成することは、T S V ウェハの裏面に埋込み式 P - N 接合ダイオードを配置することによって他の方法では存在する可能性がある処理温度の制約を低減することができる。たとえば、T S V ウェハの裏面に P - N 接合ダイオードを埋め込むことは、接合の活性化のために高温を使用することを伴う可能性があり、これは、T S V ウェハの前面の集積回路および I / O デバイス、ならびに、それが上に位置する T S V ウェハとキャリアウェハ 1 2 4 との間の結合に影響を与える可能性がある。ショットキーバリアダイオードは、低温を使用して実現され得る。T S V ウェハの裏面は、T S V ウェハの前面よりも回路網の密度が低い可能性があるので、静電放電ダイオードとしてショットキーバリアダイオードを使用することにより、温度に対する制約が低減した大きい静電放電ダイオードの使用を可能にし得る。

【 0 0 2 4 】

図 2 を参照すると、T S V ウェハの基板 1 0 2 の裏面に静電放電ダイオードを形成する特定の段階を示す図が示されている。特定の実施形態では、図 2 に示す T S V ウェハの特定の段階は、T S V ウェハの前面の製造が完了した後の段階に対応することができる。たとえば、T S V ウェハは、基板 1 0 2 と活性層 1 0 4 とを含む。ビア 1 1 2 ~ 1 1 8 は、基板 1 0 2 内に埋め込まれている。ビア 1 1 2 ~ 1 1 8 の部分（たとえば、第 2 のビア 1 1 4 の部分 1 2 0）は、活性層 1 0 4 内であり得る。アルミニウム金属化部分 1 0 6、1 0 8 は、活性層 1 0 4 内に実装されている。特定の実施形態では、活性層 1 0 4 の形成、および活性層内の構成要素は、バックエンドオブライン（B E O L）処理を介して形成される。コンタクト 1 1 0 は、活性層 1 0 4 内に延在する第 2 のビア 1 1 4 の部分 1 2 0 に結合され得、基板 1 0 2 に結合され得る。いくつかの実施形態では、アルミニウム金属化部分 1 0 6、1 0 8 の上部にはんだパンプ（図示せず）または C u ピラーパンプ（図示せず）が存在することができる。

【 0 0 2 5 】

図 3 を参照すると、T S V ウェハの基板 1 0 2 の裏面に静電放電ダイオードを形成するための別の特定の段階を示す図が示されている。図 3 に示す特定の段階中、T S V ウェハは、反転され、キャリアウェハ 1 2 4 上に配置される。たとえば、接着層 1 2 2 は、T S V ウェハを定位置に保持する（たとえば、接着層 1 2 2 と接触して活性層 1 0 4 とアルミニウム金属化部分 1 0 6、1 0 8 とを定位置に保持する）ために、キャリアウェハ 1 2 4 の上部に配置される。

【 0 0 2 6 】

図 3 に示す特定の段階中、基板 1 0 2 の裏面（たとえば、T S V ウェハの裏面）は、基板 1 0 2 内に形成されるビア 1 1 2 ~ 1 1 8 の部分を露出させるために薄くされ得る。たとえば、基板 1 0 2 の裏面は、エッチングプロセスを使用して薄くされ得る。

【 0 0 2 7 】

図 4 を参照すると、T S V ウェハの基板 1 0 2 の裏面に静電放電ダイオードを形成する別の特定の段階を示す図が示されている。図 4 に示す特定の段階中、分離層 1 2 6 は、T

10

20

30

40

50

S Vウェハの裏面で基板 1 0 2 上に堆積される。分離層 1 2 6 が基板 1 0 2 上に堆積された後、分離層 1 2 6 は、平坦化され得る。特定の実施形態では、分離層 1 2 6 は、化学機械研磨 (C M P) 技術を使用して平坦化される。分離層 1 2 6 は、再配線層 1 3 4 (図 1 に示す) を基板 1 0 2 から分離することができる。

【 0 0 2 8 】

図 5 を参照すると、T S Vウェハの基板 1 0 2 の裏面に静電放電ダイオードを形成するための別の特定の段階を示す図が示されている。図 5 に示す特定の段階中、n 型半導体材料は、T S Vウェハの裏面に堆積され得る。n 型半導体材料は、T S Vウェハの裏面の特定の領域を覆うようにパターン化され得る。たとえば、n 型半導体材料は、第 2 のビア 1 1 4 の上の領域と第 4 のビア 1 1 8 の上の領域とを覆うようにパターン化され得る。図 1 に関連して説明されているように、n 型半導体は、金属化再配線層 1 3 4 によって接触されたとき、第 2 のダイオード 1 2 8 を形成することができる。

10

【 0 0 2 9 】

図 6 を参照すると、T S Vウェハの基板 1 0 2 の裏面に静電放電ダイオードを形成するための別の特定の段階を示す図が示されている。図 6 に示す特定の段階中、開口部 1 3 0 は、分離層 1 2 6 に選択的にパターン化される。開口部 1 3 0 は、基板 1 0 2 の一部を露出させることができる。

【 0 0 3 0 】

図 7 を参照すると、T S Vウェハの基板 1 0 2 の裏面に静電放電ダイオードを形成するための別の特定の段階を示す図が示されている。図 7 に示す特定の段階中、再配線層 1 3 4 は、第 1 および第 2 のダイオード 1 3 2、1 2 8 を、それぞれ、形成するために、開口部 1 3 0 内および n 型半導体材料上に堆積され、パターン化される。

20

【 0 0 3 1 】

特定の実施形態では、第 1 のダイオード 1 3 2 および第 2 のダイオード 1 2 8 は、実質的に反対の極性を有する。たとえば、第 1 のダイオード 1 3 2 は、p 型ダイオードであり得、第 2 のダイオード 1 2 8 は、n 型ダイオードであり得る。再配線層 1 3 4 が、開口部 1 3 0 を介して基板 1 0 2 と接触したとき、第 1 のダイオード 1 3 2 は、静電荷を基板 1 0 2 内に放散するように形成され得る。シリコン (たとえば、基板 1 0 2) と直接接触して再配線層 1 3 4 からの金属 (たとえば、銅 (C u) またはアンダーバンプメタライゼーション (U B M)) を配置することは、ショットキーバリアを形成することができる。第 1 のダイオード 1 3 2 は、低 (たとえば、接地または負) 電圧に応答して活性化することができる。たとえば、負極性を有する静電荷は、第 1 のダイオード 1 3 2 を活性化することができる。第 1 のダイオード 1 3 2 は、静電荷を基板 1 0 2 内に放散することができる。再配線層 1 3 4 が n 型半導体材料と接触したとき、第 2 のダイオード 1 2 8 は、第 2 のビア 1 1 4 およびコンタクト 1 1 0 を介して、静電荷を基板 1 0 2 内に放散するように形成され得る。たとえば、正極性を有する静電荷は、第 2 のダイオード 1 2 8 を活性化することができる。コンタクト 1 1 0 まで第 2 のビア 1 1 4 を通過することができる。

30

【 0 0 3 2 】

第 1 のビア 1 1 2 は、負および正の極性を有する静電荷から保護され得ることが理解されるであろう。たとえば、第 1 のビア 1 1 2 は、再配線層 1 3 4 に電氣的に結合され得る。再配線層 1 3 4 と接触する負極性を有する静電荷は、第 1 のダイオード 1 3 2 を活性化することができる。活性化の際、静電荷は、基板 1 0 2 内に放電され得る。再配線層 1 3 4 と接触する正極性を有する静電荷は、第 2 のダイオード 1 2 8 を活性化することができる。活性化の際、静電荷は、第 2 のビア 1 1 4 およびコンタクト 1 1 0 を介して基板 1 0 2 内に放電され得る。特定の実施形態では、アルミニウム金属化部分 1 0 6、1 0 8 内の I / O のような I / O (図示せず) は、第 1 のビア 1 1 2 に電氣的に結合され得る。I / O からもたらされる静電放電は、第 1 のビア 1 1 2 および再配線層 1 3 4 の導電性を使用して T S V の裏面の第 1 および第 2 のダイオード 1 3 2、1 2 8 を介して基板内に蓄積され得る。

40

【 0 0 3 3 】

50

図 8 を参照すると、基板の裏面に静電放電ダイオードを含む T S V ウェハの別の特定の例示的な実施形態が示されている。図 8 に示す T S V ウェハは、T S V ウェハの裏面にトレンチ 8 0 0 を含むことができる。

【 0 0 3 4 】

たとえば、図 7 中の再配線層 1 3 4 を堆積する前に、トレンチ 8 0 0 は、基板 1 0 2 内に作成され得る。トレンチ 8 0 0 を作成することで、基板 1 0 2 と第 1 のダイオード 1 3 2 との間の直列抵抗を低減することができる。たとえば、トレンチ 8 0 0 の側壁は、再配線層 1 3 4 と基板 1 0 2 との間の接触面積を増大させることができ、これは、より大きい第 1 のダイオード 1 3 2 を生成することができる。トレンチ 8 0 0 は、静電荷を基板 1 0 2 により近づけさせることもでき、これは、第 1 のダイオード 1 3 2 の寄生抵抗を低減することができる。

10

【 0 0 3 5 】

図 9 を参照すると、基板の裏面に静電放電ダイオードを含む T S V ウェハの別の特定の例示的な実施形態が示されている。図 9 に示す T S V ウェハは、T S V ウェハの前面にトレンチ 9 0 0 を含むことができる。トレンチ 9 0 0 を作成することで、基板 1 0 2 と第 2 のダイオード 1 2 8 との間の直列抵抗を低減することもできる。

【 0 0 3 6 】

図 1 0 を参照すると、基板の裏面に静電放電ダイオードを含む T S V ウェハの別の特定の例示的な実施形態が示されている。図 1 0 に示す T S V ウェハは、T S V ウェハの裏面の静電放電ダイオードと基板 1 0 2 との間の抵抗を低減するために、T S V ウェハの裏面に基板コンタクト 1 0 0 0 を含むことができる。

20

【 0 0 3 7 】

図 1 1 を参照すると、T S V ウェハの基板の裏面に静電放電ダイオードを形成する方法の特定の例示的な実施形態が示されている。図 1 1 の方法は、図 1 ~ 図 1 0 に示す T S V ウェハの実施形態を製造する、またはそれらを参照して製造するために実行され得る。

【 0 0 3 8 】

方法は、1 1 0 2 で、基板に形成された第 1 のビアの部分を出露させるために、基板の裏面を薄くするステップを含むことができる。たとえば、図 3 では、基板 1 0 2 の裏面（たとえば、T S V ウェハの裏面）は、基板 1 0 2 内に形成された第 1 のビア 1 1 2 の部分を出露させるために薄くされ得る。基板 1 0 2 の裏面は、エッチングプロセスを使用して薄くされ得る。

30

【 0 0 3 9 】

1 1 0 4 で、第 1 のダイオードは、基板の裏面に形成され得る。たとえば、図 7 では、再配線層 1 3 4 は、第 1 および第 2 のダイオード 1 3 2、1 2 8 を、それぞれ形成するために、開口部 1 3 0 内および n 型半導体材料上に堆積され、パターン化され得る。第 1 のダイオード 1 3 2 は、再配線層 1 3 4 を介して第 1 のビア 1 1 2 に結合され得、第 2 のダイオード 1 2 8 は、再配線層 1 3 4 を介して第 2 のビア 1 1 4 に結合され得る。

【 0 0 4 0 】

図 1 1 の方法は、静電荷を基板 1 0 2 内に放散するために T S V ウェハの裏面に第 1 および第 2 のダイオード 1 3 2、1 2 8 を形成することによって、設計の柔軟性を改善することができる。たとえば、T S V ウェハの前面のダイ面積は、静電放電ダイオードのためではなく、能動回路のために潜在的に使用され得る。再配線層 1 3 4 および基板 1 0 2 を使用して第 1 のダイオード 1 3 2（すなわち、ショットキーバリアダイオード）を形成することによって、T S V ウェハの裏面に埋込み式 P - N 接合ダイオードを配置することによって他の方法では存在する可能性がある温度の制約を低減することができる。たとえば、T S V ウェハの裏面に P - N 接合ダイオードを埋め込むことは、高温の使用を伴う可能性があり、これは、T S V ウェハの前面の集積回路および I / O に影響を与える可能性がある。ショットキーバリアダイオードは、低温を使用して実現され得る。T S V ウェハの裏面は、T S V ウェハの前面よりも回路網の密度が低い可能性がある。静電放電ダイオードとしてショットキーバリアダイオードを使用することは

40

50

、温度に対する制約が低減した大きい静電放電ダイオードの使用を可能にすることができる。

【 0 0 4 1 】

図 1 2 を参照すると、T S V ウェハの基板の裏面に静電放電ダイオードを形成するための方法の別の特定の例示的な実施形態が示されている。図 1 2 の方法は、図 1 ~ 図 1 0 に示す T S V ウェハの実施形態を製造する、またはそれらを参照して製造するために実行され得る。

【 0 0 4 2 】

方法は、1 2 0 2 で、基板に形成された第 1 のビアの部分を出し、基板に形成された第 2 のビアの部分を出させるために、基板の裏面を薄くするステップを含むことができる。たとえば、図 3 では、基板 1 0 2 の裏面（たとえば、T S V ウェハの裏面）は、基板 1 0 2 内に形成された第 1 のビア 1 1 2 の部分と、基板 1 0 2 内に形成された第 2 のビア 1 1 4 の部分とを出させるために薄くされ得る。基板 1 0 2 の裏面は、エッチング処理を使用して薄くされ得る。

10

【 0 0 4 3 】

1 2 0 4 で、分離層は、基板の裏面上に堆積され得、平坦化され得る。たとえば、図 4 では、分離層 1 2 6 は、T S V ウェハの裏面で、基板 1 0 2 上に堆積される。分離層 1 2 6 が基板 1 0 2 上に堆積された後、分離層 1 2 6 は、平坦化され得る。特定の実施形態では、分離層 1 2 6 は、化学機械研磨（C M P）技術を使用して平坦化される。分離層 1 2 6 は、再配線層 1 3 4（図 1 に示すような）を基板 1 0 2 から分離することができる。

20

【 0 0 4 4 】

1 2 0 6 で、n 型半導体材料は、第 2 のビア上に堆積され得る。たとえば、図 5 では、n 型半導体材料は、T S V ウェハの裏面上に堆積され得る。n 型半導体材料は、T S V ウェハの裏面の特定の領域を覆うようにパターン化され得る。たとえば、n 型半導体材料は、第 2 のビア 1 1 4 の上の領域を覆うようにパターン化され得る。1 2 0 8 で、開口部は、第 1 のビアと第 2 のビアとの間の分離層に選択的にパターン化され得る。たとえば、図 6 では、開口部 1 3 0 は、第 1 および第 2 のビア 1 1 2、1 1 4 の間の分離層 1 2 6 に選択的にパターン化されている。開口部 1 3 0 は、基板 1 0 2 と接触することができる。

【 0 0 4 5 】

1 2 1 0 で、再配線層は、n 型半導体材料上と、分離層上と、第 1 のビア上と、開口部内とに堆積され得る。たとえば、図 7 では、再配線層 1 3 4 は、第 1 および第 2 のダイオード 1 3 2、1 2 8 を、それぞれ形成するために、開口部 1 3 0 内および n 型半導体材料上に堆積され得、パターン化され得る。再配線層 1 3 4 が、開口部 1 3 0 を介して基板 1 0 2 に接触したとき、第 1 のダイオード 1 3 2 は、静電荷を基板 1 0 2 内に放散するように形成され得る。シリコン（たとえば、基板 1 0 2）と直接接触して再配線層 1 3 4 からの金属（たとえば、銅（C u）またはアンダーバンプメタライゼーション（U B M））を配置することで、ショットキーバリアを形成することができる。第 1 のダイオード 1 3 2 は、低（たとえば、接地または負）電圧にตอบสนองして活性化することができる。たとえば、負極性を有する静電荷は、第 1 のダイオード 1 3 2 を活性化することができ、第 1 のダイオード 1 3 2 は、静電荷を基板 1 0 2 内に放散することができる。再配線層 1 3 4 が n 型半導体材料と接触したとき、第 2 のダイオード 1 2 8 は、第 2 のビア 1 1 4 とコンタクト 1 1 0 とを介して静電荷を基板 1 0 2 内に放散するように形成され得る。たとえば、正極性を有する静電荷は、第 2 のダイオード 1 2 8 を活性化することができ、コンタクト 1 1 0 まで第 2 のビア 1 1 4 を通過することができる。

30

40

【 0 0 4 6 】

図 1 3 を参照すると、ワイヤレス通信デバイスの特定の例示的な実施形態のブロック図が示されており、全体が 1 3 0 0 と表される。デバイス 1 3 0 0 は、メモリ 1 3 3 2（たとえば、ランダムアクセスメモリ（R A M）、フラッシュメモリ、読取り専用メモリ（R O M）、プログラマブル読取り専用メモリ（P R O M）、消去可能プログラマブル読取り専用メモリ（E P R O M）、電氣的消去可能プログラマブル読取り専用メモリ（E E P R

50

OM)、レジスタ、ハードディスク、リムーバブルディスク、コンパクトディスク読取り専用メモリ(CD-ROM)、または当技術分野で知られている任意の他の形態の非一時的記憶媒体)に結合されたデジタル信号プロセッサ(DSP)などのプロセッサ1310を含む。メモリ1332は、プロセッサ1310によって実行可能な命令1362を記憶することができる。メモリ1332は、プロセッサ1310にアクセス可能なデータ1366を記憶することができる。

【0047】

デバイス1300は、基板の裏面に静電放電ダイオードを含むTSVウェハ1348を含む。例示的な実施形態では、TSVウェハ1348は、図1~図10に示すTSVウェハに対応することができる。図13は、プロセッサ1310とディスプレイ1328とに結合されたディスプレイコントローラ1326も示す。コーダ/デコーダ(コーデック)1334も、プロセッサ1310に結合することができる。スピーカ1336およびマイクロフォン1338は、コーデック1334に結合され得る。図13は、ワイヤレスコントローラ1340がプロセッサ1310に結合され得、さらに、RFインターフェース1352を介してアンテナ1342に結合され得ることも示す。

【0048】

特定の実施形態では、プロセッサ1310、ディスプレイコントローラ1326、メモリ1332、コーデック1334、およびワイヤレスコントローラ1340は、システムインパッケージまたはシステムオンチップデバイス1322に含まれる。特定の実施形態では、入力デバイス1330および電源1344は、システムオンチップデバイス1322に結合されている。さらに、特定の実施形態では、図13に示すように、ディスプレイ1328、入力デバイス1330、スピーカ1336、マイクロフォン1338、アンテナ1342、および電源1344は、システムオンチップデバイス1322の外部にある。しかしながら、ディスプレイ1328、入力デバイス1330、スピーカ1336、マイクロフォン1338、ワイヤレスアンテナ1342、および電源1344の各々は、インターフェースまたはコントローラのようなシステムオンチップデバイス1322の構成要素に結合され得る。

【0049】

前述の開示されているデバイスおよび機能は、コンピュータ可読媒体に記憶されたコンピュータファイル(たとえば、RTL、GDSII、GERBER、など)内に設計および構成され得る。いくつかまたはすべてのそのようなファイルは、そのようなファイルに基づいてデバイスを製造する製造取扱者に提供され得る。もたらされる生成物は、半導体ウェハを含み、半導体ウェハは、次いで、半導体ダイに切断され、半導体チップにパッケージ化される。図14をさらに参照しながら説明するように、半導体チップは、次いで電子デバイスに組み込まれる。

【0050】

図14を参照すると、電子デバイス製造プロセスの特定の例示的な実施形態が示され、全体が1400と表される。図14で、物理デバイス情報1402が、製造プロセス1400において、調査コンピュータ1406などにおいて受け取られる。物理デバイス情報1402は、基板の裏面に静電放電ダイオードを含むTSVウェハ(たとえば、図1~図10に示すTSVウェハ、および/または図11~図12の方法1100~1200に従って形成されたTSVウェハ)のような半導体デバイスの少なくとも1つの物理的特性を表す設計情報を含むことができる。たとえば、物理デバイス情報1402は、調査コンピュータ1406に結合されたユーザーインターフェース1404を介して入力された、物理的パラメータと、材料特性と、構造情報とを含むことができる。調査コンピュータ1406は、メモリ1410のようなコンピュータ可読媒体に結合された1つまたは複数の処理コアのようなプロセッサ1408を含む。メモリ1410は、プロセッサ1408に、ファイルフォーマットに準拠するように物理デバイス情報1402を変換させ、ライブラリファイル1412を生成させるために実行可能なコンピュータ可読命令を記憶することができる。

【 0 0 5 1 】

特定の実施形態では、ライブラリファイル 1 4 1 2 は、変換された設計情報を含む少なくとも 1 つのデータを含む。たとえば、ライブラリファイル 1 4 1 2 は、電子設計自動化 (E D A) ツール 1 4 2 0 と共に使用するために提供された、基板の裏面に静電放電ダイオードを含む T S V ウェハ (たとえば、図 1 ~ 図 1 0 に示す T S V ウェハ、および / または図 1 1 ~ 図 1 2 の方法 1 1 0 0 ~ 1 2 0 0 に従って形成された T S V ウェハ) のようなデバイスのライブラリを含むことができる。

【 0 0 5 2 】

ライブラリファイル 1 4 1 2 は、メモリ 1 4 1 8 に結合された 1 つまたは複数の処理コアのようなプロセッサ 1 4 1 6 を含む設計コンピュータ 1 4 1 4 で、 E D A ツール 1 4 2 0 と共に使用され得る。 E D A ツール 1 4 2 0 は、設計コンピュータ 1 4 1 4 のユーザーが、ライブラリファイル 1 4 1 2 を使用して基板の裏面に静電放電ダイオードを含む T S V ウェハ (たとえば、図 1 ~ 図 1 0 に示す T S V ウェハ、および / または図 1 1 ~ 図 1 2 の方法 1 1 0 0 ~ 1 2 0 0 に従って形成された T S V ウェハ) を設計することを可能にするために、プロセッサ実行可能命令としてメモリ 1 4 1 8 に記憶され得る。たとえば、設計コンピュータ 1 4 1 4 のユーザーは、設計コンピュータ 1 4 1 4 に結合されたユーザーインターフェース 1 4 2 4 を介して回路設計情報 1 4 2 2 を入力することができる。回路設計情報 1 4 2 2 は、基板の裏面に静電放電ダイオードを含む T S V ウェハ (たとえば、図 1 ~ 図 1 0 に示す T S V ウェハ、および / または図 1 1 ~ 図 1 2 の方法 1 1 0 0 ~ 1 2 0 0 に従って形成された T S V ウェハ) の少なくとも 1 つの物理的特性を表す設計情報を含むことができる。説明するために、回路設計特性は、回路設計内の特定の回路の識別および他の要素との関係、位置決め情報、特徴サイズ情報、相互接続情報、または、半導体デバイスの物理的特性を表す他の情報を含むことができる。

【 0 0 5 3 】

設計コンピュータ 1 4 1 4 は、回路設計情報 1 4 2 2 を含む設計情報を、ファイルフォーマットに準拠するように変換するように設計され得る。説明するために、ファイル構成は、平面幾何学的形状、テキストラベル、および、グラフィックデータシステム (G D S I I) ファイルフォーマットのような階層的フォーマットでの回路レイアウトについての他の情報を表すデータベースバイナリファイルフォーマットを含むことができる。設計コンピュータ 1 4 1 4 は、他の回路または情報に加えて、基板の裏面に静電放電ダイオードを含む T S V ウェハ (たとえば、図 1 ~ 図 1 0 に示す T S V ウェハ、および / または図 1 1 ~ 図 1 2 の方法 1 1 0 0 ~ 1 2 0 0 に従って形成された T S V ウェハ) を記述する情報を含む G D S I I ファイル 1 4 2 6 のような、変換された設計情報を含むデータファイルを生成するように構成され得る。説明するために、データファイルは、基板の裏面に静電放電ダイオードを含む T S V ウェハ (たとえば、図 1 ~ 図 1 0 に示す T S V ウェハ、および / または図 1 1 ~ 図 1 2 の方法 1 1 0 0 ~ 1 2 0 0 に従って形成された T S V ウェハ) を含み、また、 S O C 内の追加の電子回路および構成要素を含む、システムオンチップ (S O C) に対応する情報を含むことができる。

【 0 0 5 4 】

G D S I I ファイル 1 4 2 6 は、 G D S I I ファイル 1 4 2 6 内の変換された情報に従って基板の裏面に静電放電ダイオードを含む T S V ウェハ (たとえば、図 1 ~ 図 1 0 に示す T S V ウェハ、および / または図 1 1 ~ 図 1 2 の方法 1 1 0 0 ~ 1 2 0 0 に従って形成された T S V ウェハ) を製造するために、製造プロセス 1 4 2 8 で受信され得る。たとえば、デバイス製造プロセスは、代表的なマスク 1 4 3 2 として示されている、フォトリソグラフィプロセスで使用されるマスクのような、 1 つまたは複数のマスクを作成するために、 G D S I I ファイル 1 4 2 6 をマスク製造業者 1 4 3 0 に提供することを含むことができる。マスク 1 4 3 2 は、試験され得、代表的なダイ 1 4 3 6 のようなダイに分離され得る、 1 つまたは複数のウェハ 1 4 3 4 を生成するために、製造プロセス中に使用され得る。ダイ 1 4 3 6 は、基板の裏面に静電放電ダイオードを含む T S V ウェハ (たとえば、図 1 ~ 図 1 0 に示す T S V ウェハ、および / または図 1 1 ~ 図 1 2 の方法 1 1 0 0 ~ 1 2

10

20

30

40

50

00に従って形成されたTSVウェハ)を含む。

【0055】

説明した実施形態に関連して、非一時的なコンピュータ可読媒体は、図11の方法1100、図12の方法1200、またはそれらの任意の組み合わせを実行するためにコンピュータによって実行可能な命令を記憶する。たとえば、半導体製造工場の設備は、コンピュータとメモリとを含むことができ、図11の方法1100、図12の方法1200、または、製造プロセス1428に関連し、GSDIIファイル1426を使用するような、それらの任意の組み合わせを実行することができる。説明するために、コンピュータは、図11を参照して説明されているように、基板に形成された第1のビアの部分を露出させるように基板の裏面を薄くするステップを開始する命令と、基板の裏面に第1のダイオードを形成するステップを開始する命令とを実行することができる。

10

【0056】

ダイ1436は、ダイ1436が代表的なパッケージ1440に組み込まれるパッケージ化プロセス1438に提供され得る。たとえば、パッケージ1440は、システムインパッケージ(SiP)配置のような、単一のダイ1436または複数のダイを含むことができる。パッケージ1440は、電子デバイス技術合同協議会(JEDEC: Joint Electron Device Engineering Council)規格のような、1つまたは複数の規格または仕様に従うように構成され得る。

【0057】

パッケージ1440に関連する情報は、コンピュータ1446に記憶された構成要素ライブラリを介するなどして、様々な製品設計者に配布され得る。コンピュータ1446は、メモリ1450に結合された1つまたは複数の処理コアのようなプロセッサ1448を含むことができる。プリント回路基板(PCB)ツールは、ユーザーインターフェース1444を介してコンピュータ1446のユーザーから受信されたPCB設計情報1442を処理するために、メモリ1450にプロセッサ実行可能命令として記憶され得る。PCB設計情報1442は、回路基板上のパッケージ化された半導体デバイスの物理的な位置決め情報を含むことができ、パッケージ化された半導体デバイスは、基板の裏面に静電放電ダイオードを含むTSVウェハ(たとえば、図1~図10に示すTSVウェハ、および/または図11~図12の方法1100~1200に従って形成されたTSVウェハ)を含むパッケージ1440に対応する。

20

30

【0058】

コンピュータ1446は、回路基板上のパッケージ化された半導体デバイスの物理的な位置決め情報、ならびに、トレースおよびビアのような電氣的接続のレイアウトを含むデータを有する、GERBERファイル1452のようなデータファイルを生成するために、PCB設計情報1442を変換するように構成され得、ここで、パッケージ化された半導体デバイスは、基板の裏面に静電放電ダイオードを含むTSVウェハ(たとえば、図1~図10に示すTSVウェハ、および/または図11~図12の方法1100~1200に従って形成されたTSVウェハ)を含むパッケージ1440に対応する。他の実施形態では、変換されたPCB設計情報によって生成されたデータファイルは、GERBERフォーマット以外のフォーマットを有することができる。

40

【0059】

GERBERファイル1452は、基板組み立てプロセス1454で受信され得、GERBERファイル1452内に記憶された設計情報に従って製造された代表的なPCB1456のようなPCBを作成するために使用され得る。たとえば、GERBERファイル1452は、PCB製造プロセスの様々なステップを実行するために、1つまたは複数のマシンにアップロードされ得る。PCB1456は、代表的なプリント回路基板アセンブリ(PCA)1458を形成するために、パッケージ1440を含む電子構成要素が配置され得る。

【0060】

PCA1458は、生成物製造プロセス1460で受信され得、第1の代表的な電子デ

50

バイス 1 4 6 2 および第 2 の代表的な電子デバイス 1 4 6 4 のような 1 つまたは複数の電子デバイスに組み込まれ得る。例示的な非限定的な例として、第 1 の代表的な電子デバイス 1 4 6 2、第 2 の代表的な電子デバイス 1 4 6 4、または両方は、携帯電話、ワイヤレスローカルエリアネットワーク (LAN) デバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (PDA)、固定位置データユニット、およびコンピュータのグループから選択され得、これらの中に、基板の裏面に静電放電ダイオードを含む TSV ウェハ (たとえば、図 1 ~ 図 10 に示す TSV ウェハ、および / または図 11 ~ 図 12 の方法 1100 ~ 1200 に従って形成された TSV ウェハ) が組み込まれている。別の例示的な非限定的な例として、1 つまたは複数の電子デバイス 1 4 6 2 および 1 4 6 4 は、携帯電話のようなりモートユニット、ハンドヘルドパーソナル通信システム (PCS) ユニット、携帯情報端末のようなポータブルデータユニット、全地球測位システム (GPS) 対応デバイス、ナビゲーションデバイス、メータ検針機器のような固定位置データユニット、または、データもしくはコンピュータ命令を記憶もしくは受信する任意の他のデバイス、またはそれらの組み合わせであり得る。図 13 は、本開示の教示によるリモートユニットを示しているが、本開示は、これらの例示されているユニットに限定されない。本開示の実施形態は、好ましくは、メモリとオンチップ回路網とを含む能動集積回路網を含む任意のデバイスで用いられ得る。

【0061】

基板の裏面に静電放電ダイオードを含む TSV ウェハ (たとえば、図 1 ~ 図 10 に示す TSV ウェハ、および / または図 11 ~ 図 12 の方法 1100 ~ 1200 に従って形成された TSV ウェハ) を含むデバイスは、例示的なプロセス 1400 で説明されているように、製造され得、処理され得、電子デバイスに組み込まれ得る。図 1 ~ 図 10 を参照して開示されている実施形態の 1 つまたは複数の態様は、ライブラリファイル 1412 内、GDSII ファイル 1426 内、および GERBER ファイル 1452 内のような、様々な処理段階で含まれ得、同時に、調査コンピュータ 1406 のメモリ 1410、設計コンピュータ 1414 のメモリ 1418、コンピュータ 1446 のメモリ 1450、基板アセンブリプロセス 1454 のような様々な段階で使用される 1 つまたは複数の他のコンピュータまたはプロセッサ (図示せず) のメモリに記憶され得、また、マスク 1432、ダイ 1436、パッケージ 1440、PCA 1458、またはプロトタイプの回路もしくはデバイスのような他の製品 (図示せず)、またはそれらの組み合わせのような 1 つまたは複数の他の物理的実施形態に組み込まれ得る。TSV ウェハの裏面に静電放電ダイオードを形成するために様々な代表的な段階が図 1 ~ 図 12 を参照して示されているが、他の実施形態では、より少ない段階が使用され得、または、追加の段階が含まれ得る。同様に、図 14 のプロセス 1400 は、プロセス 1400 の様々な段階を実行する、単一のエンティティによって、または 1 つもしくは複数のエンティティによって実行され得る。

【0062】

説明されている実施形態に関連して、負極性を有する静電荷をスルーシリコンビア (TSV) ウェハの基板内に放散するための手段を含む装置が開示される。負極性を有する静電荷を放散するための手段は、基板の裏面に配置され得る。たとえば、負極性を有する静電荷を放散するための手段は、図 1 ~ 図 10 に示す TSV ウェハの第 1 のダイオード 132 を含むことができる。

【0063】

装置は、正極性を有する静電荷を基板内に放散するための手段も含む。正極性を有する静電荷を放散するための手段は、基板の裏面に配置され得る。正極性を有する静電荷を放散するための手段は、図 1 ~ 図 10 に示す TSV ウェハの第 2 のダイオード 128 を含むことができる。

【0064】

当業者は、本明細書に開示されている実施形態に関連して説明されている様々な例示的な論理ブロック、構成、モジュール、回路、およびアルゴリズムステップが、電子ハード

10

20

30

40

50

ウェアとして、プロセッサによって実行されるコンピュータソフトウェアとして、または両方の組み合わせとして実現され得ることをさらに理解するであろう。様々な例示的な構成要素、ブロック、構成、モジュール、回路、およびステップが、それらの機能の観点から一般的に上記で説明されている。そのような機能がハードウェアまたはプロセッサ実行可能命令のいずれとして実現されるのかは、システム全体に課される特定の用途および設計制約に依存する。当業者は、説明されている機能を、各々の特定の用途のために様々な方法で実現することができるが、そのような実現の決定は、本開示の範囲からの逸脱を引き起こすと解釈されるべきではない。

【 0 0 6 5 】

本明細書に開示されている実施形態に関連して説明されている方法またはアルゴリズムのステップは、直接ハードウェアで、プロセッサによって実行されるソフトウェアモジュールで、または2つの組み合わせで具体化され得る。ソフトウェアモジュールは、ランダムアクセスメモリ (R A M)、フラッシュメモリ、読み出し専用メモリ (R O M)、プログラム可能読み出し専用メモリ (P R O M)、消去可能プログラム可能読み出し専用メモリ (E P R O M)、電氣的消去可能プログラム可能読み出し専用メモリ (E E P R O M)、レジスタ、ハードディスク、リムーバブルディスク、コンパクトディスク読み出し専用メモリ (C D - R O M)、または、当該技術分野で公知の任意の他の形態の非一時的記憶媒体内に存在することができる。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体は、プロセッサと一体であり得る。プロセッサおよび記憶媒体は、特定用途向け集積回路 (A S I C) 内に存在することができる。A S I C は、コンピューティングデバイスまたはユーザー端末内に存在することができる。代替的に、プロセッサおよび記憶媒体は、コンピューティングデバイスまたはユーザー端末内の別個の構成要素として存在することができる。

【 0 0 6 6 】

開示されている実施形態の前述の説明は、当業者が開示されている実施形態を作製または使用することを可能にするために提供されている。これらの実施形態に対する様々な修正は、当業者には容易に明らかであり、本明細書で定義されている原理は、本開示の範囲から逸脱することなく、他の実施形態に適用され得る。したがって、本開示は、本明細書に示されている実施形態に限定されることを意図されておらず、以下の特許請求の範囲によって定義される原理および新規な特徴と一致する最も広い範囲を与えられるべきである。

【 符号の説明 】

【 0 0 6 7 】

- 1 0 2 基板
- 1 0 4 活性層
- 1 0 6 第 1 のアルミニウム金属化部分
- 1 0 8 第 2 のアルミニウム金属化部分
- 1 1 0 コンタクト
- 1 1 2 第 1 のビア
- 1 1 4 第 2 のビア
- 1 1 6 第 3 のビア
- 1 1 8 第 4 のビア
- 1 2 0 部分
- 1 2 2 接着層
- 1 2 4 キャリアウェハ
- 1 2 6 分離層
- 1 2 8 第 2 のダイオード
- 1 3 0 開口部
- 1 3 2 第 1 のダイオード

10

20

30

40

50

1 3 4	再配線層	
1 3 6	誘電体層	
1 3 8	マイクロバンプ	
8 0 0	トレンチ	
9 0 0	トレンチ	
1 0 0 0	基板コンタクト	
1 3 0 0	デバイス	
1 3 1 0	プロセッサ	
1 3 2 2	システムオンチップデバイス	
1 3 2 6	ディスプレイコントローラ	10
1 3 2 8	ディスプレイ	
1 3 3 0	入力デバイス	
1 3 3 2	メモリ	
1 3 3 4	コーデック	
1 3 3 6	スピーカ	
1 3 3 8	マイクロフォン	
1 3 4 0	ワイヤレスコントローラ	
1 3 4 2	アンテナ	
1 3 4 4	電源	
1 3 4 8	T S V ウェハ	20
1 3 5 2	R F インターフェース	
1 3 6 2	命令	
1 4 0 2	物理デバイス情報	
1 4 0 4	ユーザーインターフェース	
1 4 0 6	調査コンピュータ	
1 4 0 8	プロセッサ	
1 4 1 0	メモリ	
1 4 1 2	ライブラリファイル	
1 4 1 4	設計コンピュータ	
1 4 1 6	プロセッサ	30
1 4 1 8	メモリ	
1 4 2 0	電子設計自動化ツール	
1 4 2 2	回路設計情報	
1 4 2 4	ユーザーインターフェース	
1 4 2 6	G D S I I ファイル	
1 4 2 8	製造プロセス	
1 4 3 0	マスク製造業者	
1 4 3 2	マスク	
1 4 3 4	ウェハ	
1 4 3 6	ダイ	40
1 4 3 8	パッケージ化プロセス	
1 4 4 0	パッケージ	
1 4 4 2	P C B 設計情報	
1 4 4 4	ユーザーインターフェース	
1 4 4 6	コンピュータ	
1 4 4 8	プロセッサ	
1 4 5 0	メモリ	
1 4 5 2	G E R B E R ファイル	
1 4 5 4	基板アセンブリプロセス	
1 4 5 6	P C B	50

【図 5】

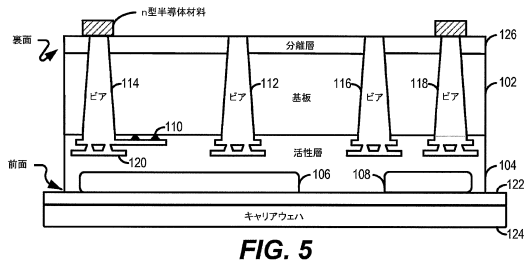


FIG. 5

【図 7】

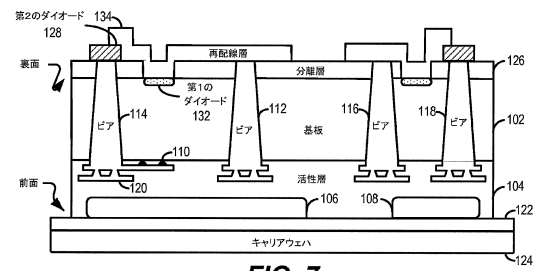


FIG. 7

【図 6】

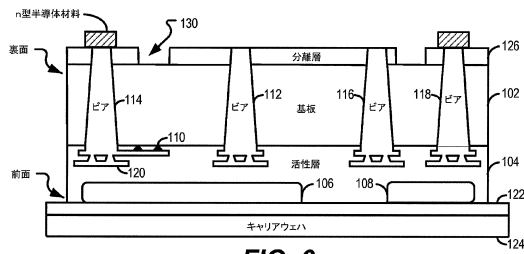


FIG. 6

【図 8】

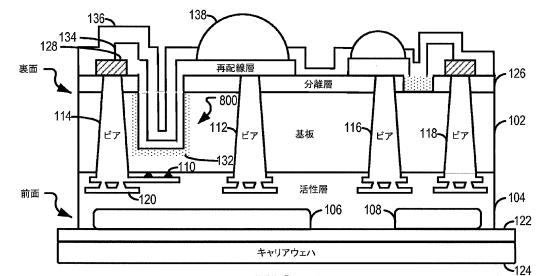


FIG. 8

【図 9】

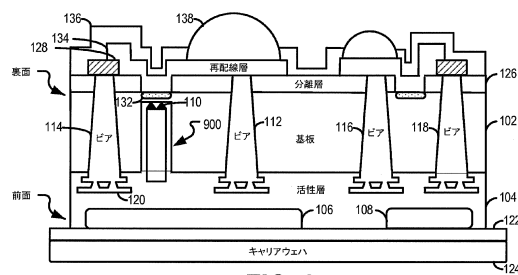


FIG. 9

【図 11】

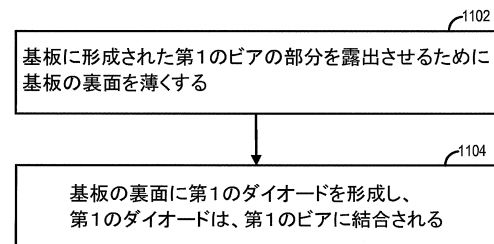


FIG. 11

【図 10】

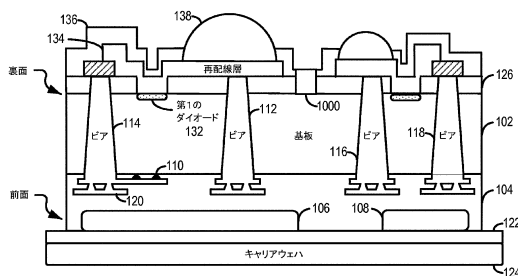


FIG. 10

【図 12】

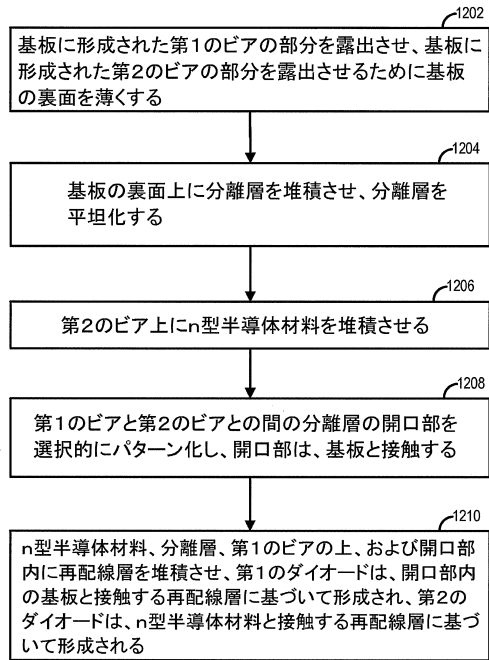


FIG. 12

【図 13】

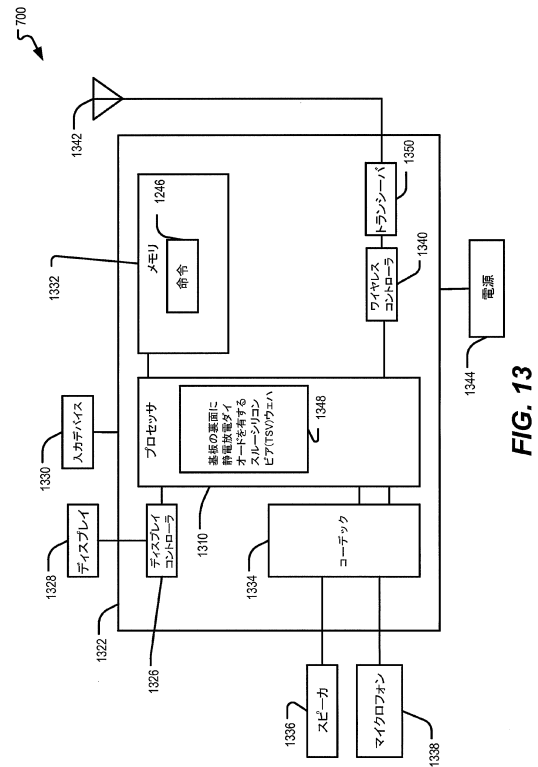


FIG. 13

【図 14】

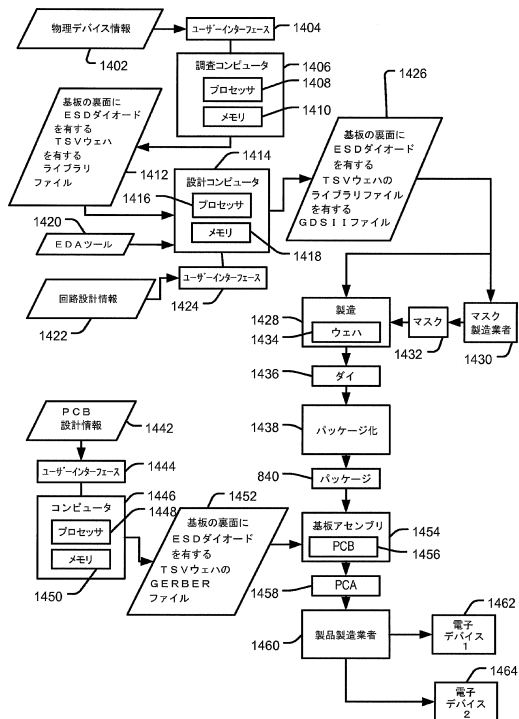


FIG. 14

フロントページの続き

- (72)発明者 ブライアン・エム・ヘンダーソン
 アメリカ合衆国・カリフォルニア・９２１２１－１７１４・サン・ディエゴ・モアハウス・ドライ
 ヴ・５７７５
- (72)発明者 シーチュン・グ
 アメリカ合衆国・カリフォルニア・９２１２１－１７１４・サン・ディエゴ・モアハウス・ドライ
 ヴ・５７７５
- (72)発明者 チュウ・グアン・タン
 アメリカ合衆国・カリフォルニア・９２１２１－１７１４・サン・ディエゴ・モアハウス・ドライ
 ヴ・５７７５
- (72)発明者 ジュン・ピル・キム
 アメリカ合衆国・カリフォルニア・９２１２１－１７１４・サン・ディエゴ・モアハウス・ドライ
 ヴ・５７７５
- (72)発明者 テヒュン・キム
 アメリカ合衆国・カリフォルニア・９２１２１－１７１４・サン・ディエゴ・モアハウス・ドライ
 ヴ・５７７５

審査官 戸次 一夫

- (56)参考文献 米国特許第０８１６４１１３（ＵＳ，Ｂ１）
 米国特許出願公開第２０１１／０３０４０１０（ＵＳ，Ａ１）
 特表２０１２－５０２４７７（ＪＰ，Ａ）
 特表２０１３－５０８９６７（ＪＰ，Ａ）
 特開２０１３－０８０９７１（ＪＰ，Ａ）
 特開２０１４－１６５３５８（ＪＰ，Ａ）
 米国特許第０８８１００１０（ＵＳ，Ｂ１）

- (58)調査した分野(Int.Cl.，ＤＢ名)
 Ｈ０１Ｌ ２１／７６８
 Ｈ０１Ｌ ２７／０４