

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國(地區)申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權

2000 年 5 月 24 日 特願 2000-153706(主張優先權)
2000 年 5 月 24 日 特願 2000-153707(主張優先權)
2000 年 5 月 24 日 特願 2000-153708(主張優先權)
2001 年 1 月 25 日 特願 2001-16866 (主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

[發明背景]

[發明領域]

本發明係關於一種確保相容於遊戲軟體之遊戲系統，及一種用於該遊戲系統之遊戲卡匣。藉由使該遊戲卡匣適用於習知類型的第一遊戲機及性能優於所比較的該第一遊戲機之第二遊戲機，相容性可以成功地獲得保證。該種遊戲機藉由一種可攜帶式的遊戲機做示範，以一種可抽取之方式，可與具有遊戲程式儲存在其內部之遊戲卡匣銜接。

[背景技藝說明]

採用遊戲系統當作例子，第 21、22、與 23 圖是習知資訊處理系統之說明圖。首先，如第 21 圖所示，習知的資訊處理系統 CGB 主要包括程式源(program source)100 與遊戲機 200。該程式源 100 儲存資料，如遊戲機 200 所必需之程式，以顯示影像並執行遊戲，並且該程式源架構成能以一種可抽取之方式連接該遊戲機 200。

程式源 100 最好為卡匣之形式，包含唯讀記憶體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

(ROM)101，以及視需求加入隨機存取記憶體(RAM)102，時脈(clock)104，與記憶庫控制器(memory bank controller)105。ROM 101 是典型地由具有非揮發性記憶體特徵之唯讀記憶體、快閃記憶體或電子式可清除記憶體來實現的，並且固定儲存遊戲程式。

ROM 101 也儲存例如表示遊戲特性之影像之點資料(DOT data)，並且視需要儲存在其它遊戲機(未顯示)之間做為資料交換之程式以及用於確保與任何儲存在其它以習知的影像顯示遊戲裝置之程式源(未顯示)裡之程式相容。於此及下文所示，程式源 100 則稱之為卡匣。第 23 圖為卡匣 100 之外觀圖。

RAM 102 是藉由具有讀/寫記憶體特徵之隨機存取記憶體來實現的，並且具有用來儲存有關於遊戲進行之暫時資料之區域。

對於在該遊戲機 200 之 CPU 來說，當 ROM 101 的記憶塊過大時，則該記憶庫控制器 105 將記憶塊分成複數個記憶庫並提供該記憶庫給 ROM 101 作為由 CPU 所提供之資料組(bank data)為主的上層位址(upper address)。記憶庫控制器 15 也是以類似之方式對 RAM 102 做存取之動作。ROM 101，RAM 102，與記憶庫控制器 105 是以可抽取之方式經由連接器 103 連接至遊戲機(200)。

該遊戲機 200 之主要包括操作鍵(operation key part)202、中央處理單元(Central Processing Unit, CPU)203、連接器(connector)204、隨機存取記憶體(RAM)205、顯示控

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(3)

制器(display controller)206、液晶顯示器(liquid crystal display)207、介面(interface) 208，與連接器 209。RAM 205 與顯示控制器 206 均連接至 CPU203，其中，RAM 為暫時儲存供遊戲處理之工作記憶體。而液晶顯示器(LCD)207 是接至顯示控制器 206。CPU203 也是經由介面 208 與連接器 209 連接。連接器 209 是經由纜線連接至由其他遊戲機所提供之另一個連接器 209 用來與該遊戲機之所有者(遊戲者)做遊戲資料交換。該 CPU203 是經由連接器 204 連接至卡匣 100。

第 22 圖為資訊處理系統 CGB 之外部架構圖。在該資訊處理系統 CGB 中，在該遊戲機 200 之背面所提供的連接器 204(第 21 圖)是銜接至記憶體所在之卡匣 100 之連接器 103(第 21 圖)。操作鍵 202 是位於遊戲機 200 的外殼 201 之表面(平面)之下方處。而液晶顯示器 207 則位於遊戲機之外殼之上方處。在外殼 201 裡，具有電路元件之電路板則配合性地安裝在外殼上，如第 21 圖所示。

操作鍵 202 包含方向鍵 202a、動作鍵 202b、啟動鍵 202c，與選擇鍵 202d，其中，該方向鍵 202a 是用來移動游標或是任何可供遊戲者導引之方向選擇字元，而該動作鍵 202b 是用來作為字元之動作指令。

在該資訊處理系統 CGB 中，CPU203 為 8 位元之中央處理單元。因此，ROM 101，RAM 102、記憶庫控制器 105，與連接器 103 也是以 8 位元規格之資料寬度來建構的。此外，在 8 位元規格之資訊處理系統 CGB 中，ROM 101 及

(請先閱讀背面之注意事項，再填寫本頁各欄)

訂

線

五、發明說明(4)

RAM 102 皆以 5V 驅動。於此，該資料寬度是指對所有資料信號、位址信號、與控制信號在與中央處理裝置，諸如 CPU 與記憶體，之間作轉換時之信號寬度。

舉例而言，即使在如此架構下的資訊處理系統 CGB 中，該 CPU 仍需要較高之效能以便回應 CPU 在元件上所代表之技術創新與使用者對較高處理能力之日益增加的需求。該技術創新之結果，目前的 CPU 在處理位元上不同於資訊處理系統 CGB 之處理位元。例如，目前的 CPU 可做 32 位元之處理，而且也因此記憶體系統需要 32 位元規格之系統。在這種情形之下，其較佳的方式是連接器 103 與 104 皆具 32 位元之規格。此外，當 CPU 在效能上變得更高，除了增加處理位元數之外，記憶可獲得之空間也需要增加(同時還要增加位址信號之位元數)。舉例而言，雖然於新的資訊處理系統內的 CPU 之位址信號之位元數目是在某些例子為 24 位元，但習知的資訊處理系統 CGB 的 CPU203 之位址信號的位元數目為 16。在此情形下，較佳的方式是記憶系統亦須符合該位元數，而連接器亦然。

此外，隨著先進的半導體技術，使用新型卡匣之資訊處理系統亦配備低功率消耗的積體電路(IC)。也因此，在新的資訊處理裝置中，併入於 CPU 與卡匣內的半導體記憶體，諸如 ROM 與 RAM，可藉由不同的電壓來驅動，而該驅動電壓異於習知的驅動電壓。例如，雖然新型的資訊處理系統所設定的驅動電壓為 3.3V，但資訊處理系統 CGB 中的記憶系統之驅動電壓則為 5V。所以，若將特定發展使

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(5)

用於低驅動電壓之卡匣用於習知的高驅動電壓裡，在卡匣內之半導體記憶體因遭受過高之作用電壓，而導致記憶體損毀。

然而，習知的資訊處理系統 CGB 經許多使用者使用多年，而且也發展出不同的程式並由卡匣 100 所供應。如前文所述，依據高性能的新型 CPU，新型的資訊處理裝置將會在 CPU 與記憶體之間採用匯流排傳輸模式，連接器為 32 位元之規格，而記憶體系統以 3.3V 驅動。因此，該種新型的資訊處理裝置無法使用目前已針對習知的資訊處理系統 CGB 而發展的大型軟體資源之卡匣 100 所供應之程式。

為了避免該項問題，發表於編號 11-333144 (99-333144) 之日本專利之該項技術為眾知可使卡匣達到彼此相容。藉由該項技術，針對單色顯示的資訊處理裝置而發展之單色式(monochrome-version)卡匣則可應用於另一種以彩色顯示之卡匣。要達到該項用途之先決條件則要使該兩種資訊處理裝置中的 CPU 之處理位元數與位址信號之位元數皆達到相等。另一項先決條件則是這兩種資訊處理裝置用於與卡匣連接之連接端數目、位元規格，及每一個 CPU 的位址信號之位元數皆需達到相同。

但是，如果高階與低階裝置中的 CPU 隨位元規格及/或位址信號之位元數而變化，則上述之技巧並非使遊戲卡匣達到彼此相容之方法。

目前，例如，具有磁片槽用於光學紀錄媒體(optical recording media)，諸如 CD-ROM 與 DVD 之固定式影像遊

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(6)

戲機而言，即使該紀錄媒介有別於其它類型，但彼此還是能成功地維持相容性。

然而，即使在影像遊戲機裡皆能成功地維持相容性，但程式資料必須先由紀錄媒體(recording media)中讀取，並且接著傳送至影像遊戲機中的大容量之 RAM 以供儲存之用。因此，該項技術於卡匣類型的遊戲機之中因而受限。

為了避免該項問題之產生，本發明之資訊處理裝置(新型資料處理裝置)配備使用於習知的資訊處理系統 CGB 之 8 位元 CPU 與使用於新型資訊處理系統之 32 位元 CPU，以使維持其中的程式相容性(卡匣相容性)。藉由安插習知的資訊處理系統 CGB，該 8 位元 CPU 系統可完善地運作，而該 32 位元 CPU 系統則因應新型資訊處理裝置的遊戲卡匣而運作。

為了能達到完善之運作，需具備下列所提之 3 項主題：

主題 1) 提供能確認儲存於卡匣的記憶體與程式是適用於新型的資訊處理裝置或是適用於資訊處理系統 CGB 之功能。接著將卡匣插入新型的資訊處理裝置以便在該新型裝置的 CPU 系統啟動之前能自動地選擇適合驅動該卡匣之電壓，並且之後再決定哪一個 CPU 適用於儲存於卡匣內之程式。在該項方法中，在啟動符合卡匣型式之 CPU 系統之前須轉換電壓以驅動已插入的卡匣。

主題 2) 為了使新型資訊處理裝置之作業能依據資訊處理系統 CGB 的卡匣與新型資訊處理裝置的卡匣，外部匯流排之連接器需要 8 位元之規格以符合資訊處理系統

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(7)

CGB。如果該 8 位元規格連接器使用於卡匣與符合 CPU 系統之間的資料傳輸，則傳輸的資料信號之位元數皆不相同，有 8 位元或 32 位元，視用於資訊處理系統 CGB 或是新型資訊處理裝置的卡匣而定。此外，如果新型的資訊處理裝置的 CPU 之記憶空間比習知處理系統 CGB 還大，則位址信號的位元數就要增加。因此，用於資料傳輸的資料寬度需要更大。如此，基於 CPU 與外部匯流排在資料寬度上不同的結合，必須要適當地轉換匯流排的傳輸模式。

主題 3) 此外，僅適用於新型資訊處理裝置之卡匣需提供一種機制以處理上述資料寬度的差異，亦即，一種處理匯流排傳輸模式之機制，其中，32 位元的資料可經由 8 位元規格的連接器來做傳輸。

關於主題 1，習知上，所揭露之該項技術則為滑動觸頭(slinder)在 IC 卡與連接器之間連接時移動，並且接著改變了隨即進入 IC 卡之信號(編號 8-180149(96-180149)之日本公開發表專利；下文稱之為"先前技藝 1")。另一項則適用於記憶卡的轉接器技術(編號 10-222621(98-222621)之日本公開發表專利；下文稱之為"先前技藝 2")。因此，用於插入的記憶卡之電源供應電壓是依據記憶卡是否有凹型部分而改變。

先前技藝 1 與 2 所揭示的在於依據 IC 卡(或記憶卡)之形狀而改變供給 IC 卡的電壓或信號。於此，符合該操作的中央處理裝置之作業並未做說明。

關於以主題 2，習知的資訊處理裝置，遊戲機等皆提

(請先閱讀背面之注意事項，再填寫本頁各欄)

訂
線

五、發明說明(8)

供處理器與記憶體，諸如 ROM 與 RAM。處理器與該記憶體是透過匯流排來連接，而且該處理器進行處理以讀取儲存於記憶體的資料或是寫入資料於該記憶體裡。該匯流排是隨類型而改變，包含區分成位址匯流排及資料匯流排之分離匯流排，以及藉由位址與資料分時共享之多工匯流排(或上層位址及下層位址)，並且這兩種匯流排之形式是基於處理器或記憶體之規格來做選擇。

於此，分離系統與多工系統之間的匯流排轉換之技術則揭露於編號 5-204820(93-204820)日本公開發表專利文件(Laid-Open Publication)(於下文稱之為"習知技術 1")與編號 6-42263(94-42263)日本專利審查發表文件(Examined Publication)(於下文稱之為"習知技術 2")。這些習知的技術使單一處理器得以存取分離系統(於下文稱之為"第一記憶體")與多工系統(於下文稱之為"第二記憶體")之記憶體。

然而，由於該項習知技術 1 與 2，輸出至第一記憶體(或由第一記憶體輸入)的資料信號之位元數等於輸出至第二記憶體(或由第二記憶體輸入)的資料信號之位元數。因此，該技術皆不可應用至隨類型而變化之記憶體，其中，每一種類型均有不同的資料信號之位元數。

而藉由該習知技術 1 與 2，中央處理單元依據位址空間決定該存取第一記憶體或第二記憶體。因此，該技術僅適用於當中央處理單元與第一及第二記憶體同時且固定連接時。但如果中央處理單元以選擇及互換方式經由連接器

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(9)

連接任何一個隨類型(遊戲卡匣等)而改變之連接器時，則該技術將無法應用。

另一方面，由於處理器技術的進步，例如，配置於資訊處理裝置與遊戲機之處理器將提高資料處理的位元數(也是位址信號之位元數)。如果在處理器內用於資料處理的位元數增加(亦隨著較大之位址信號之位元數而增加)，則符合該資料處理的記憶體亦需要更寬之資料寬度。然而，在許多情形下，例如成本考量，使用寬度較窄之記憶體可能較值得。

舉例而言，資訊處理裝置與遊戲機可以具有數個隨資料處理之位元數而改變之處理器以確保與過去所發展的軟體相容。雖然包含數個處理器之習知的遊戲裝置之類型提供一個磁片槽給光學紀錄媒體，但如果記憶卡匣使用於該磁片槽，則每個符合裝配在該遊戲裝置之處理器之不同類型的遊戲卡匣皆經由連接器連接。於此，那些不同的遊戲卡匣可共用該連接器，因此，一個連接器可以與每一個具有不同資料訊號之位元數之記憶體連接(或每個不同位址信號之位元數)。換言之，需要產生一種匯流排能連接具資料寬度變化之記憶體。

關於主題 3，目前已有一種技術能處理兩種型式的記憶體，而該記憶體之位址信號之位元數為相異型式；但目前仍未有一種技術能處理兩種型式的記憶體，其中，每一個記憶體具有不同的資料信號之位元數。不言而喻地，目前沒有任何揭示是有關於在卡匣內之記憶體具有能區分所

(請先閱讀背面之注意事項再填寫本頁各欄)

訂
線

五、發明說明 (10)

儲存之記憶體或程式是適用於新資料處理裝置或資料處理系統 CGB 之功能。

為了能規避上述主題 1 之描述，則本發明之目的是要針對適合於該遊戲裝置作業而提供能區分在新型及習知的卡匣(程式源)在操作模式上的差異之一種遊戲系統。為實現該資訊處理裝置，在 CPU 存取銜接至該插槽的卡匣之記憶體之前，傳至記憶體之驅動電壓及 CPU 之操作模式皆需視銜接之卡匣而改變。

若要規避上述主題 2 之說明，則本發明之另一項目的要針對適合於資訊處理裝置之作業而提供一種夠區別新型與習知的卡匣(程式源)的作業模式之差異之一種遊戲系統。為了實現該資訊處理裝置，卡匣之存取方式是依據已銜接的卡匣而做變換。因此，該卡匣變成能以每一種不同之方式做存取，其中每一種方式是決定於每一種包含於該卡匣內之記憶體。

本發明之另一項目是要提供一種遊戲系統，其中處理器具有相當多位元數以用於資料處理，而存取記憶體則具有相當少的資料位元數。

為了能規避上述主題 3 之說明，本發明之另一項目的是要提供具有符合多工匯流排傳輸模式之機制的卡匣(記憶裝置)，該傳輸模式能夠透過相當窄的資料寬度之連接器來做大量的資料傳輸。該卡匣能依照上述之目的使用於該遊戲系統。

[發明概述]

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (11)

在一項較佳的實施例中，本發明之一種遊戲系統，包含：

第一遊戲機，包含低處理能力的第一中央處理單元；

第一卡匣，該卡匣以一種可抽取之方式與第一遊戲機銜接；

在性能上高於該第一遊戲機之第二遊戲機，且該第一遊戲機與第二遊戲機相容；以及

第二卡匣，該卡匣可與第二遊戲機銜接，其中

該第一卡匣包括：

第一外殼，該第一外殼容納

固定儲存遊戲程式資料之第一半導體資訊記憶元件，並且使用第一資料寬度做存取，以及

第一電路板，該電路板具有所需的電路圖案、具有複數個形成於該電路板上之端點，以及安裝於電路板上之第一半導體資訊儲存元件，

該第二卡匣包括：

第二外殼，該外殼在外形上幾乎相同於該第一卡匣，至少具有相同的寬度與深度，而且具有待偵測部分以區別第一卡匣；

第二半導體資訊記憶元件，用於固定儲存遊戲程式資料，並且使用大於該第一資料寬度之第二資料寬度來做存取；

第二電路板，具有所需的電路圖案並具有與該第一電路板相同的端點數以相同的排列形成於該電路板上；以及

多重存取控制裝置，用於讀取儲存在多工系統之該第二半導體資料記憶元件裡之遊戲程式資料，該第二外殼容納

安裝於該第二電路板上的該第二半導體資訊記憶元件與多重存取控制裝置，以及

該第二遊戲機包括：

連接器，用來與提供於該第一遊戲機之其它連接器具有同樣端點數於相同排列上之該第二卡匣建立電性連接，如此該第一卡匣即可銜接；

與該第一中央處理單元相較具有較高處理能力之第二中央處理單元；

第三中央處理單元，該單元能執行與該第一中央處理單元相同層次之處理；

第一存取控制裝置，用於存取該第一卡匣；

第二存取控制裝置，在多工系統中存取該第二卡匣；以及

偵測裝置，用於偵測提供給該第二外殼之該待偵測部分，其中

當該偵測裝置偵測出該待偵測裝置時，則啟動該第二中央處理單元與該第二存取控制裝置以存取該第二卡匣，而且該多重存取控制裝置存取該第二半導體資訊記憶元件，以及

當該偵測裝置並未偵測出該代偵測部分時，則啟動該第三中央處理單元

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

與該第一存取控制裝置以存取該第一卡匣。

在另一項較佳的實施例中，本發明之一種遊戲系統，包含：

第一卡匣，係用於發售在先之第一遊戲機；

第二遊戲機，係與該第一遊戲機相容；以及

第二卡匣，係用於該第二遊戲機，其中

該第一卡匣包括：

第一連接器，係具有第一資料寬度；以及

第一半導體記憶體，係具有該第一資料寬度，

該第二卡匣包括：

第二連接器，係具有該第一資料寬度；以及

第二半導體記憶體，係具有較該第一資料寬度為寬之第二資料寬度，

該第二遊戲機包括：

凹槽區，係可插入該第一卡匣及該第二卡匣；

第三連接器，係具有該第一資料寬度且設於該凹槽區之內部；

二選一之選擇器開關，係設於該凹槽區之側邊末端部份及該第三連接器之附近，且係在該第一卡匣被插入該凹槽區時，被該第一卡匣之外殼的末端部份往下壓；

中央處理裝置，係在該選擇器開關被往下壓時，以與該第一遊戲機之中央處理裝置相同之模式啟動，而在該選擇器開關未被往下壓時，則以該第二遊戲機專用之模式啟動；以及

匯流排控制裝置，係在該選擇器開關被往下壓時，以標準匯流排控制方式存取該連接於第三連接器之半導體記憶體，而在該選擇器開關未被往下壓時，則以多工控制方式存取該連接於第三連接器之半導體記憶體；

該第二卡匣復包括：

凹槽，係為使該第二卡匣不觸及該選擇器開關而至少形成於左端面或右端面之其中之一之朝插入方向之端部上；以及

多工匯流排傳輸裝置，係以分時方式(time-sharing)控制該第二遊戲機及該第二半導體記憶體間之位址與資料交換。

在另一項較佳的實施例中，本發明提供一種遊戲系統，包含：

第一卡匣，係用於發售在先之第一遊戲機；

第二遊戲機，係與該第一遊戲機相容；以及

第二卡匣，係用於該第二遊戲機，其中

該第一卡匣包括：

第一連接器，係具有第一資料寬度；以及

第一半導體記憶體，係具有該第一資料寬度，

該第二卡匣包括：

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (13)

第二連接器，係具有該第一資料寬度；以及

第二半導體記憶體，係具有較該第一資料寬度為寬之第二資料寬度，該第二遊戲機包括：

凹槽區，係可插入該第一卡匣及該第二卡匣；

第三連接器，係具有該第一資料寬度且設於該凹槽區之內部；

二選一之選擇器開關，係設於該凹槽區之側邊末端部份及該第三連接器之附近，且係在該第一卡匣被插入該凹槽區時，被該第一卡匣之外殼的末端部份往下壓；

中央處理裝置，係在該選擇器開關被往下壓時，以與該第一遊戲機之中央處理裝置相同之模式啟動，而在該選擇器開關未被往下壓時，則以該第二遊戲機專用之模式啟動；以及

匯流排控制裝置，係在該選擇器開關被往下壓時，以標準匯流排控制方式存取該連接於第三連接器之半導體記憶體，而在該選擇器開關未被往下壓時，則以多工控制方式存取該連接於第三連接器之半導體記憶體；

該第二卡匣復包括：

凹槽，係為使該第二卡匣不觸及該選擇器開關而至少形成於左端面或右端面之其中之一之朝插入方向之端部上；以及

多工匯流排傳輸裝置，係在第一定時及第二定時之間共同使用該第二遊戲機及該第二半導體記憶體間之連接端。

本發明之所有目的、特性、範圍與優點透過本發明下面之詳細解說同時並結合所伴隨之圖式將變得更臻明瞭。

[圖式之簡單說明]

第 1(a)及(b)圖為用於輔助說明本發明之原理之資訊處理裝置之外觀圖；

第 2(a)及(b)圖為用於輔助說明本發明之原理之第 1 圖之資訊處理裝置之另一型式之外觀圖；

第 3(a)及(b)圖為第一與一種第二遊戲卡匣個別插入第 1 圖的資訊處理裝置中的第二遊戲機之斜視圖；

第 4(a)及(b)為用以輔助說明第 1 圖的資訊處理裝置中的卡匣辨識方法之說明圖；

第 5(a)至(d)圖為用以輔助說明利用光電感測器的卡匣辨識方法之說明圖；

第 6 圖為顯示第 1 圖的資訊處理裝置之系統結構之方塊圖；

第 7 圖顯示關於第 6 圖的資訊處理裝置之卡匣辨識功能的主要結構之方塊圖；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(14)

第 8 圖顯示關於第 6 圖的 8 位元電路與 32 位元電路中的匯流排控制之主要結構之方塊圖；

第 9 圖顯示第 1 圖的第二遊戲卡匣之詳細結構之斜視圖；

第 10(a)及(b)圖各顯示第 6 圖的第一與第二遊戲卡匣之詳細結構之方塊圖；

第 11 圖顯示連接至連結器之第 6 圖之第一遊戲卡匣裡之 ROM 及包含第二遊戲卡匣裡之 ROM 及多重存取控制部分之 IC 之電路圖；

第 12 圖為用以輔助說明第 6 圖的資訊處理裝置之卡匣介面之資料表；

第 13(a)及(b)圖為第 6 圖所示的第一與第二遊戲卡匣中之記憶體對應圖；

第 14 圖說明多工轉換電路之結構之方塊圖；

第 15(a)至(d)圖為用以輔助說明第 6 圖所示的第一與第二遊戲卡匣的 ROM 與 RAM 中的讀取/編寫存取操作之時序圖；

第 16 圖說明第 6 圖的資訊處理裝置之操作之流程圖；

第 17 圖說明異於第 7 圖所示範例之基於識別碼之關於卡匣辨識處理的主要結構之方塊圖；

第 18 圖說明第 17 圖的資訊處理裝置之卡匣辨識方法之流程圖；

第 19 圖說明異於第 7 與 17 圖所示的範例之關於利用

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(15)

短路偵測的另一種卡匣辨識處理之主要結構之方塊圖；

第 20 圖說明第 19 圖的資訊處理裝置之卡匣辨識方法之流程圖；

第 21 圖說明習知的資訊處理系統 CGB 之結構之方塊圖；

第 22 圖顯示第 21 圖所示的習知資訊處理系統 CGB 之外觀；以及

第 23 圖顯示第 21 圖所示的卡匣之外觀。

[元件符號說明]

10	第一遊戲機		
11、21、31、41、201	外殼		
12、32、207	液晶顯示器		
13a、33a、202b	方向鍵		
13b、33b、202b	動作鍵		
14、34、415	凹槽區		
15、105	記憶庫控制器	20	第一遊戲卡匣
22、42、101、362e	唯讀記憶體		
30、30r、30rr	第二遊戲機		
33、202	操作鍵	35	偵測開關
35a	發光裝置	35ab	光傳輸/接收裝置
35b	光感測器	35s、35r	選擇器、支架
37、103、204、209	連接器		
38	電壓選擇器		
40、40r、40rr	第二遊戲卡匣	41a	上外殼

請先閱讀背面之注意事項再填寫本頁各欄

訂線

五、發明說明(16)

41b	下外殼	42、43	3.3V 介面記憶體
43、102、205			隨機存取記憶體
44	多重存取控制結構	45	電路板
46	備用(輔助)電池		
46(46-1 至 46-32)		接線端	
47	連接器	48	單晶片 IC
100	程式源、卡匣	104	時脈
200	遊戲機	202c	啟動鍵
202d	選擇轉換鍵		
203、360、360r		中央處理單元	
206	顯示控制器	208	介面
212、414、418		開孔	
361	8 位元電路	362	32 位元電路
361a	第一 CPU 核心		
361b	存取控制結構、8 位元匯流排控制器		
361c	第一啟動 ROM	362a	第二 CPU 核心
362b	多工/8 位元匯流排控制器、存取控制結構		
362c	多工匯流排控制器		
362d	8 位元匯流排控制器		
362f	暫存器	363	I/O 緩衝控制器
364	影像 RAM	365	工作 RAM
367	LCD 控制器	368	週邊電路
369	切換電路	380	電源裝置
381	電源供應裝置	382	電源切換開關

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(17)

383	DC-DC 轉換器	384	電壓偵測 IC
391	聲音放大器	392	揚聲器(喇叭)
412	凹槽		
413、416、417		突出部分	
418	凸出部	419	反射面
421	辨識碼區域	441	位址計數器
451	V 形凹槽		

[較佳實施例之說明]

第 1 圖至第 3 圖說明依據本發明的實施例之資訊處理裝置應用於遊戲機之例子(或是由該遊戲機所組織而成的遊戲系統)。更特別的是第 1 圖與第 2 圖顯示該遊戲系統之外觀，以輔助說明該系統原理。第 3 圖為斜視圖，個別說明當插入本發明特色之遊戲機之第一及第二遊戲卡匣時之狀態。

在第 3 圖的第 1 與第(a)圖中，遊戲系統包含第一遊戲機 10 與第二遊戲機 30。而且該遊戲系統亦包含主要用於第一遊戲機 10 之第一遊戲卡匣 20 與可用於第二遊戲機 30 之第二遊戲卡匣 40，其中，該第一及第二遊戲機均適以用抽取方式。該遊戲卡匣 20 與 40 為資訊儲存媒體，該裝置含有儲存於該裝置內部的遊戲程式。第一遊戲機 10 符合上述在第 21 圖的遊戲機 200 之條件，而且第一遊戲卡匣 20 符合第 21 圖中的程式源 100。第一遊戲機 10 配備較低性能的 CPU (即在性能等於之後將加以說明之第 5 圖之 8 位元電路 361)，而且該裝置視為較低產量之低階機器(習知類

(請先閱讀背面之注意事項再填寫本頁各欄)

訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明(18)

型)。在另一方面，配備於第二遊戲機 30 內為具較高性能的 CPU，並且視為高階機器(新形式)。於此，例如第二遊戲機 30 的 CPU 是在產量上高於第一遊戲機 10 之 16 位元或是 32 位元 CPU。該 CPU 是藉由第 5 圖之 32 位元電路 362 作為實例，此外，該 CPU 也將於之後做說明。第二遊戲機 30 提供另外的 CPU，為了相容性需求，該 CPU 在性能上相等於第一遊戲機 10 中的 CPU(第 5 圖的 8 位元電路 361)。

就第一遊戲卡匣 20 而論，該卡匣之外殼 21 的形狀為長方形或近似於正方形，尺寸為高 $a1$ *寬 $b1$ *深 $c1$ 。外殼 21 的平面在該外殼之兩端向內傾斜以避免對關於那一面為上端形成混淆，並且該傾斜面之圖式標號標示為 211。而且，第一遊戲卡匣 20 內部提供一種電路板(未標示)，該電路板上安裝具有半導體的記憶體，諸如含有已儲存的遊戲程式之 ROM。該遊戲程式由第一遊戲機 10 所執行，或者由性能相等於第一遊戲機 10 之第二遊戲機 30 之 CPU(8 位元電路 361)所執行。於此，在 ROM22 的資料信號共 8 位元，位址信號則有 16 位元，並且驅動電壓為 5V。第一遊戲卡匣 20 之端面有一個開孔 212，而從該開孔，形成於電路板一端的複數的连接端(未標示)為向外突出。於此，該連接端構造為邊緣連接器(未標示)。

就第一遊戲機 10 而論，該裝置的外殼 11 帶有液晶顯示器 12 於平面之上方(如第 1(a)圖之平面所示)。方向鍵 13a 與動作鍵 13b 則位於該平面之下方。在外殼 11 的另一平面

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(19)

上，在該平面之上方有一個凹槽區用於卡匣插入。該凹槽區 14 之尺寸幾乎同於第一遊戲卡匣 20 之尺寸大小(a_1 (高) $\times b_1$ (寬) $\times c_1$ (深))，如此可完全容納第一遊戲卡匣 20。於此，該凹槽區 14 之高度可以低於 a_1 之高度。在凹槽區 14 之內部中，提供連接器(未標示)以用於電性連接在內之第一遊戲卡匣 20 與各種電性元件，諸如在第一遊戲機 10 中的 CPU。因此，一旦插入該凹槽區 14，第一遊戲卡匣 20 可完全配合凹槽區 14 內之空間，而且第一遊戲卡匣 20 之連接端皆以電性連接至第一遊戲機 10 之連接器。在此例裡，第一遊戲機 10 之供應第一驅動電壓(即 5V)給第一遊戲卡匣 20。

關於第二遊戲卡匣 40，該卡匣的外殼 41 在形狀上同第一遊戲卡匣 20 之外殼 21 為矩形，並且該卡匣之尺寸大小為 a_2 (高) $\times b_1$ (寬) $\times c_1$ (深)。於此，雖然高度 a_2 ($a_2 < a_1$)低於外殼，但寬度與深度與外殼相同。如此，由於第二遊戲卡匣 40 之寬度與深度同於第一遊戲卡匣 20，則第二遊戲機 30 之凹槽區 34 就可容納第一與第二遊戲卡匣 20 與 40。然而需注意，第一與第二遊戲卡匣 20 與 40 之寬度與深度是依據本發明之目的而決定的。同樣對於第一遊戲卡匣 20 之外殼 21 而言，外殼之平面在外殼兩端皆形成向內傾斜，並且該傾斜面之圖式標號標示為 411。

於此就第二遊戲卡匣 40 而言，當卡匣插入時，為了能藉由形狀來區別第一遊戲卡匣 20，因此沿著一端之平面，在端點與凹槽區 34 接合處形成凹槽 412。凹槽 412 是應申

(請先閱讀背面之注意事項，再填寫本頁各欄)

訂
線

五、發明說明(20)

請專利範圍之用於偵測部分之示範。如果依據設計而經由適當地考量，則第二遊戲卡匣 40 之兩邊平面就可形成凹槽 412。第二遊戲卡匣 40 的側面之一個或兩個末端中有突出物 413 以作為當插入時的阻塞物，但該側面不是插入至第一遊戲機 10 的凹槽區 14 之端面。因此，含有突出物的側面之長度稍微大於其它在長度上等於第一卡匣 20 之側面 (b2)。第二卡匣 40 包含半導體記憶體諸如 ROM 42(第 6 圖)、RAM 43(第 6 圖)、與電路板 45(第 9 圖)，其中，ROM 42 已儲存遊戲程式以藉由第二遊戲機 30 的 32 位元 CPU(32 位元電路 362)來執行，而 RAM 43 是用以儲存替代資料，而電路板 45 上安裝有各式的積體電路(IC)，諸如多重存取控制結構 44(第 6 圖)。於此，在 ROM 42 的資料信號之位元數為 16，位址信號為 24，而驅動電壓為 3.3V。而關於 RAM 43 的資料信號之位元數 8，位址信號為 16 位元，驅動電壓為 3.3V。第二遊戲卡匣 40 之用於插入遊戲機之一端表面具有開孔 414，並且在開孔上形成於電路板 45 上之複數連接端(或接點)46 為突出狀。於此，該連接端 46 形成端連接器(edge connector)47 (第 7 圖)。

就第二遊戲機 30 來說，其外殼 31 的平面之中央區域帶有液晶顯示器 32(該平面同於第 1(b)圖)。而且，就該液晶顯示器 32 而言，左方位置有方向鍵 33a，而在右方位置有動作鍵 33b。在外殼 31 之另一平面凹槽區 34 位於該平面之上方區域以作為卡匣插入之用。該凹槽區 34 的尺寸幾乎等於第二遊戲卡匣 40(a2(高)*b1(寬)*c1(深))，如此便可

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(21)

容納該第二遊戲卡匣 40。於此，該凹槽區 34 之高度低於 a2 之高度。在凹槽區 34 之內部，提供連接器 37 用於電性連接在內部之第二遊戲卡匣 40 與各式電性元件，諸如於第二遊戲機 30 中的 CPU。因此，一旦插入該凹槽區 34，第二遊戲卡匣 40 可完全配合該凹槽區 34。此時，第二遊戲機 30 提供第二驅動電壓(即 3.3V)給第二遊戲卡匣 40。

接著，參考第 2 與第 3 圖，假設第二遊戲卡匣 40 插入至第一遊戲機 10 且第一遊戲卡匣 20 插入第二遊戲機 30。

如第 2(a)圖所示，若第二遊戲卡匣 40 插入至第一遊戲機 10，則第二遊戲卡匣 40 之連接端 46 無法銜接第一遊戲機 10 之連接器，因此無法做適當之連接。這是因為第二遊戲卡匣之高度 a2 無法像用在第一遊戲機 10 的連接器之高度 a1 一樣長。而且，突出物 413 對於凹槽區 14 之側面是作為阻擋器之用。因此，第一遊戲機 10 並沒有提供電源供應電壓經由連接端 46 給包含在第二遊戲卡匣 40 之半導體記憶體之各式 IC 元件。因此，IC 元件能成功地受到保護免於因過壓而時常導致的損壞。

另外，第 2(b)與第 3(b)圖含描述第一遊戲卡匣 20 插至第二遊戲卡匣 30 之例子。此時，第一遊戲卡匣 20 之高度 a1 大於凹槽區 34(a2<a1)之高度 a2，第一遊戲卡匣 20 之連接端均銜接至第二遊戲機 30 之連接器 37，並且如此可達到電性連接。於此，當 a2<a1，第一遊戲卡匣 20 無法完全配合凹槽區 34，並且因此造成 a1-a2 之明顯差異。同時，由第二遊戲機 30 所提供給第一遊戲卡匣 20 之驅動電壓為

(請先閱讀背面之注意事項再填寫本頁各欄)

訂
線

五、發明說明(22)

第一驅動電壓(5V)而非第二驅動電壓(即 3.3V)。

由上述可知，第一遊戲卡匣 20 可用於第一與第二遊戲機 10 與 30，因此與高階裝置之相容性可以成功地達到。就僅能用於第二遊戲機 30 之第二遊戲卡匣 40 來說，即使若錯誤地插入至第一遊戲機 10，亦不會有電性連接產生。舉例而言，該卡匣中的半導體記憶體可以受到保護以避免因過壓而造成的損壞。

在該實例中，用於第二遊戲卡匣 40 之驅動電壓低於用於第一遊戲卡匣 20 之驅動電壓。原因是第二遊戲卡匣 40 配有低電壓形式驅動之電性元件以降低功率消耗。若不需降低功率消耗，則兩種遊戲機之電源供應電壓可保持一致準位。如果是這樣，則第二遊戲機 30 不用依據銜接的卡匣之類型而改變電壓準位。

參考第 4 圖，接著要描述為如何辨別第一及第二遊戲卡匣 20 及 40 之方法。於此，說明於第 4 圖之方法使用卡匣形偵測開關(於下文稱之為"偵測開關")35，以偵測任何形狀上之差異。該方法將於下面詳細描述。

偵測開關 35 為選擇器開關之範例，並且位於連接器 37 之附近。該偵測開關 35 是以選擇方式接至 DC-DC 轉換器 383(第 6 圖)所提供的 3.3V 輸出端或是 5V 輸出端。藉由該架構，選擇的電源供應電壓提供至目前銜接的連接器 37 的卡匣之電源供應端。在一開始，偵測開關 35 則是接至 3.3V 的輸出端。

第 4(a)圖為第二遊戲卡匣 40 插至第二遊戲機 30 之前

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(23)

與之後的凹槽區 34 之圖示。在該範例中，偵測開關則位於凹槽區 34 之側邊末端部分附近。因此，即使第二遊戲卡匣 40 插至凹槽區 34，偵測開關 35 也會因凹槽 412 而與第二遊戲卡匣 40 保持距離。該結構的偵測開關 35 保持在初始狀態，也因此第二遊戲機 30 偵測該卡匣為第二遊戲卡匣 40，並且提供 3.3V 電壓給該卡匣。

第 4(b)圖為第一遊戲卡匣 20 插至第二遊戲機 30 之前與之後的凹槽區 34 之圖示。不像第二遊戲卡匣 40，第一遊戲卡匣 20 之外殼 21 沒有凹槽 412 形成。因此，外殼 21 的末端將偵測開關 35 往下壓，也因此第二遊戲機 30 偵測該卡匣為第一遊戲卡匣 20。5V 之電壓因此提供給第一遊戲卡匣 20。

於此，上文所描述的為具有凹槽 412 的第二遊戲卡匣 40 之例子。這並非限定上述的說明，並且第一遊戲卡匣 20 也可以具有凹槽。若無凹槽，則在偵測開關 35 之鄰近處提供突出之部份。若是如此，則偵測開關 35 應在初始位置接至 5V 輸出端。此外，程序會以不同於第 4 圖的實例之方式來執行。

在該實例中，藉第一與第二卡匣 20 與 40 之間的形狀來做卡匣辨識是以機械方式接觸目前銜接至卡匣之偵測開關 35。另一種方式，卡匣辨識亦可不經由偵測開關 35 與卡匣接觸來達成。此種非接觸式卡匣辨識可示範性地在光電感測系統與讀取轉換系統中執行。

第 5(a)與(b)圖為光電感測系統之示範圖，這是一種示

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(24)

範傳輸類型，依據光線 L 是否可傳輸而做卡匣之確認。在 (a) 與 (b) 圖中，偵測開關 35' 與 35'' 均包含發光裝置 35a 與光感測器。在 (a) 圖中，也另外包含具有開孔 418' 之支架 35s'。在 (b) 圖中，也另外包含支架 35s''，而非支架 35s'，但該支架 35s'' 並無開孔。此種構造的支架 35s' 或支架 35s'' 提供於第一及第二遊戲卡匣 20 及 40 內，而發光裝置 35a 及光學感測器 35b 則位在凹槽區 34 內。所以，依據光線 L 的傳送與否，即可辨識出卡匣。

第 5(c) 與 (d) 圖所顯示的光電感測系統是一種示範的反射類型，該反射類型是依據光線是否可反射而做卡匣之辨識。於此，在 (c) 與 (d) 圖中，偵測開關 35' 與 35'' 均包含光線發射/接收裝置 35ab。在 (c) 圖中亦包含上述的支架 35s'，而在 (d) 圖中亦包含類似於支架 35s'' 之 35r，但該支架 35r 另外具有能反射光線 L 之反射平面 419。該結構的支架 35s' 或支架 35r 是提供於第一與第二遊戲卡匣 20 與 40 中，且光線發射/接收裝置 35ab 則提供於凹槽區 34 內。因此，可依據是否有光線 L 反射來做卡匣之確認。

除上述說明之外，在第一與第二遊戲卡匣 20 與 40 之間的辨識可以由讀取轉換系統來達成。在該系統中，提供給卡匣之磁性物驅動提供至凹槽區 34 裡的偵測開關 35 之選擇器 35s (第 7 圖)。

接著，參考第 6 圖，第 6 圖為依據本發明實施例的遊戲系統與遊戲卡匣之系統方塊之概略說明。於此，第 6 圖為說明遊戲系統與遊戲卡匣之方塊圖。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(25)

在第 6 圖中，本發明的資訊處理系統之主要包括第一與第二遊戲卡匣 20 與 40，與第二遊戲機 30。第一與第二遊戲卡匣 20 與 40 均儲存必要之程式資料，該程式是提供給第二遊戲機 30 以顯示影像並執行遊戲，此外同上述說明是以一種可抽取方式銜接至第二遊戲機 30。

第二遊戲機 30 包含液晶顯示器(LCD)32，連接器 37，中央處理單元(CPU)360，與電源供應單元 380。該 CPU 360 包含 8 位元的電路 361 與 32 位元的電路 362，而且該 CPU360 是一種雙處理器類型之單元。該 8 位元電路 361 在性能上相同於第一遊戲機 10 所配備之 CPU(未標示)，該遊戲機是具較低處理能力而執行 8 位元作業之低階裝置。例如關於 32 位元電路 362，該電路在性能上較高且為第二遊戲機 30 所持有的，並且執行 32 位元之作業。透過匯流排而接至 8 位元與 32 位元電路 361 與 362 的為 I/O 緩衝控制器 363，影像 RAM(V-RAM)364，工作 RAM(W-RAM) 365，LCD 控制器 367，與周邊電路 368。該周邊電路 368 均執行聲音處理，直接記憶體存取(direct memory access，DAM)，計時控制，輸入/輸出控制等。

連接到 CPU360 的有液晶顯示器 32、電源供應單元 380、操作鍵 33、聲音放大器 391、揚聲器(喇叭)392。該電源供應單元 380 包含電源供應 381、電源供應開關 382、DC-DC 轉換器 383，與電壓偵測 IC 384。該電源供應 381 最好是電池，並且經由電源供應開關 382 將電源提供給 DC-DC 轉換器 383。該 DC-DC 轉換器 383 是對電源供應

(請先閱讀背面之注意事項再填寫本頁各欄)

訂
線

五、發明說明(26)

381 所提供的直流電源執行變壓動作，並產生電位變化之直流電壓(即-15V，2.5V，3.3V，5V，與13.6V)。當回應使用者在操作鍵33上操作時，CPU360就會執行儲存於ROM22或42的程式，其中，ROM裝於第一或第二遊戲卡匣20或40中。由此，基於獲得之結果遊戲影像便顯示於LCD32上，且搭配該遊戲影像之聲音(或音效)便由揚聲器392輸出。

該CPU360也是在凹槽區34中與連接器37連接。選擇器類型之微型開關所例示的偵測開關35是提供於連接器37的位置上。針對上述之說明，偵測開關偵測插入凹槽區34內為第一或第二卡匣20與40，意即該卡匣20與40與第二遊戲機30銜接。明確地說，偵測開關35偵測是否插入的卡匣具有凹槽412。若偵測到有凹槽412，該偵測開關35則確認已插入的卡匣為第二遊戲卡匣40，反之，則為第一遊戲卡匣20。若所偵測的為第二遊戲卡匣40，則偵測開關35選擇3.3V之電源供應電壓以作為該卡匣之供應電壓。另一方面，若所偵測到為第一遊戲卡匣20，電源供應電壓則選擇為5V。CPU360也包含切換電路369，該電路是啟動8位元電路361或是32位元電路362以回應來自偵測開關35之輸出。

第7圖說明用於辨識第6圖所示之第二遊戲機30之第一與第二遊戲卡匣20與40之主要部分之方塊圖。明確地說，在第二遊戲卡匣40裡，ROM42與RAM43架構3.3V介面記憶體。3.3V介面記憶體可以使資料以多工模式傳輸

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(27)

(詳文將敘述於後)。第一遊戲卡匣 20 裡，ROM 22 為 5V 介面記憶體。

CPU360 包含切換電路 369，該電路以選擇方式啟動 32 位元電路 362 或是 8 位元電路 361 以回應由電壓偵測 IC 384 所提供的暫存器 362f 之數值。更詳細地說，該 32 位元電路 362 包含第二啟動 ROM(boot ROM)362e、第二 CPU 核心 362a、暫存器 362f、與多工/8 位元匯流排控制器 362b。於此，所謂的"第二"是指第二遊戲機 30 獨有的 32 位元作業。

該 8 位元電路 361 包含第一啟動 ROM 361c、第一 CPU 核心 361a，與 8 位元匯流排控制器 361b。於此，所謂"第一"是指專屬於第一遊戲機 10 之 8 位元作業。

重置電路 385 重置 CPU 360。

偵測開關 35 包含選擇器 35s，而該選擇器 35s 是以選擇方式連接至 DC-DC 轉換器中的 3.3V 輸出端或是 5V 輸出端以便來自該選擇的輸出端之電壓能通到插入凹槽區 34 之卡匣。需注意的是，在此例中，當凹槽區 34 沒有卡匣時，該選擇器 35s 位在 3.3V 輸出端。也就是在第二遊戲機 30 中，3.3V 為記憶系統中的參考驅動電壓。

在該實例中，單獨依據卡匣類型(第一或第二遊戲卡匣 20 或 40)來決定輸出電壓之方法將敘述於下文中。同上述將偵測開關 35 置於第一遊戲卡匣 20 在插進凹槽區 34 時要稍微靠近選擇器 35s 之地方。

藉由此構造，當第一遊戲卡匣 20 插進至凹槽區 34 時，

(請先閱讀背面之注意事項再填寫本頁各欄)

訂
線

五、發明說明(28)

選擇器 35s 受壓朝向 5V 輸出端。因此選擇器 35s 不再連接至初始位置的 3.3V 輸出端，而是確實接至 5V 輸出端，並且接著保持在其它可能的位置。由於該選擇器 35s 接至 5V 輸出端，第一遊戲卡匣 20 電性連接至連接器 37，並且之後提供來自 DC-DC 轉換器 383 的 5V DC 輸出電壓。

同上述之說明，第二遊戲卡匣 40 因形狀而無法在插入凹槽 34 時接近選擇器 35s。因此在第二遊戲卡匣 40 完全插入至凹槽區 34 之後，選擇器 35s 仍有電壓並且連接至 3.3V 輸出端。結果使第二遊戲卡匣 40 由 DC-DC 轉換器 383 供應 3.3V 之 DC 輸出電壓。

第 8 圖顯示第 7 圖所示的 8 位元電路 361 與 32 位元電路 362 之詳細結構之方塊圖。在第 8 圖中，8 位元電路 361 包含第一 CPU 核心 361a，第一存取控制部分(8 位元匯流排控制器)361b，與第一啟動 ROM361c。第一 CPU 核心 361a 執行儲存於第一啟動 ROM361c 中的啟動程式，並且亦基於儲存在第一遊戲卡匣 20 之 ROM 22 裡之適用於第一遊戲機 10 之程式來執行遊戲程序。第一 CPU 核心 361a 是經由該存取控制部分 361b 來存取 ROM22。

32 位元電路 362 包含第二 CPU 核心 362a，第二存取控制部分(或多工/8 位元匯流排控制器)362b，與第二啟動 ROM362e。更詳細地說，該存取控制部分 362b 更包含多工匯流排控制器 362c，與 8 位元匯流排控制器 362d。第二 CPU 核心 362a 執行儲存於啟動 ROM 362e 中的啟動程式，並且亦基於儲存在第二遊戲卡匣 40 之 ROM 42 裡之適用於

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(29)

第二遊戲機 30 之程式來執行遊戲程序。第二 CPU 核心 362a 經由存取控制部分 362b 來存取第二遊戲卡匣 40 中的 ROM 42 與 RAM 43。更詳細地說，當控制用於讀取之 ROM 42 時，多工匯流排控制器 362c 在第一時間提供位址資料 A0 至 A23 以存取 ROM 42，並且在第二時間接收資料 D0 至 D15。因此，當提供及接收資料時，匯流排線路是局部分享的。當針對資料編寫或讀取而控制 RAM 43 時，8 位元的匯流排控制器 362d 則以類似方式針對 8 位元 CPU 來執行存取控制。在多工匯流排控制器 362c 與 8 位元匯流排控制器 362d 之間所做的選擇是依據 CPU 存取 ROM 42 與 RAM 43 之任何一種而定(更明確地說，此種選擇依據 CPU 所存取的記憶空間而定，將於之後做描述)。

參考第 9 圖，第 9 圖接著描述第二遊戲卡匣 40 之內部結構。於此，第 9 圖為斜視圖說明第二遊戲卡匣 40 之詳細結構。在第 9 圖中，第二遊戲卡匣 40 的外殼 41 主要包括上外殼 41a 與下外殼 41b。下外殼 41b 在兩邊平面與上方具有側壁，每一個端面側壁之內部均有凹槽區 415。在凹槽區 415 附近與下外殼 41b 之內面形成突出部份 416 以固定電路板 45。另一突出部分 417(圖中有兩個)則形成於上端的側壁內面上。上外殼 41a 仍具有另一個突出部分(未標示，與突出部分 417 一樣多)，在突出部分 417 之相對位置。形成於上方殼 41a 的突出部分銜接於突出部分 417 與下外殼 41b 的側壁之間。因此，上及下外殼 41a 與 41b 藉由限制側面移動而可以固定於位置上。上外殼 41a 也有支架，

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

線

五、發明說明(30)

每個支架形成於下外殼的側壁之相對位置，以做為銜接之用。而且，上外殼 41a 具有突出部分 418，位在每一凹槽 415 之相對位置。

在電路板 45 上安裝有包含 ROM 42 及多重存取控制部分 44 之單晶片 IC 48，而且可依需求加裝 RAM 43 與備用電池 46。電路板 45 上的 ROM 42、RAM 43，與電池 46 均依照所需的電路模式做適當連接以做為該元件與外部之間的電性連接。電路板 45 之外部邊緣具有凹槽 451 用於銜接突出部 416。在電路板 45 的底端上之複數個接線端 46(46-1 至 46-32)以預定的間隔排列。由外殼 41 的開孔 414 可清楚看到該接線端 46-1 至 46-32，而該接線端 46-1 至 46-32 是連接至第二遊戲機 30 之連接器 37。因此，形成於電路板 45 的最下端之該接線端 46-1 至 46-32 構成邊緣端連接器(edge connector)47。於此，該邊緣端連接器 47 之架構同於第一遊戲卡匣 20。於此，所謂的"架構"是指電路板 45 的最下端之形狀、兩者之間之排列、間距、以及接線端之數目。

在該實施例中，ROM 42 與多重存取控制部分 44 均含於該單晶片 IC 中。但並不限定於此方式，且多重存取控制部分 44 可個別提供並接線至 ROM 42 中。該結構有益於製造。而且，該 ROM 42 與 22 可為不可重寫之遮罩 ROM，可重寫快閃 ROM 或其它類似之 ROM。

接著參考第 10 及 11 圖，第 10 與 11 圖為第一與第二遊戲卡匣 20 與 40 的功能架構之詳細說明圖。其中，第 10

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(31)

圖說明第一與第二遊戲卡匣 20 與 40 之詳細結構之方塊圖，而第 11 圖顯示第一遊戲卡匣 20 之 ROM 22 及第二遊戲卡匣 40 之包含 ROM 42 與多重存取控制部分 44 之 IC 48 皆連接至連接器 47 之電路圖。如第 10(a)與 11(a)圖所示，ROM 22 提供複數個接線端。接線端例如包含接至 16 位元位址匯流排之位址端 A0 至 A15，接至 8 位元資料匯流排之資料端 D0 至 D7，控制信號端(/WR: 寫入閘(write bar)，/RD: 讀取閘(read bar)，/CS: 晶片選擇閘(chip select bar))，與電源供應端(VDD)，並且將前述所有部分接至接線端 46-1 至 46-32。第二遊戲卡匣 40 中的 IC 48 執行 ROM 42 與單晶片中的多重存取控制部分 44，而且該卡匣 40 有複數個接線端。該 IC 48 的接線端包含負責管理 24 位元位址資料與 16 位元資料(多工系統)的下層 16 位元位址資料之連接端 A0/D0 至 A15/D15，用於 24 位元位址資料的上層 8 位元位址資料之連接端 A16 至 A23，控制信號端(/WR，/RD，/CS，與/CS2)，電源供應端(VDD)等。其中，該連接端 A0/D0 至 A15/D15 是與接線端(46-6 至 46-21；6 至 21 為第 12 圖所示的連接端數目)在第一及第二定時之間共同使用(多工系統)。

如第 10(b)圖所示，第二遊戲卡匣 40 中的 /CS 信號是接至該 IC 48(ROM 42)，而 /CS2 信號接至 RAM 43。也就是說當輸出 /CS 信號時，則啟動該 IC 48(ROM 42)，而且啟動 RAM 43 以回應至 /CS2 信號。其中，/CS 與 /CS2 信號是依據來自第二 CPU 核心 362a(將說明於後)之位址資料輸出

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(32)

至存取控制部分 362b。

第 12 圖為第一與第二遊戲卡匣 20 與 40 的卡匣介面之說明圖。其中，第 12 圖顯示第一及第二遊戲卡匣 20 及 40 之間的關係之表格以觀察連接端之應用及功能。在第 12 圖中，左邊的”NO.”欄表示連接端 46 的端點數目(1 至 32)。“ROM22”欄表示當第一遊戲卡匣 20 中的 ROM 22 為存取之記憶體時的端點功能，“ROM 42”欄表示當在第二遊戲卡匣 40 之 ROM 42 經存取時之端點功能，而”RAM 43”欄表示當 RAM 43 為存取之記憶體時之端點功能。該表格表示接線端 46-1 至 46-29，與 46-32 是用來存取 ROM22 與 RAM 43。在那些用於存取 ROM 42 的接線端裡，連接端之端點 46-6 至 46-29 是用來作為第一定時的位址端 A0 至 A23(即端點 A16 至 A23 為上層位址)，與用來作為第二定時的資料端 D0 至 D15。該接線端 46-6 至 46-21 是作為第一定時的位址線與作為第二定時的資料線。因此，有些接線端是作為隨功能(多工系統)而變化的兩種信號線。下列的接線端 46-6 至 46-21 是表示 AD0 至 AD15 以區別只用作位址匯流排之端點 46-22 至 46-29。

其中，藉由與第二遊戲卡匣 40 銜接，32 位元電路 362 是在第二遊戲機 30 中啟動，其中，資料訊號之位元數目為 32。在另一方面，如前文之說明，該卡匣介面的資料信號之端點也是 16 位元。因此，資料以 16 位元單位輸入/輸出兩次。

第 13 圖接著說明第二遊戲機 30 中的記憶空間。其中，

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(33)

第 13(a)圖為說明 32 位元電路 362 之記憶空間之記憶體配置圖，而第 13(b)圖為說明 8 位元電路 361 之記憶空間之記憶體配置圖。如第 13(a)圖所示，位址從 00000000h 至 08000000h 為 32 位元電路中針對內部 ROM、內部 RAM、I/O、暫存器等所指定之記憶空間，位址從 08000000h 至 0E000000h 為 ROM 42 之記憶空間，而位址從 0E000000h 至 0E00FFFFh 為 RAM 43 之記憶空間。

當第二遊戲機 30 存取第二遊戲卡匣 40 時，則會進行下列的 ROM 42 與 RAM 43 之間的切換處理。首先，如果第二 CPU 核心 362a 輸出在 08000000h 至 0E000000h 範圍之位址時，存取控制部分 362b 則輸出 /CS 信號，因此而啟動 ROM 42。在另一方面，當第二 CPU 核心 362a 輸出在 0E000000h 至 0E00FFFFh 範圍之位址時，則輸出 /CS2 信號，因此而啟動 RAM 43。

如第 13(b)圖所示，在 8 位元電路 361 中，位址 0000h 至 8000h 之記憶空間是保留給 8 位元電路 361 中的內部 ROM、內部 RAM、I/O、暫存器等，而位址 8000h 至 FFFFh 用於 ROM 22 之記憶空間。

第 14 圖為多工轉換之說明圖，該轉換是利用可做順序存取之位址計數器。第 14 圖為顯示在第二遊戲卡匣 40 裡之多重存取控制部分 44 之構造之方塊圖以實現在上文說明之多工系統下之存取。在第 14 圖中，包含位址計數器 441 的多工轉換電路構成多重存取控制部分 44 以便可以適當切換順序存取與隨機存取。該位址計數器 441 是 24 位元

(請先閱讀背面之注意事項再填寫本頁各欄)

訂
線

五、發明說明 (34)

計數器並可保留及遞增位址資料。就多重存取控制部分 44 的輸入/輸出端而言，待輸入至位址計數器 441 之 A[23:16]意指上層位址 A23 至 A16，而 AD[15:0]是依據時序而意指下層位址 A15 至 A0 或是指資料匯流排 D15 至 D0。再者，將 /CS 信號(晶片選擇低電位狀態端(chip select bar; " / "是指低電位致能(low active))輸入至位址計數器 441 的 LOAD 端，而將 /RD 信號(低電位狀態讀取(read bar))輸入至 CLOCK 端。基於該四種輸入，位址計數器 441 輸出記憶位址匯流排 MA[23:0]信號以存取 ROM 42。而且，接至 ROM 42 的匯流排線路之資料匯流排 MD[15:0]是接至端點 46-6 至 46-21 之 AD[15:0]，之後再輸出資料 D15 至 D0。

第 15 圖接著描述 ROM 42、RAM 43，與 ROM22 之讀取/寫入存取。第 15 圖是用於第二遊戲機 30 而針對第一遊戲卡匣 20 之記憶體(ROM22)與第二遊戲卡匣 40 之記憶體(ROM 42 與 RAM 43)而做讀取/寫入存取之時序圖。更明確地說，第 15(a)圖是說明 ROM 42 之讀取存取，第 15(b)圖是 RAM 43 之寫入存取，第 15(c)圖是 RAM 43 之讀取存取，而第 15(d)圖是 ROM22 之讀取存取。關於第一遊戲機 10 對 ROM22 的讀取存取之時序圖，可參考第 15(d)圖。

在第 15(a)圖中，由上至下 CK 是指系統時脈之波形，AD[15:0]是指第 12 圖所示的 6 至 21 端點數的位址 A0/資料 D0 至 A15/D15 之位址及資料之多工轉移操作，/CS 是指第 12 圖所示在端點數 "5" 之低電位晶片選擇(chip

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(35)

select bar)之操作，/RD 是指第 12 圖所示在端點數”4”之低電位讀取(read bar)之操作，A[23:16]是指第 12 圖所示在 22 至 29 之端點數中之位址線 A16 至 A23 之位址輸出，而底部的 t0 至 t13，其中每一項 t0 至 t13 是指時間與系統時脈 CK 之下降緣同步。

為了從 ROM 42 讀取資料隨機存取與順序存取可以適當切換。更詳細地說，為回應由第二 CPU 核心 362a 所輸出的位址資料，於第二遊戲機 30 中的多工匯流排控制器 362c 輸出具有第一時序(即時間 t1 與 t9)的/CS 信號，並且也將位址資料輸出至匯流排 A[23:16]與 AD[15:0]。在/CS 信號的下降緣中，位址計數器 441 載入(或鎖定)由匯流排 A[23:16]所提供的上層位址資料與由匯流排[15:0]所提供的下層位址資料。之後計數數值則輸出至 ROM 42 以作為讀取位址資料 A0 至 A23(MA[23:0])。之後，多工匯流排控制器 362c 輸出具有第二時序(即 t3)之/RD 信號。在/RD 信號之下降緣中，多重存取控制部分 44 輸出由 ROM 42 讀取的資料 D0 至 D15(MD[15:0])至端點 46-6 至 46-21。因此輸出資料 D0 至 D15 則經由第二遊戲機 30 之 I/O 緩衝控制器 363 傳送至 32 位元電路 362。

在位址計數器 441 中，每當/RD 信號進入到 CLOCK 端，計數值則會遞增。利用此方式，順序存取控制可以實現。

如此，在時序 t1 至 t4 期間，ROM 42 受到隨機存取控制所支配，在時序 t5 至 t8 期間，受到順序存取控制所支

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(36)

配，以及在時序 t9 至 t12 期間，再次受到隨機存取控制之所支配。也就是說於時序 t1 至 t8 的期間，要將 /CS 信號設為低電位狀態。同時，於時序 t3 至 t4、時序 t5 至 t6，與時序 t7 至 t8 期間，要將 /RD 信號間歇設為低電位狀態。在此種情況下，讀取位址首先是由時序 t1 前至 t2 後輸出至 AD[0:15]，並且接著資料再由時序 t4 前至 t9 前做順序存取以便資料能順序讀取於三個組塊中。在時序 t9 前之後，則做隨機存取控制。

當依序讀取位址來存取記憶體內容時，則要使用順序存取。因此，當位址為順序排列時，CPU 就不需輸出任何位址，而且因此僅利用控制信號(/RD)即可以計數記憶體位址。也就是說，藉由用於輸出位址所花費之時間推測，資料可以較快速來讀取。另外，程式資料可以依順進一步讀取以便順利啟動程式。

當位址無法依順讀取以存取記憶體內容時，則使用隨機存取。也因此每當讀取記憶體時，則需要輸入位址，如此讀取資料將耗費時間。

下列則敘述於 IC 48 中同時使用(多工系統)隨機存取控制與順序控制之原因。事實上，多工匯流排在匯流排介面上具有端點數(接腳)較少之優點，而某些接線端是位址與資料共用之共通匯流排。因此，若無位址輸入，則資料無法輸出，也因此存取速度比一般匯流排慢。如果使用上述的順序存取控制，則可以解決該項問題。然而，若要執行順序存取控制，則需提供記憶端(memory side)符合順序

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(37)

存取的特殊電路(位址計數器)。

在另一方面，寫入至 RAM 43 或從 RAM 43 讀取，或由 ROM22 讀取可藉由隨機存取來實現。第 15(b)至(d)圖顯示此例之作業時序圖。在該項情形中，資料存取是分別透過位址匯流排與資料匯流排來處理，而且是使用一般存取系統而非多工系統。

第 16 圖所呈現的是本遊戲系統(尤其是指第二遊戲機 30)之操作，其說明將敘述於後。第 16 圖顯示遊戲系統之特定操作之流程圖。若要啟動該遊戲，首先，使用者要將第一或第二遊戲卡匣 20 或 40 插入至第二遊戲機 30 的凹槽區 34 以連接該連接器 37(第 S1 步驟)。之後，在 S2 步驟中，使用者要開啟電源供應開關 382，之後再進行下列程序。

在第 S3 步驟中，偵測開關 35 是依據選擇器 35S 之狀態來確認插入的卡匣是第一或第二遊戲卡匣 20 或 40。

如果插入的卡匣確認為第二遊戲卡匣 40，則處理程序應進行至第 S4 步驟，並執行該項條件。詳細地說，在第 S4 步驟中，當該選擇器 35S 維持在 OFF 狀態並接至 DC-DC 轉換器 383 的 3.3V 輸出端時，則 3.3V 電源供應電壓提供至第二卡匣 40。該處理程序繼續進行第 S5 步驟。

在第 S5 步驟中，暫存器 362f 載入用於表示第二遊戲卡匣 40 正處於銜接狀態之邏輯值"1"(高電位)。然後，在進行第 S6 步驟。

在第 S6 步驟中，重置電路 385 重新設定並啟動

(請先閱讀背面之注意事項再填寫本頁各欄)

訂
線

五、發明說明(38)

CPU360。之後，在進行第 S7 步驟。

在第 S7 步驟中，啟動第二遊戲機 30 中的 32 位元電路 362，並且第二 CPU 核心 362a 則執行儲存於第二啟動 ROM362e 中的啟動程式。然後，進行第 S8 步驟。

在第 S8 步驟中，第二 CPU 核心 362a，判斷儲存於暫存器 362f 中的數值是否為"1"，如果是，則程序進行第 S9 步驟。

在第 S9 步驟中，該項處理依據第二啟動 ROM 362e 中的程式來繼續執行。然後，進行第 S10 步驟。

在第 S10 步驟中，存取控制部分 362b 開始進行本身之操作，並且第二遊戲卡匣 40 中的 ROM 42 受到讀取控制(若有需要，則 RAM 43 亦受到讀取/寫入控制)。其中，如上文所述，ROM 42 是受控於多工系統下。換言之，當執行存取時，位址資料 A0 至 A15(下層位址)與 A16 至 A24(上層位址)藉由第一時序而產生並且經由端點 46-6 至 46-29 而傳送至 ROM 42。而且藉由第二時序，透過端點 46-6 至 46-21 而讀取資料 D0 至 D15。端點 46-6 至 46-21 是以該種方式藉由兩時序一起使用。此種匯流排切換是藉由多重存取控制部分 44 來執行。其中，若 RAM 43 受控於寫入/讀取時，該端點就不與兩時序一起使用，且因此使用一般存取控制而非多工系統。然後進行第 S11 步驟。

在第 S11 步驟中，第二 CPU 核心 362a 執行來自 ROM 42 所讀取的第二遊戲機 30 之遊戲程式，之後並產生遊戲影像以顯示於液晶顯示器 32 上。此外，遊戲之音效則輸出

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(39)

至喇叭(揚聲器)392。然後，進行第 S12 步驟。

在第 S12 步驟中，判斷遊戲是否結束。若判斷還未結束，則程式返回至第 S10 步驟，並重複第 S10 與 S11 步驟，直到確定結束遊戲。

再另一方面，當插入至第二遊戲機 30 之卡匣為第一遊戲卡匣 20 時，該偵測開關 35 則確認於第 S3 步驟中的卡匣沒有凹槽 412。然後，進行第 S21 步驟。

在第 S21 步驟中，進行第一遊戲卡匣 20 之程序。更明確地說，當選擇器 35s 處於 ON 狀態且連接至 DC-DC 轉換器 383 的 5V 輸出端點時，5V 電源供應電壓則提供給第一遊戲卡匣 20，然後，進行第 S22 步驟。

在第 S22 步驟中，暫存器 362f 載入用於表示第一遊戲卡匣 20 正處於銜接狀態之邏輯值"0"(低電位)。然後，再進行至第 S6，第 S7，與第 S8 步驟，之後再到第 23 步驟。

在第 S23 步驟中，啟動切換電路 369，並且接著將 32 位元電路 362 則切換至 8 位元電路 361。然後，進行第 S24 步驟。

在第 S24 步驟中，第二 CPU 核心 362a 停止工作，而第一 CPU 核心 361a 則開始啟動。然後，進行第 S25 步驟。

在第 S25 步驟中，第一 CPU 核心 361a 執行儲存於第一啟動 ROM361c 中的啟動程式。然後，進行第 S26 步驟。

在第 S26 步驟中，8 位元匯流排控制器 361b 控制第一遊戲卡匣 20 中的 ROM22 以作讀取之目的。此時在第 15(d)圖所示的時序下產生提供第一 CPU 核心 361a 處理的位址

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(40)

資料。然後，進行第 S27 步驟。

在第 S27 步驟中，依據來自第一遊戲卡匣 20 中的 ROM 22 所讀取之 8 位元遊戲機所用的遊戲程式，執行第一遊戲機的遊戲處理。然後，進行第 S28 步驟。

在第 S28 步驟中，判斷遊戲是否已結束。如果判斷仍未結束，則處理程序返回至第 S26 步驟並重覆第 S26 與 S27 步驟直到遊戲完成為止。

在下文中，由所參考之第 17、18、19、與 20 圖，該圖式為上述說明之外的卡匣辨識方法之一些實例。

第 17 與 18 圖首先說明利用辨識碼來區別第二遊戲卡匣 40 與第一遊戲卡匣 20 之實例，其中，每一種辨識碼均符合提供於卡匣中的記憶裝置之卡匣類型，如此當電源開啟時，便能讀取該辨識碼。

第 17 圖如同第 7 圖所示，為主要零件之方塊圖，該零件是有關於上述第一與第二遊戲卡匣 20 與 40 之間的辨識處理。相較於第 7 圖的第二遊戲機 30，在此範例中第二遊戲機提供電壓選擇器 38 而非偵測開關 35。而且，第二遊戲卡匣 40 由位在該卡匣處之第二遊戲卡匣 40r 所取代。再者，該遊戲機並未提供如第二遊戲機 30 所提供之電壓偵測器 384 與暫存器 362f。電壓選擇器 38 是接至 32 位元電路 362，並由來自該電路所輸出的控制信號來控制。

在第二遊戲卡匣 40r 中，代替凹槽 412 的為代表本身類型而儲存於 3.3V 介面記憶體 42 與 43 中的辨識碼區域中的辨識碼。如同偵測開關 35，電壓選擇器 38 是一種用以

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(41)

選擇來自 DC-DC 轉換器 383 之輸出之開關，但不是以機械方式而是以電性方式來操作。在該實例中，由於該項結構變換，因此並不再需要如第 7 圖所示的電壓偵測器 384 與暫存器 362f。因此，基於與第 7 圖的 CPU 360 及第二遊戲機 30 做區別之目的，該不同架構的 CPU 與該資訊處理裝置則個別標示為 CPU360r 與第二遊戲機 30r。

下列為卡匣辨識操作之說明，而該辨識是利用上述的第二遊戲機 30r 中的辨識碼來達成。當第二遊戲機 30r 開啟時，3.3V 電壓傳送至第一或第二遊戲卡匣 20 或 40。然後，啟動第二 CPU 核心 362a。

第二 CPU 核心 362a 負責讀取儲存於由第一與第二遊戲卡匣 20 與 40 所提供的記憶體之特定區域中的辨識碼。如果順利讀取而且已讀取的辨識碼顯示第二遊戲卡匣 40r，則第二 CPU 核心 362a 仍持續動作。

如果讀取辨識碼未顯示第二遊戲卡匣 40r，或者如果未讀取辨識碼，則第二 CPU 核心 362a 將確認該卡匣為第一遊戲卡匣 20。此時該 32 位元電路 326 使電壓選擇器 38 選擇 5V 電壓。之後第二 CPU 核心 362a 則啟動切換電路 369。

切換電路 369 停止第二 CPU 核心 362a 之動作，並啟動第一 CPU 核心 361a。

第 18 圖所示的流程圖為此實例中的第二遊戲機 30r 之運作說明。在該流程圖中，相較於第 16 圖所示的流程圖，第 S3、S5、S6、S21、與 S22 步驟未包含於其中，此

(請先閱讀背面之注意事項，再填寫本頁各欄)

訂

線

五、發明說明(42)

實施例包含第 S116 步驟而非第 S7 步驟，包含第 S118 步驟而非第 S8 步驟，並且此實施例在第 S118 與 S23 步驟之間額外包含第 S120 步驟。

在下文中，第二遊戲機 30r 之操作說明是針對該實例之步驟。首先，在第 S1 步驟中，將第一遊戲卡匣 20 或第二遊戲卡匣 40 插入第二遊戲機 30r 中的凹槽區 34。之後，使用者開啟第二遊戲機 30r 的電源供應開關 382。

在第 S4 步驟中，DC-DC 轉換器 383 經由電壓選擇器 38 將 3.3V 直流電壓提供至卡匣。然後，進行第 S116 步驟。

在第 S116 步驟中，啟動 CPU 360r 中的第二 CPU 核心 362a、開始執行第二啟動 ROM 362e 所描述的程序，並且接著讀取儲存於插入的卡匣中之辨識碼區域中之辨識碼。明確地說，當連接器 37 與第二遊戲卡匣 40r 銜接時，辨識碼將由辨識碼區域 421 所讀取。

在另一方面，如同前述，當連接器 37 與第一遊戲卡匣 20 銜接時，表示第二遊戲卡匣 40r 之辨識碼則未讀取，然後，進行第 S118 步驟。

在第 S118 步驟中，依據第 S116 步驟中所讀取的辨識碼，與連接器 37 銜接的卡匣類型將可因此決定。在該實例中，可判斷出所銜接的卡匣是否為第二遊戲卡匣 40r。

是(Yes)，是指如果判斷為第二遊戲卡匣 40r，則作業程序將進行第 S9 至 S12 步驟，該步驟於前文中已做說明。

否(No)，是指如果判斷並非第二遊戲卡匣 40r 而是第一遊戲卡匣，則作業程序將進行第 S120 步驟。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(43)

在第 S120 步驟中，電壓選擇器 38 選擇 5V 電壓而非 3.3V 電壓。然後，作業程序進行第 S23 至 S28 步驟，該步驟均於前文中已做說明。

其中，第 S116 與 S118 中的處理作業有更詳細的說明。銜接第二遊戲卡匣 40r 之處理作業已於前文中說明。然而當銜接第一遊戲卡匣 20 時，則無法依據第 S116 步驟進行正常的存取。這是因為於第 4 步驟提供至該卡匣的電壓為 3.3V。即使順利存取，第一遊戲卡匣 20 也沒有辨識碼區域 421。因此，在第 S116 步驟中並未讀取到表示第一遊戲卡匣 20 的辨識碼，而且，也因此經判斷為已銜接的第一遊戲卡匣 20，也就是判斷為否(No)之操作。

其中，第二遊戲卡匣 40r 與第一遊戲卡匣 20 可由相同電位之電壓(即 3.3V)來驅動，而該電壓均可由共通匯流排控制(即獨立匯流排控制)所存取的記憶體來提供，其目的是僅需儲存識別碼。若是如此，第二 CPU 核心 362a 則不受卡匣類型影響而可存取記憶體並且可針對第一遊戲卡匣 20 而由識別碼區域 421 或識別碼區域正確讀取識別碼。

第 19 與 20 圖說明利用單一線路短路來確認卡匣之類型。第 19 圖如同第 17 圖為說明關於第一與第二卡匣 20 與 40 之間的辨識處理之主要零件之方塊圖。

相較於第 7 圖所示的第二遊戲機 30，提供於實例中的第二遊戲機 30rr 為電壓選擇器 38，而非偵測開關 35。而且在該處的第二遊戲卡匣 40 亦由第二遊戲卡匣 40rr 所取代。再者，在該凹槽區 34 內另外提供兩個由電壓選擇器

(請先閱讀背面之注意事項，再填寫本頁各欄)

裝

訂

線

五、發明說明(44)

38 延伸的信號線 W。該遊戲機 30rr 提供第二遊戲卡匣 40rr 短路信號線 S，而當第二遊戲卡匣 40rr 插入至凹槽區 34 時，該短路信號線 S 造成兩信號線 W 短路。

在該構造的第二遊戲機 30rr 中，當第一遊戲卡匣 20 插入凹槽區 34 時，信號線 W 並不會短路。然而，當第二遊戲卡匣 40rr 插入凹槽區 34 時，短路線路 S 將使兩信號線路 W 短路。由於兩信號線 W 所觀察到的短路信號有助於第二遊戲機 30rr 透過偵測而確認卡匣類型。其中，電壓選擇器 38 依據該信號線 W 所觀察到的短路信號來選擇 3.3V 或 5V 電壓。

依據兩信號線 W 所觀察到的短路信號線來確定卡匣類型之第二遊戲機 30rr 的操作相似於利用辨識碼來確認卡匣類型之第二遊戲機 30r 之操作。但要注意的是第二遊戲機 30rr 中的第二 CPU 核心 362a 是偵測所觀察到之信號線短路而非讀取辨識碼。既然於此所偵測的僅為短路信號，因此即使當回應所銜接之第一遊戲卡匣之供應電壓為 3.3V，仍然可能正確地偵測到短路信號。

第 20 圖為第二遊戲機 30rr 之操作流程圖。相較於第 16 圖所示的流程圖，該流程圖沒有第 S3 步驟，但於第 S2 與 S4 或 S21 步驟之間另外提供第 S104 步驟。

在下文中，第二遊戲機 30rr 之操作是集中在該特定實例的步驟而說明。首先，在第 S1 步驟中，卡匣插入第二遊戲機 30rr 中的凹槽區 34。在第 S2 步驟中，使用者開啟第二遊戲機 30rr 中的電源供應開關 382。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(45)

在第 S104 步驟中，該步驟是用以判斷是否信號線 W 為短路。是(Yes)，是指如果判斷出提供於第二遊戲卡匣 40rr 的短路信號線 S 使信號線 W 短路，則執行上述第 S4 至 S12 之處理。

否(No)，是指既然第一遊戲卡匣 20 沒有短路信號線 S 而如果判斷出信號線 W 未短路，則執行上述第 S21 至 S28 步驟中之處理。

如上文所述，在本發明中，用於低階裝置的第一遊戲機 10 之第一遊戲卡匣 20 也可使用於高階裝置的第二遊戲機 30。因此，可以確保在遊戲卡匣(遊戲軟體)間之相容性。而且，依據目前銜接至遊戲機的卡匣類型，可做電壓自動切換，並且如此便可進行存取控制。

再者，在本發明中，即使提供至卡匣之電壓準位與該卡匣之存取方式是依據在該卡匣內的記憶體類型而改變，但可藉由卡匣之確認程序而存取該卡匣中的記憶體，並且依據所得到的確認結果而藉由電壓準位與中央處理裝置的操作模式之轉換來存取卡匣中的記憶體。

例如，當資訊處理裝置或遊戲機具備處理器時，其中，用於資料處理之位元數非常大，則連接器的資料寬度可能不夠寬。然而，在本發明中，具有資料位元數目符合在處理器內用於資料處理之位元數目之記憶體可以連接至共通匯流排。而且，當每個用於資料處理之具有不同位元數目以維持軟體相容性之資料處理裝置或例如遊戲裝置是具備處理器時，對應於該處理器之例如每個記憶體將連接至共

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(46)

通匯流排以供存取。

在本發明中，一種多工匯流排傳輸模式技術之應用目的不僅在於處理兩類型的記憶體在位址信號之位元數目上之不同外；而且還處理資料信號之位元數之不同。而且，本發明可提供儲存於卡匣的記憶體，而該卡匣具有用以辨識第二遊戲機中的卡匣 50 與資訊處理系統 CGB 中的卡匣之功能。

雖然本發明已作詳加說明，但上述各方面之說明並非在限定本發明。需瞭解的是，其它許多修正與變更之想法設計仍不違反本發明之範圍。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱: 遊戲系統、遊戲卡匣及遊戲機)

本發明提供一種遊戲機 30, 係透過外部匯流排 37, 47 以一種可抽取方式與第一遊戲卡匣 20 或第二遊戲卡匣 40 銜接。該第一遊戲卡匣包含第一資料寬度之第一記憶體 22 而第二遊戲卡匣包含第二資料寬度之第二記憶體 42。第二遊戲卡匣 40 在形狀上部分不同於第一遊戲卡匣。形狀辨識器 35 辨別第一及第二遊戲卡匣 20, 40, 而中央處理單元以多工匯流排模式存取該第二記憶體 42 並且以標準模式存取該第一記憶體 22。

包含於第二遊戲卡匣 40 中的第二記憶裝置 48 包含記憶體 42, 用於記錄使資訊處理裝置 30 執行處理之資料, 以及多重存取控制部分 44, 用於以分時方式來控制位址與

英文發明摘要(發明之名稱: GAME SYSTEM, GAME CARTRIDGE AND GAME MACHINE)

In a game machine 30 having engaged in a detachable manner with, for processing, via an external bus 37, 47 in a second data width, a first game cartridge 20 housing first memory 22 in a first data width, or a second game cartridge 40 being partially different in shape from the first game cartridge 20 and housing second memory 42 in the second data width, a shape discriminator 35 discriminates between the first and second game cartridges 20, 40, and a central processing unit accesses the second memory 42 in a multiplex bus mode and the first memory 22 in a normal mode.

A second storage device 48 housed in the second game cartridge 40 includes the memory 42 for recording data which

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

四、中文發明摘要（發明之名稱：

)

資料交換。

第二記憶體 42 以 3.3V 之第一電壓來驅動，而第一記憶體 22 以 5V 之第二電壓驅動。資訊處理裝置 30 依據已銜接的卡匣類型提供 5V 或 3.3V 電壓給記憶體 22，42。中央處理單元 360 依照所對應之任何一個提供之電壓模式來啟動。

（請先閱讀背面之注意事項再填寫本頁各欄）

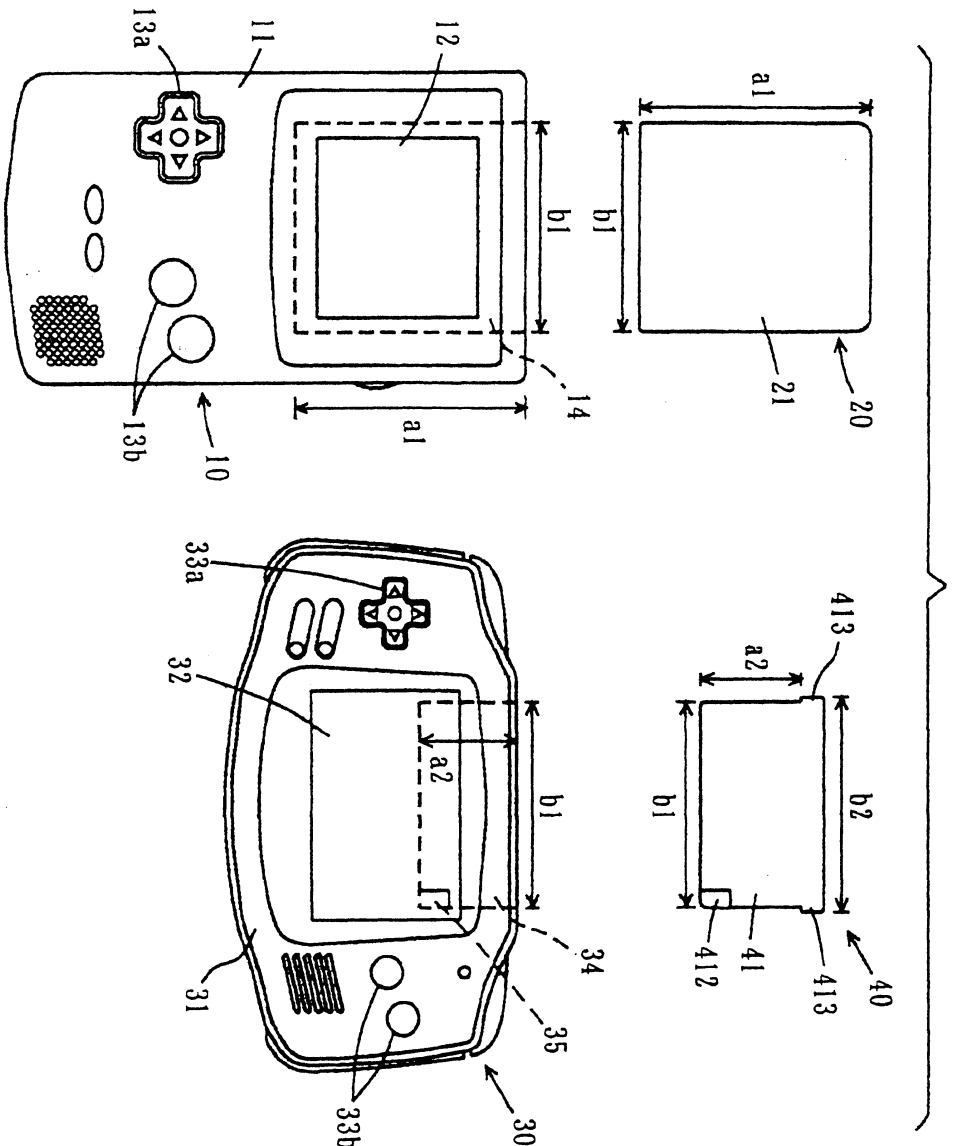
訂

英文發明摘要（發明之名稱：

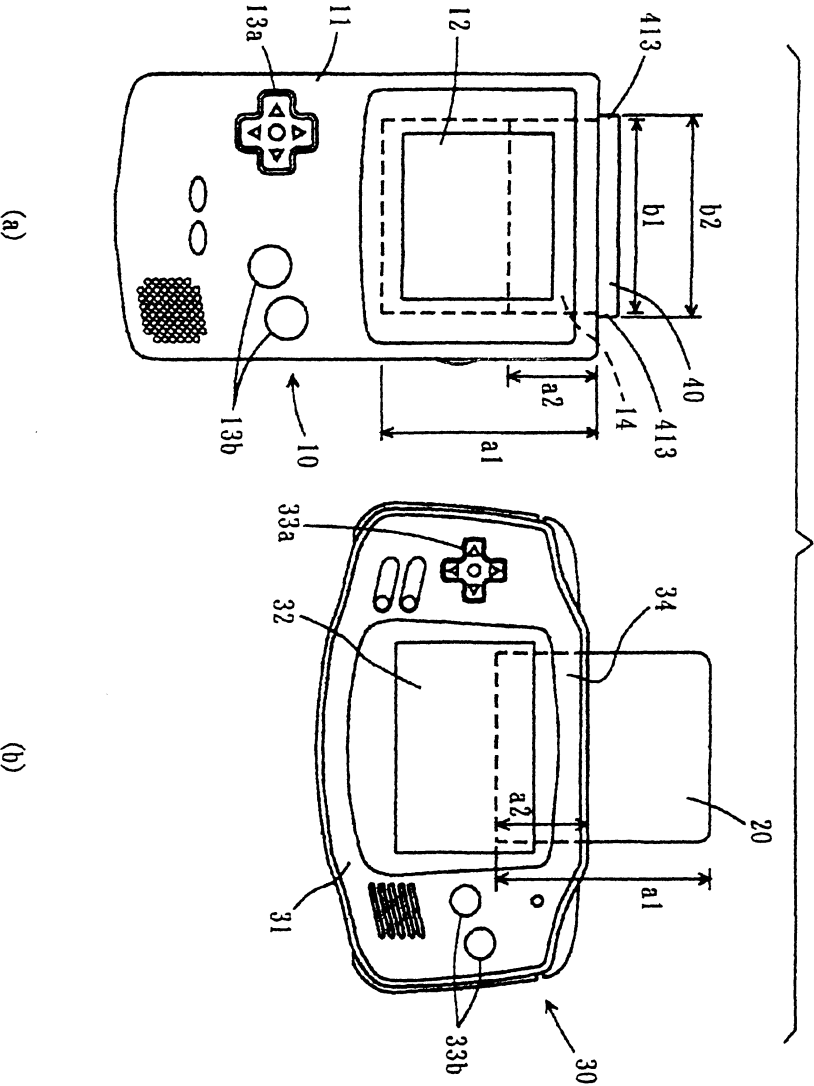
)

causes the information processing device 30 to execute processing, and a multiaccess control part 44 for controlling address and data exchange in a time-sharing manner.

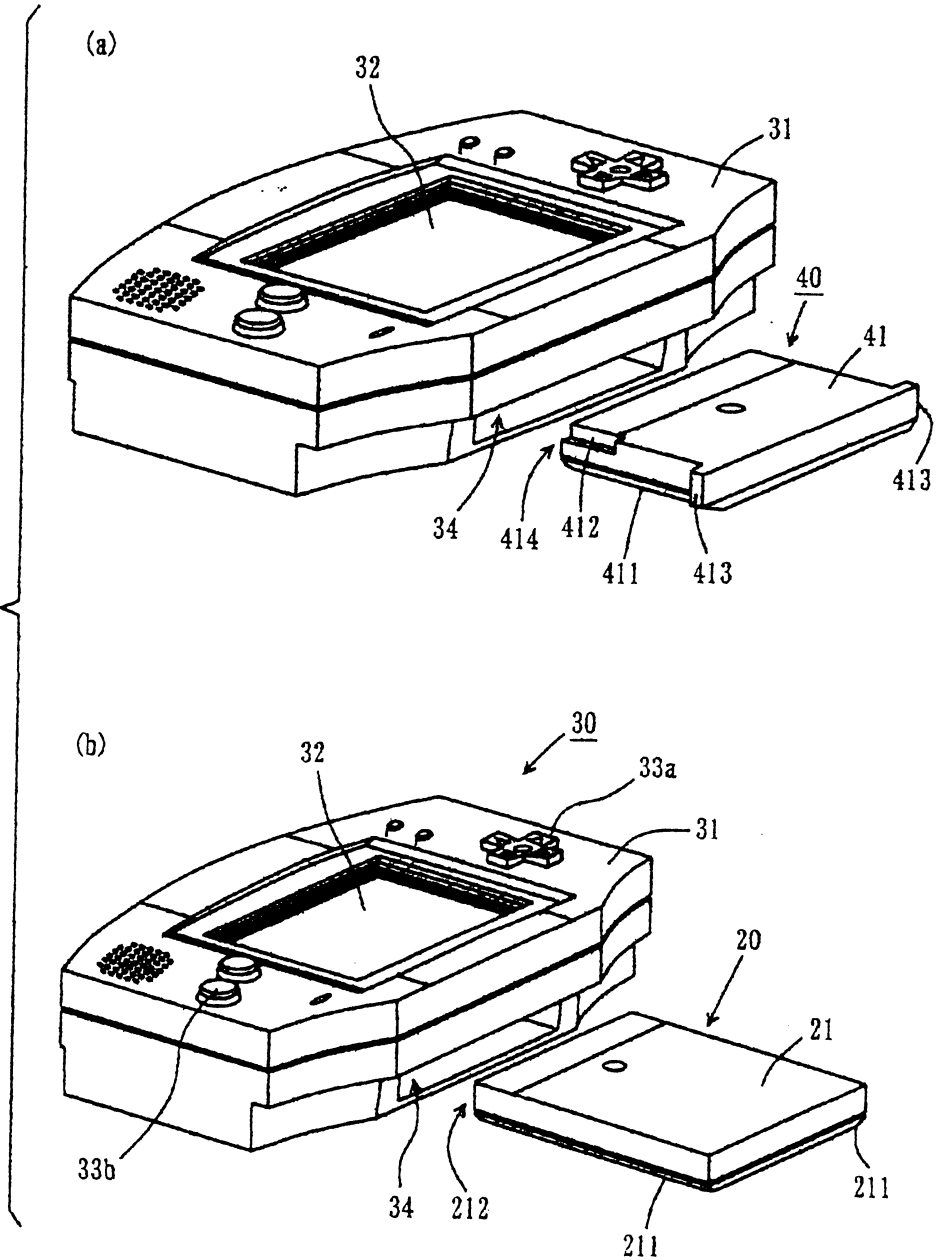
The second memory 42 is driven by a first voltage of 3.3V, while the first memory 22 by a second voltage of 5V. The information processing device 30 supplies either of 5V or 3.3V to the memory 22, 42 depending on the cartridge type currently engaged. The central processing unit 360 is activated in a mode corresponding to the voltage whichever supplied.



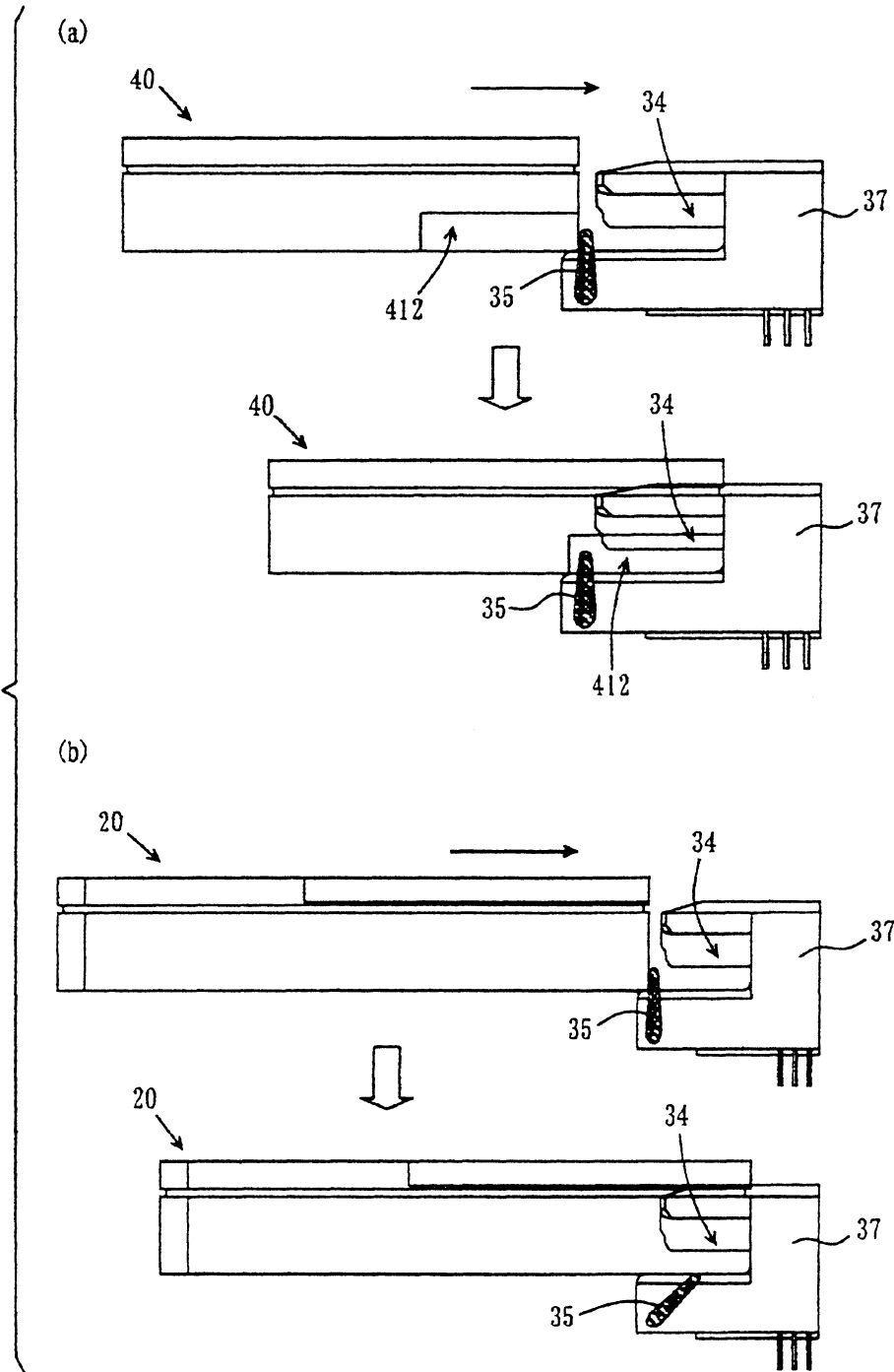
第 1 圖



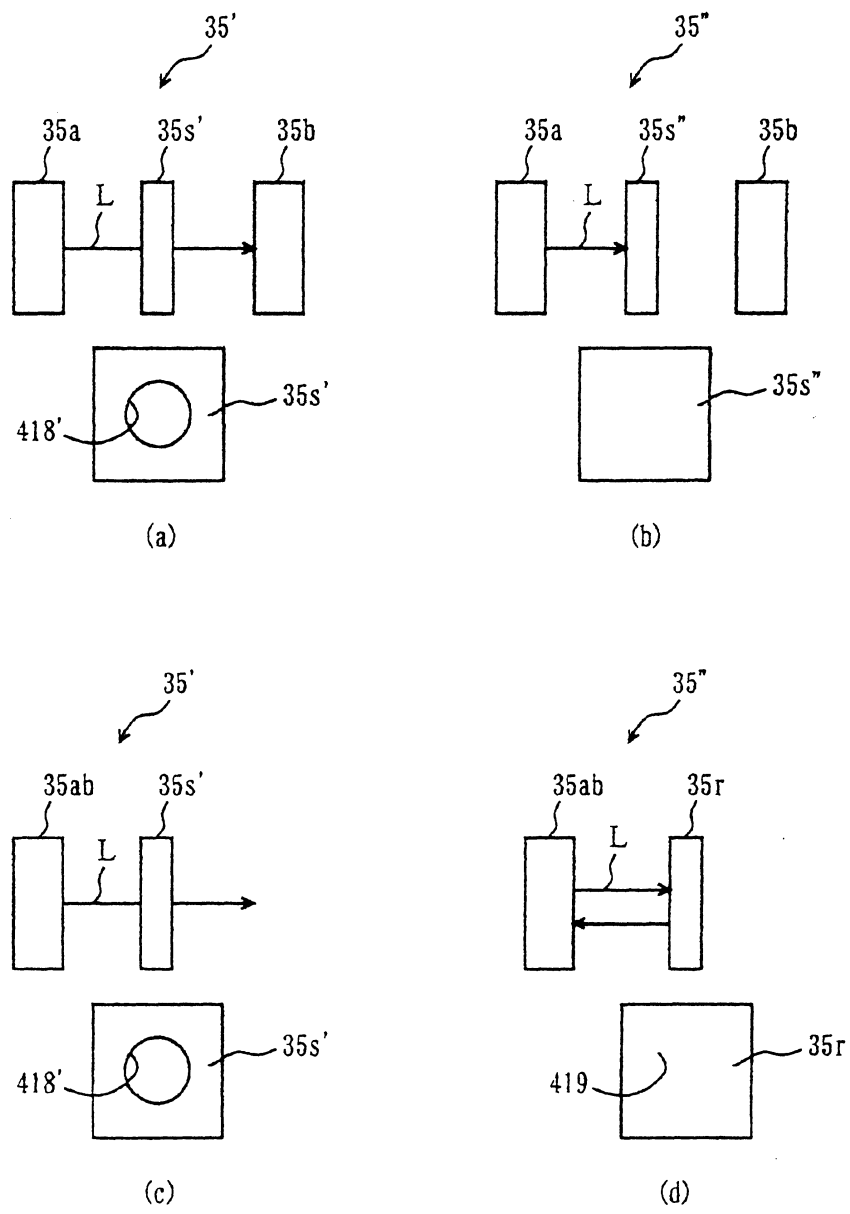
第 2 圖



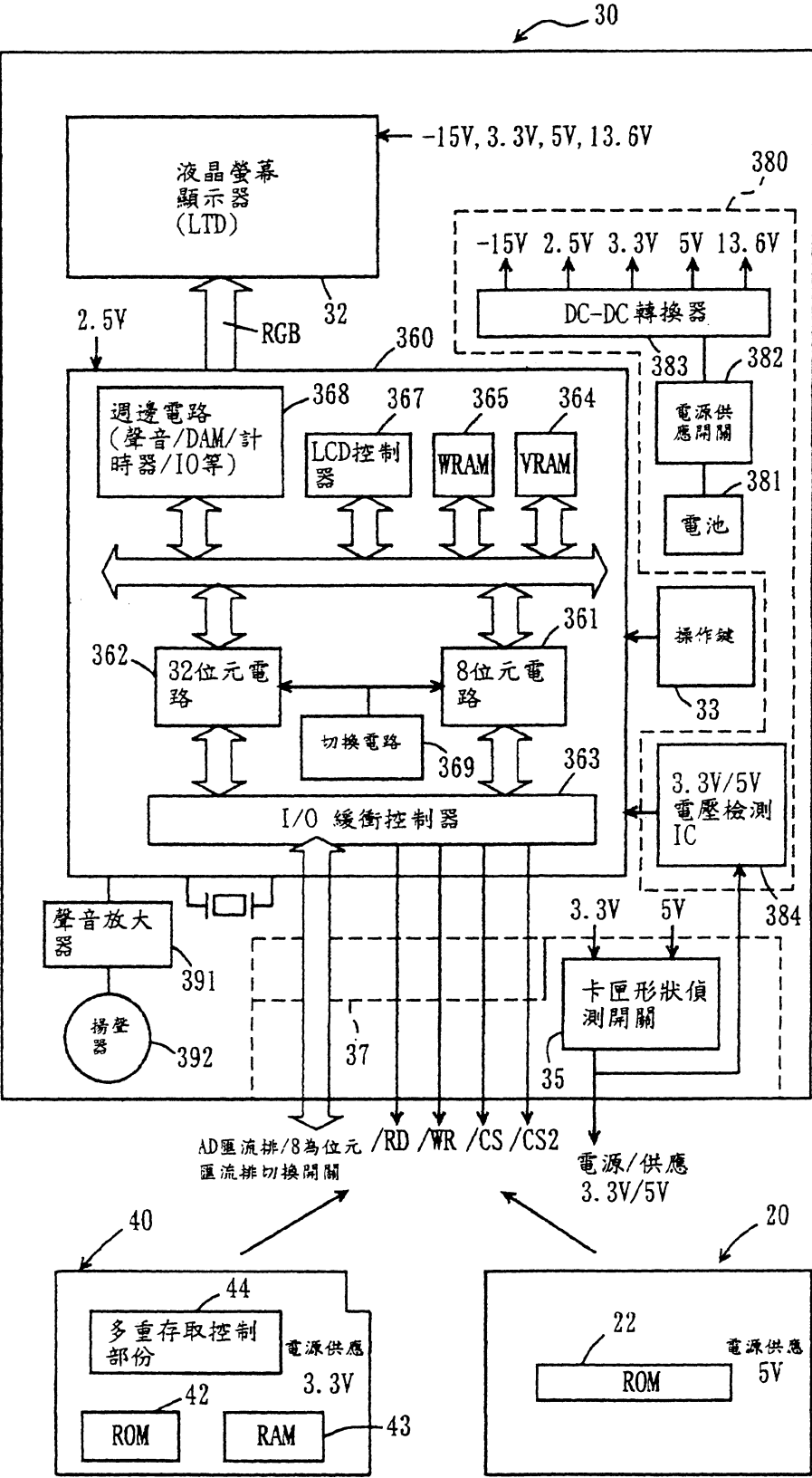
第 3 圖



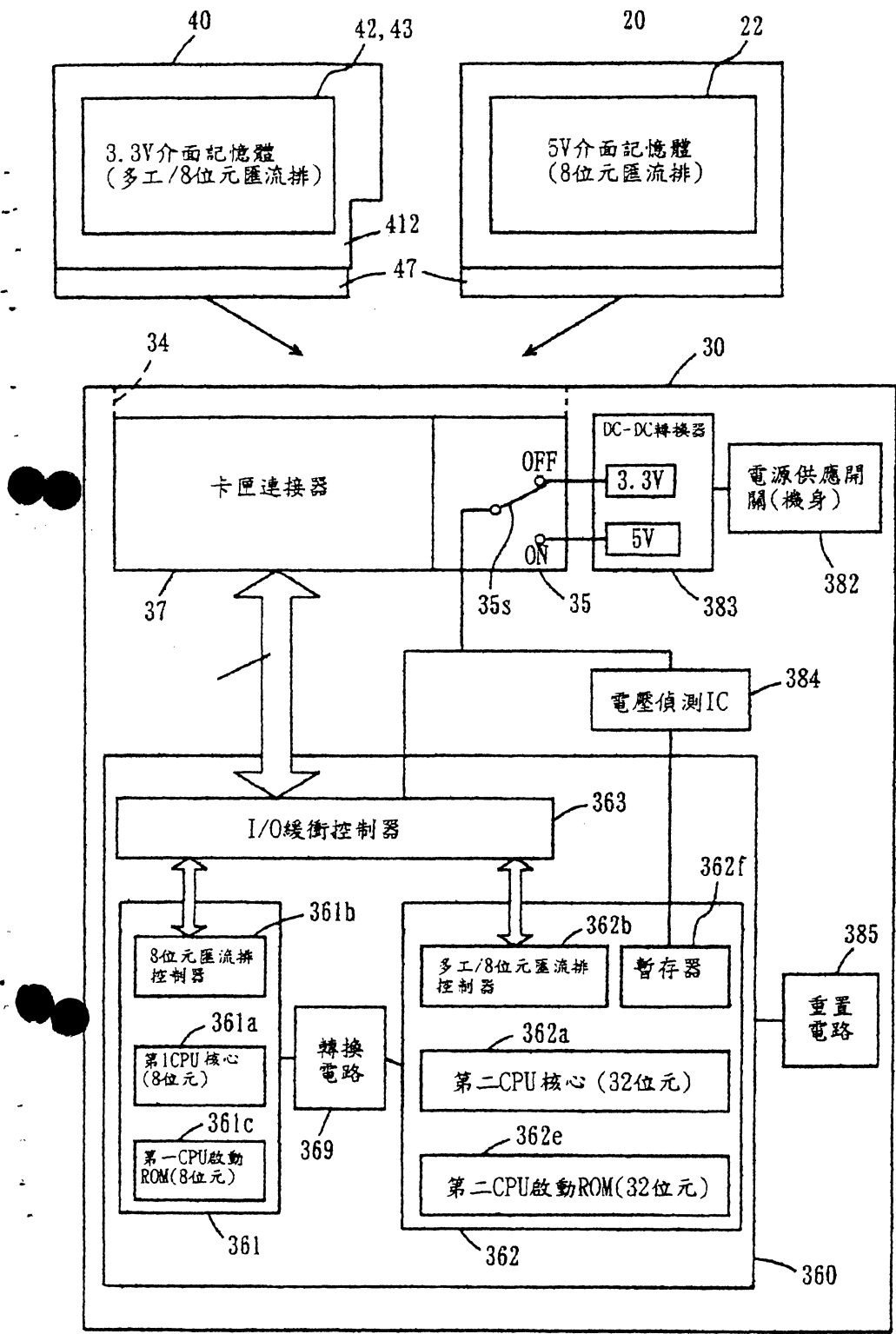
第 4 圖



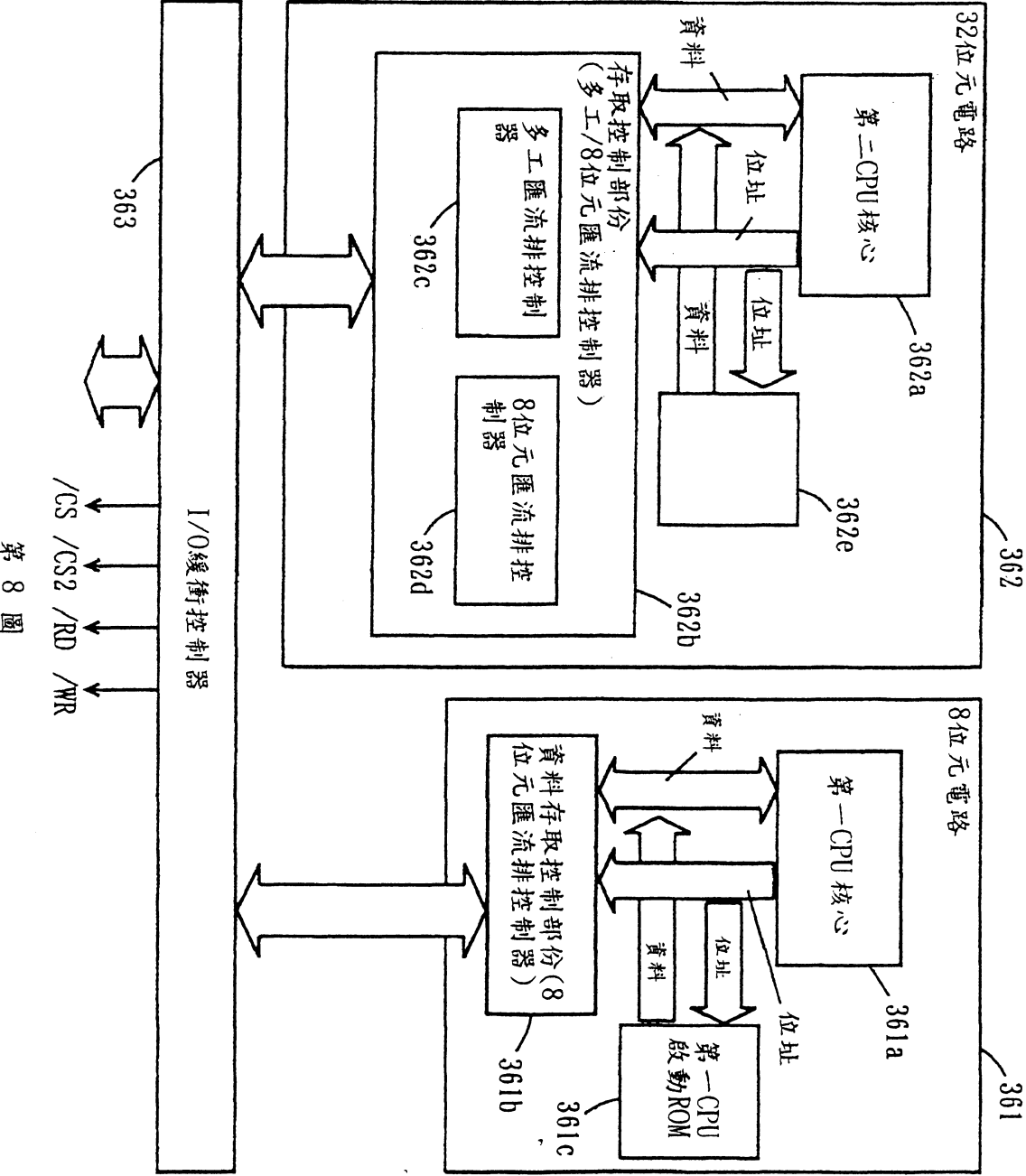
第 5 圖



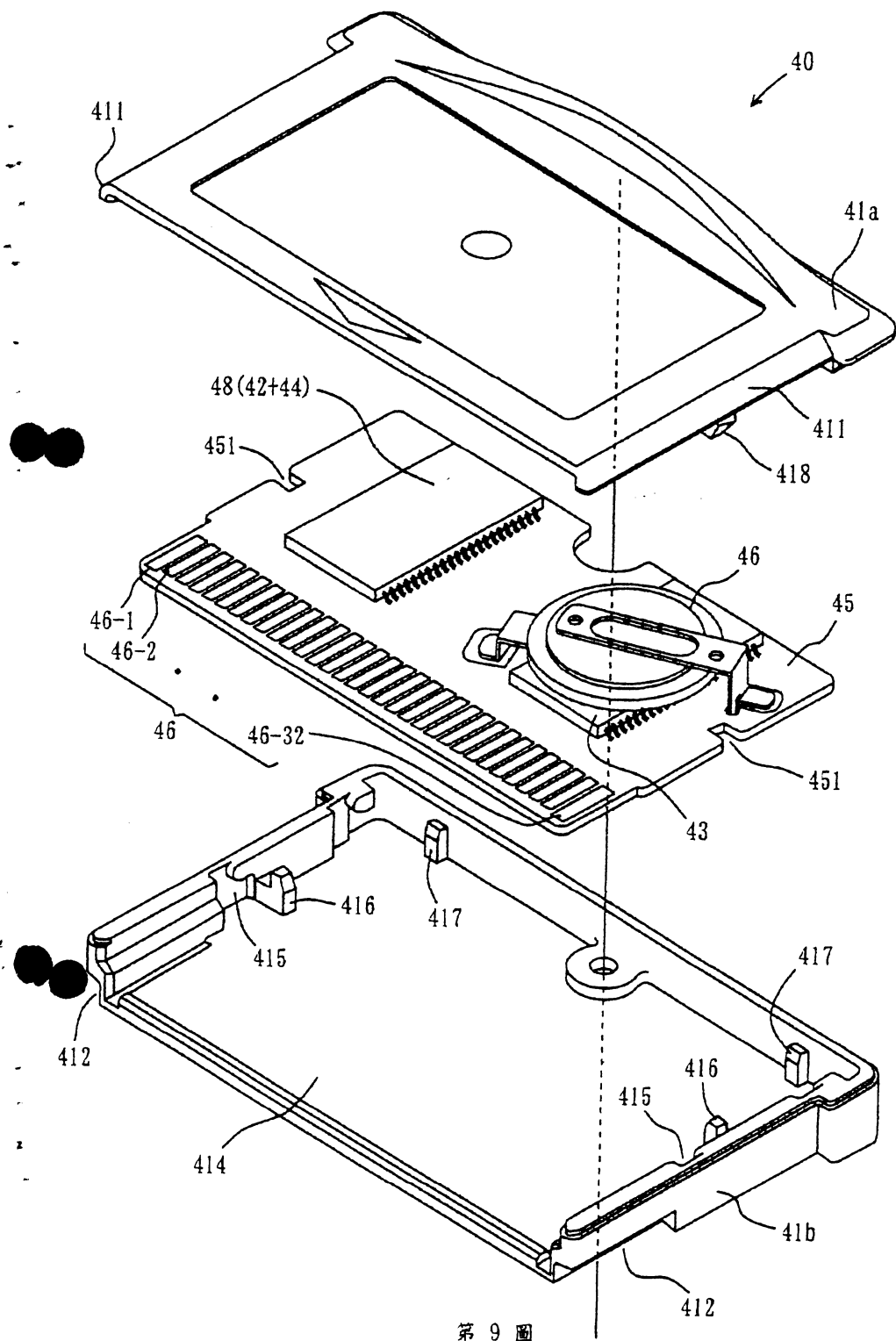
第 6 圖



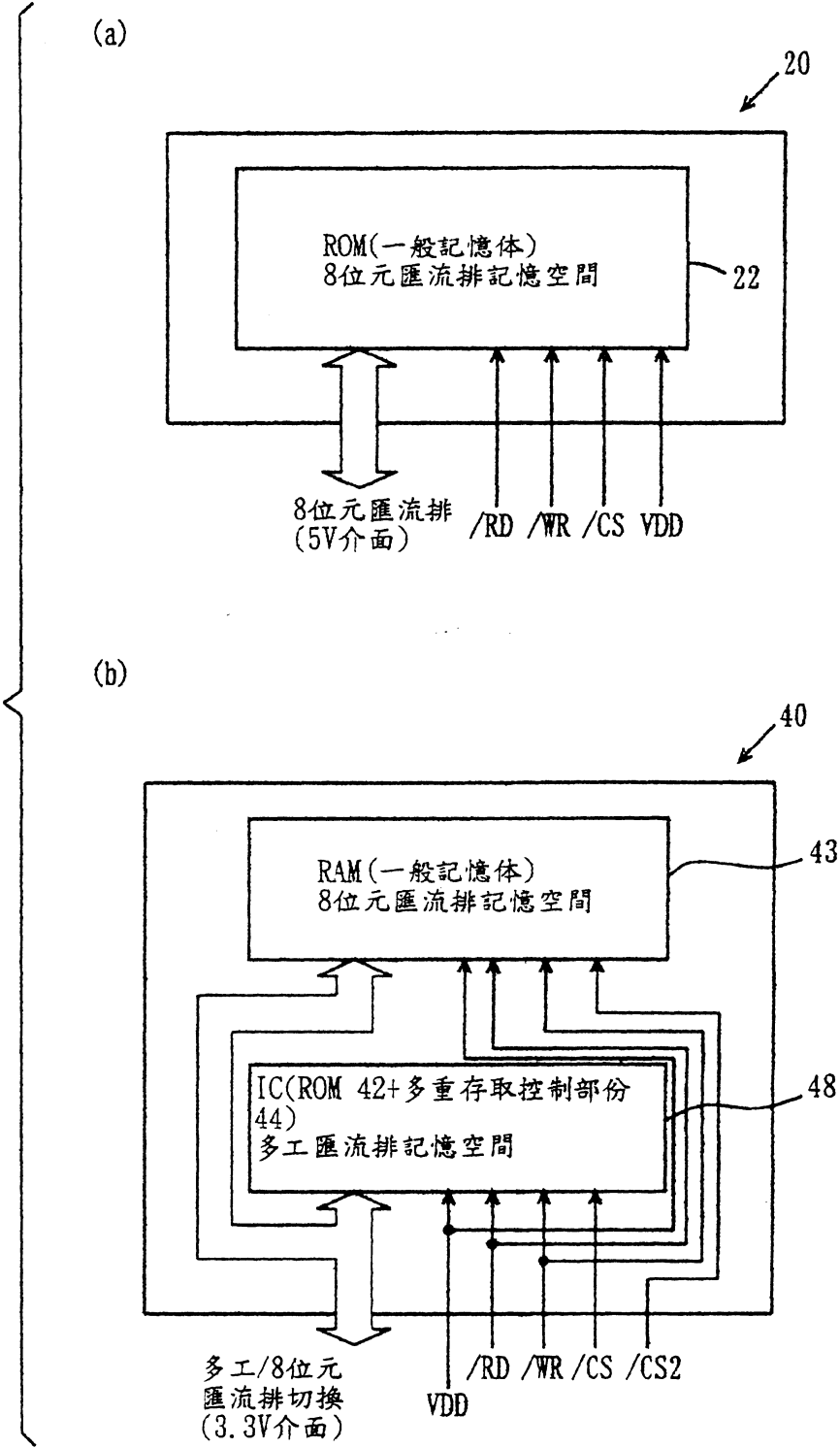
第 7 圖



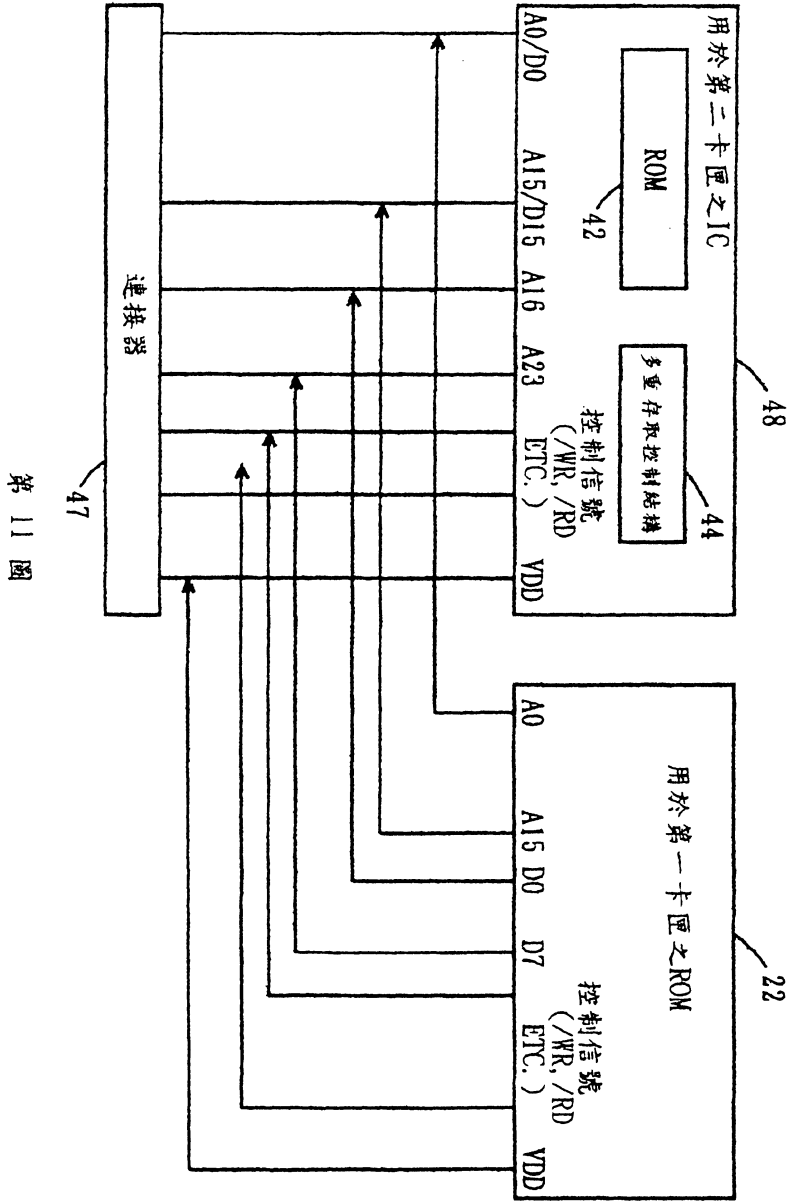
第 8 圖



第 9 圖



第10圖

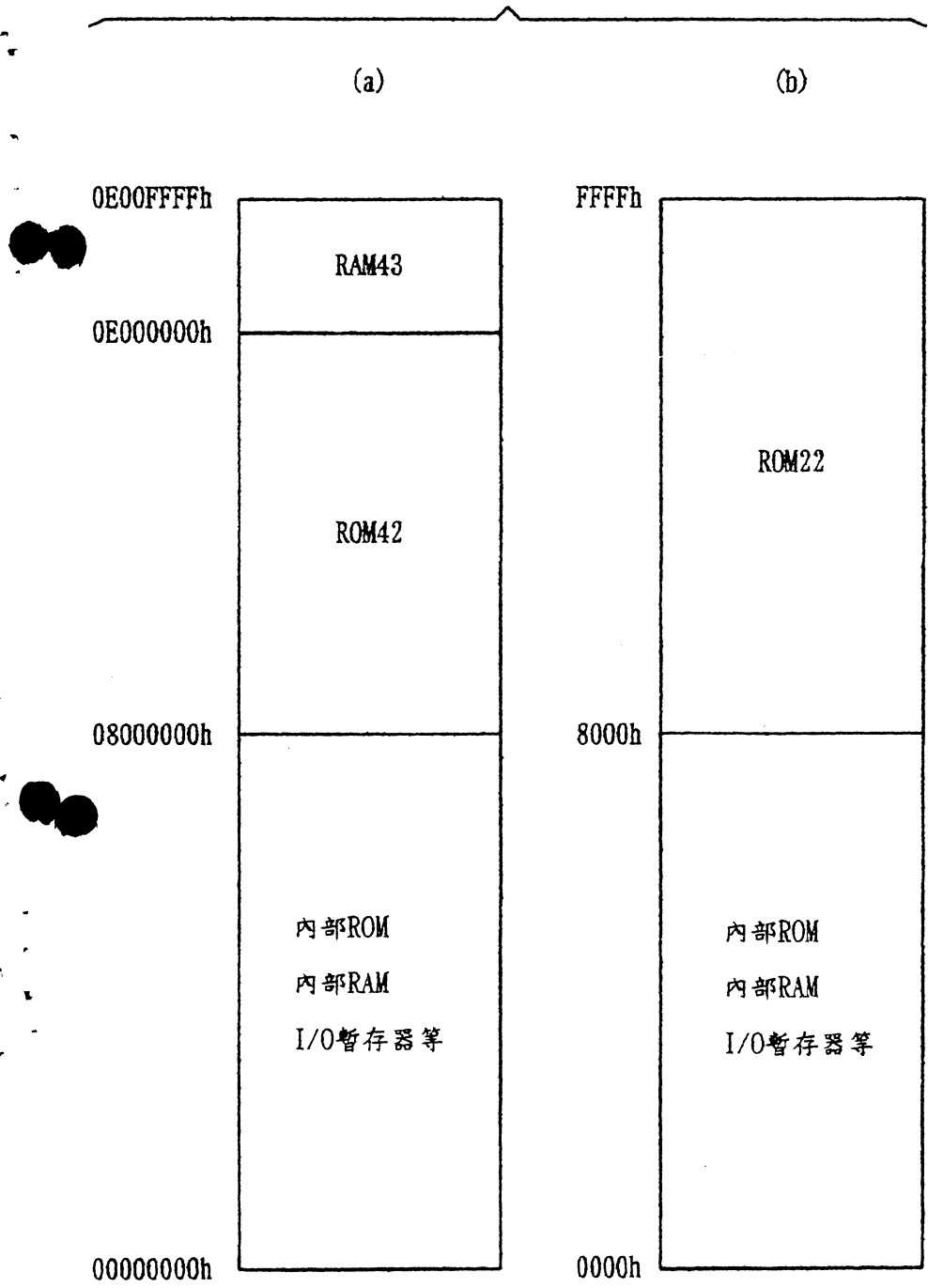


第 11 圖

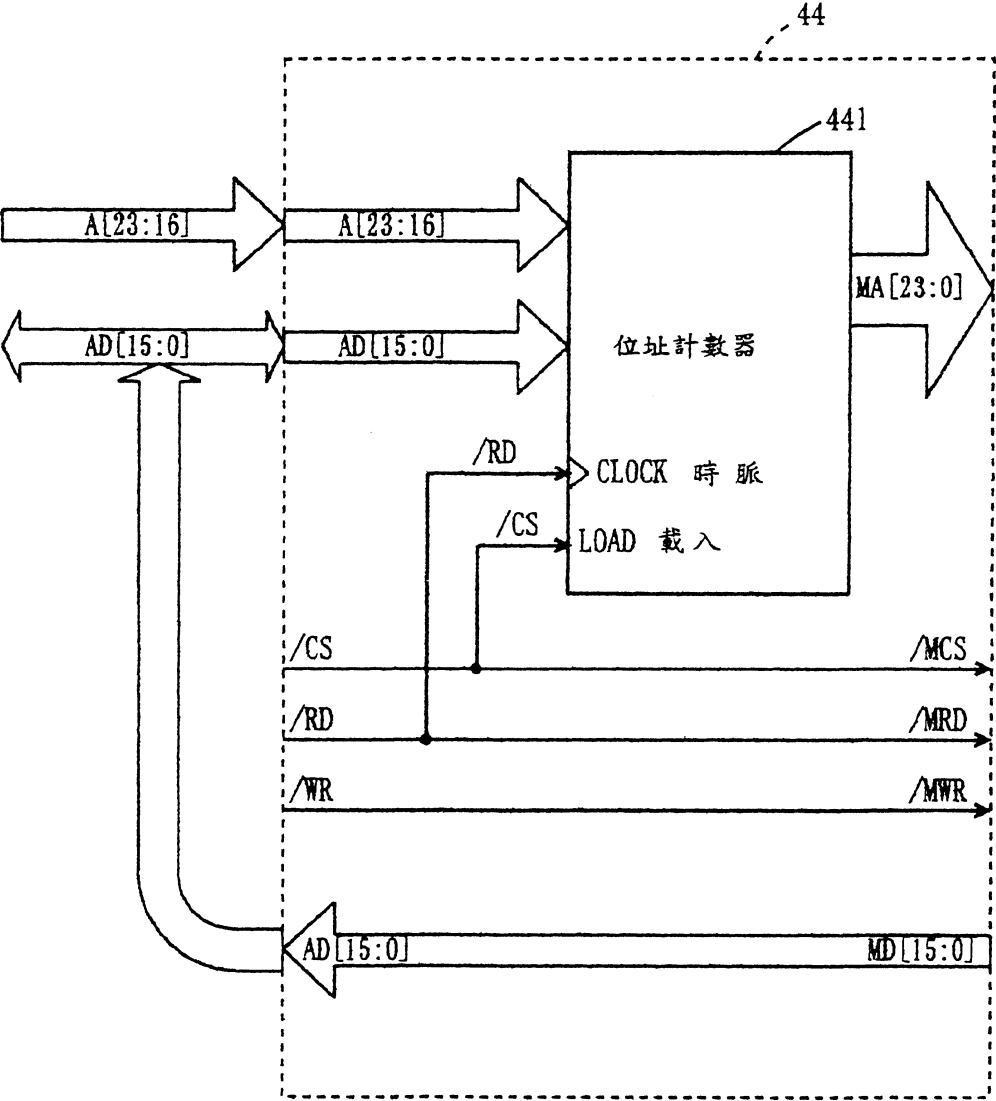
卡匣介面

編號	ROM22	ROM42	RAM43	摘要
1	VDD (5V)	VDD (3.3V)	VDD (3.3V)	偵測開關控制的電壓切換
2	PH1	PH1	PH1	
3	/WR	/WR	/WR	
4	/RD	/RD	/RD	
5	/CS	/CS	/CS	ROM晶片選擇
6	A0	A0/D0	A0	位址/資料共通端
7	A1	A1/D1	A1	同上述
8	A2	A2/D2	A2	同上述
9	A3	A3/D3	A3	同上述
10	A4	A4/D4	A4	同上述
11	A5	A5/D5	A5	同上述
12	A6	A6/D6	A6	同上述
13	A7	A7/D7	A7	同上述
14	A8	A8/D8	A8	同上述
15	A9	A9/D9	A9	同上述
16	A10	A10/D10	A10	同上述
17	A11	A11/D11	A11	同上述
18	A12	A12/D12	A12	同上述
19	A13	A13/D13	A13	同上述
20	A14	A14/D14	A14	同上述
21	A15	A15/D15	A15	同上述
22	D0	A16	D0	
23	D1	A17	D1	
24	D2	A18	D2	
25	D3	A19	D3	
26	D4	A20	D4	
27	D5	A21	D5	
28	D6	A22	D6	
29	D7	A23	D7	
30	/RES	/CS2	/CS2	用於AGB與CGB模式之各種不同作動
31	不使用 (VIN)	IREQ/DREQ	IREQ/DREQ	在CGB模式中, 不使用VIN INPUT
32	GND	GND	GND	

第 12 圖

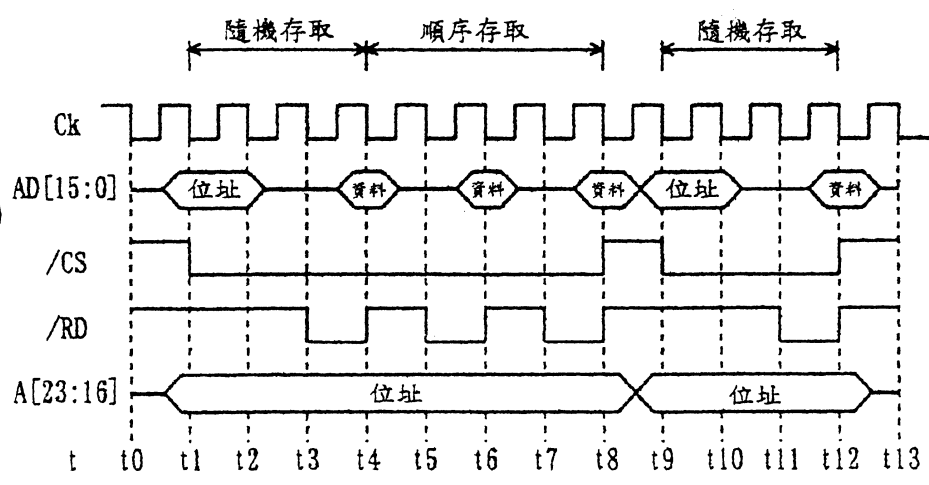


第 13 圖

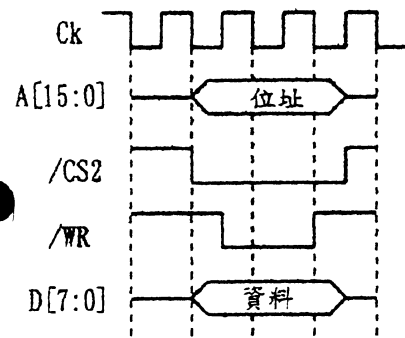


第 14 圖

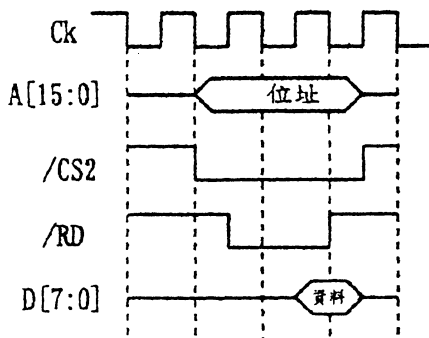
(a) ROM42讀出存取



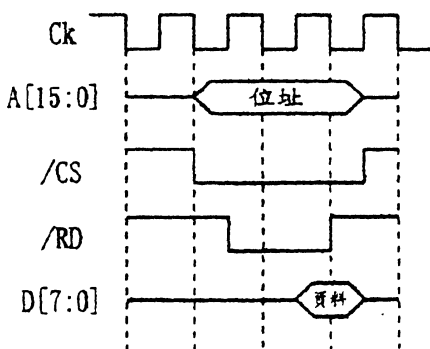
(b) RAM43寫入存取



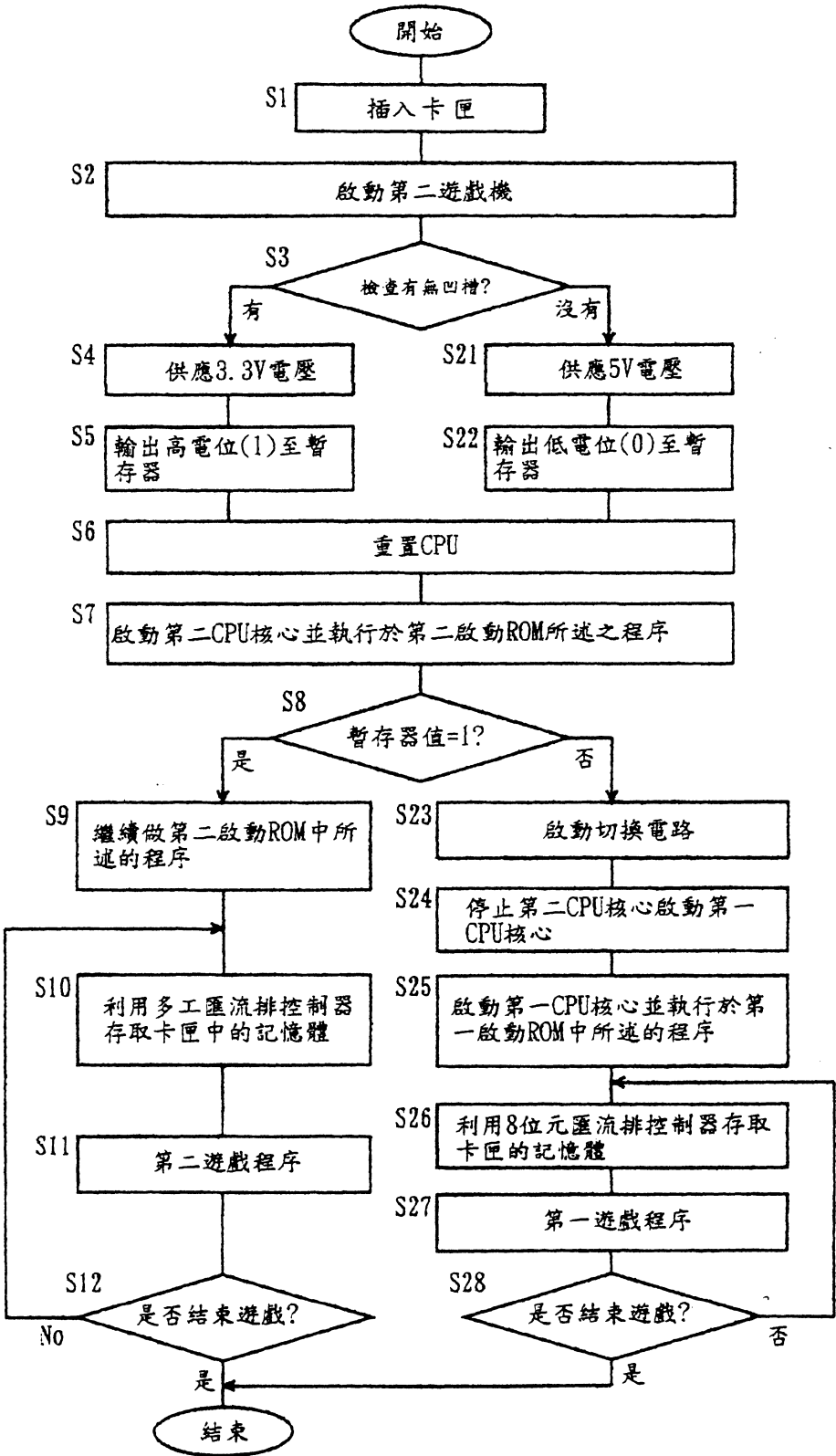
(c) RAM43讀出存取



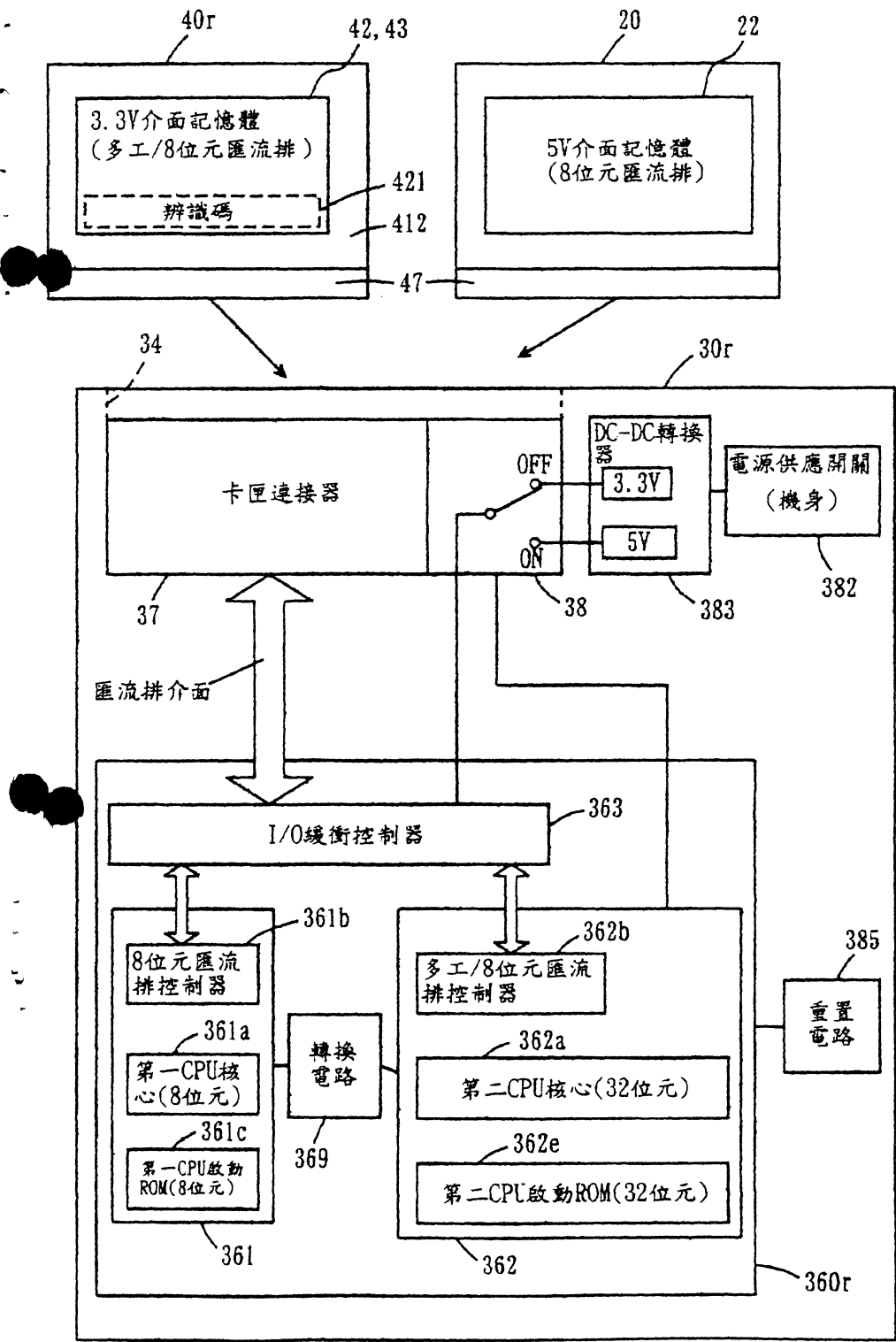
(d) ROM22讀出存取



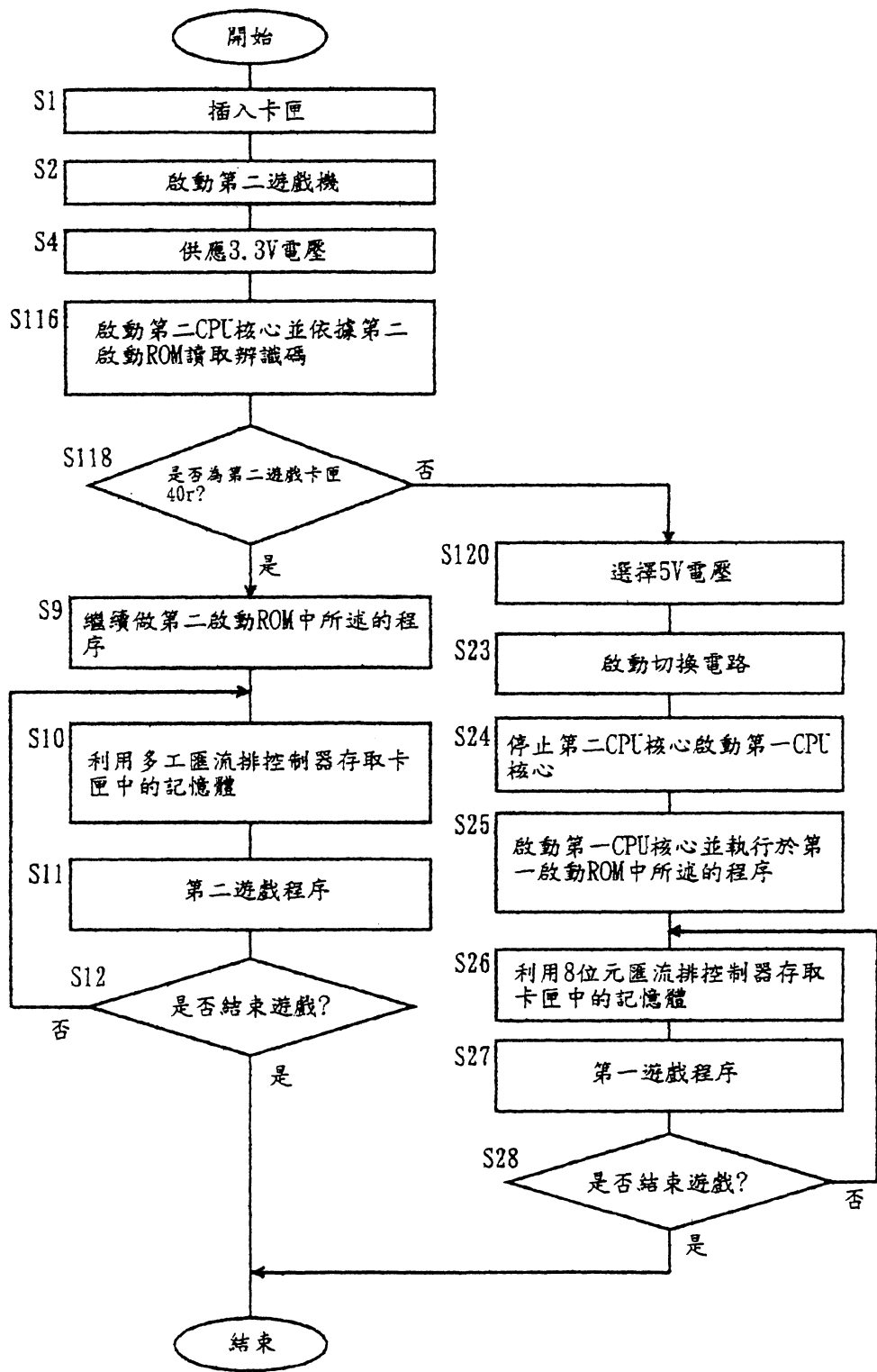
第 15 圖



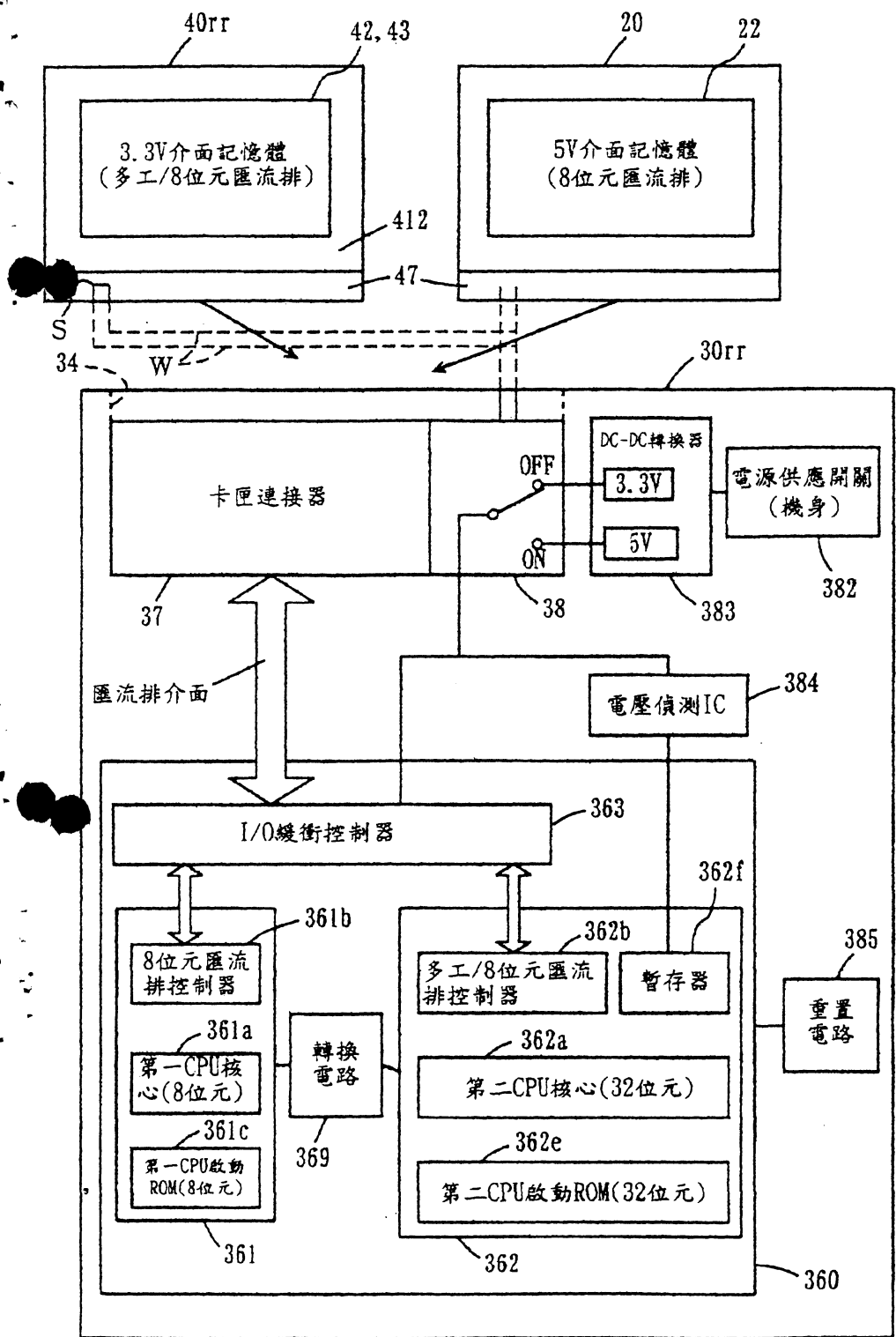
第 16 圖



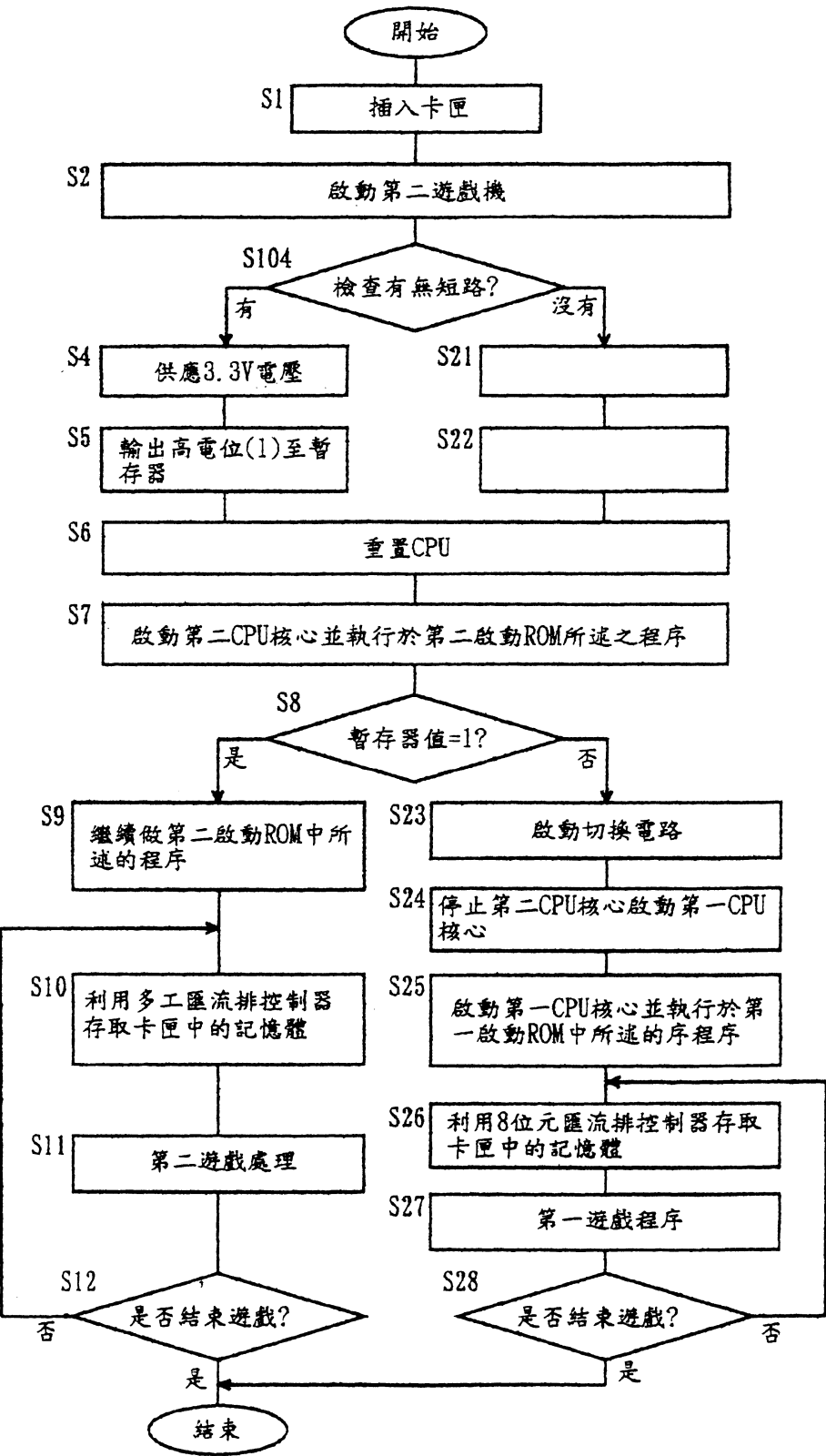
第 17 圖



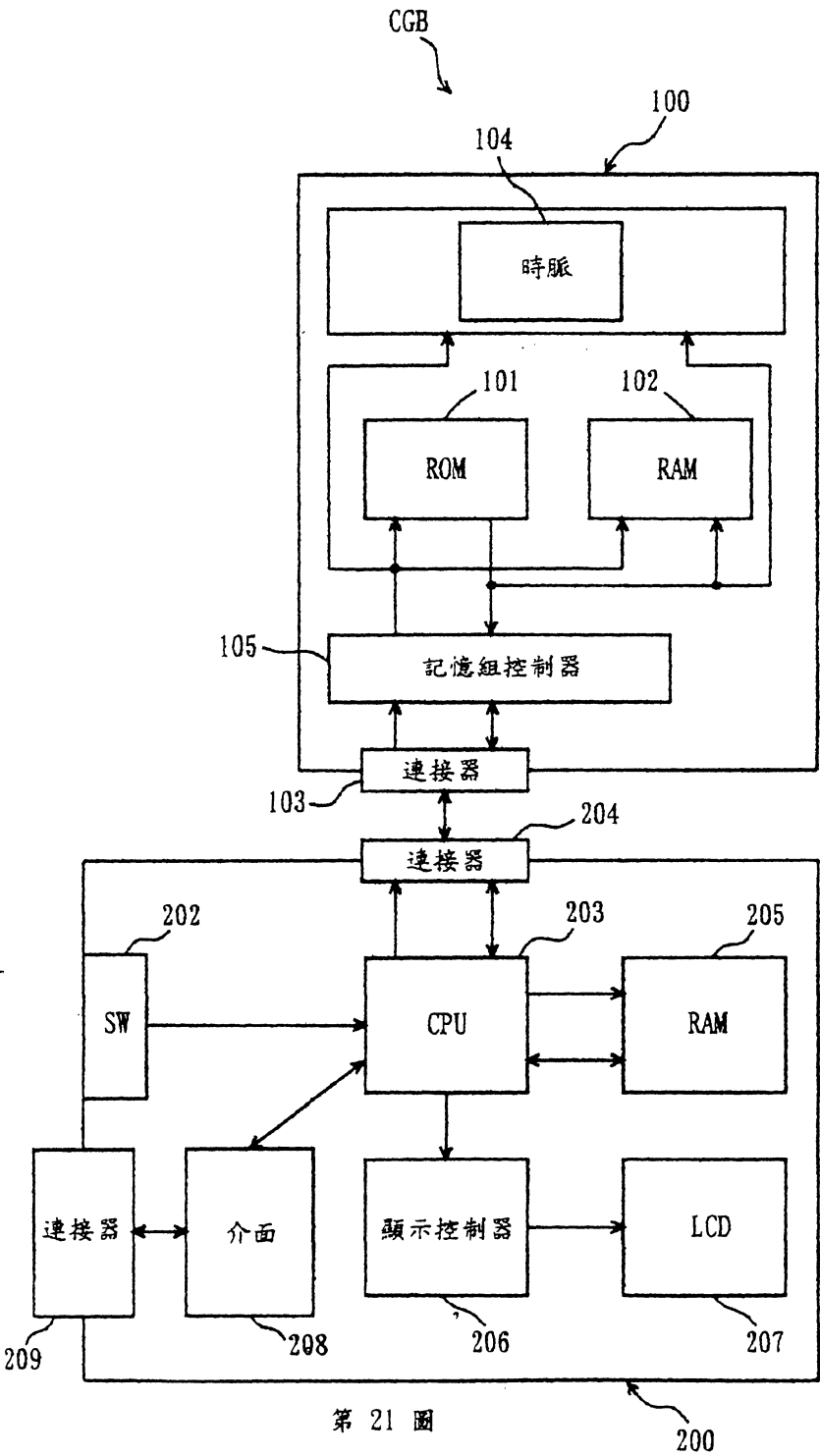
第 18 圖

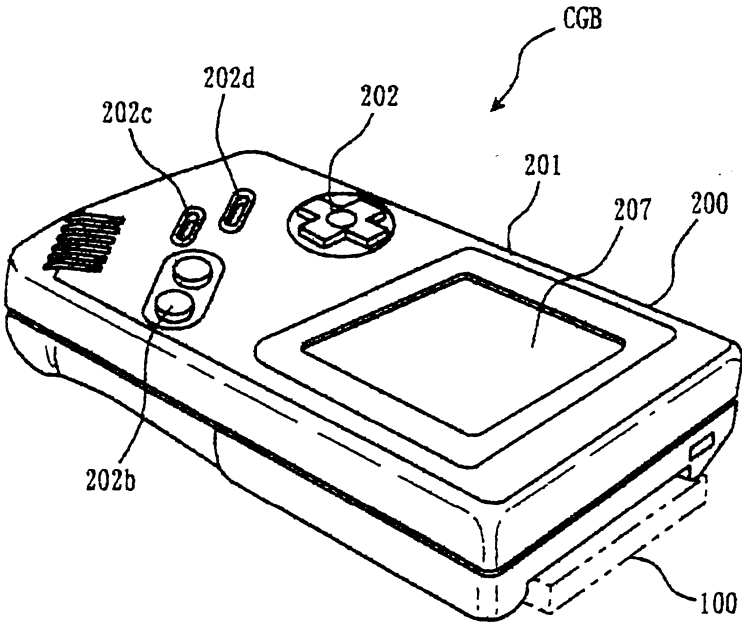


第 19 圖

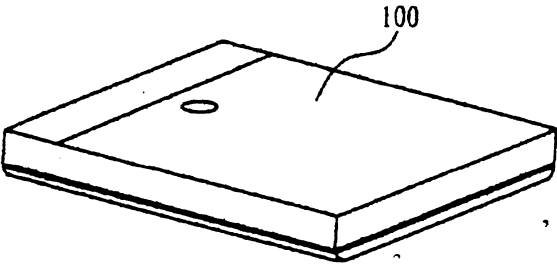


第 20 圖





第 22 圖



第 23 圖

公告本

申請日期	90.5.21
案 號	90112065
類 別	A63F13/00

P1-5230 A4
C4

(以上各欄由本局填註)

592761

附件
四

發明專利說明書

一、發明 名稱	中 文	遊戲系統、遊戲卡匣及遊戲機
	英 文	GAME SYSTEM, GAME CARTRIDGE AND GAME MACHINE
二、發明 人	姓 名	1. 岡田智 SATORU OKADA 2. 米山和夫 KAZUO YONEYAMA 3. 太田雅彥(太田雅彦) MASAHIKO OTA 4. 梅津隆二 RYUJI UMEZU 5. 中島高伸 TAKANOBU NAKASHIMA
	國 籍	日本國
三、申請人	住、居所	1. 日本國京都府京都市伏見區深草南明町13-47 13-47, Nanmei-cho, Fukakusa, Fushimi-ku, Kyoto, Japan 2. 日本國京都府宇治市折居台3丁目2-53 3-2-53, Oridai, Uji-shi, Kyoto, Japan 3. 日本國京都府宇治市大久保町平盛104-2獅子公寓宇治大久保610號 Lions-Mansion Uji-Okubo 610, 104-2, Hiramori, Okubo-cho, Uji-shi, Kyoto, Japan 4. 日本國京都府京都市伏見區深草大龜谷東古御香町92-2 92-2, Higashifurugoko-cho, Okamedani, Fukakusa, Fushimi-ku, Kyoto, Japan 5. 日本國京都府京都市下京區木屋町通松原下之材木町434-2 公寓木屋町101 Casa Kiyamachi 101, 434-2, Zaimoku-cho, Matsubara-sagaru, Kiyamachidori, Shimogyo-ku, Kyoto, Japan
	代 表 人 姓 名	任天堂股份有限公司 NINTENDO CO., LTD. 日本國 日本國京都府京都市南區上鳥羽鉾立町11番地1 11-1, Kamitoba, Hokotate-cho, Minami-ku, Kyoto, Japan 山內博 HIROSHI YAMAUCHI

裝

訂

線

經濟部智慧財產局員工消費合作社印製

附件
二

第 90112065 號專利申請案

申請專利範圍修正本

p1 5 30

(91 年 5 月 30 日)

1. 一種遊戲系統，包含：

第一遊戲機，包含低處理能力的第一中央處理單元；

第一卡匣，該卡匣以一種可抽取之方式與第一遊戲機銜接；

在性能上高於該第一遊戲機之第二遊戲機，且該第一遊戲機與第二遊戲機相容；以及

第二卡匣，該卡匣可與第二遊戲機銜接，其中該第一卡匣包括：

第一外殼，該第一外殼容納

固定儲存遊戲程式資料之第一半導體資訊記憶元件，並且使用第一資料寬度做存取，以及

第一電路板，該電路板具有所需的電路圖案、具有複數個形成於該電路板上之端點，以及安裝於電路板上之第一半導體資訊儲存元件，

該第二卡匣包括：

第二外殼，該外殼在外形上幾乎相同於該第一卡匣，至少具有相同的寬度與深度，而且具有待偵測部分以區別第一卡匣；

第二半導體資訊記憶元件，用於固定儲存遊戲程式資料，並且使用大於該第一資料寬度之第二資料寬度來做存取；

第二電路板，具有所需的電路圖案並具有與該第一電路板相同的端點數以相同的排列形成於該電路板上；以及

多重存取控制裝置，用於讀取儲存在多工系統之該第二半導體資料記憶元件裡之遊戲程式資料，該第二外殼容納

安裝於該第二電路板上的該第二半導體資訊記憶元件與多重存取控制裝置，以及

該第二遊戲機包括：

連接器，用來與提供於該第一遊戲機之其它連接器具有同樣端點數於相同排列上之該第二卡匣建立電性連接，如此該第一卡匣即可銜接；

與該第一中央處理單元相較具有較高處理能力之第二中央處理單元；

第三中央處理單元，該單元能執行與該第一中央處理單元相同層次之處理；

第一存取控制裝置，用於存取該第一卡匣；

第二存取控制裝置，在多工系統中存取該第二卡匣；以及

偵測裝置，用於偵測提供給該第二外殼之該待偵測部分，其中

當該偵測裝置偵測出該待偵測裝置時，則啟動該第二中央處理單元與該第二存取控制裝置以存取該第二卡匣，而且該多重存取控制裝置存取該第二半導體資訊記憶元件，以及

當該偵測裝置並未偵測出該代偵測部分時，則啟動該第三中央處理單元與該第一存取控制裝置以存取該第一卡匣。

2. 如申請專利範圍第 1 項之遊戲系統，其中，

該第一半導體資訊記憶元件輸出第一資料位元數的資料，以及

該第二半導體資訊記憶元件輸出第二資料位元數的資料，而該資料位元數要大於第一資料位元數。

3. 如申請專利範圍第 1 項之遊戲系統，其中，

該第一半導體資訊記憶元件藉由第一位址位元數的位址資料做存取，以及

該第二半導體資訊記憶元件藉由第二位址位元數的位址資料做存取，而該第二位址位元數要大於該第一位址位元數。

4. 如申請專利範圍第 1 項之遊戲系統，其中該第二外殼在高度上之構造低於該第一外殼之高度，而且在未插入至該第二遊戲機的一端平面上，形成凸出部以便至少往一邊之側面方向凸出。

5. 如申請專利範圍第 1 項之遊戲系統，其中，該多重存取控制裝置與該第二半導體資訊記憶元件一起整合至晶片上，並且該多路存取控制裝置依電性配置於該第二半導體資訊記憶元件與連接至該電路板之電路圖案裡之複數端之導點端點之間。

6. 如申請專利範圍第 1 項之遊戲系統，其中當藉由該第二中央處理單元存取該系統時，該多重存取控制裝置則在

第一時序獲得該第二半導體資訊記憶元件之所需位址以存取該第二半導體資訊記憶元件並由該元件上讀取資訊，而且在第二時序提供由第二半導體資料儲存元件所讀取之資料給該第二遊戲機。

7. 如申請專利範圍第 1 項之遊戲系統，其中，

該第二半導體資訊記憶元件由第二驅動電壓所驅動，而該第二驅動電壓異於用於該第一半導體資訊記憶元件之第一驅動電壓，以及

在插入卡匣之後，該第二遊戲機提供第一驅動電壓給第一卡匣而提供第二驅動電壓給第二卡匣，如此可以選擇方式使用第一與第二卡匣。

8. 一種遊戲卡匣，係在遊戲系統中作為第二卡匣，該系統包括：

低性能的第一遊戲機；

第一卡匣，該卡匣是以一種可抽取之方式與第一遊戲機銜接；

性能高於第一遊戲機的第二遊戲機，而該第二遊戲機相容於接受第一卡匣的第一遊戲機；以及

第二卡匣，該卡匣以一種可抽取之方式與第二遊戲機銜接，其中

該第二卡匣包括：

外殼，該外殼之外形幾乎相同於該第一卡匣至少具有相同的寬度與深度；

形成於外殼的待偵測部分，用於區別該第一卡匣；

包含於該外殼內的第二半導體資訊記憶元件用於

儲存提供給該第二遊戲機的遊戲程式資料並且以大於包含於該第一卡匣之第一半導體資料記憶元件之資料寬度做存取；

多重存取控制裝置，用於在多工系統內讀取儲存在該第二半導體資料記憶元件內之遊戲程式資料；以及電路板，其中

該電路板與該第一卡匣一樣具有相同之端點數於相同之排列而形成於該電路板之一端，而且當該第二半導體資訊記憶元件與該多重存取控制裝置於該電路板上時，則建立出所需要的電路固定而能在端點、第二半導體資訊記憶元件與多重存取控制裝置之間做連接。

9. 如申請專利範圍第 8 項之遊戲卡匣，其中由該第二半導體資訊記憶元件所輸出的資料在資料位元數上大於由包含於該第一卡匣中的第一半導體資訊記憶元件所輸出的資料。
10. 如申請專利範圍第 8 項之遊戲卡匣，其中存取該第二半導體資訊記憶元件之位址位元數目大於存取該第一半導體資訊記憶元件之位址位元數目。
11. 如申請專利範圍第 8 項之遊戲卡匣，其中該第二卡匣的該外殼在構造之高度上小於用於該第一遊戲機的該第一卡匣，而且未插入該第二遊戲機的一端平面形成突出部分而至少往一側邊方向突出。
12. 如申請專利範圍第 8 項之遊戲卡匣，其中該多重存取控制裝置與該第二半導體資訊記憶元件一起整合至晶片上，並且該多重存取控制裝置配置於該第二半導體資訊

記憶元件與連接至該電路板之電路圖案裡之多數端點之端點部分之間。

13. 如申請專利範圍第 8 項之遊戲卡匣，其中當藉由包含於該第二遊戲機中的處理裝置做存取時，該多重存取控制裝置藉由位址位元之位址資料在數目上大於該第一半導體資料儲存元件之位址位元來指定該第二半導體資料儲存元件之所需位址，並且該多重存取控制裝置利用負責用於提供該第二遊戲機之位元位址資料之較少數目之位址端來讀取指定位址之資料。

14. 如申請專利範圍第 8 項之遊戲卡匣，其中，

該第二半導體資訊記憶元件藉由不同於該第一半導體記憶元件之驅動電壓來驅動，以及

該第二卡匣的該電路板包含電源端，由該第二遊戲機接收異於該第一遊戲機所接收的電源。

15. 如申請專利範圍第 8 項之遊戲卡匣，其中該多重存取控制裝置包括用於保留位址值的位址保留裝置，並且該位址保留裝置建構獲得匯流排上之位址值以回應第一訊號與獲得該位址保留裝置之遞增資料以回應第二訊號。

16. 一種遊戲機，係用來作為遊戲系統中的第二遊戲機，該系統包含：

第一遊戲機，該裝置包含具低階處理能力之第一中央處理單元；

第一卡匣，該卡匣是以一種可抽取之方式與第一遊戲機銜接；

第二遊戲機，該裝置之性能高於可相容的第一遊戲機；以及

第二卡匣，該卡匣是可與第二遊戲機銜接，其中該第一卡匣包括：

第一外殼，該第一外殼容納

第一半導體資訊記憶元件，該元件固定儲存遊戲程式資料，並且利用第一資料寬度做存取，以及

第一電路板，依所需的電路圖案在該電路板的一端形成複數個端點，並且該第一半導體資訊記憶元件安裝於該電路板上，

該第二卡匣包括：

第二外殼，該外殼之外形幾乎相同於該第一卡匣，至少具有相同之寬度與深度，並且該第二外殼具有待測部分以區別第一卡匣；

第二半導體資訊記憶元件，用於固定儲存遊戲程式資料，並且利用大於該第一資料寬度之第二資料寬度來做存取；

第二電路板，以一種所需的電路圖案在該電路板的一端以相同排列形成相同於該第一電路板之端點數；以及

多重存取控制裝置，用於讀取遊戲程式資料，而該資料是儲存於多工傳輸系統中的該第二半導體資訊記憶元件，該第二外殼容納

該第二半導體資訊記憶元件與多重存取控制裝置，兩者皆安裝於該第二電路板上，以及

該遊戲機包括：

連接器，用來與該第二卡匣建立電性連接，而該連接器與提供於該第一遊戲機之其它連接器在相同之排列上具有相同之端點數，如此該第一卡匣便能銜接；

第二中央處理單元，與該第一中央處理單元相較，該第二中央處理單元具有較高之處理能力；

第三中央處理單元，該單元能同等於該第一中央處理單元之階層之處理；

第一存取控制裝置，用於存取該第一卡匣；

第二存取控制裝置，用於存取於多工系統中的該第二卡匣；以及

偵測裝置，用於偵測提供至該第二外殼的待偵測部份，其中，

當該偵測裝置偵測出該待偵測裝置時，則該第二中央處理單元與該第二存取控制裝置均啟動以存取該第二卡匣，而且該多重存取控制裝置存取該第二半導體資訊記憶元件，以及

當該偵測裝置未偵測出該待偵測的部分時，則該第三中央處理單元與該第一存取控制裝置均啟動以存取該第一卡匣。

17.如申請專利範圍第 16 項之遊戲機，其中，

該第一半導體資訊記憶元件輸出第一資料位元數，以及

該第二半導體資訊記憶元件輸出第二資料位元數，而

該第二半導體資訊記憶元件輸出第二資料位元數之資料大於該第一資料位元數。

18.如申請專利範圍第16項之遊戲機，其中，

該第一半導體資訊記憶元件藉由第一位址位元數的位址資料來存取，以及

該第二半導體資訊記憶元件藉由第二位址位元數的位址資料來存取，而該第二位址位元數大於該第一位址位元數。

19.如申請專利範圍第16項之遊戲機，其中該第二半導體資訊記憶元件選擇由第二驅動電壓所驅動，而該第二驅動電壓異於用於該第一半導體資訊記憶元件之第一驅動電壓，以及

當該偵測裝置偵測出該待偵測的部分時，則第二驅動電壓供給第二卡匣，而且當該偵測裝置未偵測出該待偵測的部分時，則第一驅動電壓提供給第一卡匣。

20.一種遊戲系統，包含：

第一卡匣，係用於發售在先之第一遊戲機；

第二遊戲機，係與該第一遊戲機相容；以及

第二卡匣，係用於該第二遊戲機，其中

該第一卡匣包括：

第一連接器，係具有第一資料寬度；以及

第一半導體記憶體，係具有該第一資料寬度，

該第二卡匣包括：

第二連接器，係具有該第一資料寬度；以及

第二半導體記憶體，係具有較該第一資料寬度為寬

之第二資料寬度，

該第二遊戲機包括：

凹槽區，係可插入該第一卡匣及該第二卡匣；

第三連接器，係具有該第一資料寬度且設於該凹槽區之內部；

二選一之選擇器開關，係設於該凹槽區之側邊末端部份及該第三連接器之附近，且係在該第一卡匣被插入該凹槽區時，被該第一卡匣之外殼的末端部份往下壓；

中央處理裝置，係在該選擇器開關被往下壓時，以與該第一遊戲機之中央處理裝置相同之模式啟動，而在該選擇器開關未被往下壓時，則以該第二遊戲機專用之模式啟動；以及

匯流排控制裝置，係在該選擇器開關被往下壓時，以標準匯流排控制方式存取該連接於第三連接器之半導體記憶體，而在該選擇器開關未被往下壓時，則以多工控制方式存取該連接於第三連接器之半導體記憶體；

該第二卡匣復包括：

凹槽，係為使該第二卡匣不觸及該選擇器開關而至少形成於左端面或右端面之其中之一之朝插入方向之端部上；以及

多工匯流排傳輸裝置，係以分時方式(time-sharing)控制該第二遊戲機及該第二半導體記憶體間之位址與資料交換。

21.如申請專利範圍第20項之遊戲系統，其中，

該第一半導體記憶體儲存有用於該第一遊戲機之中央處理裝置之程式，以及

該第二半導體記憶體儲存有用於該第二遊戲機專用之模式之程式。

22. 如申請專利範圍第 20 項之遊戲系統，其中，

該第一半導體記憶體係由第一電壓所驅動，

該第二半導體記憶體係由第二電壓所驅動，以及

該第二遊戲機復包括：

電壓供應裝置，係在該選擇器開關被往下壓時，供應該第一電壓給該連接於第三連接器之半導體記憶體，而在該選擇器開關未被往下壓時，則供應該第二電壓給該連接於第三連接器之半導體記憶體。

23. 一種遊戲系統，包含：

第一卡匣，係用於發售在先之第一遊戲機；

第二遊戲機，係與該第一遊戲機相容；以及

第二卡匣，係用於該第二遊戲機，其中

該第一卡匣包括：

第一連接器，係具有第一資料寬度；以及

第一半導體記憶體，係具有該第一資料寬度，

該第二卡匣包括：

第二連接器，係具有該第一資料寬度；以及

第二半導體記憶體，係具有較該第一資料寬度為寬之第二資料寬度，

該第二遊戲機包括：

凹槽區，係可插入該第一卡匣及該第二卡匣；

第三連接器，係具有該第一資料寬度且設於該凹槽區之內部；

二選一之選擇器開關，係設於該凹槽區之側邊末端部份及該第三連接器之附近，且係在該第一卡匣被插入該凹槽區時，被該第一卡匣之外殼的末端部份往下壓；

中央處理裝置，係在該選擇器開關被往下壓時，以與該第一遊戲機之中央處理裝置相同之模式啟動，而在該選擇器開關未被往下壓時，則以該第二遊戲機專用之模式啟動；以及

匯流排控制裝置，係在該選擇器開關被往下壓時，以標準匯流排控制方式存取該連接於第三連接器之半導體記憶體，而在該選擇器開關未被往下壓時，則以多工控制方式存取該連接於第三連接器之半導體記憶體；

該第二卡匣復包括：

凹槽，係為使該第二卡匣不觸及該選擇器開關而至少形成於左端面或右端面之其中之一之朝插入方向之端部上；以及

多工匯流排傳輸裝置，係在第一定時及第二定時之間共同使用該第二遊戲機及該第二半導體記憶體間之連接端。