



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201727741 A

(43)公開日：中華民國 106 (2017) 年 08 月 01 日

(21)申請案號：105135007

(22)申請日：中華民國 105 (2016) 年 10 月 28 日

(51)Int. Cl.：

H01L21/31 (2006.01)

H01L21/311 (2006.01)

H01L21/3205(2006.01)

H01L23/522 (2006.01)

H01L23/528 (2006.01)

H01L25/065 (2006.01)

(30)優先權：2015/10/30 美國

14/929,016

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市力行六路八號

(72)發明人：鄭榮偉 CHENG, JUNG-WEI (TW)；陳海明 CHEN, HAI-MING (TW)；李建勳 LEE,
CHIEN-HSUN (TW)；侯皓程 HOU, HAO-CHENG (TW)；林鴻仁 LIN, HUNG-JEN
(TW)；莊鈞智 CHUANG, CHUN-CHIH (TW)；劉名哲 LIU, MING-CHE (TW)；
王宗鼎 WANG, TSUNG-DING (TW)

(74)代理人：卓俊傑

申請實體審查：無 申請專利範圍項數：1 項 圖式數：23 共 59 頁

(54)名稱

連接件形成方法及經封裝半導體元件

CONNECTOR FORMATION METHODS AND PACKAGED SEMICONDUCTOR DEVICES

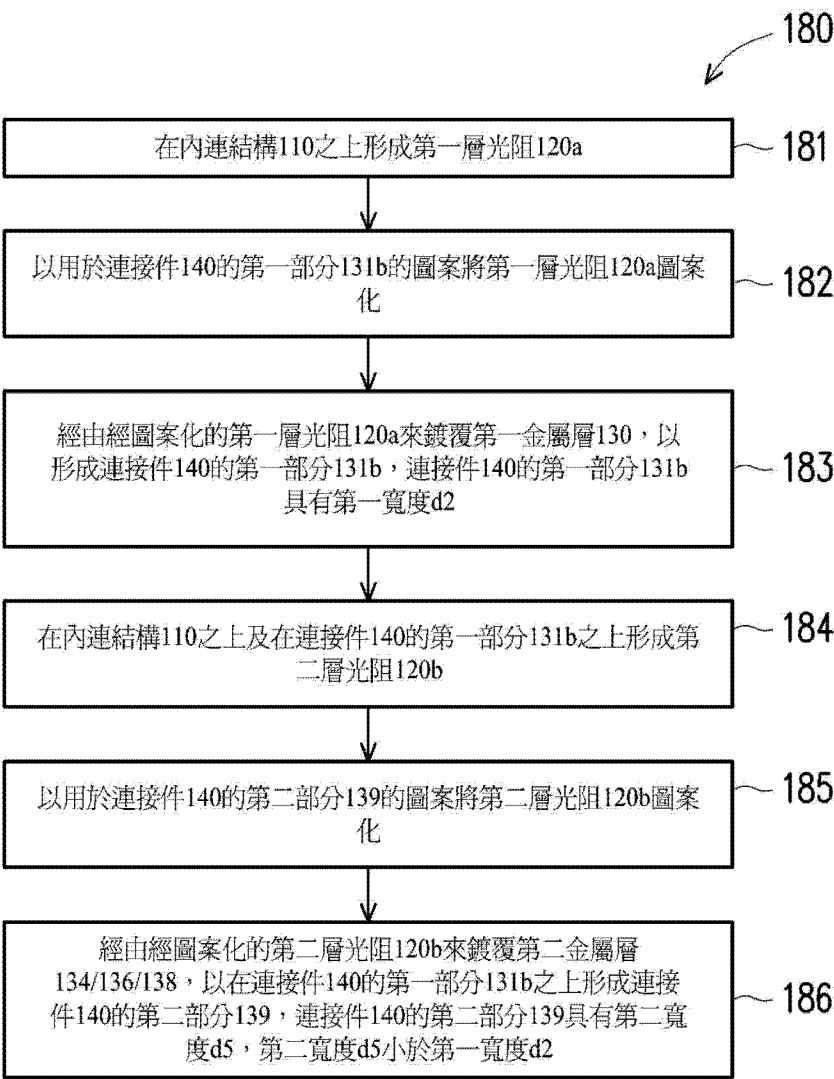
(57)摘要

本發明實施例揭露形成連接件的方法及經封裝半導體元件。某些實施例中，連接件之形成可透過在內連結結構之上形成第一層光阻以及使用用於連接件的第一部分的圖案將第一層光阻圖案化。經由經圖案化的第一光阻層來鍍覆第一金屬層，形成所述連接件的具有第一寬度的第一部分。在內連結結構及連接件的第一部分之上形成第二光阻層。以用於連接件的第二部分的圖案將第二光阻層圖案化。經由經圖案化的第二光阻層來鍍覆第二金屬層，在連接件的第一部分之上形成所述連接件的第二部分。所述連接件的第二部分具有第二寬度，所述第二寬度小於所述第一寬度。

Methods of forming connectors and packaged semiconductor devices are disclosed. In some embodiments, a connector is formed by forming a first photoresist layer over an interconnect structure, and patterning the first photoresist layer with a pattern for a first portion of a connector. A first metal layer is plated through the patterned first photoresist layer to form the first portion of the connector which has a first width. A second photoresist layer is formed over the interconnect structure and the first portion of the connector. The second photoresist layer is patterned with a pattern for a second portion of the connector. A second metal layer is plated through the patterned second photoresist layer to form the second portion of the connector over the first portion of the connector. The second portion of the connector has a second width, the second width being less than the first width.

指定代表圖：

符號簡單說明：
180 . . . 流程圖
181、182、183、
184、185、
186 . . . 步驟



【圖19】

201727741

【發明摘要】

申請日: 105/10/28

IPC分類: *H01L 21/31* (2006.01)
H01L 21/311 (2006.01)
H01L 21/3205 (2006.01)
H01L 23/522 (2006.01)
H01L 23/528 (2006.01)
H01L 25/065 (2006.01)

【中文發明名稱】 連接件形成方法及經封裝半導體元件

【英文發明名稱】 CONNECTOR FORMATION METHODS AND

PACKAGED SEMICONDUCTOR DEVICES

【中文】 本發明實施例揭露形成連接件的方法及經封裝半導體元件。某些實施例中，連接件之形成可透過在內連結構之上形成第一層光阻以及使用用於連接件的第一部分的圖案將第一層光阻圖案化。經由經圖案化的第一光阻層來鍍覆第一金屬層，形成所述連接件的具有第一寬度的第一部分。在內連結構及連接件的第一部分之上形成第二光阻層。以用於連接件的第二部分的圖案將第二光阻層圖案化。經由經圖案化的第二光阻層來鍍覆第二金屬層，在連接件的第一部分之上形成所述連接件的第二部分。所述連接件的第二部分具有第二寬度，所述第二寬度小於所述第一寬度。

【英文】 Methods of forming connectors and packaged semiconductor devices are disclosed. In some embodiments, a connector is formed by forming a first photoresist layer over an interconnect structure, and patterning the first photoresist layer with a pattern for a first portion of a connector. A first metal layer is plated through the patterned first photoresist layer to form the first

portion of the connector which has a first width. A second photoresist layer is formed over the interconnect structure and the first portion of the connector. The second photoresist layer is patterned with a pattern for a second portion of the connector. A second metal layer is plated through the patterned second photoresist layer to form the second portion of the connector over the first portion of the connector. The second portion of the connector has a second width, the second width being less than the first width.

【指定代表圖】圖19。

【代表圖之符號簡單說明】

180：流程圖

181、182、183、184、185、186：步驟

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 連接件形成方法及經封裝半導體元件

【英文發明名稱】 CONNECTOR FORMATION METHODS AND
PACKAGED SEMICONDUCTOR DEVICES

【技術領域】

【0001】 本發明實施例是關於一種形成連接件的方法及經封裝半導體元件。

【先前技術】

【0002】 半導體元件廣泛地用於例如個人電腦、手機電話、數位照相機及其他電子裝備等各種電子應用中。半導體元件通常是藉由下列步驟來製作：在半導體基底之上依序沈積絕緣層或介電層、導電層及半導體材料層；以及使用光刻（lithography）將所述各種材料層圖案化，以在其上形成電路組件及元件。在單一半導體晶圓上通常製造有數十或數百個積體電路。藉由沿切割道（scribe line）對所述積體電路進行鋸切來使個別晶粒單體化。接著將所述個別晶粒單獨地封裝於多晶片模組中或其他類型的封裝形式中。

【0003】 半導體行業藉由不斷縮減最小特徵尺寸（minimum feature size）來不斷提高各種電子組件（例如，電晶體、二極體、電阻器、電容器等）的積體密度，此舉使得更多的組件能夠整合

於設定區域中。在某些應用中，該些較小的電子組件亦要求使用佔用更少區域的較小封裝件。

【0004】 已開發出的一種用於半導體元件的較小封裝件是晶圓級封裝件（wafer level package，WLP），其中積體電路被封裝於通常包括重佈線層（redistribution layer，RDL）或後鈍化內連結構（post-passivation interconnect，PPI）的封裝件中，重佈線層或後鈍化內連結構可將所述封裝件的接觸焊墊進行扇外型配線（fan-out wiring），故可在較所述積體電路的接觸焊墊大的節距上達成電性接觸。晶圓級封裝件常常用於封裝需要例如高速度、高密度及較高引腳數（pin count）的積體電路（IC）。可將連接件耦接至所述封裝件的接觸焊墊，以便與元件或物體進行連接。

【發明內容】

【0005】 本發明實施例提供一種形成連接件的方法。所述方法包括在內連結構之上形成第一層光阻；以用於連接件的第一部分的圖案將所述第一層光阻圖案化；以及經由經圖案化的所述第一層光阻來鍍覆第一金屬層，以形成所述連接件的所述第一部分。所述連接件的所述第一部分具有第一寬度。所述方法更包括：在所述內連結構及所述連接件的所述第一部分之上形成第二層光阻；以用於所述連接件的第二部分的圖案將所述第二層光阻圖案化；以及經由經圖案化的所述第二層光阻來鍍覆第二金屬層，以在所述連接件的所述第一部分之上形成所述連接件的所述第二部分。

所述連接件的所述第二部分具有第二寬度，所述第二寬度小於所述第一寬度。

【圖式簡單說明】

【0006】 結合附圖閱讀以下詳細說明，會最好地理解本發明的各個態樣。應注意，根據本行業中的標準慣例，各種特徵並非按比例繪製。事實上，為論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1、圖 2、圖 3a、圖 3b、圖 4a、圖 4b、圖 5 及圖 6 是經封裝半導體元件的一部分在各個階段處的剖視圖，其說明根據本發明某些實施例的形成連接件的方法。

圖 7 至圖 12 是經封裝半導體元件的一部分在各個階段處的剖視圖，其說明根據某些實施例的形成連接件的方法。

圖 13 是經封裝半導體元件的一部分的剖視圖，其說明根據某些實施例的連接件。

圖 14 是說明根據某些實施例的包括連接件的經封裝半導體元件的剖視圖。

圖 15 是說明根據某些實施例的包括連接件的經封裝半導體元件的剖視圖。

圖 16 顯示根據某些實施例的包括連接件的疊層式封裝（package-on-package，POP）元件的剖視圖。

圖 17 及圖 18 說明根據某些實施例所述連接件的立體圖。

圖 19 是說明根據某些實施例的形成連接件的方法的流程圖。

圖 20 是說明根據本發明某些實施例的在經封裝半導體元件上形成連接件的方法的流程圖。

圖 21 至圖 23 是說明根據本發明某些實施例的對半導體元件進行封裝的方法的剖視圖。

【實施方式】

【0007】 以下揭露內容提供用於實施所提供的標的之不同特徵的許多不同實施例或實例。以下所描述的構件及配置的具體實例是為了以簡化的方式傳達本發明為目的。當然，這些僅僅為實例而非用以限制。舉例來說，於以下描述中，在第一特徵上方或在第一特徵上形成第二特徵可包括第二特徵與第一特徵形成為直接接觸的實施例，且亦可包括第二特徵與第一特徵之間可形成有額外特徵使得第二特徵與第一特徵可不直接接觸的實施例。此外，本發明在各種實例中可使用相同的元件符號及/或字母來指代相同或類似的部件。元件符號的重複使用是為了簡單及清楚起見，且並不表示所欲討論的各個實施例及/或配置本身之間的關係。

【0008】 此外，為易於說明，本文中可能使用例如「之下 (beneath)」、「下面 (below)」、「下部的 (lower)」、「上方 (above)」、「上部的 (upper)」等空間相對性用語來闡述圖中所示的一個元件或特徵與另一（其他）元件或特徵的關係。所述空間相對性用語旨在除圖中所繪示的定向外亦囊括元件在使用或操作中的不同定

向。裝置設備可具有其他定向（旋轉 90 度或處於其他定向）且本文中使用的空間相對性描述語可同樣相應地進行解釋。

【0009】 本發明中揭露形成連接件的方法及包括所述連接件的經封裝半導體元件。在某些實施例中，在具有實質上平坦的表面的連接件安裝區之上使用鍍覆製程形成所述連接件，此舉可防止在光刻製程期間發生顯影不足（underdevelopment）。在某些實施例中，所述連接件的底部較頂部寬，而連接件的底部靠近其上形成有連接件的內連結構，此舉會導致較大的焊料橋接頭形成製程窗口（solder bridge joint formation process window）。某些實施例中，所述實施例使用可用於將一個基底貼合至另一基底的連接件，其中所述基底可為晶粒、晶圓、印刷電路板（printed circuit board，PCB）或封裝基底等，由此使得能夠達成晶粒對晶粒（die-to-die）型封裝、晶圓對晶粒（wafer-to-die）型封裝、晶圓對晶圓（wafer-to-wafer）型封裝、晶粒或晶圓對印刷電路板（die or wafer to printed circuit board）型封裝或封裝基底型封裝等。在各個圖及說明性實施例通篇中，相同的參考編號用於指示相同的元件。

【0010】 在某些實施例中，在半導體元件的封裝製程中及在封裝件的後續連接件形成期間使用一或多個載體 102。首先參照作為經封裝半導體元件 100 的一部分在連接件形成製程的各個階段處的剖視圖的圖 1、圖 2、圖 3a、圖 3b、圖 4a、圖 4b、圖 5 及圖 6，其示出一種根據本發明某些實施例的對半導體元件進行封裝且在經封裝半導體元件 100 的內連結構 110 上形成連接件 140 的方法。

在某些實施例中，首先在載體 102 之上形成模製材料 108 及模製材料 108 內的組件，在模製材料 108 及模製材料 108 內的組件之上形成內連結構 110，且接著在內連結構 110 之上形成連接件 140（參見圖 6）。所述封裝製程及連接件 140 形成製程的順序可有所變化且亦可包括其他不同順序的處理步驟，本文中將進一步闡述所述處理步驟中的某些處理步驟。

【0011】 為了對半導體元件進行封裝，提供載體 102（如圖 1 中所示）。載體 102 可包括玻璃載體基底、陶瓷載體基底、晶圓（例如，半導體晶圓）、膠帶（tape）等。舉例而言，在某些實施例中，隨後在所述封裝製程及/或連接件 140 形成製程之後移除載體 102。載體 102 可包括形成於載體 102 上、可包含聚合物系材料的釋放層（圖中未示出）。所述釋放層可隨載體 102 一起自將在後續處理步驟中形成的上覆結構移除。在某些實施例中，所述釋放層可包含當受熱時會失去黏合特性的環氧樹脂系熱釋放材料，例如光熱轉換（light-to-heat-conversion，LTHC）釋放塗層。在其他實施例中，所述釋放層可包含當暴露至紫外光時會失去黏合特性的紫外光（ultra-violet，UV）膠。所述釋放層可以液體釋出然後被固化，也可以作為層疊至載體 102 上的疊層膜（lamine film）等。所述釋放層之上可形成或分配有黏合劑（圖中亦未示出）。所述黏合劑可包括晶粒貼合膜（die attach film，DAF）、黏膠、聚合物材料等。

【0012】 在載體 102 之上形成多個導通孔（through-vias）106。圖 1 中示出僅兩個導通孔 106；然而，經封裝半導體元件 100 中可包

括數百或數千個導通孔 106。在某些實施例中，導通孔 106 是藉由鍍覆來形成。導通孔 106 亦可使用減性蝕刻（subtractive etch）技術，具體藉由在載體 102 之上形成導電材料且使用光刻製程將所述導電材料圖案化來形成。導通孔 106 亦可使用其他方法來形成。可對所述多個導通孔 106 中的每一者進行定位，以使得其後續將耦接至例如內連結構 110 的導電部分（舉例而言，後續形成的導線 112 及/或導電通孔 114）。在某些實施例中，並沒有包括所述多個導通孔 106，本文中將對此予以進一步闡述。

【0013】 在某些實施例中，為了後續使用鍍覆製程形成所述多個導通孔 106，在載體 102 之上（例如，在所述釋放膜之上及/或在配置於載體 102 之上的所述黏合劑之上）形成晶種層（圖中未示出）。所述晶種層包括金屬層，所述金屬層可為單層或包括由不同材料形成的多個子層的複合層。在某些實施例中，所述晶種層包括鈦層及配置於所述鈦層之上的銅層。可使用例如濺鍍、物理氣相沈積（physical vapor deposition，PVD）等來形成所述晶種層。

【0014】 接著在所述晶種層上形成犧牲材料（圖中亦未示出）並將所述犧牲材料圖案化。所述犧牲材料可包括例如感光性材料（舉例而言，光阻或感光的絕緣體）。可藉由旋轉塗佈（spin coating）等來形成所述犧牲材料，且可藉由將所述犧牲材料暴露至自其上具有所期望圖案的經圖案化光刻罩幕而折射的光或經由其上具有所期望圖案的經圖案化光刻罩幕而傳輸的能量來將所述犧牲材料圖案化。在某些實施例中，所述犧牲材料的圖案與用於欲形成於

載體 102 之上的導通孔 106 的圖案對應。對所述犧牲材料進行圖案化會形成貫穿所述犧牲材料的開口，進而暴露出所述晶種層的一部分。

【0015】 在所述犧牲材料的所述開口中及在所述晶種層的所暴露部分上形成導電材料，進而形成導通孔 106。所述導電材料是藉由例如電鍍（electroplating）或無電鍍覆（electroless plating）等鍍覆製程來形成。所述導電材料可包括金屬，例如銅、鈦、鎢、鋁、其合金或其多個層等。

【0016】 接著，移除所述犧牲材料及移除所述晶種層之其上未形成有導電材料的一部分。可藉由可接受的灰化（ashing）或剝除（stripping）製程（例如使用氧電漿等）來移除所述犧牲材料。在例如使用感光性絕緣材料作為所述犧牲材料的某些實施例中，亦可使用蝕刻製程來移除所述犧牲材料。在移除所述犧牲材料之後，例如藉由使用可接受的蝕刻製程（例如，藉由濕式蝕刻或乾式蝕刻）來移除所述晶種層的所暴露部分。舉例而言，移除配置於所述犧牲層下面的所述晶種層。所述晶種層的其餘部分與導電材料形成圖 1 中所示的導通孔 106。舉例而言，在某些實施例中，導通孔 106 為經封裝半導體元件 100 提供垂直電性連接。

【0017】 於圖 1 中，接著將一或多個積體電路晶粒 104 耦接至載體 102。舉例而言，在某些實施例中，藉由配置於載體 102 上的黏合劑或釋放膜而將積體電路晶粒 104 貼合至載體 102。在某些實施例中，將晶粒貼合膜或黏合劑 152 施加至積體電路晶粒 104 的底

表面或施加至載體 102 上，且接著使用晶粒貼合膜或黏合劑 152 而將積體電路晶粒 104 貼合至載體 102。積體電路晶粒 104 可包括其內或其上形成有電性電路系統的基底。所述基底可包括例如經摻雜或未經摻雜大塊基體矽（bulk silicon）或絕緣體上有半導體（semiconductor-on-insulator，SOI）基底的主動層。積體電路晶粒 104 的基底的電性電路系統可為適合於特定應用的任何類型的電路系統。積體電路晶粒 104 可包括邏輯元件、記憶體元件、處理器元件或其他類型的元件。作為其他實例，形成於積體電路晶粒 104 的基底內或所述基底上的電性電路系統可包括進行互連以執行一或多個功能的各種 N 型金屬氧化物半導體（N-type metal-oxide semiconductor，NMOS）元件及/或 P 型金屬氧化物半導體（P-type metal-oxide semiconductor，PMOS）元件，例如電晶體、電容器、電阻器、二極體、光二極體（photo-diode）、熔線（fuse）等。所述功能可包括記憶體結構、邏輯結構、處理結構、感測器、放大器、功率分佈、輸入/輸出電路系統及/或類似功能。此項技術中具有通常知識者可知，提供以上實例是出於對某些說明性實施例的應用予以進一步闡釋的說明性目的，而非旨在以任何方式限制本發明。可使用適合於給定應用的其他電路系統。積體電路晶粒 104 通常是藉由在半導體晶圓上形成多個積體電路晶粒 104 及沿切割道將個別積體電路晶粒 104 單體化來製作。

【0018】 在導通孔 106 及積體電路晶粒 104 之上及周圍配置模製材料 108（亦示出於圖 1 中）。舉例而言，在某些實施例中，模製

材料 108 囊封導通孔 106 及積體電路晶粒 104。模製材料 108 可包括由絕緣材料構成的模製化合物，例如環氧樹脂、填充物材料、應力釋放劑（stress release agent，SRA）、黏合促進劑（adhesion promoter）、其他材料或其組合。在某些實施例中，模製材料 108 可包括在被施加時流動於導通孔 106 與積體電路晶粒 104 之間及周圍的液體或凝膠。接著將模製材料 108 固化或進行乾燥以使其形成為固體。在某些實施例中，可在模製材料 108 的固化製程及電漿處理製程期間施加模製化合物夾鉗（molding compound clamp）。在某些實施例中，所沈積的模製材料 108 延伸於導通孔 106 及積體電路晶粒 104 的頂表面之上。在施加模製材料 108 之後，使用平坦化製程來移除模製材料 108 的頂部部分，所述平坦化製程為例如化學機械拋光（chemical mechanical polish，CMP）製程、研磨（grinding）製程、蝕刻製程或其組合。亦可使用其他方法將模製材料 108 平坦化。亦可在模製材料 108 的平坦化製程時移除導通孔 106 及/或積體電路晶粒 104 的頂部部分。在某些實施例中，可控制所施加的模製材料 108 的量使得導通孔 106 及積體電路晶粒 104 的頂表面暴露出來。亦可使用其他方法來形成模製材料 108。

【0019】 接下來，在某些實施例中，在模製材料 108 之上依序形成內連結構 110 的一或多個導電材料層及絕緣材料層 116。舉例而言，可在經平坦化的模製材料 108、導通孔 106 及積體電路晶粒 104 之上形成內連結構 110，如圖 1 中所示。舉例而言，形成於絕

緣材料層 116 內的內連結構 110 的導電特徵(結構)可包括導線 112、導電通孔 114、連接墊 (landing pad) 115 及/或包含與導通孔 106 所述相似的導電材料及/或形成方法的其他類型的特徵結構。

【0020】 舉例而言，在某些實施例中，內連結構 110 可包括重佈線層 (RDL) 或後鈍化內連結構 (PPI)。舉例而言，內連結構 110 可包括扇出型配線，在所述扇出型配線中，內連結構 110 的連接墊 115 被更遠地間隔開且比在積體電路晶粒 104 上的接觸焊墊占據更大的佔用面積 (footprint)。內連結構 110 亦可包括其他類型的配線。舉例而言，在某些實施例中，內連結構 110 是以晶圓級封裝 (WLP) 製程而形成。舉例而言，在某些實施例中，內連結構 110 為經封裝半導體元件 (參見圖 14 中示出的經封裝半導體元件 100) 提供在水平方向上的電性連接。

【0021】 在圖 1 至圖 13 中所示的實例中，內連結構 110 包括兩層導線 112 及兩層導電通孔 114；內連結構 110 亦可包括其他數目層的導線 112 及導電通孔 114。內連結構 110 中所繪示的兩層導線 112 及兩層導電通孔 114 主要是為了便於說明並使說明簡潔。內連結構 110 可包括一或多層導線 112 以及一或多層導電通孔 114。舉例而言，在圖 14 中，內連結構 110 包括三層導線 112 及三層導電通孔 114，且在圖 15 中，內連結構 110' 包括一層導線 112 及一層導電通孔 114。內連結構 110 中的某些導線 112 及/或導電通孔 114 被耦接至積體電路晶粒 104 的接觸焊墊 154，顯示於圖 14 中。

【0022】 重新參照圖 1，在導線 112 及導電通孔 114 周圍形成一或多個絕緣材料層 116，進而形成內連結構 110。絕緣材料層 116 可包含例如聚苯並噁唑（polybenzoxazole，PBO）、聚醯亞胺、苯環丁烷（benzocyclobutene，BCB）等聚合物。在某些實施例中，絕緣材料層 116 可包含：氮化物，例如氮化矽；氧化物，例如氧化矽、磷矽酸玻璃（phosphosilicate glass，PSG）、硼矽酸玻璃（borosilicate glass，BSG）、摻雜硼的磷矽酸玻璃（boron-doped phosphosilicate glass，BPSG）；其組合或其多個層；或類似材料。絕緣材料層 116 可藉由例如下列任何可接受的沈積製程來形成：旋轉塗佈、化學氣相沈積（chemical vapor deposition，CVD）、疊層等或其組合。

【0023】 在某些實施例中，使用鍍覆製程來形成導線 112、導電通孔 114 及連接墊 115。舉例而言，在模製材料 108、導通孔 106 及積體電路晶粒 104 之上形成一或多個絕緣材料層 116，且使用光刻將所述一或多個絕緣材料層 116 圖案化。使用單鑲嵌（single damascene）製程，如針對導通孔 106 所述，可形成晶種層且可形成犧牲材料，且可經由經圖案化的所述犧牲材料而在所述晶種層之上鍍覆導電材料以形成導電通孔 114、導線 112 及/或連接墊 115。接著移除所述犧牲材料及所暴露的晶種層。作為另一實例，在某些實施例中，可使用雙鑲嵌（dual damascene）製程在晶種層之上同時鍍覆導電通孔 114 層及導線 112 層。

【0024】 可對附加的導電通孔層、導線層（若有的話）重複進行

本文中所述的用於形成內連結構 110 的導電特徵（例如，內連結構 110 的導電通孔 114 層及導線 112 層）的製程。可藉由重複進行本文所述的製程而在內連結構 110 中形成具有導線 112、導電通孔 114 及絕緣材料層 116 的一或多個附加的金屬化圖案。可在導線 112 圖案的形成期間形成導電通孔 114 或可在導電通孔 114 圖案的形成期間形成導線 112（例如，在雙鑲嵌製程或鍍覆製程中）。導電通孔 114 可內連及電性耦接各個導線 112 以及內連結構 110 的各個導電特徵層中的其他金屬化圖案。

【0025】 在某些實施例中，導線 112 及導電通孔 114 可包括使用濺鍍製程而形成的鈦的或其他晶種材料的薄層以及電鍍於所述鈦層之上的銅層、銅合金層或其他金屬層，所述薄層例如包括約 2 微米至約 3 微米或小於 3 微米的厚度。在其他實施例中，導線 112 及導電通孔 114 可包括多層結構，例如塗佈有化學鍍鎳鈀浸金（electro-less nickel or electro-less palladium immersion gold，ENEPIG）的銅層，所述化學鍍鎳鈀浸金包括鎳層、位於所述鎳層上的鈀層及位於所述鈀層上的金層。所述金層可使用浸鍍（immersion plating）來形成。導線 112 及導電通孔 114 亦可包含其他材料、尺寸及以形成方法形成。絕緣材料層 116 可形成於或配置於導線 112 及導電通孔 114 周圍。

【0026】 在某些實施例中，可沈積形成導線 112 及導電通孔 114，並以類似於針對絕緣材料層 116 的光刻製程，使用適合於導線 112 及導電通孔 114 材料的蝕刻化學（etch chemistry）來對導線 112

及導電通孔 114 進行圖案化。舉例而言，可形成導電材料作為毯覆層（blanket coating）並接著使用光刻製程進行蝕刻，以將導線 112 及導電通孔 114 圖案化。可使用減性蝕刻製程來形成導線 112 及導電通孔 114，且接著在導線 112 及導電通孔 114 周圍形成絕緣材料層 116，進而形成內連結構 110。

【0027】 根據某些實施例如圖 1 至圖 6 中所示之連接件 140 形成製程的各個階段所示之方式，根據本發明的某些實施例，在形成內連結構 110 之後，在內連結構 110 之上形成多個連接件 140。為了在內連結構 110 之上形成所述多個連接件 140，在內連結構 110 的最上絕緣材料層 116 中形成開口 117。在圖式中僅顯示一個開口 117，但視經封裝半導體元件 100 的大小及所需連接件的數目而定，可在內連結構 110 中形成多個開口 117。舉例而言，可在經封裝半導體元件 100 上使用數十個、數百個或更多個連接件。

【0028】 可使用光刻製程來形成內連結構 110 的最上絕緣材料層 116 中的開口 117，例如，藉由沈積光阻層（圖 1 中未顯示；參見圖 7 中所示的光阻層 120a）、以開口 117 的所期望圖案來將光阻層圖案化（參見圖 8）以及在蝕刻製程期間使用所述光阻層作為蝕刻罩幕而形成開口 117（圖 8）。接著移除所述光阻層。作為另一實施例，亦可使用雷射鑽孔（laser drilling）製程來形成開口 117。

【0029】 重新參照圖 1，開口 117 可在靠近內連結構 110 的導電特徵結構（例如，導線 112 或者耦接至導線 112 或導電通孔 114 的連接墊 115）處具有包含尺寸 d_0 的寬度。在某些實施例中，開口

117 亦可形成於內連結構 110 的導電通孔 114 之上(圖中未示出)。絕緣材料層 116 中的開口 117 可在靠近絕緣材料層 116 的表面處具有包含尺寸 d_1 的寬度，其中尺寸 d_1 大於尺寸 d_0 ，且開口 117 具有錐形輪廓。開口 117 亦可在絕緣材料層 116 內具有實質上筆直的側壁，其中尺寸 d_1 約相同於尺寸 d_0 (圖中未示出)。在某些實施例中，尺寸 d_0 及 d_1 可包括例如約 10 微米至約 35 微米。尺寸 d_0 及 d_1 亦可包括其他尺寸。

【0030】 在經封裝半導體元件 100 的俯視（或仰視）圖中，開口 117 可包括實質上為圓形的形狀（圖 1 中未示出）。開口 117 亦可包括例如橢圓形、正方形、矩形、多邊形等其他形狀。開口 117 可形成於導線 112 的一部分之上或形成於連接墊 115 耦接至導線 112 或導電通孔 114 的一部分之上。連接墊 115 亦可包括例如圓形、橢圓形、正方形、矩形、多邊形或其他形狀。舉例而言，連接墊 115 可包括後鈍化內連（PPI）焊墊、接觸焊墊或適用於向內連結構 110 提供電性連接的其他類型的結構。

【0031】 在某些實施例中，可提供已經具有形成於內連結構 110 導電特徵之上的開口 117 之經封裝半導體元件，因而不必要進行前述形成開口 117 的步驟來形成連接件 140。

【0032】 如圖 1 中所示，在經圖案化的最上絕緣材料層 116 之上及在所述導電特徵結構所暴露的部分（例如，導線 112、導電通孔 114 或連接墊 115）之上形成晶種層 118。舉例而言，在某些實施例中，晶種層 118 可包含幾千埃（Å）的導電材料（例如銅或銅合

金)。作為另一實例，在某些實施例中，晶種層 118 包括第一層及配置於所述第一層上的第二層，所述第一層具有約 0.5 千埃 (kÅ) 至約 3 千埃厚度的鈦，且所述第二層包含約 3 千埃至約 10 千埃的銅。晶種層 118 亦可包含其他材料及尺寸。

【0033】 如圖 1 中所示，在晶種層 118 之上形成光阻層 120a。舉例而言，在某些實施例中，光阻層 120a 可包括約 10 微米至約 60 微米的厚度。光阻層 120a 亦可包含其他尺寸。在本文中光阻層 120a 亦被稱作第一層光阻 120a。

【0034】 使用微影 (photolithography) 將光阻層 120a 圖案化進而在光阻層 120a 中形成開口 122。開口 122 形成於絕緣材料層 116 中的開口 117 之上且側向地延伸超過開口 117 的周邊。開口 122 可包括包含尺寸 d_2 的寬度，其中在某些實施例中尺寸 d_2 包括約 12 微米至約 40 微米。舉例而言，尺寸 d_2 可在某些微凸塊應用中包括約 12 微米至約 40 微米。尺寸 d_2 可在其他連接件應用中大於 40 微米，所述連接件應用例如，塌陷高度控制晶片連接 (controlled collapse chip connection, C4) 或球柵陣列 (ball grid array, BGA)。尺寸 d_2 亦可包含其他尺寸。在本文中尺寸 d_2 亦被稱作第一寬度。舉例而言，如圖 1 中所示，在某些實施例中，開口 122 的包含尺寸 d_2 的寬度大於絕緣材料層 116 中的開口的包含尺寸 d_0 的寬度。舉例而言，在某些實施例中，尺寸 d_2 可較尺寸 d_0 大約 5 微米至約 10 微米。尺寸 d_2 亦可較尺寸 d_0 大其他量。

【0035】 在圖 2 至圖 5 中、且亦在圖 7 至圖 13 中，不顯示載體 102、

模製材料 108、導通孔 106 及積體電路晶粒 104，以簡化圖式。在某些實施例中，舉例而言，在形成連接件 140 之後移除載體 102。亦可在所述封裝及/或連接件 140 形成製程的其他階段處移除載體 102。

【0036】 接下來參照圖 2，經由經圖案化的光阻層 120a 而在晶種層 118 之上鍍覆例如 Cu、Ni 或其他金屬等導電材料。舉例而言，在某些實施例中，所述導電材料包括第一金屬層 130。第一金屬層 130 填充絕緣材料層 116 中的開口 117 且局部地填充第一層光阻 120a 中的開口 122。第一金屬層 130 包括配置於絕緣材料層 116 內的第一區及配置於所述第一區之上的第二區。光阻層 120a 中的開口的尺寸 d_2 大於尺寸 d_1 ，因此第二區的一部分亦在晶種層 118 之上延伸於絕緣材料層 116 的靠近第一區的頂表面之上。在本文中第一金屬層 130 的第二區亦被稱作連接件 140 的第一部分 131b，且在本文中絕緣材料層 116 內的第一金屬層 130 的第一區亦被稱作連接件 140 的第三部分 131a。第一金屬層 130 包括構成尺寸 d_3 的第一部分 131b 及第三部分 131a 的總厚度，其中在某些實施例中尺寸 d_3 包括例如約 5 微米至約 50 微米。配置於絕緣材料層 116 之上的第一部分 131b 可包含尺寸 d_4 ，其中在某些實施例中尺寸 d_4 包括例如約 4 微米至約 45 微米。尺寸 d_3 及 d_4 亦可包括其他值。在某些實施例中，第一金屬層 130 的頂表面包括實質上平的或平坦的表面。連接件 140 的第一部分 131b 的頂表面包括例如實質上平坦的表面。

【0037】 接著將第二層光阻 120b 施加至經封裝半導體元件 100，如圖 3a 及圖 3b 中所示。舉例而言，第二層光阻 120b 可包含與針對第一層光阻 120a 所述者相似的尺寸。在某些實施例中，在第一層光阻 120a 之上形成或配置第二層光阻 120b（如圖 3a 中所示）。在圖 3b 中示出的某些實施例中，使用灰化、剝除或蝕刻製程將第一層光阻 120a 移除，且在晶種層 118 及第一金屬層 130 的頂表面之上形成第二層光阻 120b。

【0038】 使用微影將第二層光阻 120b 圖案化，而得到用於連接件 140 的第二部分 139 的圖案（參見圖 6）。舉例而言，第二層光阻 120b 中的圖案可在俯視圖中包括與針對第一層光阻 120a 中的圖案所述者相似的形狀。第二層光阻 120b 中的圖案可包括包含尺寸 d_5 的寬度，其中尺寸 d_5 在某些實施例中包括例如約 10 微米至約 35 微米。尺寸 d_5 可在某些微凸塊應用中包括例如約 10 微米至約 35 微米。尺寸 d_5 可在其他連接件應用（例如塌陷高度控制晶片連接或球柵陣列）中大於 35 微米。尺寸 d_5 亦可包括其他值。

【0039】 尺寸 d_5 可在某些實施例中較尺寸 d_2 少如約 2 微米至約 10 微米，尺寸 d_2 包括第一金屬層 130 內的連接件 140 的第一部分 131b 的寬度。尺寸 d_5 亦可包括其他相對值。在本文中尺寸 d_5 亦被稱作例如第二寬度。較尺寸 d_2 少約 2 微米至約 10 微米的尺寸 d_5 幫助且有效地確保在第一金屬層 130 上形成實質上平的且平坦的表面，以例如防止或減少某些實施例中的第二層光阻 120b 顯影不足。

【0040】 在圖 4a 及圖 4b 中，在某些實施例中，經由經圖案化的

第二層光阻 120b 而在第一金屬層 130 之上鍍覆多個金屬層 134、136 及 138。在某些實施例中，每一金屬層充當用於隨後形成的金屬層的晶種層。舉例而言，金屬層 130 可充當用於金屬層 134 的晶種層，金屬層 134 可充當用於金屬層 136 的晶種層，金屬層 136 可充當用於金屬層 138 的晶種層。在某些實施例中，不包括金屬層 134 及/或金屬層 136。在本文中金屬層 138 亦被稱作第二金屬層，且在本文中金屬層 134 及 136 亦被稱作第三金屬層或第四金屬層。在某些實施例中，亦可將所述多個金屬層 134、136 及/或 138 視作第二金屬層。

【0041】 在某些實施例中，金屬層 134 包含約 0 微米至約 10 微米厚度的 Cu、Ni 或焊料。在某些實施例中，金屬層 136 包含約 0 微米至 10 微米厚度的 Ni、Cu 或焊料。在某些實施例中，金屬層 138 包含約 3 微米至約 50 微米厚度的 SnAg 或焊料。金屬層 134、136 及 138 亦可包含其他材料及尺寸。在某些實施例中，金屬層 134 或金屬層 136 包含例如 Ni，Ni 可避免或防止各個金屬層之間出現克根達空洞（Kirkendall void）。

【0042】 在某些實施例中，連接件 140 的金屬層 138 包含例如焊料等共晶材料（eutectic material）。本文中使用詞語「焊料」包括鉛系焊料及無鉛焊料二者，例如鉛系焊料的 Pb-Sn 組成物；包含 InSb 的無鉛焊料；錫、銀、及銅（「SAC」）組成物；以及具有共同的熔點且在電性應用中形成導電焊料連接的其他共晶材料。對於無鉛焊料而言，可使用由不同組成物形成的 SAC 焊料，例如 SAC

105 (Sn 98.5%、Ag 1.0%、Cu 0.5%)、SAC 305 及 SAC 405。無鉛導電材料亦可由 SnCu 化合物形成，而不使用銀 (Ag)。無鉛焊料連接件亦可包含錫及銀、Sn-Ag，而不使用銅。

【0043】如圖 5 中所示，使用灰化、剝除及/或蝕刻製程來移除第二層光阻 120b (示出於圖 4b 中) 或第二層光阻 120b 及第一層光阻 120a (示出於圖 4a 中)。在圖 6 中，接著使用適合的蝕刻製程來移除晶種層 118 被暴露出來的部分(之前被第二層光阻 120b 覆蓋，若第一層光阻 120a 存留下來也被第一層光阻 120a 所覆蓋)，進而使得在連接件 140 的第一部分 131b 之上形成連接件 140 的第二部分 139 (如圖 6 中所示)。連接件 140 在某些實施例中亦包括配置於第一部分 131b 下面的第三部分 131a，其中第三部分 131a 包括配置於絕緣材料層 116 內的第一金屬層 130。

【0044】在某些實施例中，連接件 140 的第二部分 139 所包括尺寸 d_5 的第二寬度小於連接件 140 的第一部分 131b 所包括尺寸 d_2 的第一寬度。連接件 140 的第三部分 131a 包括第三寬度，所述第三寬度包含尺寸 d_0 /尺寸 d_1 (圖 6 中未標記；參見圖 1)，其中在某些實施例中第三寬度小於連接件 140 的第一部分 131b 的包括尺寸 d_2 的第一寬度。

【0045】在某些實施例中，連接件 140 的第一部分 131b 的實質上平的且平坦的頂表面可有利地改善連接件 140 的第二部分 139 的形成且提高連接件 140 的可靠性。舉例而言，連接件 140 的第一部分 131b 的所述平的且平坦的頂表面可有利地防止第二層光阻

120b 顯影不足。

【0046】 在形成連接件 140 之後，在某些實施例中接著移除載體 102（如圖 6 中所示）。在某些實施例中，在載體 102 之上同時形成多個經封裝半導體元件 100，並將所述多個經封裝半導體元件 100 單體化，以形成經封裝半導體元件 100。可使用鋸片或雷射（圖中未示出）來將所述多個經封裝半導體元件 100 單體化，在某些實施例中所述鋸片可包括例如包含鑽石或其他材料的刀片。

【0047】 在某些實施例中，內連結構 110 包括第一內連結構，且在經封裝半導體元件 100 的與第一內連結構 110 相對的側上形成有第二內連結構 110'（在圖 6 中以虛影（例如，以虛線）示出）。舉例而言，可將第二載體（圖中未示出）耦接至多個連接件 140，接著將圖 1 中所示的載體 102 移除，並且接著在模製材料 108、導通孔 106 及積體電路晶粒 104 上形成第二內連結構 110'。接著移除所述第二載體。

【0048】 在圖 1 至圖 6 中所示的本發明的某些實施例中，連接件 140 包括第一部分 131b 及第二部分 139，第一部分 131b 具有包括尺寸 d_2 的第一寬度，第二部分 139 具有包括尺寸 d_5 的第二寬度，其中所述第二寬度小於所述第一寬度。在圖 7 至圖 13 所示的某些實施例中，形成連接件 140'，連接件 140' 包括包含尺寸 d_5 的第二寬度，且內連結構 110 上的連接件安裝區 132 包括包含尺寸 d_2 的第一寬度，其中所述第二寬度小於所述第一寬度，接下來在本文中將對此予以闡述。

【0049】 接下來參照圖 7，一種在經封裝半導體元件 100 的內連結結構 110 上形成連接件 140'的方法包括：首先，提供如圖 1 所示且所闡述的本文所述的包括內連結結構 110 的經封裝半導體元件 100。使用光刻製程、具體藉由沈積第一層光阻 120a 以及使用微影以用於開口 117'的所期望圖案將光阻層 120a 圖案化，而在內連結結構 110 的最上絕緣材料層 116 中形成開口 117'。接著在絕緣材料層 116 的蝕刻製程期間使用第一層光阻 120a 作為蝕刻罩幕。在圖式中僅示出一個開口 117'：如針對之前的實施例所述，內連結結構 110 的最上絕緣材料層 116 中可形成有多個開口 117'。接著移除第一層光阻 120a。作為另一實例，亦可使用雷射鑽孔製程來形成開口 117'。

【0050】 開口 117'暴露出內連結結構 110 的連接件安裝區 132 且配置於內連結結構 110 的連接件安裝區 132 之上。連接件安裝區 132 包括內連結結構 110 的導電特徵且具有實質上平的且平坦的表面。開口 117'及連接件安裝區 132 可在靠近內連結結構 110 的導電特徵（例如，導線 112、導電通孔 114 或耦接至導線 112 或導電通孔 114 的連接墊 115）處具有包括尺寸 d_2 的第一寬度。如針對之前的實施例中的開口 117 所述，開口 117'可在絕緣材料層 116 內具有錐形輪廓或實質上筆直的側壁。開口 117'可包括與針對之前的實施例中的開口 117 所述者相似的形狀。

【0051】 在經圖案化的最上絕緣材料層 116 之上及在構成連接件安裝區 132 的導電特徵（例如，導線 112、導電通孔 114 或連接墊

115) 的所暴露部分之上形成晶種層 118 (如圖 9 中所示)。晶種層 118 可包含與本文之前所述者相似的材料及尺寸。

【0052】 在晶種層 118 之上形成第二層光阻 120b (亦示出於圖 9 中)。使用光刻將第二層光阻 120b 圖案化，進而在連接件安裝區 132 的一部分之上在第二層光阻 120b 中形成開口 122'。開口 122' 可包括包含尺寸 d_5 的第二寬度。

【0053】 接下來參照圖 10，在某些實施例中，經由經圖案化的第二層光阻 120b 而在連接件安裝區 132 的一部分之上 (例如，在配置於連接件安裝區 132 之上的晶種層 118 之上) 鍍覆多個金屬層 134、136 及 138。移除第二層光阻 120b (如圖 11 中所示)，且移除晶種層 118 的被第二層光阻 120b 覆蓋的一部分 (如圖 12 中所示)，進而使得由所述多個金屬層 134、136 及 138 構成的連接件 140' 耦接至連接件安裝區 132。連接件 140' 包括包含尺寸 d_5 的第二寬度，所述第二寬度小於連接件安裝區 132 的包括尺寸 d_2 的第一寬度。

【0054】 由於連接件安裝區 132 具有實質上平的且平坦的頂表面，因此可有利地防止第二層光阻 120b 顯影不足，此舉可在某些實施例中例如改善連接件 140' 的形成且提高所述連接件的可靠性。

【0055】 圖 13 是經封裝半導體元件 100 的一部分的剖視圖，其說明根據某些實施例的連接件 140''。連接件 140'' 包括本文所述的第一金屬層 130'，第一金屬層 130' 在經由經圖案化的第二層光阻

120b 而相繼地鍍覆金屬層 134、136 及 138 之前經由圖 10 中所示的經圖案化的第二層光阻 120b 而鍍覆於連接件安裝區 132 之上。連接件 140'' 的第一金屬層 130' 亦包括包含尺寸 d_5 的寬度，所述寬度包括所述第二寬度。

【0056】 連接件 140（圖 6）、140'（圖 12）及 140''（圖 13）可為具有實質上筆直的側壁的柱形狀，且可在某些實施例中具有例如約 10 微米至 40 微米或小於 40 微米的高度。連接件 140、140' 及 140'' 亦可包含其他尺寸及形狀。連接件 140、140'、140'' 可包括適用於在例如精細節距（舉例而言，約 50 微米至約 100 微米或小於 100 微米）上使用的微凸塊。連接件 140 可包含於經封裝半導體元件 100 上的連接件 140、140' 及 140'' 的陣列中而呈與「球柵陣列」或「BGA」排列相似的柵（grid）形式。連接件 140、140' 及 140'' 亦可排列成其他形狀。

【0057】 自圖 1 至圖 13 中所示的實施例中，首先在載體 102 之上形成模製材料 108 及模製材料 108 內的組件，在模製材料 108 及模製材料 108 內的組件之上形成內連結結構 110，且接著在內連結結構 110 之上形成連接件 140。舉例而言，圖 14 是說明根據某些實施例的包括連接件 140、140'、140'' 的經封裝半導體元件 100 的剖視圖。經封裝半導體元件 100 是例如自之前的圖式中所示的圖倒轉而來。經封裝半導體元件 100 可包括同一類型的連接件 140、140' 或 140''，或者經封裝半導體元件 100 可包括本文所述的二或更多種類型的連接件 140、140' 或 140''。示出了某些實施例，在所述

實施例中，一或多個積體電路晶粒 104 定位於所述封裝件的實質上為中心的區中，且導通孔 106 配置於所述封裝件的邊緣周圍。

【0058】 圖 14 亦說明配置於積體電路晶粒 104 上的晶粒貼合膜或黏合劑 152 可在所述封裝件自載體 102 移除且被單體化之後存留在經封裝半導體元件 100 中。晶粒貼合膜或黏合劑 152 亦可被移除（圖中未示出）。亦說明積體電路晶粒 104 的與內連結構 110 的導電特徵（例如，所示實施例中的孔 114）耦接的觸點 154。

【0059】 在某些實施例中，內連結構 110 包括第一內連結構 110，且在模製材料 108 及模製材料 108 內的組件的相對的側上形成有第二內連結構 110'（如作為說明根據某些實施例的經封裝半導體元件 100 的剖視圖的圖 15 中所示）。在某些實施例中，可在載體之上形成內連結構 110，且接著可在內連結構 110 之上形成模製材料 108 及模製材料 108 內的組件。可接著在模製材料 108 及模製材料 108 內的組件之上形成第二內連結構 110'，且可在第二內連結構 110' 上形成連接件 140、140' 及/或 140''。在該些實施例中，連接件 140、140' 及/或 140'' 亦可或亦可不形成於第一內連結構 110 上。在圖 15 中示出的實施例中，在第一內連結構 110 及第二內連結構 110' 二者上形成連接件 140、140' 及/或 140''。

【0060】 舉例而言，在某些實施例中，第一內連結構 110 及第二內連結構 110' 可在水平方向上為經封裝半導體元件 100 提供電性連接。對於某些實施例中的經封裝半導體元件 100 而言，第二內連結構 110' 可包括背側佈線（back-side routing），且第一內連結構

110 可包括前側佈線（front-side routing），或者反之亦然（例如，相對於積體電路晶粒 104）。

【0061】 可使用多個連接件 140 及/或多個連接件 140'或 140''將經封裝半導體元件 100 耦接至例如另一元件、另一經封裝半導體元件 100 或耦接至端應用（end application）中的板或其他物體。作為另一實例，可使用所述多個連接件 140 及/或所述多個連接件 140'或 140''將經封裝半導體元件 100 的第一內連結構 110 或第二內連結構 110'分別耦接至經封裝積體電路。

【0062】 或者，在其他實施例中，可首先在載體之上形成內連結構 110，且可在內連結構 110 之上形成模製材料 108 及模製材料 108 內的組件。可將另一載體貼合至模製材料 108 及模製材料 108 內的組件，且可移除所述第一載體。可接著使用本文所述的方法將連接件 140、140'及/或 140''形成於內連結構 110 上。

【0063】 本文所述的使用各種載體對半導體元件進行封裝及形成連接件 140、140'及/或 140''的方法僅為實例：亦可使用其他次序的封裝製程來對經封裝半導體元件 100 進行製作及封裝以及形成本文所述的連接件 140、140'及/或 140''。

【0064】 在其中包括第二內連結構 110'的某些實施例中，可例如將另一經封裝積體電路或半導體元件耦接至經封裝半導體元件 100 的第一內連結構 110 及/或第二內連結構 110'。舉例而言，圖 16 示出根據某些實施例的包括連接件 140、140'及/或 140''的疊層封裝（POP）元件 170 的剖視圖。疊層封裝元件 170 包括例如自圖

1 至圖 13 中所示的圖倒轉而來的經封裝半導體元件 100。疊層封裝元件 170 包括已使用與第二內連結結構 110' 耦接的多個連接件 140'、140' 及/或 140'' 而耦接至另一經封裝半導體元件 150 的經封裝半導體元件 100。在本文中經封裝半導體元件 100 亦被稱作第一經封裝半導體元件，且在本文中經封裝半導體元件 150 亦被稱作第二經封裝半導體元件。在其他實施例中，可使用多個連接件 140'、140' 及/或 140'' 來達成品片對封裝件內連（chip to package interconnect）。

【0065】 為了製造疊層封裝元件 170，在某些實施例中，在將第一經封裝半導體元件 100 單體化之前並且在形成第二內連結結構 110' 且形成連接件 140'、140' 及/或 140'' 之後，提供多個第二經封裝半導體元件 150，且使用所述多個連接件 140、140' 及/或 140'' 將所述多個第二經封裝半導體元件 150 中的每一者耦接至第一經封裝半導體元件 100 中的一者。藉由例如下列方法將所述多個第二經封裝半導體元件 150 耦接至第一經封裝半導體元件 100 中的多個未經單體化的第一經封裝半導體元件 100：由操作者或技師手動進行；使用例如拾取及放置機器等自動化機器；或者其他方法。對連接件 140、140' 及/或 140'' 的共晶材料（例如，連接件 140、140' 及/或 140'' 的金屬層 138 的共晶材料）進行加熱，對所述共晶材料進行回焊、且在所述共晶材料冷卻之後，將第二經封裝半導體元件 150 電性地且機械地耦接至第一經封裝半導體元件 100。接著將所述多個第一經封裝半導體元件 100 單體化，以形成多個疊層封

裝元件 170，圖 17 中示出所述多個疊層封裝元件 170 中的一者。

【0066】 第二經封裝半導體元件 150 可包括基底 156，基底 156 包括配置於其內的多個接觸焊墊 158a 及 158b。舉例而言，在圖 17 中，基底 156 的底表面上配置有多個接觸焊墊 158a，且基底 156 的頂表面上配置有多個接觸焊墊 158b。在某些實施例中，基底 156 可包括形成於基底 156 上的一或多個內連結構（圖中未示出），所述一或多個內連結構為第二經封裝半導體元件 150 提供水平連接。基底 156 亦可包括形成於基底 156 中的多個導通孔（圖中亦未示出）。一或多個積體電路晶粒 104' 可耦接至基底 156 的頂表面。舉例而言，在圖 16 中所示的某些實施例中，第二經封裝半導體元件 150 包括兩個垂直堆疊的積體電路晶粒 104'。在某些實施例中，二或更多個積體電路晶粒 104' 亦可在第二經封裝半導體元件 150 中水平地封裝於一起（圖中未示出）。

【0067】 在圖 16 中所示的某些實施例中，積體電路晶粒 104' 藉由結合導線 160 而耦接至配置於基底 156 的頂表面上的所述多個接觸焊墊 158b。在某些實施例中，結合導線 160 及基底 156 中的導通孔（若有的話）為第二經封裝半導體元件 150 提供垂直電性連接。積體電路晶粒 104'、結合導線 160 及基底 156 之上配置有模製材料 108'。舉例而言，模製材料 108' 可包含與針對第一經封裝半導體元件 100 的模製材料 108 所述者相似的材料及形成方法。

【0068】 在某些實施例中，第二經封裝半導體元件 150 的一或多個積體電路晶粒 104' 可包括記憶體元件，例如（舉例而言，動態

隨機存取記憶體 (dynamic random access memory, DRAM) 元件)。
積體電路晶粒 104' 亦可包括其他類型的記憶體元件及/或其他類型的元件。積體電路晶粒 104' 可被封裝於如圖 16 中所示的導線結合型封裝件中，或者積體電路晶粒 104' 可封裝於其他類型的封裝件中且使用其他類型的封裝技術。作為實例，第二經封裝半導體元件 150 亦可包括與第一經封裝半導體元件 100 類型相似或相同的封裝件。

【0069】 圖 16 亦示出內連結構 110 或 110' 中的一者可耦接有與本文所述的連接件 140、140' 及/或 140'' 類型不同的連接件 162。舉例而言，包括焊球或焊料凸塊的連接件 162 被示出為連接至第一內連結構 110。亦可使用其他類型的連接件，或者本文所述的連接件 140、140' 及/或 140'' 亦可耦接至第一內連結構 110 (如圖 15 中所示)。

【0070】 疊層封裝元件 170 可例如使用表面安裝技術 (surface mount technology, SMT) 製程、使用與內連結構 110 耦接的配置於疊層封裝元件 170 的底表面上的所述多個連接件 162 來耦接至另一元件或物體。在某些實施例中，疊層封裝元件 170 可耦接至基底或印刷電路板 164 (如圖 16 中的虛影所示)，進而形成基底上晶圓上晶片 (chip-on-wafer-on-substrate, CoWoS) 元件。相同地，第一經封裝半導體元件 100 亦可使用連接件 140、140' 及/或 140'' 而耦接至基底或印刷電路板 164、而不耦接至第二經封裝半導體元件 150 (圖中未示出)。

【0071】 在某些實施例中，第一經封裝半導體元件 100 的積體電路晶粒 104 可包括邏輯元件或處理器，且第一經封裝半導體元件 100 的內連結構 110 包括扇外型配線（例如，在其中第二積體電路晶粒 104' 包括記憶體元件（例如，動態隨機存取記憶體元件）的某些實施例中），進而形成積體扇外型疊層封裝元件 170。積體電路晶粒 104、積體電路晶粒 104'、第一經封裝半導體元件 100 及第二經封裝半導體元件 150 亦可包括其他類型的元件，且本文所述的連接件 140、140' 及/或 140'' 亦可實作於其他類型的應用中。

【0072】 圖 17 及圖 18 說明根據某些實施例的本文所述的連接件 140 及 140' 的立體圖。在圖 17 中說明了示出於圖 6 中的連接件 140，其中連接件 140 的第一部分 131b 及第二部分 139 在俯視圖中包括圓形形狀。第一部分 131b 被抬升成高於絕緣材料層 116 的表面，且第二部分 139 耦接至第一部分 131b。在圖 18 中說明了分別示出於圖 12 及圖 13 中的連接件 140 及連接件 140'，其中連接件 140' 或連接件 140'' 的下部部分耦接至位於絕緣材料層 116 的表面下的連接件安裝區 132。示出了圓形形狀的連接件 140' 及連接件 140''，且亦可使用其他形狀。

【0073】 圖 19 是說明根據圖 1 至圖 6 中所示某些實施例的形成連接件 140 的方法的流程圖 180。在步驟 181 中，在內連結構 110 之上形成第一層光阻 120a（圖 1），且在步驟 182 中以用於連接件 140 的第一部分 131b 的圖案將第一層光阻 120a 圖案化（圖 1）。在步驟 183 中，經由經圖案化的第一層光阻 120a 來鍍覆第一金屬層

130，以形成連接件 140 的第一部分 131b（圖 2），連接件 140 的第一部分 131b 具有第一寬度 d_2 。在步驟 184 中，在內連結構 110 之上及在連接件 140 的第一部分 131b 之上形成第二層光阻 120b（圖 3a 或圖 3b）。在步驟 185 中，以用於連接件 140 的第二部分 139 的圖案將第二層光阻 120b 圖案化（圖 3a 或圖 3b）。在步驟 186 中，經由經圖案化的第二層光阻 120b 來鍍覆第二金屬層 134/136/138（或至少金屬層 138），以在連接件 140 的第一部分 131b 之上形成連接件 140 的第二部分 139（圖 4a 或圖 4b），連接件 140 的第二部分 139 具有第二寬度 d_5 ，第二寬度 d_5 小於第一寬度 d_2 。

【0074】 在某些實施例中，步驟 186 中闡述的鍍覆所述第二金屬層包括鍍覆多個金屬層 134 及 138、136 及 138 或 134、136 及 138。在某些實施例中，在形成第一層光阻 120a 之前在內連結構 110 之上形成晶種層 118（如圖 1 中所示）。在某些實施例中，在於步驟 186 中鍍覆第二金屬層之後移除第一層光阻 120a 及第二層光阻 120b，並移除晶種層 118 的被經圖案化的第一層光阻 120a 覆蓋的一部分（如圖 5 及圖 6 中所示）。在某些實施例中，在形成第二層光阻 120b 之前移除第一層光阻 120a（如圖 4b 中所示）。在某些實施例中，形成第二層光阻 120b 包括在第一層光阻 120a 之上形成第二層光阻 120b（如圖 4a 中所示）。在某些實施例中，在內連結構 110 的絕緣材料層 116 中形成開口 117 以在形成第一層光阻 120a 之前暴露出內連結構 110 的導電特徵的一部分（參見圖 1），且鍍覆第一金屬層 130 更包括經由絕緣材料層 116 中的開口 117 來鍍

覆第一金屬層 130（如圖 2 中所示）。連接件 140 可更包括在絕緣材料層 116 內配置於第一部分 131b 下面的第三部分 131a，其中第三部分 131a 包括包含尺寸 d_0 /尺寸 d_1 的第三寬度，所述第三寬度小於第一寬度 d_2 （參見圖 1 及圖 2）。

【0075】 圖 20 是說明根據圖 7 至圖 12 所示本發明某些實施例的在經封裝半導體元件 100 上形成連接件 140' 的方法的流程圖 190。在步驟 191 中，提供經封裝半導體元件 100，經封裝半導體元件 100 包括積體電路晶粒 104、配置於積體電路晶粒 104 周圍的模製材料 108 及配置於積體電路晶粒 104 及模製材料 108 之上的內連結構 110（圖 7 中未示出；參見圖 1）。在步驟 192 中，在內連結構 110 的絕緣材料層 116 中形成多個開口 117'，其中所述多個開口 117' 中的每一者配置於內連結構 110 的連接件安裝區 132 之上，且其中連接件安裝區 132 中的每一者包括內連結構 110 的導電特徵、包括第一寬度 d_2 、且具有實質上平的表面（圖 7 及圖 8）。在步驟 193 中，使用鍍覆製程在連接件安裝區 132 中的每一者之上形成連接件 140'，其中連接件 140' 包括第二寬度 d_5 ，且其中第二寬度 d_5 小於第一寬度 d_2 （亦參見圖 9 至圖 12）。

【0076】 流程圖 190 中闡述的形成連接件 140' 的方法亦可包括：在內連結構 110 的連接件安裝區 132 及絕緣材料層 116 之上形成光阻層 120b 及將光阻層 120b 圖案化以暴露出連接件安裝區 132 的一部分（如圖 9 中所示）；以及經由經圖案化的光阻層 120b 來鍍覆連接件 140' 的金屬層 134/136/138（至少金屬層 138）（如圖

10 中所示)；以及移除光阻層 120b (如圖 11 中所示)。所述連接件 140' 形成方法可更包括在形成光阻層 120b 之前在內連結構 110 的絕緣材料 116 及連接件安裝區 132 之上形成晶種層 118 (如圖 9 中所示)。在某些實施例中，形成連接件 140' 包括在連接件安裝區 132 之上形成多個金屬層 134 及 138、136 及 138 或 134、136 及 138。

【0077】 圖 21 至圖 23 是說明根據本發明某些實施例的使用本文所述的連接件 140、140' 及/或 140'' 對半導體元件進行封裝的方法的剖視圖。所述封裝方法說明根據某些實施例的用於形成經封裝半導體元件 100' 的積體扇出型晶片 (chip-on-integrated fan-out, CoInFo) 封裝技術。在圖 21 中，將晶粒貼合膜或黏合劑 152 施加至或疊層至第一載體 102a 上，且將多個積體電路晶粒 104 放置於晶粒貼合膜或黏合劑 152 上。在積體電路晶粒 104 之上形成模製材料 108，且使用研磨 (grinding) 或其他製程移除模製材料 108 的多餘部分。

【0078】 在某些實施例中，模製材料 108 不包括導通孔 (參見圖 1、圖 6 及圖 14 至圖 16 中的導通孔 106)。相同地，在本文所述的之前的實施例中，模製材料 108 中可不包括導通孔。

【0079】 在積體電路晶粒 104 及模製材料 108 之上形成內連結構 110，且使用本文所述的方法將本文所述的連接件 140 形成於積體電路晶粒 104 之上的內連結構 110 上。連接件 140 亦可包括本文所述的連接件 140' 及 140''。連接件 140 在某些實施例中包括例如

靠近積體電路晶粒 104 而形成的微凸塊。

【0080】 在積體電路晶粒 104 周圍在內連結構 110 上形成連接件 240。作為實例，在某些實施例中，連接件 240 可包括塌陷高度控制晶片連接或球柵陣列連接件。連接件 240 亦可包括其他類型的連接件。在某些實施例中，連接件 240 具有較連接件 140 大的高度。在該些實施例中，連接件 240 是在連接件 140 形成之後藉由下列步驟形成：移除用於形成連接件 140 的光阻 120a 或 120b（參見圖 1 至圖 4a 及圖 4b 以及圖 7 至圖 10）；以及沈積另一層光阻（圖中未示出）並以連接件 240 的圖案將所述光阻圖案化。接著透過所述光阻對連接件 240 進行鍍覆，並移除所述光阻及晶種層 118（參見圖 1）。在某些實施例中，連接件 240 可具有例如約 53 微米的高度及約 83 微米的寬度。在某些實施例中，連接件 240 以彼此相差較連接件 140 所定位的節距大的節距來進行定位。舉例而言，連接件 240 可以彼此相差約 150 微米的節距進行定位。連接件 240 亦可包括其他尺寸及相對尺寸。

【0081】 在某些實施例中，連接件 240 可包括與連接件 140 實質上相同的大小，且連接件 240 可與連接件 140 同步形成。

【0082】 接下來參照圖 22，接著將積體電路晶粒 104' 耦接至連接件 140。在某些實施例中，將二或更多個積體電路晶粒 104' 的堆疊耦接至配置於積體電路晶粒 104 之上的連接件 140（如圖 22 中所示）。舉例而言，將積體電路晶粒 104' 中的每一堆疊配置於積體電路晶粒 104 中的一者之上。在某些實施例中，作為實例，積體

電路晶粒 104 包括邏輯元件，且積體電路晶粒 104'包括記憶體元件。晶粒 104 及 104'亦可包括其他類型的元件。

【0083】 接著將經堆疊的積體電路晶粒 104'耦接至包括膠帶的第二載體 102b 或其他類型的載體，並移除第一載體 102a 及晶粒貼合膜或黏合劑 152。接著使用晶粒鋸沿單體化線 142 將經封裝半導體元件 100'單體化，並移除第二載體 102b。可接著使用靠近經封裝半導體元件 100'的周邊而配置的連接件 240 來將經封裝半導體元件 100'耦接至或貼合至另一元件，例如（舉例而言，基底）。

【0084】 本發明的某些實施例能夠有利地於晶圓級封裝件製程及應用中實施且在用於晶圓級封裝件製程及應用中實施時格外有益。在某些應用中，本發明的某些實施例能夠有利地於疊層封裝或封裝件上晶片（chip on package，CoP）元件中實施且在用於疊層封裝或封裝件上晶片（CoP）元件中實施時格外有益。作為實例，在某些實施例中，其上形成有本文所述的連接件的經封裝半導體元件可於疊層封裝或封裝件上晶片元件、系統晶片（system-on-a-chip，SOC）元件、基底上晶圓上晶片元件或其他類型的三維積體電路（three dimensional integrated circuit，3DIC）中實施。作為其他實例，本發明的某些實施例亦有益於包括內連結構及扇出型結構其他類型的元件中實施或於使用連接件的所述其他類型元件中實施。

【0085】 本發明的某些實施例包括形成連接件的方法。某些實施例包括在經封裝半導體元件上形成連接件的方法及包括所述連接

件的經封裝半導體元件。

【0086】 本發明的某些實施例的某些優點包括提供使用鍍覆製程而在具有實質上平的或平坦的表面的連接件安裝區之上形成的連接件，此會防止或減少光阻在光刻製程期間的顯影不足。在某些實施例中，所述連接件具有帶平坦表面的較寬的底部部分，此亦會防止或減少光阻在光刻製程期間的顯影不足。在某些實施例中，所述連接件的與上面形成有所述連接件的內連結結構靠近的底部較頂部寬，此會提供較寬的焊料橋接頭形成製程窗口。在某些實施例中可達成對精細節距內連焊料橋的改善。所述連接件具有均勻的形狀，此舉可防止或減少結合位移（bonding shift）問題。此外，本文所述的連接件形成方法及連接件結構能夠輕易地於現有的內連結結構以及封裝製程流程及結構中實施。

【0087】 在某些實施例中，一種形成連接件的方法包括：在內連結結構之上形成第一層光阻；以用於連接件的第一部分的圖案將所述第一層光阻圖案化；以及經由經圖案化的所述第一層光阻來鍍覆第一金屬層，以形成所述連接件的所述第一部分。所述連接件的所述第一部分具有第一寬度。所述方法包括：在所述內連結結構及所述連接件的所述第一部分之上形成第二層光阻；以用於所述連接件的第二部分的圖案將所述第二層光阻圖案化；以及經由經圖案化的所述第二層光阻來鍍覆第二金屬層，以在所述連接件的所述第一部分之上形成所述連接件的所述第二部分。所述連接件的所述第二部分具有第二寬度，所述第二寬度小於所述第一寬度。

【0088】 根據一些實施例，其中鍍覆所述第二金屬層包括鍍覆多個金屬層。根據一些實施例，所述方法更包括在形成所述第一層光阻之前，在所述內連結構之上形成晶種層。根據一些實施例，所述方法更包括移除所述第一層光阻及所述第二層光阻，並移除所述晶種層的被經圖案化的所述第一層光阻覆蓋的部分。根據一些實施例，所述方法更包括在形成所述第二層光阻之前，移除所述第一層光阻。根據一些實施例，形成所述第二層光阻更包括在所述第一層光阻之上形成所述第二層光阻。根據一些實施例，所述方法更包括在形成所述第一層光阻之前，在所述內連結構的絕緣材料層中形成開口，以暴露出所述內連結構的導電特徵的一部分，且其中鍍覆所述第一金屬層更包括經由所述絕緣材料層中的所述開口鍍覆所述第一金屬層。根據一些實施例，所述連接件更包括在所述絕緣材料層內配置於所述第一部分下面的第三部分，其中所述第三部分包括第三寬度，所述第三寬度小於所述第一寬度。

【0089】 在某些實施例中，一種在經封裝半導體元件上形成連接件的方法包括：提供經封裝半導體元件，所述經封裝半導體元件包括積體電路晶粒、配置於所述積體電路晶粒周圍的模製材料以及配置於所述積體電路晶粒及所述模製材料之上的內連結構。在所述內連結構的絕緣材料層中形成多個開口，其中所述多個開口中的每一者配置於所述內連結構的連接件安裝區之上，且其中所述連接件安裝區中的每一者包括所述內連結構的導電特徵、包括

第一寬度且具有實質上平的表面。使用鍍覆製程在所述連接件安裝區中的每一者之上形成連接件，其中所述連接件包括第二寬度，且其中所述第二寬度小於所述第一寬度。

【0090】 根據一些實施例，其中形成所述連接件包括：在所述內連結構的所述連接件安裝區及所述絕緣材料層之上形成光阻層；將所述光阻層圖案化，以暴露出所述連接件安裝區的一部分；經由經圖案化的所述光阻層來鍍覆所述連接件的材料；以及移除所述光阻層。根據一些實施例，所述方法更包括在形成所述光阻層之前，在所述內連結構的所述絕緣材料層及所述連接件安裝區之上形成晶種層。根據一些實施例，其中形成所述連接件包括在所述連接件安裝區之上形成多個金屬層。根據一些實施例，其中所述第二寬度較所述第一寬度少約 2 微米至約 10 微米。

【0091】 在某些實施例中，一種經封裝半導體元件包括：積體電路晶粒以及配置於所述積體電路晶粒周圍的模製材料。內連結構配置於所述積體電路晶粒及所述模製材料之上。所述內連結構包括配置於其上的多個連接件安裝區，其中所述多個連接件安裝區中的每一者包括第一寬度且具有實質上平的表面。所述多個連接件安裝區中的每一者之上配置有具有第二寬度的連接件，其中所述第二寬度小於所述第一寬度。所述連接件中的每一者包括第一金屬層及配置於所述第一金屬層之上的第二金屬層。

【0092】 在某些實施例中，一種經封裝半導體元件，包括積體電路晶粒、模製材料、內連結構以及多個連接件。所述模製材料配

置於所述積體電路晶粒周圍。所述內連結構配置於所述積體電路晶粒及所述模製材料之上。所述多個連接件配置於所述內連結構之上，其中所述多個連接件中的每一者經由所述內連結構的絕緣材料層耦接至所述內連結構的導電特徵，其中所述多個連接件中的每一者包括與所述內連結構靠近的具有第一寬度的第一部分及耦接至所述第一部分具有第二寬度的第二部分，且其中所述第二寬度小於所述第一寬度。

【0093】 一些實施例中，所述多個連接件的所述第一部分包括第一金屬層，且所述多個連接件的所述第二部分包括配置於所述第一金屬層之上的第二金屬層。一些實施例中，所述第一金屬層包含 Cu 或 Ni，或者其中所述第二金屬層包含 SnAg 或焊料。一些實施例中，所述多個連接件的所述第二部分更包括配置於所述第一金屬層與所述第二金屬層之間的第三金屬層。一些實施例中，所述第三金屬層包含 Cu、Ni 或焊料。一些實施例中，所述多個連接件的所述第二部分更包括配置於所述第二金屬層與所述第三金屬層之間的第四金屬層，且其中所述第四金屬層包含 Cu、Ni 或焊料。一些實施例中，所述積體電路晶粒包括第一積體電路晶粒，且其中所述經封裝半導體元件更包括耦接至所述多個連接件的經封裝第二積體電路晶粒。

【0094】 以上概述了若干實施例的特徵，以使熟習此項技術者可更佳地理解本發明的各個態樣。熟習此項技術者應知，他們可容易地使用本發明作為設計或修改其他製程及結構的基礎來施行與

本文中所介紹的實施例相同的目的及/或達成與本文中所介紹的實施例相同的優點。熟習此項技術者亦應認識到，該些等效構造並不背離本發明的精神及範圍，而且他們可在不背離本發明的精神及範圍的條件下對其作出各種改變、代替及變更。

【符號說明】

【0095】

100：經封裝半導體元件/第一經封裝半導體元件

100'：經封裝半導體元件

102：載體

102a：第一載體

102b：第二載體

104：積體電路晶粒/晶粒

104'：積體電路晶粒/第二積體電路晶粒/晶粒

106：導通孔

108：模製材料

108'：模製材料

110：內連結構/第一內連結構

110'：內連結構/第二內連結構

112：導線

114：導電通孔

115：連接墊

- 116：絕緣材料層/最上絕緣材料層
- 117、117'、122、122'：開口
- 118：晶種層
- 120a：光阻層/第一層光阻/光阻
- 120b：第二層光阻/光阻層/光阻
- 130：第一金屬層/金屬層
- 130'：第一金屬層
- 131a：第三部分
- 131b：第一部分
- 132：連接件安裝區
- 134、136、138：金屬層/第二金屬層
- 139：第二部分
- 140、140'、140''、162、240：連接件
- 142：單體化線
- 150：經封裝半導體元件/第二經封裝半導體元件
- 152：晶粒貼合膜或黏合劑
- 154：接觸焊墊/觸點
- 156：基底
- 158a、158b：接觸焊墊
- 164：基底或印刷電路板
- 170：疊層封裝元件
- 180、190：流程圖

181、182、183、184、185、186、191、192、193：步驟

d_0 、 d_1 、 d_3 、 d_4 ：尺寸

d_2 ：尺寸/第一寬度

d_5 ：尺寸/第二寬度

【發明申請專利範圍】

【第1項】 一種形成連接件的方法，所述方法包括：

在內連結構之上形成第一層光阻；

以用於連接件的第一部分的圖案將所述第一層光阻圖案化；

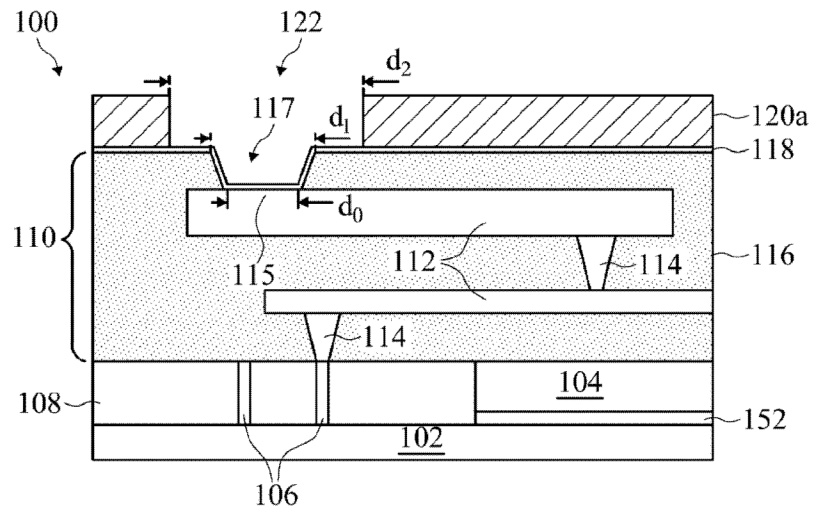
經由經圖案化的所述第一層光阻來鍍覆第一金屬層，以形成所述連接件的所述第一部分，所述連接件的所述第一部分包括第一寬度；

在所述內連結構及所述連接件的所述第一部分之上形成第二層光阻；

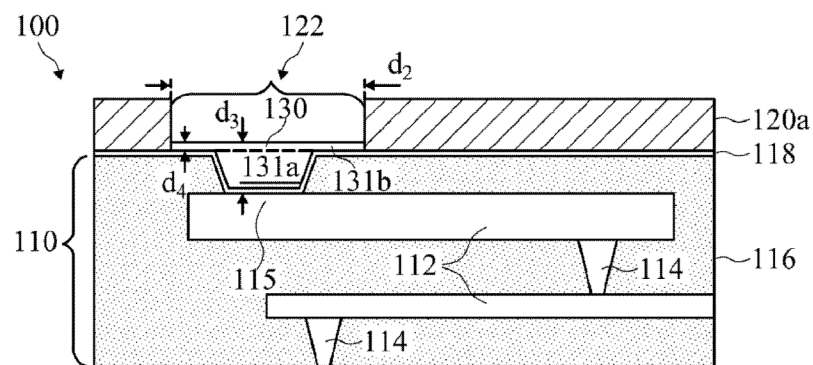
以用於所述連接件的第二部分的圖案將所述第二層光阻圖案化；以及

經由經圖案化的所述第二層光阻來鍍覆第二金屬層，以在所述連接件的所述第一部分之上形成所述連接件的所述第二部分，所述連接件的所述第二部分包括第二寬度，所述第二寬度小於所述第一寬度。

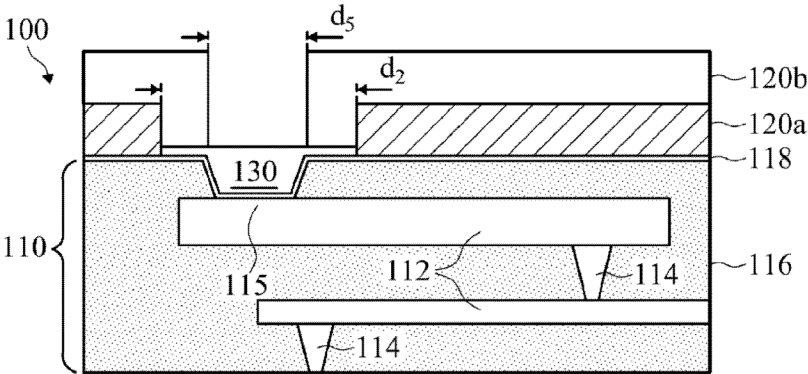
【發明圖式】



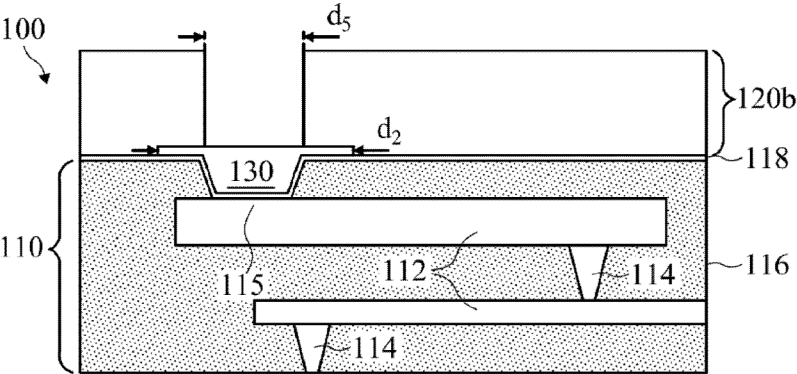
【圖1】



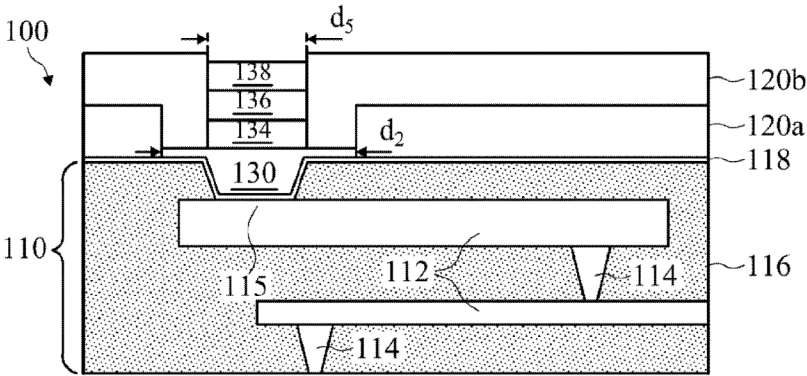
【圖2】



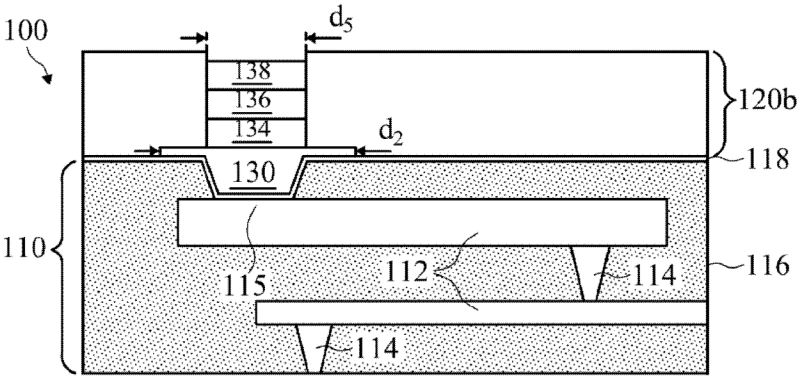
【圖3a】



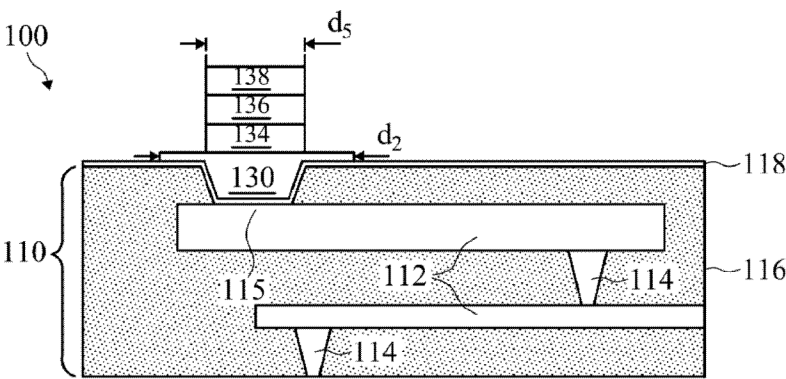
【圖3b】



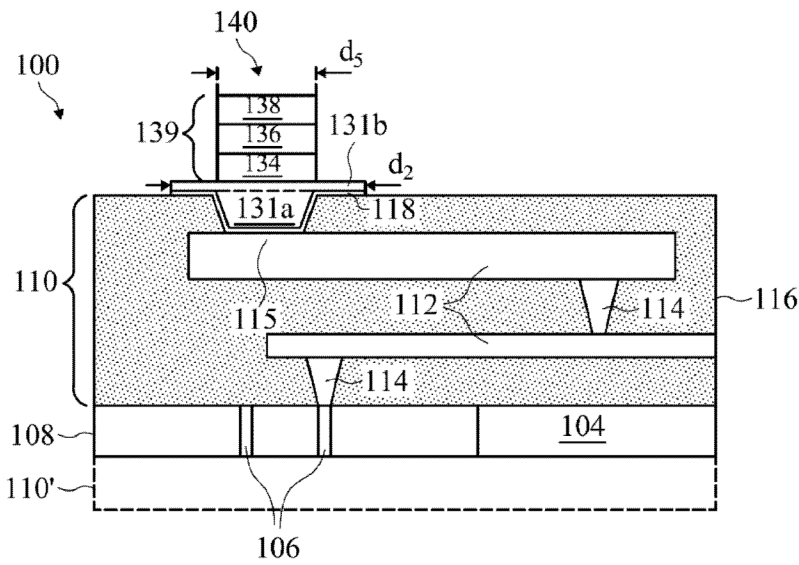
【圖4a】



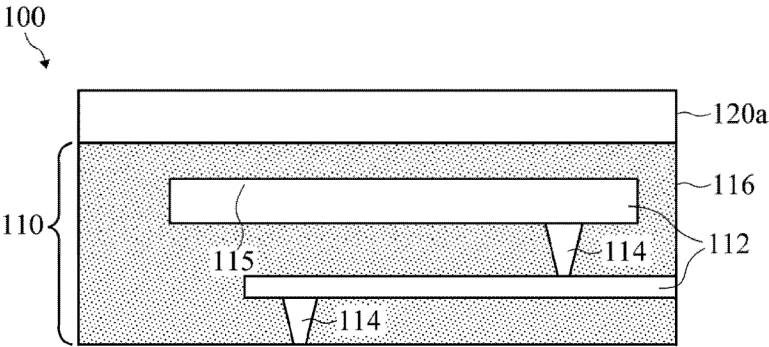
【圖4b】



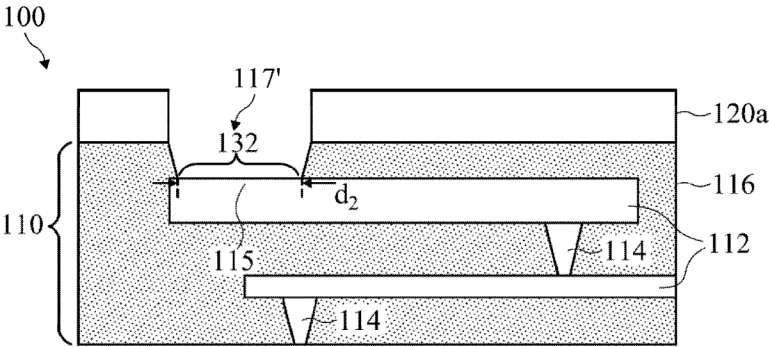
【圖5】



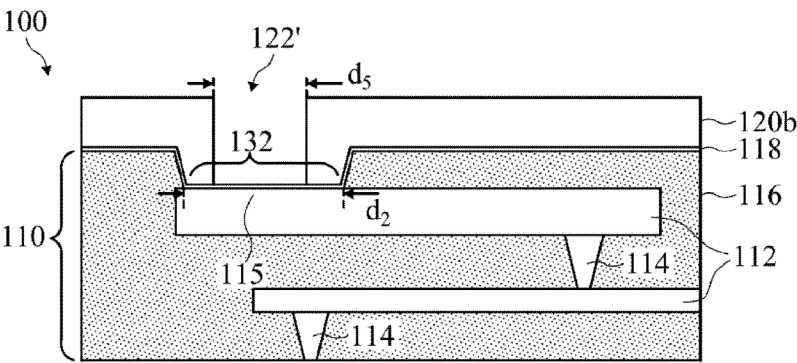
【圖6】



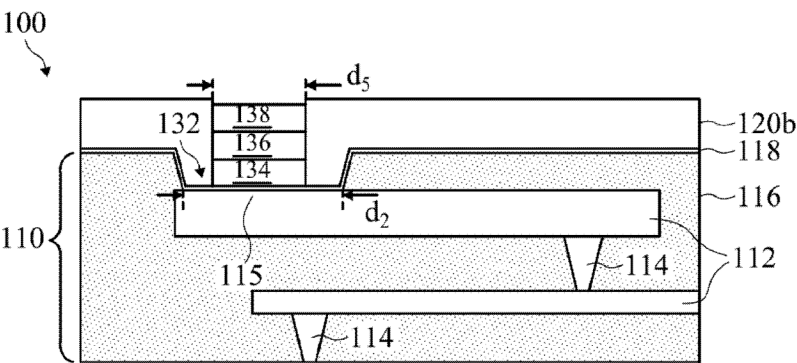
【圖7】



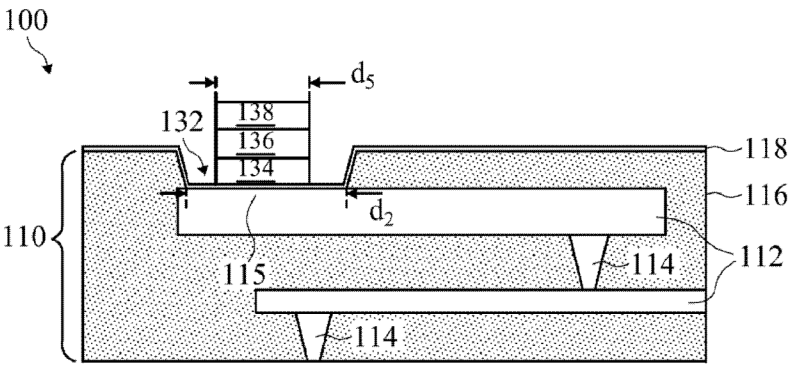
【圖8】



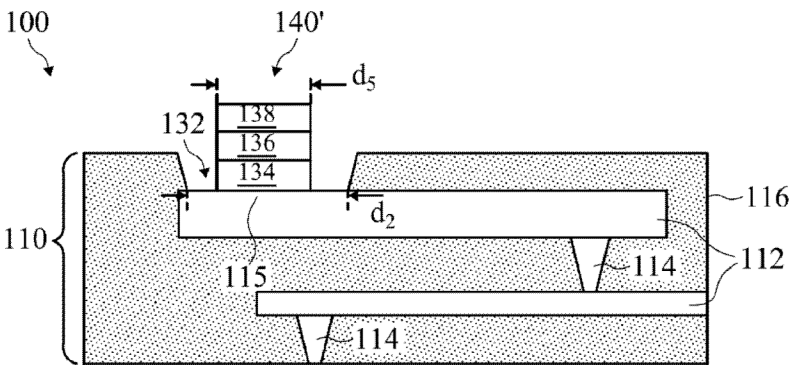
【圖9】



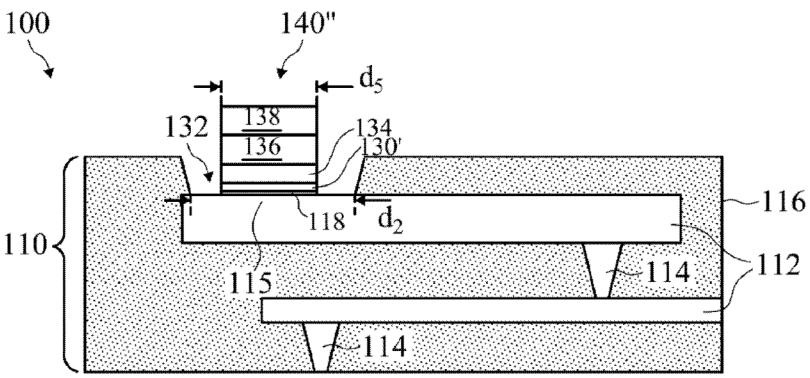
【圖10】



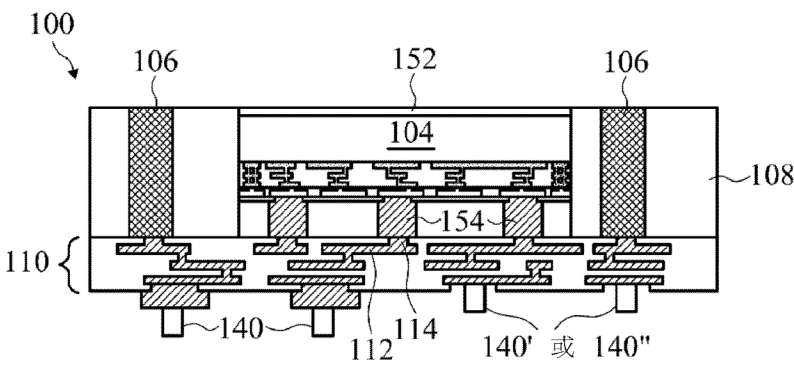
【圖11】



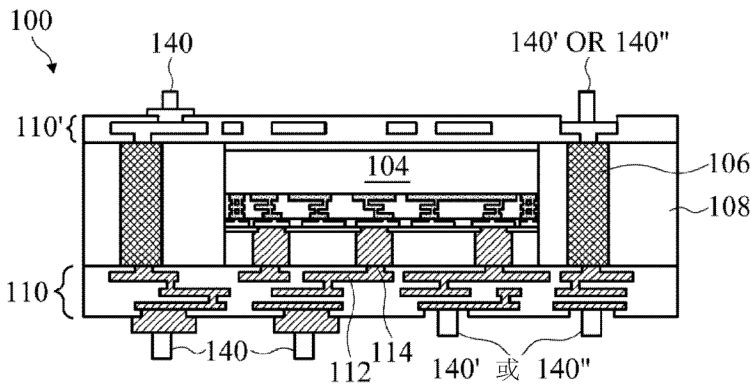
【圖12】



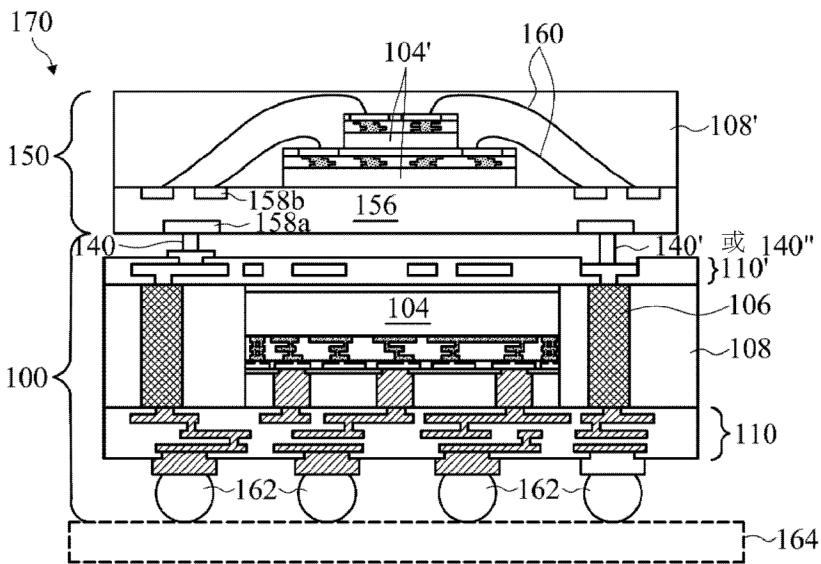
【圖13】



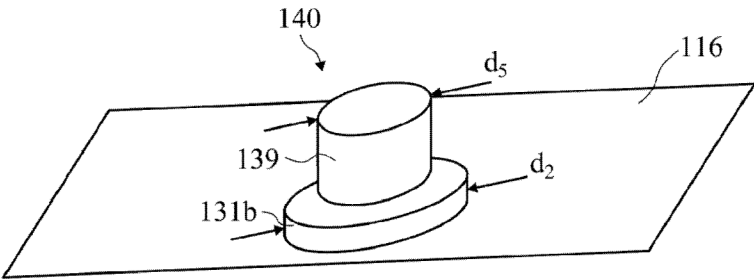
【圖14】



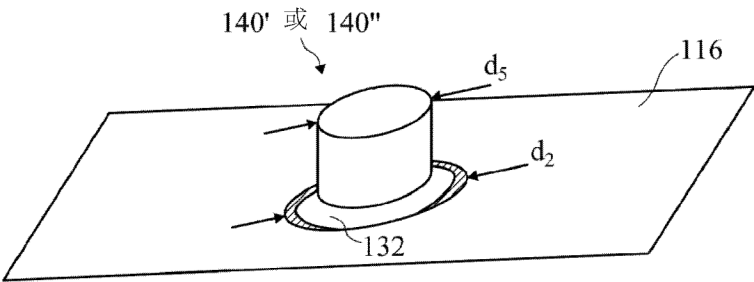
【圖15】



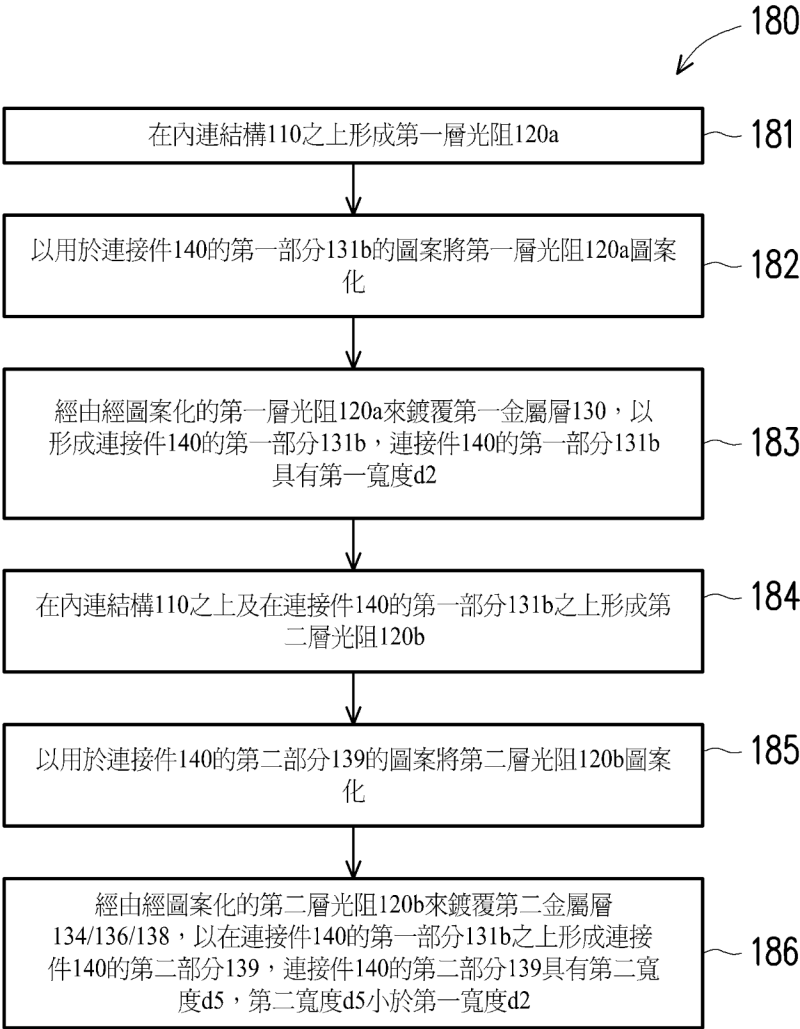
【圖16】



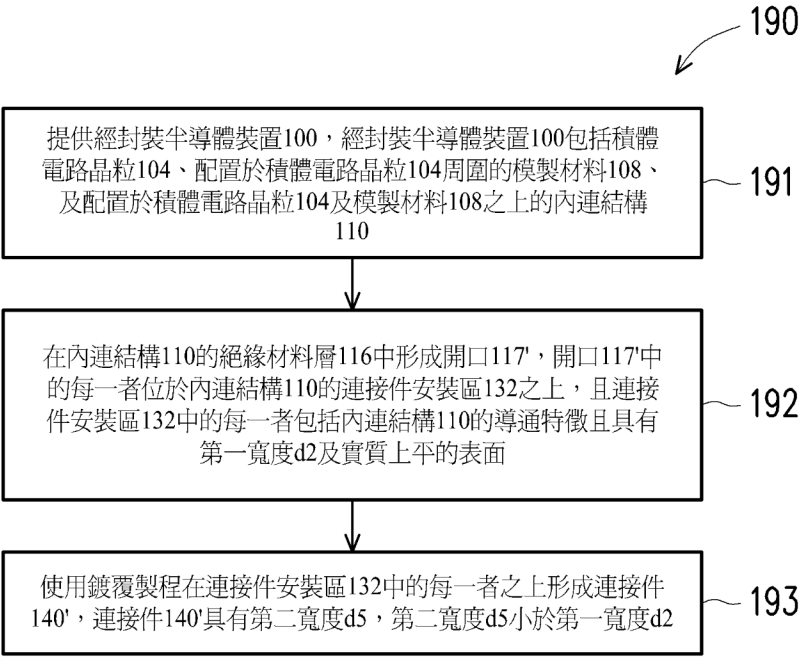
【圖17】



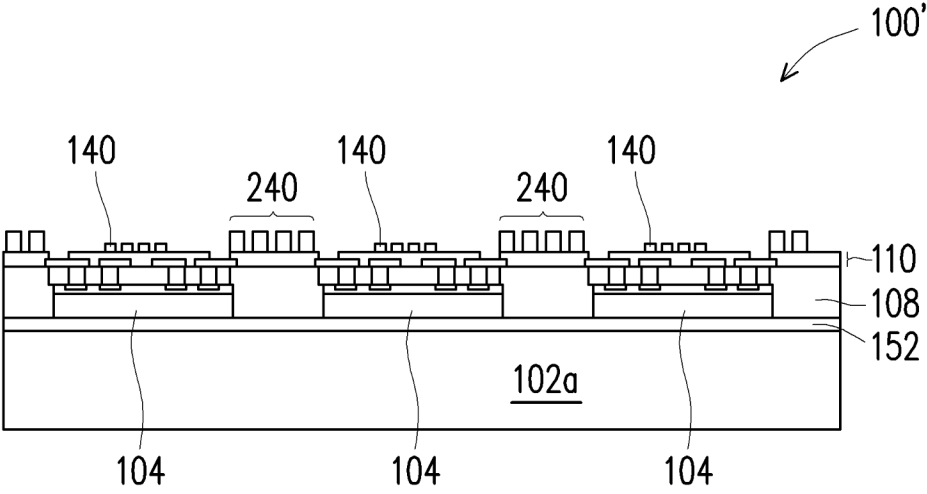
【圖18】



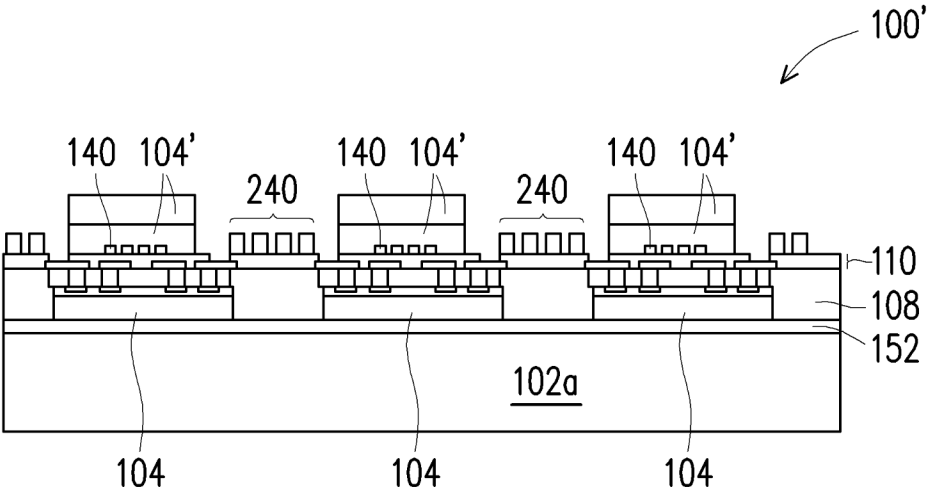
【圖19】



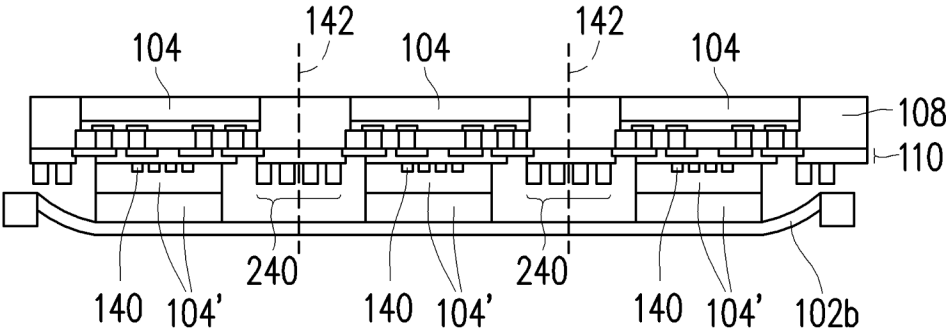
【圖20】



【圖21】



【圖22】



【圖23】