

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3892867号
(P3892867)

(45) 発行日 平成19年3月14日(2007.3.14)

(24) 登録日 平成18年12月15日(2006.12.15)

(51) Int. Cl.

F I

H O 1 L 21/8242 (2006.01)

H O 1 L 27/10 6 2 1 C

H O 1 L 27/108 (2006.01)

H O 1 L 27/10 6 8 1 F

H O 1 L 21/3205 (2006.01)

H O 1 L 21/88 K

H O 1 L 21/768 (2006.01)

H O 1 L 21/90 A

H O 1 L 27/10 (2006.01)

H O 1 L 27/10 4 6 1

請求項の数 7 (全 37 頁)

(21) 出願番号 特願2004-335811 (P2004-335811)
 (22) 出願日 平成16年11月19日(2004.11.19)
 (62) 分割の表示 特願平9-350537の分割
 原出願日 平成9年12月19日(1997.12.19)
 (65) 公開番号 特開2005-101647 (P2005-101647A)
 (43) 公開日 平成17年4月14日(2005.4.14)
 審査請求日 平成16年12月14日(2004.12.14)

早期審査対象出願

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 福田 琢也
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体事業部内
 (72) 発明者 大路 譲
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体事業部内
 (72) 発明者 小林 伸好
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体事業部内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用M I S F E Tが、前記半導体基板の周辺回路領域に周辺回路用M I S F E Tがそれぞれ形成され、

前記メモリセル選択用M I S F E Tと情報蓄積用容量素子とでD R A Mのメモリセルが構成され、

前記メモリセル選択用M I S F E Tおよび前記周辺回路用M I S F E Tを覆い、かつその表面が平坦化された第1絶縁膜が形成され、

前記メモリセルアレイ領域の前記第1絶縁膜上にビット線が、前記周辺回路領域の前記第1絶縁膜上に前記ビット線と同一の材料からなる第1層配線が形成され、

前記ビット線および前記第1層配線を覆い、かつその表面が平坦化された第2絶縁膜が前記メモリセルアレイ領域および前記周辺回路領域上に形成され、

ストッパ膜が前記メモリセルアレイ領域および前記周辺回路領域の前記第2絶縁膜の上部に形成され、

前記ストッパ膜上に絶縁膜が形成され、

前記絶縁膜により、前記情報蓄積用容量素子の下部電極、容量絶縁膜および上部電極が覆われるように形成され、

前記絶縁膜は、前記情報蓄積用容量素子を覆うように形成され、かつ前記情報蓄積用容量素子上および前記周辺回路領域上に表面が平坦化されて形成され、

前記周辺回路領域において、前記絶縁膜上に第2層配線が形成され、

10

20

前記周辺回路領域の前記絶縁膜、前記ストッパ膜および前記第2絶縁膜に溝が前記第1層配線を露出するように形成され、

前記溝内に導電層からなる導電部が、前記第2層配線および前記第1層配線に接続するように形成され、かつ前記導電部は前記溝内で一体に形成され、

前記ストッパ膜は前記下部電極を形成する際のエッチングストッパとして機能し、

前記下部電極は内面及び外面を有する側壁を有し、

前記下部電極の下には前記ストッパ膜が存在せず、前記下部電極の側壁に接する領域に前記ストッパ膜が存在し、

前記下部電極の側壁の内面及び外面上に容量絶縁膜、前記容量絶縁膜上に前記上部電極が形成され、

前記第1絶縁膜に前記メモリセル選択用MISFETの一方の半導体領域に接続される第1プラグが形成され、

前記ビット線は、前記第1プラグに接続され、

前記第1絶縁膜に、前記周辺回路用MISFETの半導体領域を露出する第1接続孔が形成され、前記第1層配線は前記第1接続孔を介して前記周辺回路用MISFETの半導体領域に接続されることを特徴とする半導体集積回路装置。

【請求項2】

請求項1において、

前記第1絶縁膜に、前記メモリセル選択用MISFETの他方の半導体領域に接続されるシリコン膜からなる第2プラグが形成され、

前記第2プラグは前記下部電極に接続されることを特徴とする半導体集積回路装置。

【請求項3】

請求項1において、

前記ストッパ膜は窒化シリコン膜であることを特徴とする半導体集積回路装置。

【請求項4】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用MISFETを、前記半導体基板の周辺回路領域に周辺回路用MISFETをそれぞれ形成する工程、

前記メモリセル選択用MISFETおよび前記周辺回路用MISFETを覆い、かつその表面が平坦化された第1絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第1絶縁膜上にビット線を、前記周辺回路領域の前記第1絶縁膜上に前記ビット線と同一の材料からなる第1層配線を形成する工程、

前記ビット線および前記第1層配線を覆い、かつその表面が平坦化された第2絶縁膜を前記メモリセルアレイ領域および前記周辺回路領域上に形成する工程、

ストッパ膜を前記メモリセルアレイ領域および前記周辺回路領域の前記第2絶縁膜の上部に形成する工程、

前記ストッパ膜上に第3絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第3絶縁膜および前記ストッパ膜をエッチングして溝を形成する工程、

前記溝の内壁および底部上に情報蓄積用容量素子の下部電極を形成する工程、

前記ストッパ膜をエッチングストッパとして前記第3絶縁膜をエッチングして前記下部電極を露出させる工程、

前記下部電極を覆う容量絶縁膜および上部電極を形成する工程、

前記情報蓄積用容量素子上および前記周辺回路領域上に、表面が平坦化された第4絶縁膜を形成する工程、

前記周辺回路領域において、前記平坦化された前記第4絶縁膜、前記ストッパ膜および前記第2絶縁膜に他の溝を前記第1層配線を露出するように形成し、前記他の溝の内部を含む前記第4絶縁膜上に導電層を堆積し、前記第4絶縁膜の表面上の前記導電層を除去して、前記他の溝内に前記導電層からなる導電部を、前記第1層配線に接続するように形成する工程、

を含み、

10

20

30

40

50

前記メモリセル選択用M I S F E Tと前記情報蓄積用容量素子とでD R A Mのメモリセルが構成され、

前記周辺回路領域において、前記第4絶縁膜上に第2層配線が形成され、

前記導電部は前記他の溝内で一体に形成され、かつ前記第2層配線および前記第1層配線に接続され、

前記下部電極の下には前記ストッパ膜が存在せず、前記下部電極の側壁に接する領域に前記ストッパ膜が存在し、

前記第1絶縁膜に前記メモリセル選択用M I S F E Tの一方の半導体領域に接続される第1プラグが形成され、

前記ビット線は、前記第1プラグに接続され、

前記第1絶縁膜に、前記周辺回路用M I S F E Tの半導体領域を露出する第1接続孔が形成され、前記第1層配線は第1接続孔を介して前記周辺回路用M I S F E Tの半導体領域に接続されることを特徴とする半導体集積回路装置の製造方法。

【請求項5】

請求項4において、

前記下部電極を露出させる工程は、前記周辺回路領域の前記第3絶縁膜が除去されるように行われることを特徴とする半導体集積回路装置の製造方法。

【請求項6】

請求項4において、

前記第1絶縁膜に、前記メモリセル選択用M I S F E Tの他方の半導体領域に接続されるシリコン膜からなる第2プラグが形成され、

前記第2プラグは前記下部電極に接続されることを特徴とする半導体集積回路装置の製造方法。

【請求項7】

請求項4において、

前記ストッパ膜は窒化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、いわゆるC O B (Capacitor Over Bitline) 構造を有するD R A M (Dynamic Random Access Memory)、あるいは、そのようなD R A Mと論理制御回路または論理演算回路等のロジック回路とが1つの半導体基板に混載された半導体集積回路装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

D R A Mのメモリセルは、一般に、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置され、1個のメモリセル選択用M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) とこれに直列に接続された1個の情報蓄積用容量素子 (キャパシタ) とで構成されている。メモリセル選択用M I S F E Tは、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域で構成されている。ビット線は、メモリセル選択用M I S F E Tの上部に配置され、その延在方向に隣接する2個のメモリセル選択用M I S F E Tによって共有されるソース、ドレインの一方と電気的に接続されている。情報蓄積用容量素子は、同じくメモリセル選択用M I S F E Tの上部に配置され、上記ソース、ドレインの他方と電気的に接続されている。

【0003】

特開平7 - 7 0 8 4号公報 (特許文献1) は、ビット線の上部に情報蓄積用容量素子を

10

20

30

40

50

配置するキャパシタ・オーバー・ビットライン（C O B ; Capacitor Over Bitline）構造のD R A Mを開示している。この公報に記載されたD R A Mでは、キャパシタの下部電極（蓄積電極）が上方に開口を有する円筒形状に加工され、これによってその表面積を増加して、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量（C s）の減少を補い、半導体記憶装置としての動作信頼度を確保している。また、下部電極に接して容量絶縁膜が形成され、その上部に上部電極（プレート電極）が形成されている。

【 0 0 0 4 】

このような円筒形状の下部電極を有するキャパシタは、その形状に由来して必然的に立体化される。この立体化のために、キャパシタが形成されるメモリセルアレイ領域と、周辺回路領域等それ以外の領域との間に、キャパシタの高さに相当する段差が発生する。

10

【 0 0 0 5 】

このような段差が存在すれば、キャパシタの形成後に形成される配線層のパターニングの際に露光焦点の合わせが困難になり、微細な配線パターンが得られなくなる。半導体集積回路装置の微細化の進展に伴って単位面積あたりに確保する必要がある蓄積容量値が大きくなり、このためキャパシタ高さがさらに高くなり、他方、配線パターンの微細化によって許容される露光焦点の合わせ余裕の値が益々厳しいものとなる。したがって、前記段差を緩和する手段は、C O B構造のメモリセル構造を採用する限り必須の技術課題となる。

【 0 0 0 6 】

前記段差を緩和できる技術として以下のような技術が知られている。たとえば、平成 5 年 1 0 月 2 6 日、工業調査会発行、「やさしいU L S I技術」、p 1 5 5 ~ p 1 6 4（非特許文献 1）に記載されているように、S O G（Spin On Glass）膜あるいは低融点ガラスの塗布および熔融による塗布法、ガラスフローによる熱処理法、C V D（Chemical Vapor Deposition）の表面反応メカニズムを適用して自己平坦化させる方法等が知られ、たとえば、特開平 7 - 1 2 2 6 5 4 号公報（特許文献 2）には、B P S G（Boron-doped Phospho-Silicate Glass）膜のリフローによる平坦化とスピノングラス膜（S O G膜）による平坦化とを組み合わせることで段差の低減を図る技術が開示されている。

20

【 0 0 0 7 】

また、たとえば、平成 8 年 5 月 1 日、工業調査会発行、「電子材料」1 9 9 6 年 5 月号、p 2 2 ~ p 2 7（非特許文献 2）に記載されているように、フォトレジスト犠牲膜、S O G膜あるいは自己平坦化C V D膜の堆積とエッチバック法とを組み合わせる方法およびC M P（Chemical Mechanical Polishing）法が知られている。

30

【 0 0 0 8 】

しかし、S O G膜あるいは低融点ガラスの塗布および熔融による塗布法では、微細な凹凸を埋め込む（平坦化）することはできても、周辺回路領域のように広い面積の凹部を埋め込むことはできず、前記のような段差の緩和には顕著な効果を期待できない。すなわち、キャパシタの高さに起因するメモリセルアレイ領域と周辺回路領域との絶対段差は解消されず、たとえばメモリセルアレイ上に配置される配線をパターニングする際、焦点深度の余裕が十分にとれない関係から、微細な配線パターンを得ることは困難である。

【 0 0 0 9 】

40

また、ガラスフローによる熱処理法（たとえばB P S Gのリフロー膜）、あるいはB P S G膜のリフローによる平坦化とスピノングラス膜（S O G膜）による平坦化とを組み合わせることで段差の低減を図る技術では、B P S G膜のリフローの際に高い温度の熱処理が必要となり、今後の高集積化されたD R A Mにおいてゲート、プラグあるいはキャパシタの材料としてメタル系材料が用いられることを考慮すれば、そのような高温プロセスを採用することによるメタル系材料の好ましくない反応が生じ、D R A Mの性能を向上できない恐れがある。

【 0 0 1 0 】

また、C V Dの表面反応メカニズムを適用して自己平坦化させる方法、あるいは、フォトレジスト犠牲膜、S O G膜、自己平坦化C V D膜の堆積とエッチバック法とを組み合わせ

50

せた方法では、プロセスが複雑となり、安定な工程の実現という観点から好ましくない。

【0011】

そこで、比較的安定な工程を得ることができ、また、原理的にウェハ全面での平坦性を得ることが可能なCMP法を段差の解消に適用する技術が有望視される。

【特許文献1】特開平7-7084号公報

【特許文献2】特開平7-122654号公報

【非特許文献1】平成5年10月26日、工業調査会発行、「やさしいULSI技術」、p155～p164

【非特許文献2】平成8年5月1日、工業調査会発行、「電子材料」1996年5月号、p22～p27

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかし、CMP法で前記段差を解消した場合には、メモリセルアレイ領域以外の領域にキャパシタと同層に形成される絶縁膜の厚さが、キャパシタ高さと同等あるいはそれ以上となって、相当に厚くなる。微細化されたDRAMにおいてはキャパシタ高さを高くして蓄積容量を確保する必要上その厚さは1 μ mにまでおよぶ場合も生じる。このため、キャパシタ形成工程の前に形成された第1層配線と、完全平坦化が実現された絶縁膜上の配線(第2層配線)とを接続する場合には、キャパシタの段差を反映した厚い絶縁膜に接続孔を開く必要がある。その接続孔のアスペクト比(接続孔開口径に対する接続孔の深さ)が大きくなってしまふ。すなわち、第1層配線と第2層配線とをプラグを用いて接続する場合であっても高いアスペクト比のプラグで接続することとなり、このような高いアスペクト比のプラグを形成するために、歩留りの低下を招く恐れが存在する。

【0013】

また、DRAMと論理制御回路または論理演算回路等のロジック回路とが1つの半導体基板に混載された半導体集積回路装置にあっては、ロジック回路部は、DRAMの周辺回路と同様に高いアスペクト比のプラグによって第1層配線と第2層配線とが接続されることとなる。このような高いアスペクト比のプラグで配線が接続されれば、その抵抗によって、ロジック回路の高速応答性等の性能が阻害されることとなる。

【0014】

なお、特開平9-92794号公報には、段差の低減および蓄積電極の加工工程の簡略化のために、キャパシタを掘込み型とし、キャパシタ形成用の凹部と配線溝とを同時に形成する方法が開示されているが、円筒型の蓄積電極(下部電極)の内外面を利用するキャパシタの形成には不适当であり、また、キャパシタを形成した後に配線(第2層配線)を形成する際には、CMP法を用いることができないという不具合がある。また、前記公報の技術によりキャパシタの下部電極を周辺回路の第2層配線と同時に形成した場合には、その第2層配線の形成工程の後にキャパシタの容量絶縁膜の形成を行うこととなる。キャパシタの蓄積電荷の増大を考慮して酸化タンタル等の酸化物金属で容量絶縁膜を構成した場合には、必然的に高い温度の熱処理工程を実施する必要がある。第2層配線に低抵抗な銅あるいはアルミニウム等の金属材料を用いることは、熱的拡散性及び軟化の観点から採用できない。

【0015】

本発明の目的は、COB構造のメモリセルを有する半導体集積回路装置において、立体化されたキャパシタと同層に形成された厚い絶縁膜を挟んで配置される第1層配線と第2層配線との接続信頼性を向上することにある。

【0016】

また、本発明の目的は、前記第1層配線と第2層配線との接続孔部分の抵抗を低減することにある。

【0017】

また、本発明の目的は、第2層配線以上の配線の配線抵抗を低減することにある。

【 0 0 1 8 】

また、本発明の目的は、第2層配線の形成工程を高い熱処理工程が必要なキャパシタの形成工程以降とし、熱拡散係数の大きな材料であっても第2層配線に用いることが可能な技術を提供することにある。

【 0 0 1 9 】

また、本発明の目的は、C O B構造のメモリセルを有するD R A Mと同一の基板に形成される周辺回路、あるいはロジック回路の高速応答性能を向上することにある。

【 0 0 2 0 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 2 1 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 2 2 】

(1) 本発明の半導体集積回路装置は、半導体基板のメモリセルアレイ領域に形成されたメモリセル選択用M I S F E Tと、メモリセルアレイ領域の周辺の周辺回路領域に形成された周辺回路用M I S F E Tと、メモリセル選択用M I S F E Tおよび周辺回路用M I S F E Tを覆う第1層間絶縁膜と、メモリセルアレイ領域の第1層間絶縁膜上に形成されたビット線と、ビット線上に形成され、メモリセル選択用M I S F E Tの一方のソース・ドレイン領域に電氣的に接続された下部電極を備えた情報蓄積用容量素子と、情報蓄積用容量素子と同層に形成され、情報蓄積用容量素子の高さに起因するメモリセルアレイ領域と周辺回路領域との段差を緩和または解消する第1の部分、および情報蓄積用容量素子を覆う第2の部分を含む第2層間絶縁膜とを有する半導体集積回路装置であって、第2層間絶縁膜の表面が平坦化され、かつ、第2層間絶縁膜の表面近傍に配線溝が形成されており、配線溝の内部には、表面と同一面内にその表面を有する配線が形成されているものである。

【 0 0 2 3 】

また、本発明の半導体集積回路装置は、前記した半導体集積回路装置のメモリセルアレイ領域および周辺回路領域以外に、演算回路その他のロジック回路を構成するロジック回路用M I S F E Tが形成されたロジック回路領域を有し、このロジック回路領域の第2層間絶縁膜についても、その表面が平坦化され、かつ、その表面近傍に配線溝が形成され、配線溝の内部には、表面と同一面内にその表面を有する配線が形成されているものである。

【 0 0 2 4 】

このような半導体集積回路装置によれば、第2層間絶縁膜の表面が平坦化されているため、メモリセルアレイ領域とその他の領域との間に情報蓄積用容量素子の起因する段差が形成されず、このような段差が存在した場合には生ずるであろう露光光の焦点ずれが発生しない。このため、第2層間絶縁膜上に形成される配線等のパターンニングを精密に行うことができる。これにより微細な配線等を形成して半導体集積回路装置の高集積化および高性能化に対応することが可能となる。

【 0 0 2 5 】

ただし、このように第2層間絶縁膜の表面を平坦化すれば、周辺回路領域あるいはロジック回路領域についての第2層間絶縁膜の膜厚が前記段差に相当する寸法だけ厚くなり、何ら対策を施さない従来技術の場合には第2層間絶縁膜上に形成する配線とその下部部材とを接続する接続孔を高いアスペクト比で加工する必要があることは前記したとおりである。

【 0 0 2 6 】

しかし、本発明では、第2層間絶縁膜の表面を平坦化するとともにその表面近傍に配線溝を形成し、この配線溝に第2層間絶縁膜の表面と同一の平面内にその表面を有する配線

10

20

30

40

50

が形成されるため、第2層間絶縁膜の下部の部材と、配線底部との距離が短くなり、配線と前記部材とを接続する接続部の長さを短くできる。これにより、接続部を形成する接続孔の長さを短くしてその加工を容易とし、加工不良の発生を抑制して半導体集積回路装置の製造歩留まりと信頼性を向上できる。また、接続部の長さが短くなることから、その接続部の抵抗が低くなり、配線と前記部材との接続抵抗を低減して半導体集積回路装置の高速応答性等の性能を向上できる。

【0027】

また、前記配線はメモリセルアレイ領域には形成されず、周辺回路領域にのみ、または周辺回路領域およびロジック回路領域にのみ形成することができる。これにより、周辺回路領域またはロジック回路領域での配線および接続部の抵抗値を低減して周辺回路およびロジック回路の高速応答性能を向上できる。特にロジック回路部分の高速応答性能の向上は、そのまま演算速度の向上等、半導体集積回路装置の性能向上に直接影響し、重要である。

10

【0028】

また、配線の底面は、情報蓄積用容量素子の上面よりも下方に位置するものとしてすることができる。このように、配線底面を情報蓄積用容量素子の上面よりも下方に位置させることにより、配線底面からその下部に位置する部材に向けて接続する接続部の長さを、より短くすることができる。接続部の長さの短縮は、前記したとおり半導体集積回路装置の歩留まりおよび信頼性の向上、および性能向上に寄与するため、この長さをさらに短くすることは、前記効果をより顕著に発現させることができることを意味する。

20

【0029】

また、周辺回路領域、または、周辺回路領域およびロジック回路領域の第1層間絶縁膜上には、ビット線と同一の材料からなる第1層配線が形成され、配線は、第1層配線の上部に形成された第2層配線とすることができる。このように、第1層間絶縁膜上にビット線と同一材料の第1層配線を形成することにより、第1層配線の形成工程をビット線の形成工程と同一にして、工程を簡略化することが可能となる。また、前記配線を第2層配線とし、第2層配線と接続される下部部材を、第1層配線とすることにより、第2層配線と第1層配線との間、すなわち接続部の長さを短くできる。これにより、接続孔の形成工程の容易化による製造歩留まりおよび信頼性の向上、接続部の長さ短縮化による直列抵抗の低減、それに基づく半導体集積回路装置の性能向上をより顕著に図ることができる。

30

【0030】

なお、配線（あるいは第2層配線）と接続部とは、配線が配線溝に、接続部が接続孔にそれぞれ形成され、一体として形成されたものとしてすることができる。すなわち、配線溝の下部に接続孔を形成し、配線または第2層配線は、接続孔の内部に配線または第2層配線と一体に形成された接続部を介して周辺回路用MISFET、ロジック回路用MISFETまたは第1層配線に接続されているものとしてすることができる。このような配線および接続部は、後に説明するように、いわゆるダマシン法（特に配線と接続部とを一体で形成するデュアルダマシン法）で形成することが可能である。

【0031】

また、配線およびその接続部または第2層配線およびその接続部は、銅を主導電層とする金属導電体とすることができ、この場合、銅からなる主導電層と配線溝および接続孔との界面には、タンタル膜、ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜から選択された何れか1つのまたは複数の薄膜を形成することができる。また、配線または第2層配線の表面をシリコン窒化膜で覆うことができる。

40

【0032】

銅を主導電層とすることにより配線および接続部の抵抗値を低減し、半導体集積回路装置の性能を向上できる。特にロジック回路部分での性能向上は、その要求が強く期待されており、技術的效果が大きい。また、タンタル膜、ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜から選択された何れか1つのまたは複数の薄膜は、銅に対するブロッキング層として機能するものである。これにより銅の層間絶縁膜等への拡散を

50

防止して、半導体集積回路装置の信頼性を向上できる。特に、タンタル膜およびニオブ膜は、タンタルおよびニオブと銅との化学結合が安定に存在し、タンタル／銅界面（ニオブ／銅界面）での銅原子の移動が抑制される。このため、銅の拡散のみならず、エレクトロマイグレーションに対してもその抑制効果が大きく、その結果、耐エレクトロマイグレーションに優れた高い信頼性の半導体集積回路装置を得ることができる。さらに、配線または第2層配線の表面をシリコン窒化膜で覆うことにより、銅の上方への拡散を抑制することができる。

【0033】

また、配線およびその接続部または第2層配線およびその接続部は、アルミニウムを主導電層とする金属導電体とすることができ、この場合、アルミニウムからなる主導電層と配線溝および接続孔との界面には、窒化チタン膜を形成することができる。

10

【0034】

アルミニウムを主導電層とすることにより配線および接続部の抵抗値を低減し、半導体集積回路装置の性能を向上できる。特にロジック回路部分での性能向上は、その要求が強く期待されており、技術的效果が大きい。また、窒化チタン膜は後に説明するアルミニウムを高圧力下で接続孔に埋め込む際のウェットティング層として機能させることができる。

【0035】

なお、下部電極は、上方に開孔を有する筒形状を有するものとしてすることができる。このような上方に開孔を有する筒形状の下部電極は大きな表面積を得ることができることから今後のDRAMの高集積化には有利な形状であるが必然的に立体的な形状となり、そのため、情報蓄積用容量素子に起因する段差も高くなる。よって、本発明を適用した場合の効果

20

が特に顕著になる下部電極の形状である。

【0036】

また、配線または第2層配線の上層には、さらに、その表面近傍に配線溝を有する上層層間絶縁膜、および、配線溝内に形成されその表面と上層層間絶縁膜の表面とがほぼ同一平面内にある上層配線が形成されてもよい。このように第2層配線以上の第3あるいは第4層配線をも前記した第2層配線（配線）と同様としてその直列抵抗を低減し、半導体集積回路装置の性能を向上できる。

【0037】

(2) 本発明の半導体集積回路装置の製造方法は、半導体基板の主面のメモリセルアレイ領域にメモリセル選択用MISFETを、半導体基板の周辺回路領域またはロジック回路領域に周辺回路用MISFETまたはロジック回路用MISFETをそれぞれ形成する工程、メモリセル選択用MISFETおよび周辺回路用MISFETまたはロジック回路用MISFETを覆う第1絶縁膜を形成する工程、メモリセルアレイ領域の第1絶縁膜上にビット線を形成する工程、ビット線を覆う第2絶縁膜を形成する工程、メモリセルアレイ領域の第2絶縁膜上に情報蓄積用容量素子の下部電極、下部電極を覆う容量絶縁膜および上部電極を形成する工程、情報蓄積用容量素子上に第3絶縁膜を形成する工程、を含む半導体集積回路装置の製造方法であって、第3絶縁膜の表面をCMP法で平坦化した後、周辺回路領域またはロジック回路領域の平坦化された第3絶縁膜およびその下層絶縁膜に配線溝および接続孔を形成し、配線溝および接続孔の内部を含む第3絶縁膜上に第1導電層および第2導電層を順次堆積し、第3絶縁膜の表面上の第1および第2導電層をCMP法により除去して、配線溝内に第1および第2導電層からなる配線を、接続孔内に第1および第2導電層からなる接続部を形成する工程、を含むものである。

30

40

【0038】

このような半導体集積回路装置の製造方法によれば、いわゆるデュアルダマシン法で配線を形成し、前記(1)で記載した半導体集積回路装置を形成できる。

【0039】

また、本製造方法によれば、配線は、情報蓄積用容量素子を形成した後に形成されるため、情報蓄積用容量素子の形成の際に通常行われる高い温度の熱処理により配線が影響を受けない。逆にいえば、情報蓄積用容量素子の形成の際に未だ配線は形成されて

50

いないため、配線の耐熱性を考慮して情報蓄積用容量素子の形成の際の熱工程を制限する必要がない。これにより情報蓄積用容量素子の形成の際には十分に高い温度の熱処理（たとえば700 程度）を施して蓄積容量の大きい情報蓄積用容量素子を形成することができ、一方、配線には耐熱性には劣るが低い導電率を有した材料、たとえば銅、アルミニウム等を使用して配線抵抗を低減し、半導体集積回路装置の性能を向上できる。このような製造方法により、融点の低いアルミニウムあるいは拡散速度の速い銅を配線材料に用いることが可能となる。

【0040】

さらに、本製造方法では、配線溝を形成した後に接続孔を形成するため、配線溝の深さに相当する分だけ接続孔の深さが緩和される。このため接続孔の加工工程を容易にして加工不良による半導体集積回路装置の歩留まりの低下を抑制することができる。また、接続孔に形成される接続部の長さが短縮されるため配線とそれが接続部により接続される下部部材との間の直列抵抗を低減して半導体集積回路装置の性能を向上できる。

10

【0041】

なお、第3絶縁膜の平坦化の際には、情報蓄積用容量素子に起因する段差が解消されるが、このような段差を解消するには、第3絶縁膜の堆積前にその段差に相当する絶縁膜をあらかじめ形成する方法がある。すなわち、第3絶縁膜の堆積前に、周辺回路領域またはロジック回路領域に情報蓄積用容量素子と同層に形成される第4絶縁膜を形成し、メモリセルアレイ領域と周辺回路領域またはロジック回路領域との間の情報蓄積用容量素子の高さに起因する段差を緩和または解消することができる。

20

【0042】

この段差の解消方法つまり第4絶縁膜の形成方法としては、第4絶縁膜を、情報蓄積用容量素子の下部電極の形成の際に円筒形状の溝が形成される絶縁膜とする方法とすることができる。この方法によれば、情報蓄積用容量素子の下部電極を上方に開口を有する筒形状にする場合、第4絶縁膜を別途形成する必要はなく、下部電極を形成する際に必要な第4絶縁膜を段差の緩和にも用いるものであり、工程を簡略化することができる。特に、第3絶縁膜の堆積およびCMP法による研磨の際には、あらかじめ第4絶縁膜で段差の緩和が行われているため、CMP工程による第3絶縁膜の研磨量が多くならず、CMP工程の工程負荷を低減できる。

【0043】

30

また、第3絶縁膜を、情報蓄積用容量素子を覆い、情報蓄積用容量素子の高さに相当する寸法以上の膜厚で堆積されるものとして、段差を解消することもできる。この場合、段差の解消は第3絶縁膜の堆積および第3絶縁膜のCMP法による研磨のみで行う。この場合のCMP法による研磨は、メモリセルアレイ領域上の第3絶縁膜の膜厚が相当に厚いため、CMP法での平坦性を確保することが困難になる場合も生じる。このような場合には、周辺回路領域あるいはロジック回路領域にのみCMP法による研磨の研磨速度調整層（たとえば第3絶縁膜の代表的な材料であるシリコン酸化膜よりも研磨速度の遅いシリコン窒化膜）を堆積することができる。

【0044】

また、上記半導体集積回路装置の製造方法において、ビット線の形成と同時に、周辺回路領域またはロジック回路領域の第1絶縁膜上に、ビット線と同一の材料からなる第1層配線を形成し、接続部は、第1層配線に接続されるものとして行うことができる。このような半導体集積回路装置の製造方法によれば、接続部の長さが短縮化できる。すなわち、接続部が形成される接続孔の深さを低減して、接続孔の形成工程を容易にして加工不良の発生を抑制し、半導体集積回路装置の歩留まりを向上できる。

40

【0045】

また、第1導電層を、窒化チタン膜とし、第2導電層をアルミニウム膜とすることができる。この場合、アルミニウム膜の堆積後に、半導体基板を高圧力化に保持し、アルミニウム膜を接続孔内に埋め込むことができる。

【0046】

50

あるいは、第1導電層を、タンタル膜、ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜から選択された何れか1つのまたは複数の薄膜とし、第2導電層を銅膜とすることができる。この場合、銅膜は、メッキ法により堆積することができる。メッキ法には電解メッキ法、あるいは無電解メッキ法が例示できる。さらに、第3絶縁膜および配線にシリコン窒化膜を堆積することができる。

【発明の効果】

【0047】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0048】

(1) COB構造のメモリセルを有する半導体集積回路装置において、立体化されたキャパシタと同層に形成された厚い絶縁膜を挟んで配置される第1層配線と第2層配線との接続信頼性を向上できる。

【0049】

(2) 第1層配線と第2層配線との接続孔部分の抵抗を低減できる。

【0050】

(3) 第2層配線以上の配線の配線抵抗を低減できる。

【0051】

(4) 第2層配線の形成工程を高い熱処理工程が必要なキャパシタの形成工程以降とし、熱拡散係数の大きな材料あるいは熱流動性のある材料であっても第2層配線に用いることが可能となる。

【0052】

(5) COB構造のメモリセルを有するDRAMと同一の基板に形成される周辺回路、あるいはロジック回路の高速応答性能を向上できる。

【0053】

また、上記効果は、特に工程数を増加することなく達成できる。

【発明を実施するための最良の形態】

【0054】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0055】

(実施の形態1)

図1は、本発明の一実施の形態であるDRAMを形成した半導体チップ全体の一例を示した平面図である。本実施の形態のDRAMは、256Mbitの記憶容量を有し、その外形サイズは、たとえば $12 \times 5 \text{ mm}^2$ であり、メモリ占有率は58%である。図示のように、単結晶シリコンからなる半導体チップ1Aの主面には、X方向(半導体チップ1Aの長辺方向)およびY方向(半導体チップ1Aの短辺方向)に沿って多数のメモリアレイMARYがマトリクス状に配置されている。X方向に沿って互いに隣接するメモリアレイMARYの間にはセンスアンプSAが配置され、センスアンプSAに接続されるビット線BLには512個のメモリセルがつながっている。ワード線に階層ワード構造が採用されている場合にはY方向に沿って互いに隣接するメモリアレイMARYの間にはサブワードデコーダSWDが配置されている。また、半導体チップ1Aの主面の中央部には、ワードドライバWD、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【0056】

図2は、本実施の形態1のDRAMの等価回路図である。図示のように、このDRAMのメモリアレイ(MARY)は、マトリクス状に配置された複数のワード線WL(WLn-1、WLn、WLn+1...)と複数のビット線BLおよびそれらの交点に配置された複数のメモリセル(MC)により構成されている。1ビットの情報を記憶する1個のメモリセル

10

20

30

40

50

は、１個のキャパシタＣとこれに直列に接続された１個のメモリセル選択用ＭＩＳＦＥＴＱｓとで構成されている。メモリセル選択用ＭＩＳＦＥＴＱｓのソース、ドレインの一方は、キャパシタＣと電氣的に接続され、他方はビット線ＢＬと電氣的に接続されている。ワード線ＷＬの一端は、ワードドライバＷＤに接続され、ビット線ＢＬの一端は、センスアンプＳＡに接続されている。

【００５７】

図３は、本実施の形態１のＤＲＡＭの要部断面図である。図３において、Ａ領域はメモリアレイＭＡＲＹの一部を示し、Ｂ領域は周辺回路の一部を示す。

【００５８】

p形の単結晶シリコンからなる半導体基板１の主面には、Ａ領域のp形ウェル２、Ｂ領域のp形ウェル３およびn形ウェル４が形成されている。また、p形ウェル２を囲むようにn形のディープウェル６が形成されている。なお、各ウェルには、しきい値電圧調整層が形成されていてもよい。

【００５９】

各ウェルの主面には、分離領域７が形成されている。分離領域７はシリコン酸化膜からなり、半導体基板１の主面に形成された浅溝８に熱酸化されたシリコン酸化膜９を介して形成されている。

【００６０】

p形ウェル２の主面にはＤＲＡＭのメモリセル選択用ＭＩＳＦＥＴＱｓが形成されている。また、p形ウェル３およびn形ウェル４の主面には各々nチャネルＭＩＳＦＥＴＱｎおよびpチャネルＭＩＳＦＥＴＱｐが形成されている。

【００６１】

メモリセル選択用ＭＩＳＦＥＴＱｓは、p形ウェル２の主面上にゲート絶縁膜１０を介して形成されたゲート電極１１と、ゲート電極１１の両側のp形ウェル２の主面に形成された不純物半導体領域１２とからなる。ゲート絶縁膜１０は、たとえば７～８ｎｍの膜厚を有する熱酸化により形成されたシリコン酸化膜からなる。ゲート電極１１は、たとえば膜厚７０ｎｍの多結晶シリコン膜１１ａ、膜厚５０ｎｍの窒化チタン膜１１ｂおよび膜厚１００ｎｍのタングステン膜１１ｃの積層膜とすることができる。また、不純物半導体領域１２にはn形の不純物、たとえば砒素またはリンが導入されている。

【００６２】

メモリセル選択用ＭＩＳＦＥＴＱｓのゲート電極１１の上層にはシリコン窒化膜からなるキャップ絶縁膜１３が形成され、さらにその上層をシリコン窒化膜１４で覆われる。シリコン窒化膜１４は、ゲート電極１１の側壁にも形成され、後に説明する接続孔を形成する際の自己整合加工に利用される。なお、メモリセル選択用ＭＩＳＦＥＴＱｓのゲート電極１１は、ＤＲＡＭのワード線として機能するものであり、分離領域７の上面にはワード線ＷＬが形成されている。

【００６３】

一方、nチャネルＭＩＳＦＥＴＱｎおよびpチャネルＭＩＳＦＥＴＱｐは、各々p形ウェル３およびn形ウェル４の主面上に形成され、ゲート絶縁膜１０を介して形成されたゲート電極１１と、ゲート電極１１の両側の各ウェルの主面に形成された不純物半導体領域１５とから構成される。ゲート絶縁膜１０およびゲート電極１１は前記と同様である。不純物半導体領域１５は低濃度不純物領域１５ａと高濃度不純物領域１５ｂとからなり、いわゆるＬＤＤ（Lightly Doped Drain）構造を形成している。不純物半導体領域１５に導入される不純物は、ＭＩＳＦＥＴの導電形に応じてn形またはp形の不純物が導入される。

【００６４】

nチャネルＭＩＳＦＥＴＱｎおよびpチャネルＭＩＳＦＥＴＱｐのゲート電極１１の上層にはシリコン窒化膜からなるキャップ絶縁膜１３が形成され、側面には、たとえばシリコン窒化膜からなるサイドウォールスペーサ１６が形成されている。

【００６５】

10

20

30

40

50

メモリセル選択用MISFETQs、nチャネルMISFETQnおよびpチャネルMISFETQpは、層間絶縁膜17で覆われている。層間絶縁膜17は、たとえばSOG(Spin On Glass)膜、TEOS(テトラメトキシシラン)を原料ガスとしプラズマCVD法により形成されたシリコン酸化膜(以下TEOS酸化膜という)がCMP(Chemical Mechanical Polishing)法により平坦化されたTEOS酸化膜およびTEOS酸化膜の積層膜とすることができる。

【0066】

層間絶縁膜17上には、さらにTEOS酸化膜17dが形成され、その上面にビット線BLおよび第1層配線18が形成されている。ビット線BLおよび第1層配線18は、たとえば窒化チタン膜とタンゲステン膜との積層膜とすることができる。これにより、ビット線BLおよび第1層配線18を低抵抗化してDRAMの性能を向上することができる。また、ビット線BLと第1層配線18とは、後に説明するように同時に形成される。これにより工程を簡略化することができる。

10

【0067】

ビット線BLはプラグ19およびプラグ19bを介して一对のメモリセル選択用MISFETQsに共有される不純物半導体領域12に接続される。プラグ19は、たとえばn形の不純物が導入された多結晶シリコン膜とすることができる。プラグ19bは、たとえば窒化チタン膜とタンゲステン膜との積層膜とすることができる。また、プラグ19とプラグ19bとの接続部にはコバルトシリサイド膜20が形成されている。これによりプラグ19とプラグ19bとの間、つまりビット線BLとプラグ19との間の接続抵抗を低減し、接続信頼性を向上することができる。

20

【0068】

第1層配線18は、接続孔21内に形成されたプラグ22を介してnチャネルMISFETQnおよびpチャネルMISFETQpの不純物半導体領域15またはゲート電極11に接続される。プラグ22は、プラグ19bと同様にたとえば窒化チタン膜とタンゲステン膜との積層膜とすることができる。また、プラグ22と不純物半導体領域15との接続部にはコバルトシリサイド膜20が形成されている。これによりプラグ22と不純物半導体領域15との間の接続抵抗を低減し、接続信頼性を向上することができる。

【0069】

ビット線BLおよび第1層配線18は、層間絶縁膜23で覆われている。層間絶縁膜23は、たとえばSOG膜、CMP法により平坦化されたTEOS酸化膜、TEOS酸化膜の積層膜とすることができる。なお、ビット線BLおよび第1層配線18はシリコン窒化膜からなるキャップ絶縁膜およびサイドウォールスペースで覆われてもよい。

30

【0070】

層間絶縁膜23の上層のA領域には情報蓄積用のキャパシタCが形成されている。また、B領域の層間絶縁膜23の上層にはキャパシタCと同層に絶縁膜24が形成されている。絶縁膜24はたとえばシリコン酸化膜とすることができ、キャパシタCと同層に形成することによりキャパシタCの標高に起因するA領域とB領域との間の段差の発生を防止することができる。これによりフォトリソグラフィの焦点深度に余裕を持たせることができ、工程を安定にして微細加工に対応することができる。なお、層間絶縁膜23の上面にはシリコン窒化膜23bが形成されている。シリコン窒化膜23bは後に説明するようにキャパシタCの下部電極27を形成する際のエッチングストoppaとして機能する薄膜である。

40

【0071】

キャパシタCは、メモリセル選択用MISFETQsのビット線BLに接続される不純物半導体領域12とは逆の不純物半導体領域12に接続されるプラグ25に、プラグ26を介して接続される下部電極27と、たとえばシリコン窒化膜および酸化タンタルからなる容量絶縁膜28と、たとえば窒化チタンからなるプレート電極29とから構成される。

【0072】

キャパシタCの上層には、たとえばTEOS酸化膜からなる絶縁膜30が形成されてい

50

る。絶縁膜 30 と絶縁膜 24 とは、キャパシタ C を覆い、これを他の部材から絶縁する層間絶縁膜（第 2 層間絶縁膜）である。絶縁膜 24 が前記情報蓄積用容量素子（キャパシタ C）の高さに起因する前記メモリセルアレイ領域と前記周辺回路領域との段差を緩和または解消する部分（第 1 の部分）に相当し、絶縁膜 30 が情報蓄積用容量素子を覆う部分（第 2 の部分）に相当する。絶縁膜 30 の表面は CMP 法により平坦化され、半導体基板 1 の全面において平坦性が確保されている。

【0073】

絶縁膜 30 および絶縁膜 24 の表面近傍には、配線溝 31 が形成され、その配線溝 31 内には第 2 層配線 32 が形成されている。図 3 に示すとおり、第 2 層配線 32 の表面と絶縁膜 30 の表面とは同一の平面内にあり、また、第 2 層配線 32 の底面はキャパシタ C の表面（プレート電極 29 の表面）よりも下部に位置している。第 2 層配線 32 は後に説明するように CMP 法で形成される。

10

【0074】

また、配線溝 31 の下部には接続孔 33 が形成され、接続孔 33 内には接続部 34 が形成されている。第 2 層配線 32 および接続部 34 は一体として形成されており、第 2 層配線 32 は第 1 導電層 32a および第 2 導電層 32b から構成され、接続部 34 は第 1 導電層 34a および第 2 導電層 34b から構成される。第 1 導電層 32a、34a は、たとえばタンタル膜からなり、第 2 導電層 32b、34b は、たとえば銅からなる。

【0075】

第 2 導電層 32b、34b は、第 2 層配線 32 および接続部 34 の主導電層として機能するものである。このように銅からなる主導電層を有するため、第 2 層配線 32 および接続部 34 の低抵抗化を図ることができ、半導体集積回路装置、特に周辺回路の応答性を高速化して DRAM の性能を向上することができる。

20

【0076】

第 1 導電層 32a、34a は、銅の拡散を防止するバリア層として機能するものである。特に本実施の形態ではタンタル膜を用いるため、第 1 導電層 32a、34a と第 2 導電層 32b、34b との界面で Ta - Cu の結合を形成し、銅の拡散またはエレクトロマイグレーションによる移動を有効に防止することができる。また、Ta - Cu の結合を形成することにより銅膜の接着性を向上することができる。これにより DRAM の信頼性を向上できる。

30

【0077】

また、本実施の形態では、配線溝 31 の下部に接続孔 33 が形成されるため、配線溝 31 の深さに相当する分だけ接続孔 33 の深さを浅くできる。ここでは、たとえば配線溝 31 の深さ、すなわち第 2 層配線 32 の膜厚を $0.7\ \mu\text{m}$ とし、接続孔 33 の深さ、すなわち接続部 34 の長さを $0.7\ \mu\text{m}$ とすることができる。これは、従来技術のように絶縁膜 30 上に第 2 層配線を形成する場合と比較して接続孔の深さを $1.4\ \mu\text{m}$ から $0.7\ \mu\text{m}$ に短縮することができることを意味する。このように、接続孔 33 の深さを浅くすることにより、接続孔 33 の加工工程を容易にし、加工不良の発生を抑制して接続信頼性を向上し、DRAM の製造歩留まりを向上することができる。また、接続孔 33 の深さを浅くできるため、接続部 34 の長さも短くでき、接続部 34 の抵抗を低減して第 2 層配線 32 と第 1 層配線 18 との間の抵抗を低減することができる。

40

【0078】

なお、ここでは、第 1 導電層 32a、34a としてタンタル膜を例示しているが、ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜であってもよく、これらの積層膜であってもよい。

【0079】

絶縁膜 30 および第 2 層配線 32 の上面にはシリコン窒化膜 35 が形成されている。このようなシリコン窒化膜 35 により銅の上方への拡散を防止することができる。

【0080】

シリコン窒化膜 35 の上層には層間絶縁膜 36 が形成され、層間絶縁膜 36 の表面近傍

50

には配線溝 37 が形成されている。配線溝 37 の底部には第 2 層配線 32 またはキャパシタ C のプレート電極 29 に接続される接続孔 38 が形成されている。配線溝 37 の内部には第 3 層配線 39 が形成され、接続孔 38 の内部には接続部 40 が形成されている。層間絶縁膜 36 および第 3 層配線 39 の表面は同一平面内に存在し、後に説明するように C M P 法で形成される。

【 0 0 8 1 】

第 3 層配線 39 は、第 2 層配線 32 と同様に、第 1 導電層 39 a および第 2 導電層 39 b からなり、接続部 40 は、接続部 34 と同様に、第 1 導電層 40 a および第 2 導電層 40 b からなる。第 1 導電層 39 a、40 a は、第 1 導電層 32 a、34 a と同様に、たとえばタンタル膜とすることができ、また、ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜あるいはこれらの積層膜としてもよい。第 2 導電層 39 b、40 b は、第 2 導電層 32 b、34 b と同様にたとえば銅からなる。第 3 層配線 39 はメインワード線 M W B あるいはワード線 W L のシャント配線として用いることができる。

10

【 0 0 8 2 】

層間絶縁膜 36 および第 3 層配線 39 の表面にはシリコン窒化膜 41 が形成されており、シリコン窒化膜により第 3 層配線 39 からの銅の拡散を防止する。

【 0 0 8 3 】

シリコン窒化膜 41 の上層には層間絶縁膜 42 が形成され、その表面近傍には第 2 層配線 32、第 3 層配線 39 と同様な構成の第 4 層配線 43 が形成されている。第 4 層配線 43 は、図示しない接続部を介して第 3 層配線 39 に接続される。第 4 層配線 43 は、Y セレクト線 Y S として用いることができる。

20

【 0 0 8 4 】

層間絶縁膜 42 および第 4 層配線 43 上にはシリコン窒化膜 44 が形成され、さらに絶縁膜 45 およびパッシベーション膜 46 が形成されている。シリコン窒化膜 44 は、第 4 層配線 43 からの銅の拡散を防止する。

【 0 0 8 5 】

次に、本実施の形態の D R A M の製造方法を図 4 ~ 図 28 を用いて工程順に説明する。図 4 ~ 図 28 は本発明の一実施の形態の D R A M の製造方法の一例を工程順に示した断面図である。

【 0 0 8 6 】

30

まず、p 形の半導体基板 1 を用意し、この半導体基板 1 の主面に浅溝 8 を形成する。その後半導体基板 1 に熱酸化を施し、シリコン酸化膜 9 を形成する。さらにシリコン酸化膜を堆積してこれを C M P 法により研磨して浅溝 8 内にのみシリコン酸化膜を残し、分離領域 7 を形成する。

【 0 0 8 7 】

次に、フォトレジストをマスクにして不純物をイオン注入し、p 形ウェル 2、3、n 形ウェル 4 およびディープウェル 6 を形成する (図 4) 。

【 0 0 8 8 】

次に、p 形ウェル 2、3、n 形ウェル 4 が形成された活性領域に熱酸化法によりゲート絶縁膜 10 を形成し、さらに半導体基板 1 の全面に不純物がドーピングされた多結晶シリコン膜、窒化チタン膜、タングステン膜およびシリコン窒化膜を順次堆積する。その後、シリコン窒化膜、タングステン膜、窒化チタン膜および多結晶シリコン膜をフォトリソグラフィ技術およびエッチング技術を用いてパターンニングし、ゲート電極 11 (ワード線 W L) およびキャップ絶縁膜 13 を形成する。さらにキャップ絶縁膜 13 およびゲート電極 11 とフォトレジストをマスクとして不純物をイオン注入し、不純物半導体領域 12 および低濃度不純物領域 15 a を形成する (図 5) 。

40

【 0 0 8 9 】

次に、半導体基板 1 の全面にシリコン窒化膜 (図示せず) を堆積し、メモリセルが形成される領域 (A 領域) にのみフォトレジスト膜 47 を形成する。その後、そのフォトレジスト膜をマスクとして、前記シリコン窒化膜を異方性エッチングし、A 領域の半導体基板

50

1 上にのみシリコン窒化膜 1 4 を形成すると同時に B 領域のゲート電極 1 1 の側壁にサイドウォールスペーサ 1 6 を形成する。さらに、サイドウォールスペーサ 1 6 をマスクにして不純物を自己整合的にイオン注入し、高濃度不純物領域 1 5 b を形成する (図 6) 。

【 0 0 9 0 】

次に、フォトレジスト膜 4 7 を残したまま半導体基板 1 の全面にコバルト膜 (図示せず) をスパッタ法等で堆積し、フォトレジスト膜 4 7 を除去した後に熱処理を行って、コバルト膜と高濃度不純物領域 1 5 b との間で選択的にシリサイド反応を行い、その後、未反応のコバルト膜を選択的にエッチングして除去し、コバルトシリサイド膜 2 0 を高濃度不純物領域 1 5 b 上に形成する。

【 0 0 9 1 】

次に、半導体基板 1 の全面に S O G 膜を塗布し、これを 4 0 0 程度の温度でキュアした後、8 0 0 程度の熱処理を施して安定化する。さらにプラズマ C V D 法により T E O S 酸化膜を堆積する。この場合の T E O S 酸化膜は、半導体基板 1 の主面上からその表面が 1.3 μm の高さとなるように堆積することができる。この T E O S 酸化膜を C M P 法を用いて研磨し、その表面を平坦化する。これによりゲート電極 1 1 およびキャップ絶縁膜 1 3 に起因する段差が解消される。この結果、この後のフォトリソグラフィ工程のフォーカスマージンを向上することができ、微細な接続孔の開口等が可能となる。表面を洗浄後、C M P により生じた T E O S 酸化膜 1 7 d 上のスクラッチによる損傷を補修するため、さらに T E O S 酸化膜を堆積する。このようにして、S O G 膜、C M P 法により平坦化された T E O S 酸化膜および T E O S 酸化膜からなる層間絶縁膜 1 7 を形成する。

【 0 0 9 2 】

次に、層間絶縁膜 1 7 に接続孔を開口し、プラグインプラを施した後に不純物がドーパされた多結晶シリコン膜を堆積し、この多結晶シリコン膜を C M P 法により研磨してプラグ 1 9 , 2 5 を形成する (図 7) 。なお、この接続孔は、2 段階のエッチングにより開口して半導体基板 1 の過剰エッチングを防止することができる。

【 0 0 9 3 】

次に、T E O S 酸化膜 1 7 d を形成する。この T E O S 酸化膜 1 7 d を形成した時点で半導体基板 1 の主面からの標高は約 0.8 μm となる。

【 0 0 9 4 】

次に、ビット線 B L が接続されるプラグ 1 9 が露出するように T E O S 酸化膜 1 7 d に開口を形成する。その後、半導体基板 1 の全面にコバルト膜 (図示せず) をスパッタ法等で堆積し、熱処理を行って、コバルト膜とプラグ 1 9 との間で選択的にシリサイド反応を行い、その後、未反応のコバルト膜を選択的にエッチングして除去し、コバルトシリサイド膜 2 0 をプラグ 1 9 上に形成する。

【 0 0 9 5 】

次に、n チャネル M I S F E T Q n および p チャネル M I S F E T Q p の不純物半導体領域 1 5 およびゲート電極 1 1 が露出するように層間絶縁膜 1 7 に接続孔 2 1 を形成する (図 8) 。なおこの段階で、先に説明した高濃度不純物領域 1 5 b 上のコバルトシリサイド膜 2 0 を形成することもできる。

【 0 0 9 6 】

次に、半導体基板 1 の全面、つまり接続孔 2 1 の内部を含む T E O S 酸化膜 1 7 d 上に窒化チタン膜 2 2 a およびタングステン膜 2 2 b をたとえばスパッタ法で堆積し、T E O S 酸化膜 1 7 d 表面の窒化チタン膜 2 2 a およびタングステン膜 2 2 b を C M P 法で研磨して除去する。このようにして窒化チタン膜 2 2 a およびタングステン膜 2 2 b からなるプラグ 2 2 およびプラグ 1 9 b を形成する (図 9) 。なお、窒化チタン膜 2 2 a は、チタン膜および窒化チタン膜の積層膜とすることもできる。

【 0 0 9 7 】

次に、窒化チタン膜 1 8 a およびタングステン膜 1 8 b を、たとえばスパッタ法により順次堆積し、これをフォトリソグラフィとドライエッチング技術を用いてパターンニングし、窒化チタン膜 1 8 a およびタングステン膜 1 8 b からなるビット線 B L および第 1 層配

10

20

30

40

50

線 18 を形成する (図 10)。このように、本実施の形態では、ビット線 B L と第 1 層配線 18 とを同時に形成するため、工程を簡略化することができる。また、プラグ 22 を形成した後にビット線 B L および第 1 層配線 18 を形成するため、ビット線 B L および第 1 層配線 18 の膜厚を薄くすることができ、この結果、特にビット線 B L 間の線間容量を低減して蓄積電荷の有無の検出感度を向上できる。

【0098】

なお、ビット線 B L および第 1 層配線 18 は、単層のタングステン膜により形成することもできる。ビット線 B L および第 1 層配線 18 をタングステン膜のみで形成することにより窒化チタン膜との積層膜の場合に比較して同一断面積状態での抵抗値を低減できる。これは、窒化チタンよりもタングステンの方が抵抗率が低いことに基づく。また、ビット線 B L および第 1 層配線 18 には、たとえばシリコン窒化膜からなるキャップ絶縁膜およびサイドウォールスペーサを形成することができる。

10

【0099】

次に、半導体基板 1 の全面に S O G 膜を塗布し、これを 400 程度の温度でキュアした後、プラズマ C V D 法により T E O S 酸化膜を堆積する。この T E O S 酸化膜の堆積は、その表面が T E O S 酸化膜 17 d から $0.8 \mu\text{m}$ となるように行う。その後、この T E O S 酸化膜を C M P 法を用いて研磨し、S O G 膜および表面が平坦化された層間絶縁膜 23 を形成する。平坦化された層間絶縁膜 23 の表面は、T E O S 酸化膜 17 d から $0.6 \mu\text{m}$ となる。これによりこの後のフォトリソグラフィ工程のフォーカスマージンを向上することができ、微細な接続孔の開口等が可能となる。なお、表面を洗浄後、さらに T E O S 酸化膜を堆積して C M P により形成されたスクラッチを覆ってもよい。

20

【0100】

次に、層間絶縁膜 23 に接続孔を開口し、不純物がドーピングされた多結晶シリコン膜を堆積し、この多結晶シリコン膜を C M P 法により研磨してプラグ 26 を形成する (図 11)。

【0101】

次に、半導体基板 1 の全面に 200 nm 膜厚のシリコン窒化膜 23 b を形成し、絶縁膜 24 を堆積する (図 12)。絶縁膜 24 の堆積はプラズマ C V D により行うことができ、その膜厚は $1.2 \mu\text{m}$ とする。

【0102】

次に、キャパシタ C の形成工程を説明する。必要な蓄積容量は約 30 pF である。

30

【0103】

キャパシタ C が形成される領域に $0.75 \times 0.25 \mu\text{m}$ の寸法で溝 48 を形成する。溝 48 の形成によりプラグ 26 を露出させる (図 13)。溝 48 の形成にはフォトリソグラフィおよびドライエッチング技術を用いることができる。

【0104】

次に、溝 48 を覆う多結晶シリコン膜 49 を半導体基板 1 の全面に堆積し、さらに半導体基板 1 の全面にシリコン酸化膜 50 を堆積する (図 14)。多結晶シリコン膜 49 にはリンをドーピングすることができ、その膜厚は $0.03 \mu\text{m}$ とすることができる。多結晶シリコン膜 49 の膜厚が溝 48 の寸法に対して十分に薄いため、多結晶シリコン膜 49 は溝 48 の内部にもステップカバレッジよく堆積される。シリコン酸化膜 50 は、溝 48 の内部に埋め込まれるように堆積する。溝 48 の内部への埋め込み性を考慮すれば、シリコン酸化膜 50 は S O G 膜あるいは T E O S を用いた C V D 法によるシリコン酸化膜とすることができる。

40

【0105】

次に、絶縁膜 24 上のシリコン酸化膜 50 および多結晶シリコン膜 49 を除去して、キャパシタ C の下部電極 27 を形成する (図 15)。シリコン酸化膜 50 および多結晶シリコン膜 49 の除去はエッチバック法または C M P 法により行うことができる。また、下部電極 27 の内部には、シリコン酸化膜 50 が残存している。

【0106】

50

次に、フォトレジスト膜 5 1 をマスクとしてウェットエッチングを施し、メモリセルアレイ領域 (A 領域) の絶縁膜 2 4 およびシリコン酸化膜 5 0 を除去する (図 1 6)。これにより下部電極 2 7 が露出される。

【 0 1 0 7 】

なお、シリコン窒化膜 2 3 b はウェットエッチング工程でのエッチングストッパとして機能する。また、絶縁膜 2 4 のエッジ部分は、ウェットエッチングによりエッチングされるため、厳密には図示のように急峻ではないが、簡単のため急峻に (直角に) 示している。

【 0 1 0 8 】

このように、周辺回路領域 (B 領域) に絶縁膜 2 4 を残すため、キャパシタ C が形成された後のメモリセルアレイ領域 (A 領域) と周辺回路領域 (B 領域) との間に、キャパシタ C の高さ (下部電極 2 7 の高さでもある) に起因した段差が大きく形成されないため、キャパシタ C の形成工程後の工程のフォトリソグラフィを精細に行うことができ、D R A M の高集積化に対応することが容易となる。

【 0 1 0 9 】

次に、下部電極 2 7 表面を窒化または酸窒化処理した後、酸化タンタル膜を堆積する。酸化タンタル膜の堆積は、有機タンタルガスを原料とした C V D 法により形成できる。この段階での酸化タンタル膜はアモルファス構造を有するものである。ここで酸化タンタル膜に熱処理を施して結晶化 (多結晶化) された酸化タンタル膜 (Ta_2O_5) とし、より強固な誘電体として容量絶縁膜 2 8 を形成する。この熱処理は 7 0 0 以上の温度で行う必要がある。したがって、本熱処理工程前に形成された部材の耐熱性が問題となるが、本実施の形態では、未だ耐熱性に問題のある第 2 層配線等が形成されていない。このため、熱処理工程に特に制限を設ける必要はない。このため、誘電率の大きな多結晶酸化タンタル膜を安定に形成でき、キャパシタ C の形成面積を増大させることなくキャパシタ C の蓄積容量を増加することができる。

【 0 1 1 0 】

さらに、窒化チタン膜をたとえば C V D 法により堆積する。その後、フォトレジスト膜 5 2 を用いて窒化チタン膜および多結晶酸化タンタル膜をパターニングし、容量絶縁膜 2 8 およびプレート電極 2 9 を形成する (図 1 7)。このようにして下部電極 2 7、容量絶縁膜 2 8 およびプレート電極 2 9 からなるキャパシタ C が形成される。

【 0 1 1 1 】

次に、T E O S 酸化膜 5 3 を半導体基板 1 の全面に堆積する (図 1 8)。T E O S 酸化膜 5 3 は、プレート電極 2 9 を絶縁するためのものであり、その膜厚は、0.3 μm とする。この T E O S 酸化膜 5 3 を C M P 法により研磨して平坦化し、絶縁膜 3 0 を形成する (図 1 9)。この段階で、絶縁膜 3 0 の上面と第 1 層配線 1 8 との距離は、1.4 μm である。このように、絶縁膜 2 4 でメモリセルアレイ領域 (A 領域) と周辺回路領域 (B 領域) との段差をあらかじめ緩和しているため、T E O S 酸化膜 5 3 を平坦化して絶縁膜 3 0 を形成する C M P 工程の工程負荷を低減することができる。また、絶縁膜 3 0 の表面が平坦化されているため、その後のフォトリソグラフィ工程を精密に行うことができ微細な加工が可能となり、また、後に説明するようにいわゆるダマシン法を用いて配線を形成しても、絶縁膜 3 0 の表面に残留金属が生じない。

【 0 1 1 2 】

次に、フォトレジスト膜 5 4 を用いて、絶縁膜 3 0 および絶縁膜 2 4 をドライエッチングによりエッチングし、配線溝 3 1 を形成する (図 2 0)。さらに、フォトレジスト膜 5 4 を除去した後、フォトレジスト膜 5 5 を形成し、これを用いて絶縁膜 2 4、シリコン窒化膜 2 3 b および層間絶縁膜 2 3 をドライエッチングによりエッチングし、接続孔 3 3 を形成する (図 2 1)。このように、配線溝 3 1 の底面下に接続孔 3 3 を形成するため、接続孔 3 3 を加工するドライエッチングでのエッチング深さが浅くなる。このため接続孔 3 3 のドライエッチング工程のエッチングアスペクト比を小さくすることができ、エッチング加工を容易にすることができる。この結果、接続孔 3 3 のドライエッチング工程での加

10

20

30

40

50

工不良を低減してDRAMの製造歩留まりの向上および信頼性の向上を図ることができる。

【0113】

次に、配線溝31および接続孔33の内部を含む半導体基板1の全面に、タンタル膜56をスパッタ法またはCVD法を用いて堆積する。さらに、銅膜57をタンタル膜56上に堆積する(図22)。銅膜57の堆積は、電解メッキ法または無電解メッキ法等のメッキ法により行うことができる。メッキ法を用いるため、接続孔33のような微細な空間内にも銅膜57を良好に埋め込むことができる。

【0114】

次に、配線溝31以外の領域の絶縁膜30上の銅膜57およびタンタル膜56を、CMP法を用いて研磨し除去する。このようにして配線溝31内に第2層配線32を、接続孔33内に接続部34を形成する(図23)。タンタル膜56は、第2層配線32の第1導電層32aとなり、接続部34の第1導電層34aとなる。また、銅膜57は、第2層配線32の第2導電層32bとなり、接続部34の第2導電層34bとなる。前記したとおり、第2層配線32と接続部34とは一体に形成される。第1導電層32a、34aが銅のバリア膜として機能し、第2導電層32b、34bが第2層配線32および接続部34の主導電層となることは前記したとおりである。

【0115】

なお、本実施の形態では、第2層配線32の厚さ(配線溝31の深さ)を $0.7\mu\text{m}$ とし、接続部34の長さ(接続孔33の深さ)を、 $0.7\mu\text{m}$ とすることができる。また、タンタル膜56の他にニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜であってもよく、これらの積層膜であってもよい。ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜もスパッタ法またはCVD法を用いて堆積できる。

【0116】

次に、絶縁膜30および第2層配線32上にシリコン窒化膜35を堆積する(図24)。シリコン窒化膜35の堆積はプラズマCVD法あるいはスパッタ法で行える。このシリコン窒化膜35により第2層配線32の銅の拡散を抑制できる。

【0117】

次に、シリコン窒化膜35上に層間絶縁膜36を堆積する。層間絶縁膜36としてTEOS酸化膜を堆積することができる。さらに、前記した配線溝31および接続孔33の場合と同様にフォトリソ膜をマスクとしたドライエッチングにより層間絶縁膜36、シリコン窒化膜35あるいは絶縁膜30をエッチングし、配線溝37および接続孔38を形成する(図25)。

【0118】

次に、前記したタンタル膜56および銅膜57と同様に、配線溝37および接続孔38の内部を含む半導体基板1の全面にタンタル膜58および銅膜59を堆積する(図26)。さらに、層間絶縁膜36上のタンタル膜58および銅膜59をCMP法により研磨して除去し、配線溝37に第3層配線39を、接続孔38に接続部40を形成する(図27)。タンタル膜58は、第3層配線39の第1導電層39aとなり、接続部40の第1導電層40aとなる。また、銅膜59は、第3層配線39の第2導電層39bとなり、接続部40の第2導電層40bとなる。第3層配線39と接続部40とは一体に形成されることは第2層配線32の場合と同様である。第1導電層39a、40aが銅のバリア膜として機能し、第2導電層39b、40bが第3層配線39および接続部40の主導電層となることは前記したとおりである。

【0119】

なお、タンタル膜58の他にニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜であってもよく、これらの積層膜であってもよい。ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜もスパッタ法またはCVD法を用いて堆積できる。

【0120】

10

20

30

40

50

次に、層間絶縁膜 36 および第 3 層配線 39 上にシリコン窒化膜 41 を堆積し、第 3 層配線 39 の場合と同様に、層間絶縁膜 42、第 4 層配線 43 および図示しない接続部を形成後、シリコン窒化膜 44 を堆積する（図 28）。これらの詳細は第 3 層配線 39 の場合と同様であるため説明を省略する。

【0121】

最後に、絶縁膜 45 を半導体基板 1 の全面に堆積後、MISFET のダメージ回復を図るため、400 °C での水素アニール処理を施し、さらに半導体基板 1 の全面にパッシベーション膜 46 を堆積して図 3 に示す DRAM がほぼ完成する。

【0122】

上記した DRAM およびその製造方法によれば、絶縁膜 30 が平坦化され、メモリセルアレイ領域（A 領域）と周辺回路領域（B 領域）との間の段差が解消されているため、第 2 層配線 32 以降の工程を精密に行って、加工精度を向上できるとともに、配線溝 31 の底面下に接続孔 33 を形成するため、前記段差解消に起因する絶縁膜 30 および絶縁膜 24 の厚さによる接続孔のアスペクト比を小さくすることができる。これにより、接続孔 33 を確実に開口して DRAM の歩留まりおよび信頼性を向上できる。また、このため、第 2 層配線 32 の底面は、キャパシタ C の上面よりも低く位置することとなる。

【0123】

また、接続孔 33 の深さが浅くなるため、接続部 34 の長さが短くなり、接続部 34 の抵抗を低減できる。これにより第 1 層配線 18 と第 2 層配線 32 との間の抵抗を低減して DRAM の周辺回路の高速応答性能等の性能向上を図ることができる。

【0124】

さらに、第 2 層配線 32 および接続部 34 の主導電層（第 2 導電層 32b, 34b）に銅材料を採用して、第 2 層配線 32 および接続部 34 の抵抗をさらに低減し、DRAM の性能をさらに向上できる。

【0125】

また、本実施の形態では、キャパシタ C の形成後に第 2 層配線 32 および接続部 34 を形成するため、キャパシタ C の容量絶縁膜 28 の形成工程における熱処理に制限を設ける必要はなく、安定して高い誘電率の容量絶縁膜 28 を形成し、キャパシタ C の蓄積容量値を大きくできる。逆に、第 2 層配線 32 および接続部 34 の材料として耐熱性の高い多結晶シリコン膜やタンゲステン膜を採用する必要はなく、熱拡散しやすい銅を用いることが可能となる。これにより、導電率の高い銅を用いて第 2 層配線 32 および接続部 34 の抵抗を低減し、DRAM の性能を向上できる。

【0126】

なお、本実施の形態の効果を説明するため、特開平 9 - 92794 号公報に記載された技術等（従来技術）と比較して説明する。

【0127】

特開平 9 - 92794 号公報に記載の技術では第 1 層配線と第 2 層配線とを接続するプラグをキャパシタ形成工程前に形成しているため、プラグ形成工程が増える欠点があり、その他に、第 2 層配線の形成後にキャパシタ形成されるため、銅のような拡散係数の高い材料を第 2 層配線に用いることができない。仮に銅を第 2 層配線に用いた場合には、キャパシタ形成工程に 700 °C という高い温度の熱処理工程を採用することはできない。しかし、本実施の形態ではこのような不具合はない。

【0128】

また、本実施の形態の構造を採用しない DRAM では、キャパシタ C の形成工程後に第 2 層配線がメモリセルアレイ上にも形成されるが、プレート電極との絶縁性を確保する必要等から、さらにシリコン酸化膜を 0.3 μm 程度の膜厚で堆積している。このため、第 2 層配線と第 1 層配線との間隔は、1.7 μm となる。また、第 2 層配線は、メモリセルアレイ領域と周辺回路領域との段差を解消する絶縁膜上に形成されるため、第 2 層配線と第 1 層配線とを接続する接続孔の深さは 1.7 μm となる。仮に 0.3 μm 厚さのシリコン酸化膜を形成しない場合であっても接続孔の深さは 1.4 μm となる。したがって、第 2 層配線と

10

20

30

40

50

第1層配線とを接続するプラグの長さは $1.4\ \mu\text{m}$ 以上となる。このようなアスペクト比の高いプラグを形成するためには深い接続孔にも埋め込みの可能な窒化チタン膜あるいはプラケットCVD法等によるタングステン膜の採用が必要となる。よって、このような技術により形成されたプラグの抵抗は、約5程度となり、また、接続孔が深いため製造歩留りは70%程度に止まる。また、このように高い抵抗値のプラグにより周辺回路の配線を構成するため、周辺回路の動作周波数は、プラグの抵抗で律速され、最大で約125kHzとなる。

【0129】

これに対し、本実施の形態では、前記プラグの相当する接続部34の主導電層の抵抗率の低い銅を用い、また、その長さが $0.7\ \mu\text{m}$ と短いため、接続部34の抵抗値は1以下となる。また、製造歩留りは、接続孔33の深さが浅いため99%以上を確保することができる。したがって、周辺回路の動作周波数は、接続部34が銅を主導電層とすることに加え第2層配線32も主導電層を銅としているため、最大700kHz以上とすることができる。

10

【0130】

なお、本実施の形態では、接続部34が第1層配線18に接続される例を説明したが、周辺回路領域(B領域)に第1層配線18およびプラグ22を形成せず、接続部34をnチャネルMISFETQnおよびpチャネルMISFETQpの不純物半導体領域15またはゲート電極11に直接接続させることも可能である。この場合、第2層配線32は、第1層配線として機能する。

20

【0131】

また、本実施の形態では、絶縁膜24によりキャパシタCに起因する段差を緩和する例を示したが、絶縁膜24を形成せず、キャパシタCの標高以上の膜厚の絶縁膜30を堆積し、この絶縁膜30をCMP法により研磨して平坦化してもよい。この場合、周辺回路領域(B領域)のCMPによるディッシングを防止するため、周辺回路領域(B領域)にたとえばシリコン窒化膜を形成することが望ましい。

【0132】

また、絶縁膜24は、キャパシタCの下部電極27を形成するための溝48を形成した絶縁膜24を用いるのではなく、キャパシタCの形成後に、キャパシタCの標高以上の膜厚の絶縁膜を堆積し、この絶縁膜を周辺回路領域(B領域)を覆うフォトレジスト膜をマスクとしてエッチングし、周辺回路領域にのみ残すようにして形成されたものであってもよい。

30

【0133】

また、本実施の形態では、第3層配線39、第4層配線43にも銅を主導電層とする配線を適用した例を示したが、下層配線と接続されるプラグを形成した後に、たとえばチタン膜、アルミニウム膜、窒化チタン膜の積層膜をパターニングして第3層配線、第4層配線としてもよい。

【0134】

(実施の形態2)

図29は、本発明の他の実施の形態であるDRAMの要部断面図である。本実施の形態のDRAMは実施の形態1のDRAMとその平面配置および回路構成(図1および図2)において同様である。したがって、その部分の説明は省略する。また、本実施の形態のDRAMは、実施の形態1のDRAMと第2層配線以上の構成および製造方法についてのみ相違し、その他の構成および絶縁膜30への配線溝31および接続孔33の形成工程(図21)まで同様である。したがって、その部分の説明についても省略する。

40

【0135】

本実施の形態のDRAMの第2層配線60は、絶縁膜30および絶縁膜24の表面近傍に形成された配線溝31内に形成されている。図29に示すとおり、第2層配線60の表面と絶縁膜30の表面とは同一の平面内にあり、また、第2層配線60の底面はキャパシタCの表面(プレート電極29の表面)よりも下部に位置している。この点は実施の形態

50

1と同様である。

【0136】

また、配線溝31の下部には接続孔33が形成され、接続孔33内には接続部61が形成されている。第2層配線60および接続部61は、実施の形態1と同様、一体として形成されており、第2層配線60は窒化チタン膜からなる第1導電層60aおよびアルミニウム膜からなる第2導電層60bから構成される。接続部61は窒化チタン膜からなる第1導電層61aおよびアルミニウム膜からなる第2導電層61bから構成される。

【0137】

第2導電層60b、61bは、第2層配線60および接続部61の主導電層として機能するものである。このようにアルミニウムからなる主導電層を有するため、第2層配線60および接続部61の低抵抗化を図ることができ、半導体集積回路装置、特に周辺回路の応答性を高速化してDRAMの性能を向上することができる。第1導電層60a、61aは、アルミニウム膜を形成する際のウェットティング層として機能するものである。

10

【0138】

また、実施の形態1と同様に、配線溝31の下部に接続孔33が形成されるため、配線溝31の深さに相当する分だけ接続孔33の深さを浅くできる。したがって、実施の形態1と同様に、第2層配線60の膜厚を0.7 μ mとし、接続部61の長さを0.7 μ mとすることができる。この結果、実施の形態1で説明した加工不良の発生の抑制による接続信頼性の向上、DRAMの製造歩留まりの向上の効果、接続部61の長さの短縮化によるDRAMの性能向上の効果も同様に得ることができる。

20

【0139】

絶縁膜30および第2層配線60の上面には層間絶縁膜62が形成され、層間絶縁膜62には、接続孔63が形成されている。接続孔63には、窒化チタン膜64aおよびタングステン膜64bからなるプラグ64が形成され、第2層配線60またはプレート電極29に接続されている。層間絶縁膜62は、たとえばTEOS酸化膜とすることができる。

【0140】

層間絶縁膜62およびプラグ64上には、窒化チタン膜65a、アルミニウム膜65bおよび窒化チタン膜65cからなる第3層配線65が形成され、第3層配線65は、層間絶縁膜66で覆われている。また、層間絶縁膜66上には、窒化チタン膜67a、アルミニウム膜67bおよび窒化チタン膜67cからなる第4層配線67が形成され、第4層配線67は、絶縁膜68で覆われている。

30

【0141】

層間絶縁膜66および絶縁膜68は、たとえばバイアスパッタを併用したCVD法で形成されたシリコン酸化膜とすることができる。第3層配線65はメインワード線MWBあるいはワード線WLのシャント配線として用いることができる。第4層配線67は、図示しない接続部を介して第3層配線65に接続される。第4層配線67は、Yセレクト線YSとして用いることができる。絶縁膜68上にはパッシベーション膜46が形成されている。

【0142】

次に、本実施の形態のDRAMの製造方法を図30～図37を用いて工程順に説明する。図30～図37は本発明の他の実施の形態のDRAMの製造方法の一例を工程順に示した断面図である。

40

【0143】

本実施の形態のDRAMの製造方法は、前記したとおり、実施の形態1の図21の工程までは同様である。

【0144】

配線溝31および接続孔33の内部を含む半導体基板1の全面に、窒化チタン膜69をたとえばCVD法を用いて堆積する。さらに、アルミニウム膜70をたとえばスパッタ法を用いて堆積する(図30)。アルミニウム膜70は、スパッタ法で堆積されるため、図示するとおりステップカバレッジが悪く、ボイド等を有する状態となる。

50

【 0 1 4 5 】

そこで、半導体基板 1 を 3 0 0 0 気圧程度の高圧力下に保持する。このような高圧力下では温度の上昇し、アルミニウム膜 7 0 が流動性を持つ状態となって、配線溝 3 1 および接続孔 3 3 の内部に完全に埋め込まれる（図 3 1）。この際、窒化チタン膜 6 9 がアルミニウム膜 7 0 のウェットティング層として機能し、アルミニウムの流動性をよくして埋め込み性を向上できる。

【 0 1 4 6 】

次に、配線溝 3 1 以外の領域の絶縁膜 3 0 上のアルミニウム膜 7 0 および窒化チタン膜 6 9 を、CMP 法を用いて研磨し除去する。このようにして配線溝 3 1 内に窒化チタン膜からなる第 1 導電層 6 0 a およびアルミニウム膜からなる第 2 導電層 6 0 b から構成される第 2 層配線 6 0 を、接続孔 3 3 内に窒化チタン膜からなる第 1 導電層 6 1 a およびアルミニウム膜からなる第 2 導電層 6 1 b から構成される接続部 6 1 を形成する（図 3 2）。このように第 2 層配線 6 0 と接続部 6 1 とは一体に形成される。

【 0 1 4 7 】

次に、絶縁膜 3 0 および第 2 層配線 6 0 上に TEOS 酸化膜を堆積し、層間絶縁膜 6 2 を形成する。さらに、フォトレジスト膜をマスクとしたドライエッチングにより層間絶縁膜 6 2 および絶縁膜 3 0 をエッチングし接続孔 6 3 を形成する（図 3 3）。

【 0 1 4 8 】

次に、接続孔 6 3 の内部を含む層間絶縁膜 6 2 上に窒化チタン膜 7 1 およびタングステン 7 2 を順次堆積し（図 3 4）、接続孔 6 3 以外の層間絶縁膜 6 2 上の窒化チタン膜 7 1 およびタングステン 7 2 を CMP 法で研磨し除去して窒化チタン膜 6 4 a およびタングステン膜 6 4 b からなるプラグ 6 4 を形成する（図 3 5）。窒化チタン膜 6 4 a およびタングステン膜 6 4 b は CVD 法またはスパッタ法で堆積できる。

【 0 1 4 9 】

次に、窒化チタン膜を CVD 法で、アルミニウム膜をスパッタ法で堆積し、窒化チタン膜、アルミニウム膜および窒化チタン膜からなる積層膜を堆積する。その後、フォトリソグラフィとドライエッチング技術を用いて積層膜をパターニングし、窒化チタン膜 6 5 a、アルミニウム膜 6 5 b および窒化チタン膜 6 5 c からなる第 3 層配線 6 5 を形成する（図 3 6）。

【 0 1 5 0 】

次に、スパッタを重畳させた CVD 法でシリコン酸化膜を堆積し、これによってシリコン酸化膜を第 3 層配線 6 5 に埋め込む。その後このシリコン酸化膜を CMP 法を用いて平坦化し、層間絶縁膜 6 6 を形成する。さらに、第 3 層配線 6 5 と同様に、図示しないプラグおよび第 4 層配線 6 7 を形成する（図 3 7）。

【 0 1 5 1 】

最後に、絶縁膜 6 8 を半導体基板 1 の全面に堆積後、MISFET のダメージ回復を図るため、400 °C での水素アニール処理を施し、さらに半導体基板 1 の全面にパッシベーション膜 4 6 を堆積して図 2 9 に示す DRAM がほぼ完成する。

【 0 1 5 2 】

本実施の形態の DRAM およびその製造方法によれば、実施の形態 1 で説明した効果と同様の効果を得ることができる。また、本実施の形態では、電気抵抗が低いアルミニウムを用いているため、接続部 6 1 の抵抗値は 1 Ω 以下である。また、製造歩留りは、接続孔 3 3 が短いため、99% 以上である。また、周辺回路の動作周波数は、第 2 層配線 6 0 および接続部 6 1 がアルミニウムを用いてであるため、最大 500 kHz 以上である。

【 0 1 5 3 】

（実施の形態 3）

図 3 8 は、本発明のさらに他の実施の形態である半導体集積回路装置を形成した半導体チップ全体の一例を示した平面図である。

【 0 1 5 4 】

本実施の形態の半導体集積回路装置は、DRAM とロジック回路とを単一チップ内に混

10

20

30

40

50

載させたものであり、ロジック部 201、メモリ部 202 を有する。ロジック部 201 には論理演算等を行う CPU、スタック等が形成され、メモリ部 202 にはデータの記憶素子が形成されている。メモリ部 202 の周辺には第 1 の I/O 部 203、第 2 の I/O 部 204 が配置され、データの入出力を制御する。また、第 1 の I/O 部 203、第 2 の I/O 部 204 を介して入出力されるデータは、デコーダ部 206 を介してバス 205 に伝送され、ロジック部 201 に送られる。

【0155】

本実施の形態の半導体集積回路装置のチップサイズは $15 \times 8 \text{ mm}^2$ であり、DRAM のメモリ容量は 256 Mbit である。

【0156】

図 39 は、本実施の形態の DRAM の要部断面図である。本実施の形態の DRAM のメモリセルアレイ領域 (A 領域) および周辺回路領域 (B 領域) は、実施の形態 1 とその構成および製造方法において同様である。したがって、その部分の説明を省略する。

【0157】

本実施の形態の半導体集積回路装置は、メモリセルアレイ領域 (A 領域) および周辺回路領域 (B 領域) の他にロジック回路領域 (D 領域) を有する。ロジック回路領域は、メモリセルアレイ領域および周辺回路領域以外の領域であり、たとえばロジック部 201、第 1 の I/O 部 203、第 2 の I/O 部 204、バス 205、等が形成されている。

【0158】

ロジック回路領域 (D 領域) の半導体基板 1 には、周辺回路領域と同様の p 形ウェル 3、分離領域 7 が形成され、その主面上には、周辺回路領域と同様の n チャネル MISFET Qn が形成されている。ここでは n チャネル MISFET Qn 2 を例示しているが p チャネル MISFET であってもよい。また、CMISFET 構造を有していてもよい。

【0159】

n チャネル MISFET Qn 2 のゲート電極 11、キャップ絶縁膜 13、サイドウォールスペーサ 16、ソース・ドレイン領域を構成する不純物半導体領域 15 は、周辺回路領域と同様である。また、層間絶縁膜 17、TEOS 酸化膜 17d その上層に形成される第 1 層配線 18、プラグ 22 も周辺回路領域と同様である。さらに、層間絶縁膜 23、シリコン窒化膜 23b、絶縁膜 24、絶縁膜 30、第 2 層配線 32、接続部 34、シリコン窒化膜 35、41、44、層間絶縁膜 36、42、第 3 層配線 39、接続孔 38、第 4 層配線 43、第 4 層配線の接続部 43b、絶縁膜 45、パッシベーション膜 46 についても周辺回路領域と同様である。したがって、説明を省略する。第 4 層配線 43 は、メモリ部 202 とロジック部 201 とを接続するバス 205 に適用することができる。

【0160】

本実施の形態の半導体集積回路装置の製造方法は、前記したロジック回路領域の各々の部材に対応する周辺回路領域の各部材の製造方法と同様であり、実施の形態 1 で説明したとおりである。したがって、詳細な説明を省略する。

【0161】

本実施の形態の半導体集積回路装置によれば、前記した実施の形態 1 の効果に加えて、以下の効果を有する。すなわち、図 39 に示したとおり、DRAM の領域 (メモリセルアレイ領域 (A 領域) および周辺回路領域 (B 領域)) とロジック回路領域 (D 領域) とが、同一の第 2 層配線 32、第 3 層配線 39 および第 4 層配線 43 で接続されることとなるが、これらの配線は銅を主導電層とする高速応答性能に優れた配線である。したがって、DRAM の部分とロジック回路の部分とは高速配線で接続され、半導体集積回路装置の動作周波数を大きくして半導体集積回路装置の性能を向上できる。本実施の形態の場合、動作周波数は、最大 700 kHz 以上とすることができる。このような高速応答性能は、DRAM とロジック回路とを別個独立した半導体チップで構成した場合には、それらを接続する配線が長くならざるを得ず、高い動作周波数は得られない。一方、同一チップに DRAM とロジック回路とを混載した場合であっても、抵抗率の高い配線を用いる場合や、抵抗値の高い接続部あるいはプラグで異層間の配線接続を行う場合にもこのような高い動作

10

20

30

40

50

周波数は得難い。すなわち、本実施の形態では、接続部 3 4 の抵抗値を低減し、第 2 層配線 3 2、第 3 層配線 3 9 および第 4 層配線 4 3 に抵抗率の低い銅材料を用い、かつ、D R A M の領域とロジック回路領域で同一の配線を用いることにより、前記した難点を解消し、半導体集積回路装置の性能を著しく高めたものである。

【 0 1 6 2 】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【 0 1 6 3 】

たとえば、上記実施の形態ではシリコン M I S F E T を例示して説明したが他の半導体材料を用いた M I S 型半導体装置にも適用することができる。

【産業上の利用可能性】

【 0 1 6 4 】

本発明は、半導体集積回路装置およびその製造技術に適用でき、特に、いわゆる C O B (Capacitor Over Bitline) 構造を有する D R A M (Dynamic Random Access Memory)、あるいは、そのような D R A M と論理制御回路または論理演算回路等のロジック回路とが 1 つの半導体基板に混載された半導体集積回路装置に適用して有効な技術である。

【図面の簡単な説明】

【 0 1 6 5 】

【図 1】実施の形態 1 の D R A M を形成した半導体チップ全体の一例を示した平面図である。

【図 2】実施の形態 1 の D R A M の等価回路図である。

【図 3】実施の形態 1 の D R A M の要部断面図である。

【図 4】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 5】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 6】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 7】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 8】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 9】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 10】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 11】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 12】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 13】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 14】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 15】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 16】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 17】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 18】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 19】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 20】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 21】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 22】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 23】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 24】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 25】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 26】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 27】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 28】実施の形態 1 の D R A M の製造方法の一例を工程順に示した断面図である。

【図 29】実施の形態 2 の D R A M の要部断面図である。

【図 30】実施の形態 2 の D R A M の製造方法の一例を工程順に示した断面図である。

10

20

30

40

50

【図 3 1】実施の形態 2 の D R A M の製造方法の一例を工程順に示した断面図である。
 【図 3 2】実施の形態 2 の D R A M の製造方法の一例を工程順に示した断面図である。
 【図 3 3】実施の形態 2 の D R A M の製造方法の一例を工程順に示した断面図である。
 【図 3 4】実施の形態 2 の D R A M の製造方法の一例を工程順に示した断面図である。
 【図 3 5】実施の形態 2 の D R A M の製造方法の一例を工程順に示した断面図である。
 【図 3 6】実施の形態 2 の D R A M の製造方法の一例を工程順に示した断面図である。
 【図 3 7】実施の形態 2 の D R A M の製造方法の一例を工程順に示した断面図である。
 【図 3 8】実施の形態 3 の半導体集積回路装置を形成した半導体チップ全体の一例を示した平面図である。

【図 3 9】実施の形態 3 の D R A M の要部断面図である。

10

【符号の説明】

【 0 1 6 6 】

- 1 半導体基板
- 1 A 半導体チップ
- 2 p 形ウェル
- 3 p 形ウェル
- 4 n 形ウェル
- 6 ディープウェル
- 7 分離領域
- 8 浅溝
- 9 シリコン酸化膜
- 1 0 ゲート絶縁膜
- 1 1 ゲート電極
- 1 1 a 多結晶シリコン膜
- 1 1 b 窒化チタン膜
- 1 1 c タングステン膜
- 1 2 不純物半導体領域
- 1 3 キャップ絶縁膜
- 1 4 シリコン窒化膜
- 1 5 不純物半導体領域
- 1 5 a 低濃度不純物領域
- 1 5 b 高濃度不純物領域
- 1 6 サイドウォールスペーサ
- 1 7 層間絶縁膜
- 1 7 d T E O S 酸化膜
- 1 8 第 1 層配線
- 1 8 a 窒化チタン膜
- 1 8 b タングステン膜
- 1 9 プラグ
- 1 9 b プラグ
- 2 0 コバルトシリサイド膜
- 2 1 接続孔
- 2 2 プラグ
- 2 2 a 窒化チタン膜
- 2 2 b タングステン膜
- 2 3 層間絶縁膜
- 2 3 b シリコン窒化膜
- 2 4 絶縁膜
- 2 5 プラグ
- 2 6 プラグ

20

30

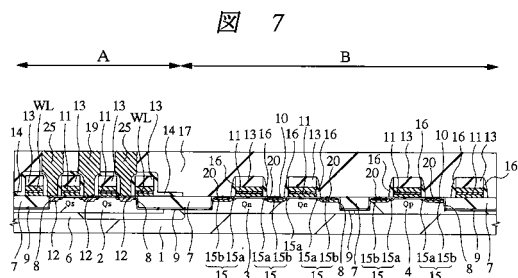
40

50

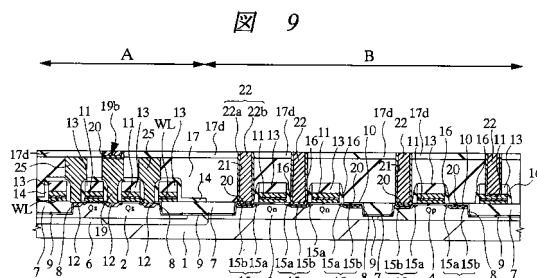
2 7	下部電極	
2 8	容量絶縁膜	
2 9	プレート電極	
3 0	絶縁膜	
3 1	配線溝	
3 2	第2層配線	
3 2 a	第1導電層	
3 2 b	第2導電層	
3 3	接続孔	
3 4	接続部	10
3 4 a	第1導電層	
3 4 b	第2導電層	
3 5	シリコン窒化膜	
3 6	層間絶縁膜	
3 7	配線溝	
3 8	接続孔	
3 9	第3層配線	
3 9 a	第1導電層	
3 9 b	第2導電層	
4 0	接続部	20
4 0 a	第1導電層	
4 0 b	第2導電層	
4 1	シリコン窒化膜	
4 2	層間絶縁膜	
4 3	第4層配線	
4 3 b	接続部	
4 4	シリコン窒化膜	
4 5	絶縁膜	
4 6	パッシベーション膜	
4 7	フォトレジスト膜	30
4 8	溝	
4 9	多結晶シリコン膜	
5 0	シリコン酸化膜	
5 1	フォトレジスト膜	
5 2	フォトレジスト膜	
5 3	TEOS酸化膜	
5 4	フォトレジスト膜	
5 5	フォトレジスト膜	
5 6	タンタル膜	
5 7	銅膜	40
5 8	タンタル膜	
5 9	銅膜	
6 0	第2層配線	
6 0 a	第1導電層	
6 0 b	第2導電層	
6 1	接続部	
6 1 a	第1導電層	
6 1 b	第2導電層	
6 2	層間絶縁膜	
6 3	接続孔	50

6 4	プラグ	
6 4 a	窒化チタン膜	
6 4 b	タングステン膜	
6 5	第 3 層配線	
6 5 a	窒化チタン膜	
6 5 b	アルミニウム膜	
6 5 c	窒化チタン膜	
6 6	層間絶縁膜	
6 7	第 4 層配線	
6 7 a	窒化チタン膜	10
6 7 b	アルミニウム膜	
6 7 c	窒化チタン膜	
6 8	絶縁膜	
6 9	窒化チタン膜	
7 0	アルミニウム膜	
7 1	窒化チタン膜	
7 2	タングステン	
2 0 1	ロジック部	
2 0 2	メモリ部	
2 0 3	第 1 の I / O 部	20
2 0 4	第 2 の I / O 部	
2 0 5	バス	
2 0 6	デコーダ部	
B L	ビット線	
C	キャパシタ	
M A R Y	メモリアレイ	
M W B	メインワード線	
Q n	n チャネル M I S F E T	
Q n 2	n チャネル M I S F E T	
Q p	p チャネル M I S F E T	30
Q s	メモリセル選択用 M I S F E T	
S A	センスアンプ	
S W D	サブワードデコーダ	
W D	ワードドライバ	
W L	ワード線	
Y S	Y セレクト線	

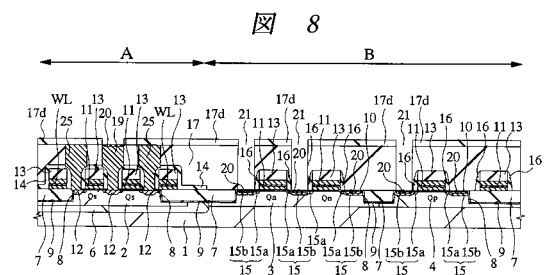
【圖 7】



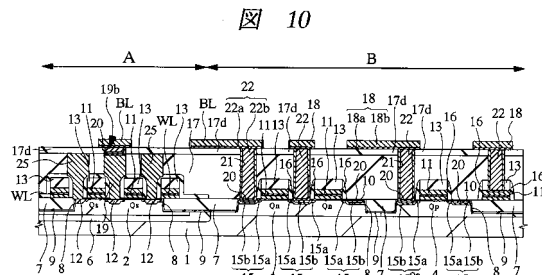
【 図 9 】



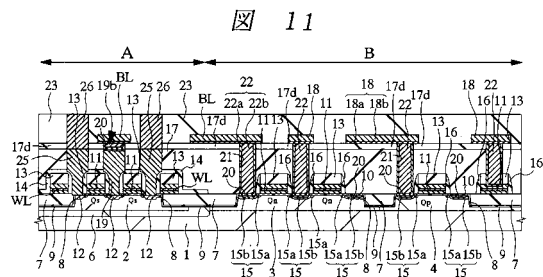
【 図 8 】



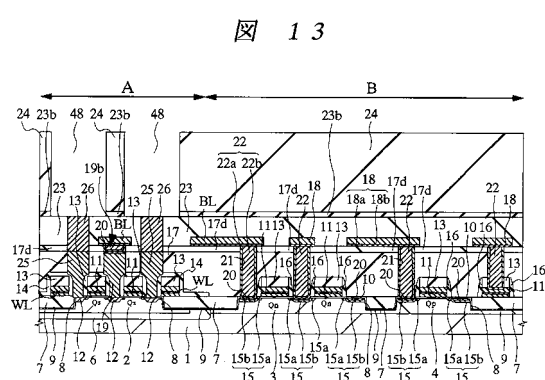
【 図 1 0 】



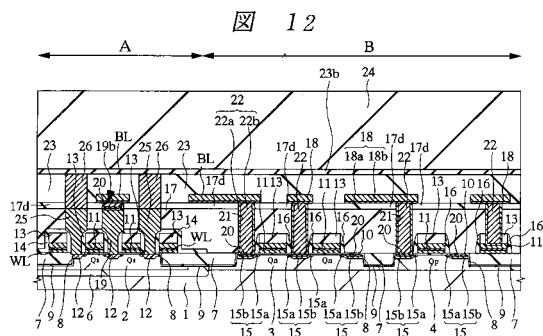
【 図 1 1 】



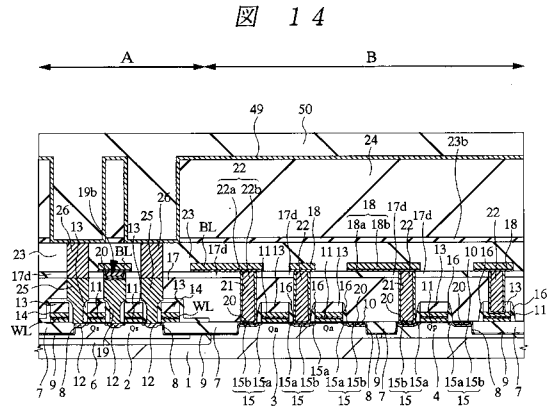
【 図 1 3 】



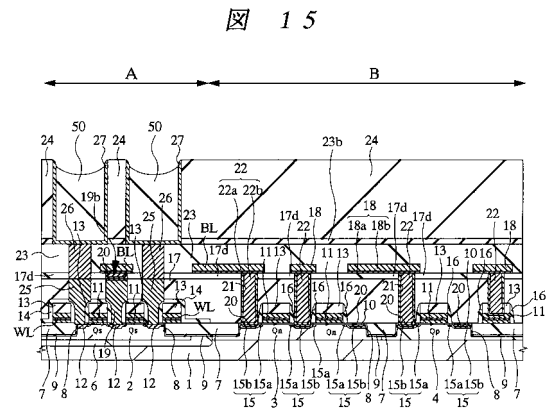
【 図 1 2 】



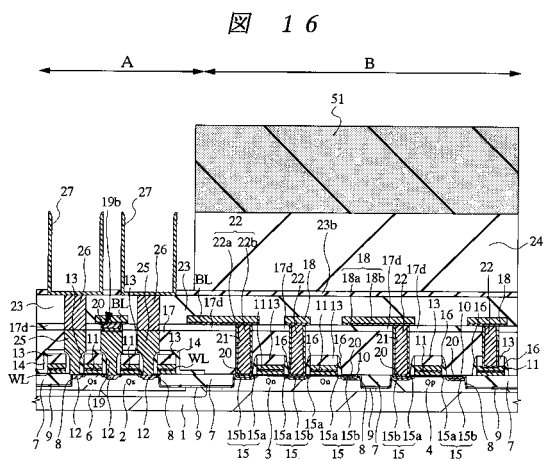
【図 14】



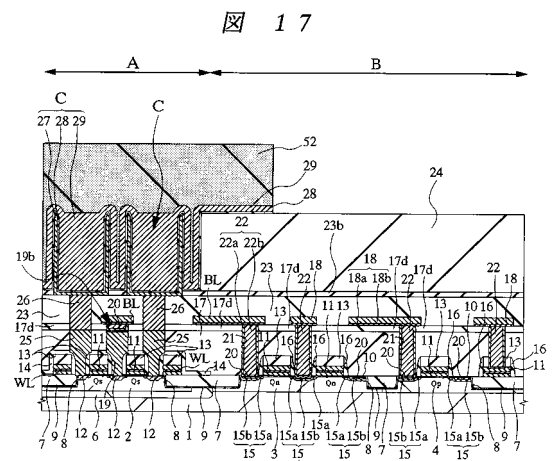
【図 15】



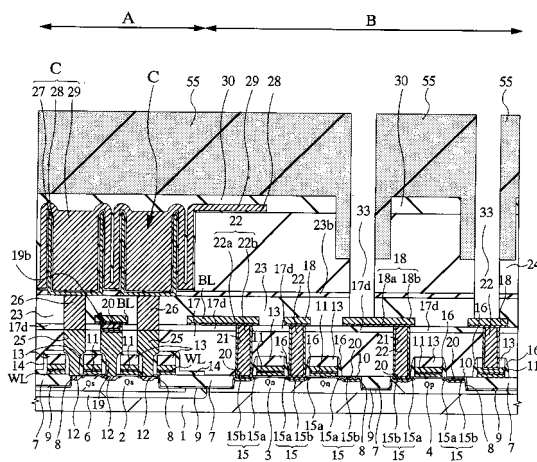
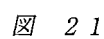
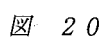
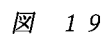
【図 16】



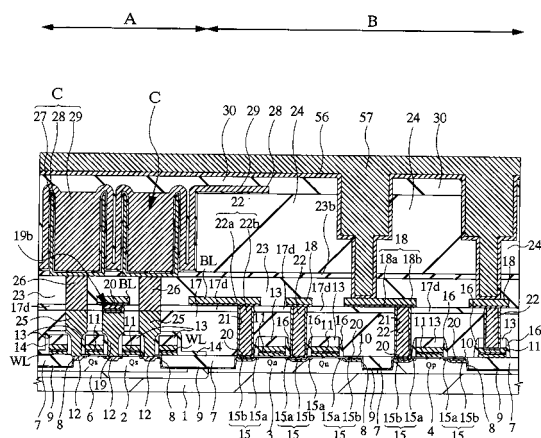
【図 17】



18



22



23

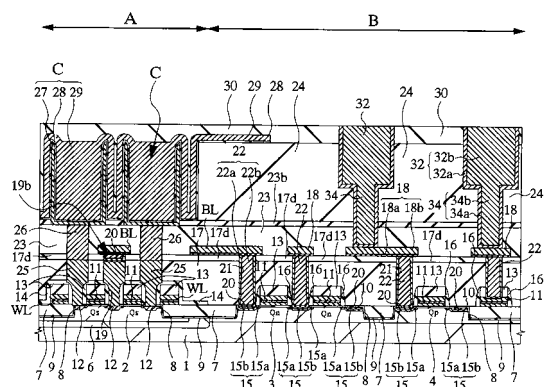

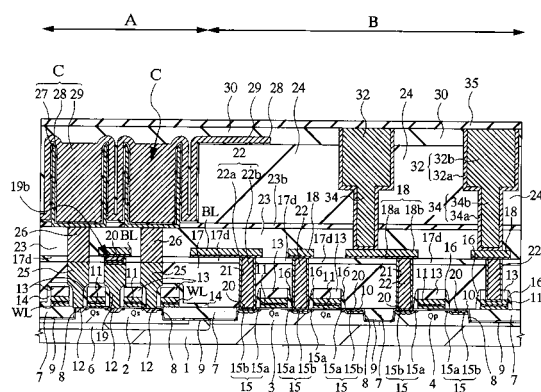
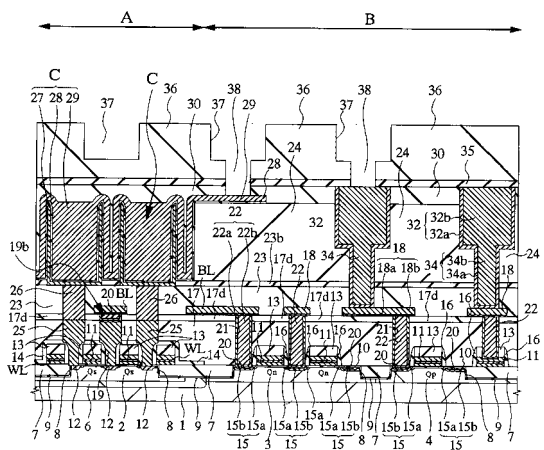
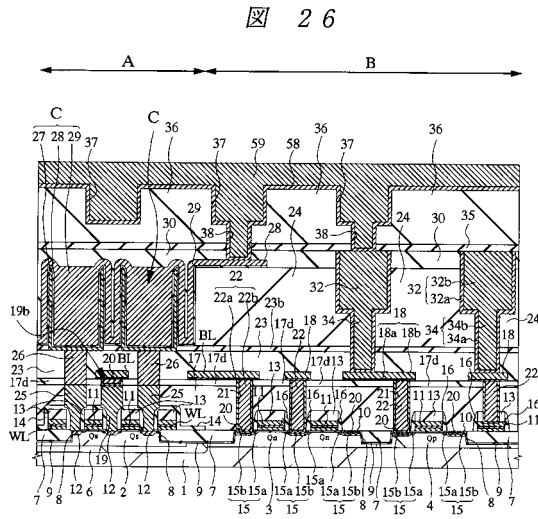


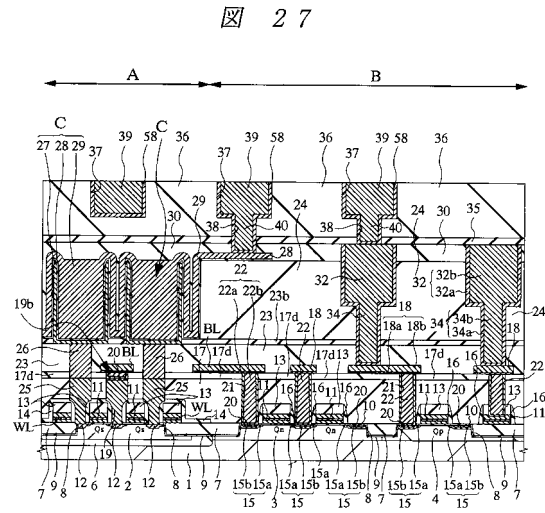
图 24

 25

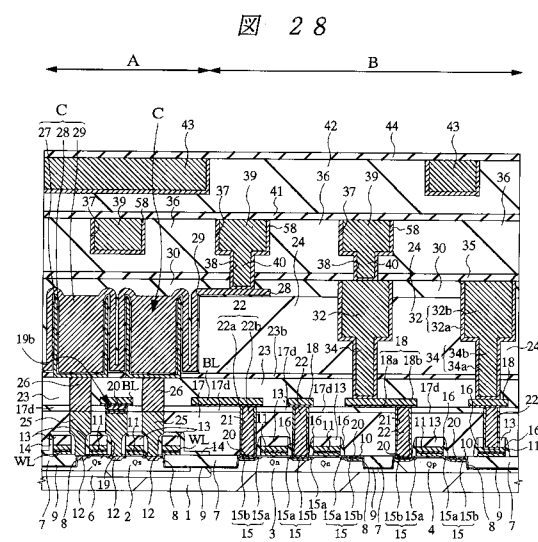
【図 26】



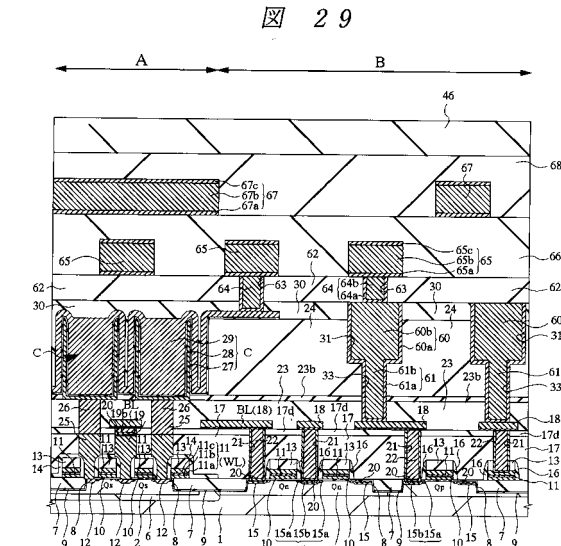
【図 27】



【図 28】

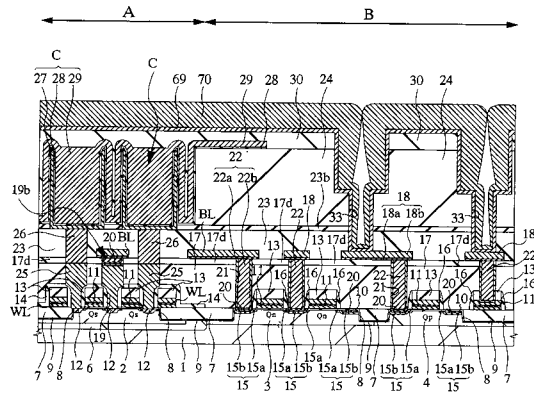


【図 29】



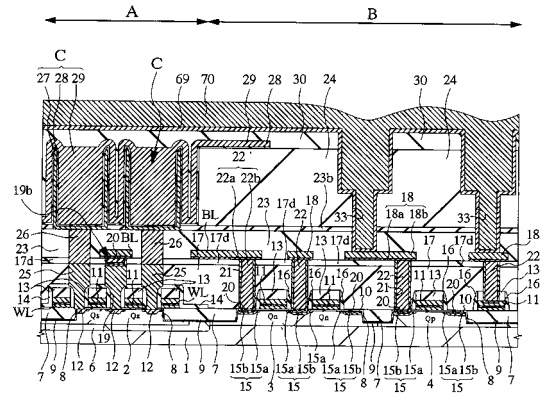
【図 30】

図 30



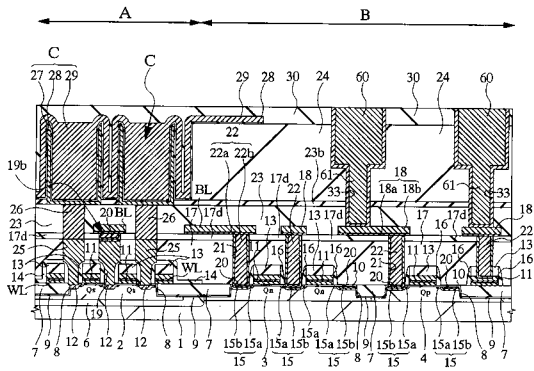
【図 31】

図 31



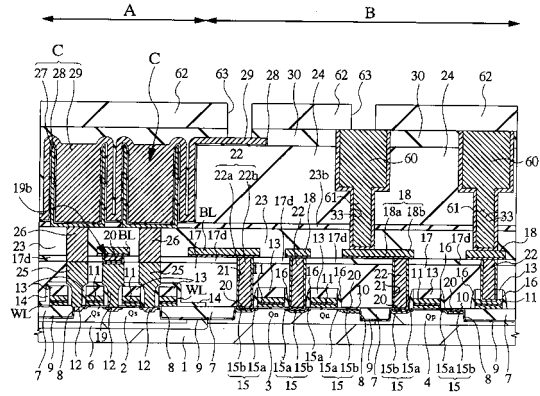
【図 32】

図 32



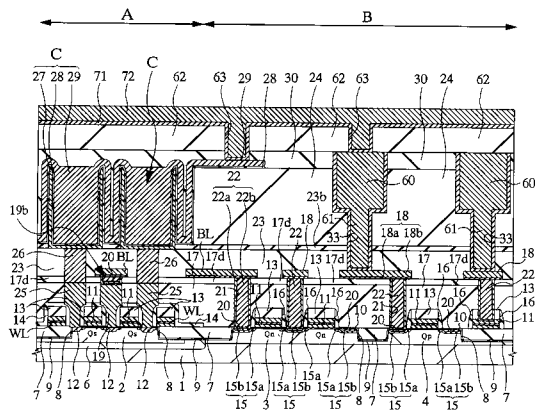
【図 33】

図 33



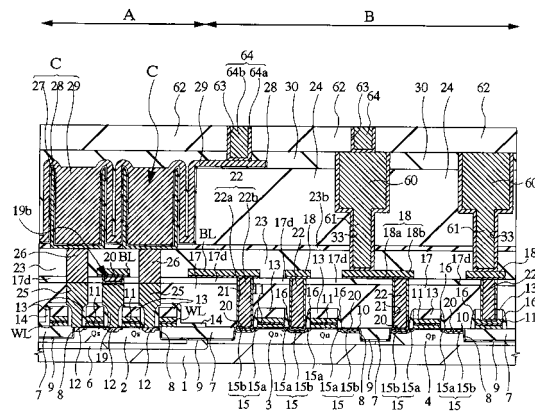
【図 34】

図 34



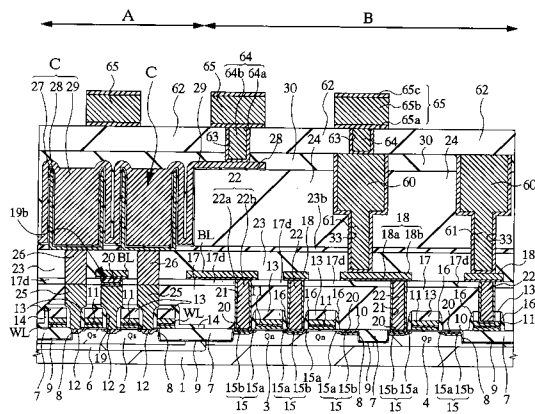
【図 35】

図 35



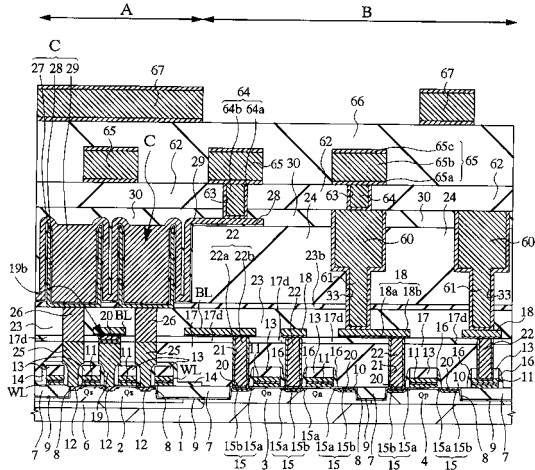
【図 36】

図 36

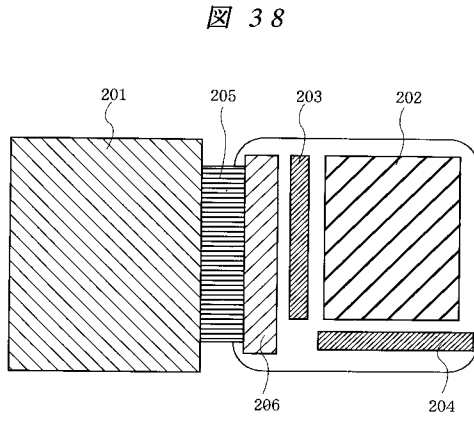


【図 37】

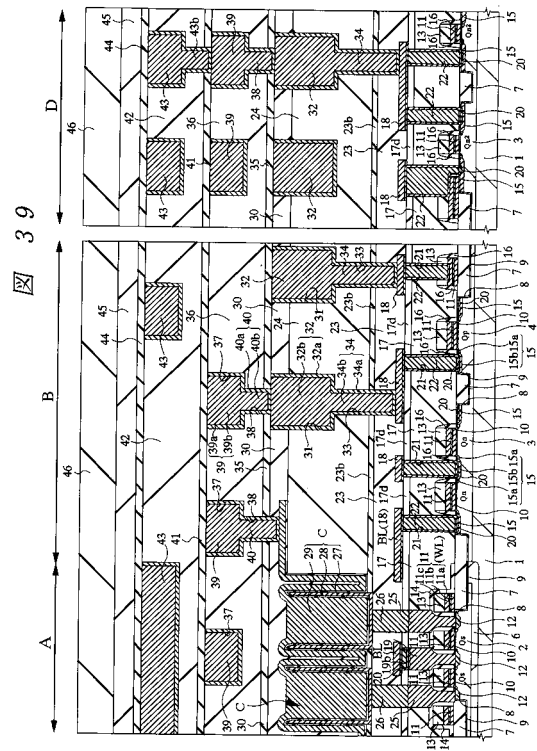
図 37



【図 38】



【図 39】



フロントページの続き

審査官 北島 健次

(56)参考文献 国際公開第97/019468(WO,A1)

(58)調査した分野(Int.Cl.,DB名)

H01L 21/8242

H01L 21/3205

H01L 21/768

H01L 27/10

H01L 27/108